



Universidade Federal de Campina Grande  
Centro de Engenharia Elétrica e Informática  
Programa de Pós-Graduação em Engenharia Elétrica

# **Conversores CC-CC SEPIC, Ćuk e Zeta com Célula de Comutação de Capacitor Flutuante Multinível.**

**Rhavél Batista Morais**

Campina Grande - PB, Brasil  
Março de 2025



Universidade Federal de Campina Grande  
Centro de Engenharia Elétrica e Informática  
Programa de Pós-Graduação em Engenharia Elétrica

# Conversores CC-CC SEPIC, Ćuk e Zeta com Célula de Comutação de Capacitor Flutuante Multinível.

Rhavél Batista Morais

Dissertação submetida à Coordenação do Curso de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos para obtenção do grau de Mestre em Ciências no Domínio da Engenharia Elétrica.

Área de Concentração: Processamento de Energia

Orientador:  
Prof. Dr. Montiê Alves Vitorino

Campina Grande - PB, Brasil  
Março de 2025

M827c      Morais, Rhavél Batista.  
                Conversores CC-CC SEPIC, Ćuk e Zeta com célula de comutação de capacitor flutuante multinível / Rhavél Batista Morais – Campina Grande, 2025.  
                135 f. : il. color.

                Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2025.  
                "Orientação: Prof. Dr. Montiê Alves Vitorino".  
                Referências.

                1. Conversores Multiníveis. 2. Células de Comutação.  
                3. Processamento de Potência. I. Vitorino, Montiê Alves. II. Título.

CDU 621.314(043)

Rhavél Batista Morais

**TÍTULO: Conversores CC-CC SEPIC, Ćuk e Zeta com Célula de Comutação de Capacitor Flutuante Multinível.**

Dissertação apresentada ao Programa de Pós-Graduação em 07 de março de 2025 da Universidade Federal de Campina Grande, pertencente à linha de pesquisa conversores estáticos e área de concentração processamento de energia, como requisito para a obtenção do Título de Mestre em Engenharia Elétrica.

Aprovado(a) em: 07/03/2025

**BANCA EXAMINADORA**

---

Montiê Alves Vitorino – UFCG  
Orientador

---

Cursino Brandão Jacobina – UFCG  
Membro Interno

---

Telles Brunelli Lazzarin – UFSC  
Membro Externo



MINISTÉRIO DA EDUCAÇÃO  
**UNIVERSIDADE FEDERAL DE CAMPINA GRANDE**  
POS-GRADUACAO EM ENGENHARIA ELETRICA  
Rua Aprigio Veloso, 882, - Bairro Universitario, Campina Grande/PB, CEP 58429-900

### REGISTRO DE PRESENÇA E ASSINATURAS

1 - ATA DA DEFESA PARA CONCESSÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA, REALIZADA EM  
07 DE MARÇO DE 2025

**(Nº 774)**

CANDIDATO(A): **RHAVEL BATISTA MORAIS**. COMISSÃO EXAMINADORA: CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG - Presidente da Comissão e Examinador Interno, MONTIÊ ALVES VITORINO, D.Sc., UFCG - Orientador, TELLES BRUNELLI LAZZARIN, D.Sc., UFSC - Examinador Externo. TÍTULO DA DISSERTAÇÃO: CONVERSORES CC-CC SEPIC, CUK E ZETA COM CÉLULA DE COMUTAÇÃO DE CAPACITOR FLUTUANTE MULTINÍVEL. ÁREA DE CONCENTRAÇÃO: Processamento da Energia. HORA DE INÍCIO: **09h00** – LOCAL: **Sala Virtual, conforme Art. 5º da PORTARIA SEI Nº 01/PRPG/UFCG/GPR, DE 09 DE MAIO DE 2022**. Em sessão pública, após exposição de cerca de 45 minutos, o(a) candidato(a) foi arguido(a) oralmente pelos membros da Comissão Examinadora, tendo demonstrado suficiência de conhecimento e capacidade de sistematização, no tema de sua dissertação, obtendo o conceito APROVADO. Face à aprovação, declara o(a) presidente da Comissão, achar-se o examinado, legalmente habilitado a receber o Grau de Mestre em Engenharia Elétrica, cabendo a Universidade Federal de Campina Grande, como de direito, providenciar a expedição do Diploma, a que o(a) mesmo(a) faz jus. Na forma regulamentar, foi lavrada a presente ata, que é assinada por mim, LEANDRO FERREIRA DE LIMA, e os membros da Comissão Examinadora. Campina Grande, 07 de Março de 2025.

LEANDRO FERREIRA DE LIMA  
Secretário

CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG  
Presidente da Comissão e Examinador Interno

MONTIÊ ALVES VITORINO, D.Sc., UFCG  
Orientador

TELLES BRUNELLI LAZZARIN, D.Sc., UFSC  
Examinador Externo

RHAVEL BATISTA MORAIS  
Candidato

## 2 - APROVAÇÃO

2.1. Segue a presente Ata de Defesa de Dissertação de Mestrado da candidato **RHAVEL BATISTA MORAIS**, assinada eletronicamente pela Comissão Examinadora acima identificada.

2.2. No caso de examinadores externos que não possuam credenciamento de usuário externo ativo no SEI, para igual assinatura eletrônica, os examinadores internos signatários **certificam** que os examinadores externos acima identificados participaram da defesa da tese e tomaram conhecimento do teor deste documento.



Documento assinado eletronicamente por **LEANDRO FERREIRA DE LIMA, SECRETÁRIO (A)**, em 07/03/2025, às 15:13, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MONTIE ALVES VITORINO, PROFESSOR 3 GRAU**, em 07/03/2025, às 15:41, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **RHAVEL BATISTA MORAIS, Usuário Externo**, em 08/03/2025, às 14:30, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **CURSINO BRANDAO JACOBINA, PROFESSOR 3 GRAU**, em 13/03/2025, às 08:45, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



A autenticidade deste documento pode ser conferida no site <https://sei.ufcg.edu.br/autenticidade>, informando o código verificador **5284657** e o código CRC **1DEA3116**.

Caro Professor  
Alexandre Jean René Serres,  
Coordenador do PPgEE/UFSCG

**Eu, TELLES BRUNELLI LAZZARIN, D.Sc., UFSC,** na qualidade de membro da comissão examinadora da defesa da dissertação de mestrado intitulada Conversores CC-CC SEPIC, Cuk e Zeta com Célula de Comutação de Capacitor Flutuante Multinível, de RHAVEL BATISTA MORAIS, da qual participei por videoconferência, no dia 07 de março de 2024, declaro ter recebido cópia da ata, que consta nos autos do processo nº [23096.011954/2025-98](#), como documento nº [5284657](#), a qual li e, embora não tenha podido assinar, é para todos os efeitos como se eu tivesse, pois está em perfeita conformidade com o que foi deliberado pela comissão e, portanto, estou de pleno acordo com seus termos.

**TELLES BRUNELLI LAZZARIN, D.Sc., UFSC**



Documento assinado digitalmente

Telles Brunelli Lazzarin

Data: 11/03/2025 13:17:01-0300

CPF: \*\*\*.400.719.\*\*

Verifique as assinaturas em <https://v.ufsc.br>

*"Tudo tem o seu tempo determinado,  
e há tempo para todo propósito debaixo do céu."  
(Eclesiastes 3:1)*



*Dedico este trabalho a minha família, pelo apoio incondicional,  
À minha eterna companheira Relf, que, embora não esteja mais fisicamente, permanecerá  
sempre comigo,  
aos meus amigos, pela motivação constante,  
e aos meus professores, que compartilharam seu conhecimento e inspiração.  
A todos que, de alguma forma, contribuíram para esta jornada,  
meu sincero agradecimento.*

# Resumo

Nos últimos anos, os conversores de potência multiníveis têm sido foco de pesquisas devido às suas vantagens em comparação com as topologias tradicionais de dois níveis, como melhor desempenho harmônico, redução de filtros, menor estresse de tensão nos componentes e maior capacidade de processamento de potência. Seguindo essa tendência, este trabalho propõe dois conversores SEPIC CC-CC, dois conversores Ćuk CC-CC e dois conversores Zeta CC-CC, todos compostos por células de comutação assimétricas em totem-pole com capacitores flutuantes multiníveis. Essas estruturas são obtidas substituindo uma perna de chave/diodo da célula de comutação assimétrica tradicional de dois níveis por uma célula similar multinível com capacitores flutuantes. Uma estrutura generalizada da célula de comutação com capacitores flutuantes para  $k$  chaves é apresentada. Além disso, é realizada uma análise de operação dos conversores propostos, acompanhada de resultados de simulação e experimentais para validar a abordagem teórica.

**Palavras-chave:** Conversor Multinível, células de comutação, processamento de potência.

# Abstract

In recent years, multilevel power converters have been the focus of research due to their advantages compared to traditional two-level topologies, such as better harmonic performance, filter reduction, lower voltage stress on components, and higher power processing capability. Following this trend, this work proposes two SEPIC DC-DC converters, two Ćuk DC-DC converters, and two Zeta DC-DC converters, all composed of asymmetric totem-pole switching cells with multilevel flying capacitors. These structures are obtained by replacing one switch/diode leg of the traditional two-level asymmetric switching cell with a similar multilevel flying capacitor cell. A generalized structure of the flying capacitor switching cell for  $k$  switches is presented. Additionally, an operational analysis of the proposed converters is conducted, accompanied by simulation and experimental results to validate the theoretical approach.

**Keywords:** Multilevel Converter, switching cells, power processing.

# Lista de abreviaturas e siglas

CC-CC	Conversor de corrente contínua para corrente contínua
ZVS	Zero Voltage Switching (Comutação com Tensão Zero)
NPC	Neutral-Point-Clamped (Grampeado no Ponto Neutro)
TL	Três Níveis
NPC	Neutral-Point-Clamped
FC	Flying-Capacitor
SEPIC	Single-Ended Primary Inductor Converter
Ćuk	Conversor Ćuk
MMC	Modular Multilevel Converter
CBk	Cascaded Buck Converter
CBt	Cascaded Boost Converter
SC	Switched-Capacitor
SL	Switched-Inductor
THD	– Total Harmonic Distortion (Distorção Harmônica Total)
PWM	Pulse Width Modulation (Modulação por Largura de Pulso)
MCC	Modo de Condução Contínua
MCD	Modo de Condução Descontínua
PSIM	Software de Simulação de Eletrônica de Potência
LKT	Lei das Malhas de Kirchhoff
FCBC	Floating Capacitor-Based Converter
CBC	Conventional Boost Converter
PI	Proporcional-Integral (tipo de controlador)
RMS	Root Mean Square (Valor Eficaz)
GTO	Gate Turn-Off Thyristor

IGBT	Insulated Gate Bipolar Transistor
MOSFET	Metal-Oxide-Semiconductor Field-Effect Transistor
PSPWM	Phase-Shifted Pulse Width Modulation
Totem-Pole	Arquitetura de comutação em ponte

# Lista de símbolos

$V_i$	Tensão de entrada
$V_o$	Tensão de saída
$V_{C_1}$	Tensão no capacitor $C_1$
$V_{C_f}$	Tensão no capacitor flutuante
$v_{L_1}$	Tensão no indutor $L_1$
$v_{L_2}$	Tensão no indutor $L_2$
$\Delta D$	Incremento do ciclo de trabalho para ajuste de controle
$v_{ab}$	– Tensão entre os terminais $a$ e $b$
$i_{L_1}$	Corrente no indutor $L_1$
$i_{L_2}$	Corrente no indutor $L_2$
$i_o$	Corrente de saída
$I_i$	Corrente média de entrada
$I_o$	Corrente média de saída
$i_{C_f}$	Corrente no capacitor flutuante
$L_1$	Indutor de entrada
$L_2$	Indutor de saída
$C_1$	Capacitor de acoplamento
$C_f$	Capacitor flutuante
$C_o$	Capacitor de saída
$s_1, s_2$	Chaves semicondutoras
$D_1, D_2$	Diodos
$R_o$	Resistor de carga
$D$	Ciclo de trabalho
$T_s$	Período de comutação

$f_s$	Frequência de chaveamento
$\Delta i_{L_1}$	Ripple de corrente no indutor $L_1$
$\Delta i_{L_2}$	Ripple de corrente no indutor $L_2$
$\Delta v_o$	Ripple de tensão na saída
$\Delta v_{C_1}$	Ripple de tensão no capacitor $C_1$
$\Delta v_{C_f}$	Ripple de tensão no capacitor flutuante
$G_{\text{Ide.}}$	Ganho estático ideal do conversor
$G_{\text{Sim.}}$	Ganho estático obtido via simulação
$v_{C_f(i)}$	Tensão no capacitor $i$
$k$	Número de chaves da célula multinível
$B_m$	Densidade máxima de fluxo magnético
$J$	Densidade de corrente no fio do indutor
$K_u$	Fator de utilização do núcleo
$W$	Energia armazenada no indutor
$VOL$	Volume do núcleo magnético
$\Delta\phi$	Deslocamento de fase entre as portadoras PWM

# Lista de tabelas

Tabela 1.1	–Comparação de diferentes topologias de conversores CC-CC multiníveis e suas características específicas apresentado na referência bibliográficas. Parte I . . . . .	12
Tabela 1.2	–Comparação de diferentes topologias de conversores CC-CC multiníveis e suas características específicas apresentado na referência bibliográficas. Parte II (Continuação) . . . . .	13
Tabela 2.1	–Tensões de bloqueio $v_{s_1}$ e $v_{s_2}$ , tensão ( $v_{cb}$ ), em função dos estados de comutação na célula de três níveis. . . . .	22
Tabela 2.2	–Tensões de bloqueio $v_{s_1}$ , $v_{s_2}$ , $v_{s_3}$ e a tensão ( $v_{cb}$ ), em função dos estados de comutação na célula de quatro níveis. . . . .	24
Tabela 3.1	–Expressões dos componentes reativos para o conversor SEPIC de 3 Níveis.	49
Tabela 3.2	–Esforços nos Semicondutores para o Conversor SEPIC Proposto e Convencional. . . . .	59
Tabela 3.3	–Parâmetros e valores para o conversor SEPIC multinível ( $k = 2$ ). . . . .	65
Tabela 3.4	–Componentes passivos e ganhos dos controladores utilizados nas simulações do conversor SEPIC multinível ( $k = 2$ ). . . . .	65
Tabela 3.5	–Valores médios e ripples de corrente e tensão para diferentes $V_o$ . . . . .	69
Tabela 3.6	–Parâmetros dos componentes passivos e ganhos dos controladores utilizados nas simulações do conversor SEPIC multinível com ( $k = 3$ ). . . . .	70
Tabela 3.7	–Modelos e especificações dos componentes utilizados no conversor SEPIC multinível. . . . .	71
Tabela 3.8	–Parâmetros e valores dos componentes do protótipo do conversor SEPIC multinível proposto para $k = 2$ . . . . .	71
Tabela 3.9	–Comparação entre o ciclo de trabalho, e ganho estático, teórico e de simulação, do conversor SEPIC multinível . . . . .	73
Tabela 4.1	–Expressões dos Componentes Reativos para Diferentes Modos do Conversor Multinível Cuk Proposto. . . . .	81
Tabela 5.1	–Expressões dos Componentes Reativos para Diferentes Modos do Conversor Multinível Zeta proposto. . . . .	92
Tabela 6.1	–Comparação entre os resultados de simulação e experimentais do conversor SEPIC proposto. . . . .	100



# Lista de ilustrações

Figura 1.1	–Aplicações típicas da Eletrônica de Potência. . . . .	2
Figura 1.2	–Derivação das Células de comutação de três Níveis com diodo de grampeamento. (a) Conversor de três tíveis em meia ponte, (b) Célula de comutação de três níveis na configuração anodo, (c) Célula de comutação de três níveis na configuração cátodo. . . . .	4
Figura 1.3	–Conversores de três níveis não isolados. (a) Ćuk, (b) SEPIC, (c) Zeta. . . . .	4
Figura 1.4	–Conversores básicos de três níveis aprimorados. (a) Ćuk, (b) SEPIC, (c) Zeta. . . . .	5
Figura 1.5	–Conversores. (a) Boost, (b) Buck-Boost, (c) Ćuk, (d) SEPIC. . . . .	6
Figura 1.6	–Conversor multinível Flying-Capacitor. . . . .	7
Figura 1.7	–Conversor CC-CC com capacitores flutuantes. (a) de quatro níveis. (b) Conversor CC-CC de quatro níveis utilizado em sistemas automotivos de 42 V. . . . .	8
Figura 1.8	–Conversores CC-CC multiníveis FC em cascata. (a) Conversor generalizado para aplicações em conversores CC-CC de capacitor chaveado e multiplicadores de tensão, com fluxo de potência bidirecional. (b) Conversor de quatro níveis aplicado em um sistema de bateria dupla em automóveis. . . . .	9
Figura 1.9	–(a) Conversor CC-CC multinível baseado em capacitores flutuantes, (b) Conversor CC-CC de três níveis, (c) Conversor CC-CC de cinco níveis. . . . .	10
Figura 1.10	–Exemplo das topologias comparadas. (a) CBk. (b) CBt. (c) MMC. . . . .	11
Figura 2.1	–Célula de comutação totem-pole assimétrica de dois níveis. (a) Polaridade positiva, (b) Polaridade negativa. . . . .	17
Figura 2.2	–Conversores clássicos e suas respectivas estruturas de células proposto por (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009) . . . . .	18
Figura 2.3	–Célula de comutação multinível versátil. . . . .	19
Figura 2.4	–Célula de comutação de três níveis com capacitor flutuante. (a) Estrutura positiva. (c) Estrutura negativa. . . . .	20
Figura 2.5	–Compartilhamento de tensão na nova célula de comutação multinível. (a) Para $s_1$ e $s_2$ conduzindo, (b) Para $s_1$ bloqueado e $s_2$ conduzindo, (c) Para $s_1$ conduzindo e $s_2$ bloqueado, (d) Para $s_1$ e $s_2$ bloqueados. . . . .	21
Figura 2.6	–Representação gráfica dos estados da célula de três níveis e dos níveis de tensão. . . . .	22

Figura 2.7 –Generalização da célula de comutação com capacitor flutuante para $k$ interruptores. (a) Célula de comutação positiva. (b) Célula de comutação negativa. . . . .	23
Figura 2.8 –Compartilhamento de tensão na nova célula de comutação multinível. (a) Para $s_1$ e $s_2$ conduzindo, (b) Para $s_1$ bloqueado e $s_2$ conduzindo, (c) Para $s_1$ conduzindo e $s_2$ bloqueado, (d) Para $s_1$ e $s_2$ bloqueados. . . . .	25
Figura 2.9 –Estratégia de controle aplicada aos conversores proposto. . . . .	26
Figura 2.10 –PSPWM. Sinais de comutação ( $S_1$ e $S_2$ ) para $k = 2$ , (a) sinais de comutação quando $D > 0,5$ , (b) Sinais de comutação quando $D < 0,5$ e (c) corrente e tensão em $C_f$ . . . . .	27
Figura 2.11 –Principais formas de onda da estrutura de controle para os conversores proposto. . . . .	28
Figura 3.1 –Conversores SEPIC CC-CC convencionail. . . . .	31
Figura 3.2 –Realização do conversor CC-CC multinível SEPIC positivo proposto. (a) SEPIC convencional. (b) Perna de totem assimétrica positiva de dois níveis. (c) Perna de totem assimétrica positiva de três níveis com capacitor flutuante. (d) SEPIC positivo proposto. . . . .	32
Figura 3.3 –Realização do conversor CC-CC multinível SEPIC negativo proposto. (a) SEPIC convencional. (b) Perna de totem assimétrica negativa de dois níveis. (c) Perna de totem assimétrica negativa de três níveis com capacitor flutuante. (d) SEPIC negativo proposto. . . . .	33
Figura 3.4 –Estágios de condução para o conversor SEPIC proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h), . . . . .	37
Figura 3.5 –Formas de onda do conversor SEPIC proposto. (a) Para $D < 0,5$ ou $V_o < V_i$ . (b) Para $D > 0,5$ ou $V_o > V_i$ . . . . .	38
Figura 3.6 –Operação do conversor Sepic proposto: (a) Formas de onda para o indutor $L_1$ ; (b) Circuito equivalente para o estágio 2 ( $s_1$ e $s_2$ bloqueados); (c) Formas de onda para o indutor $L_2$ ; (d) Circuito equivalente para o estágio 3 ( $s_1$ conduzindo e $s_2$ bloqueado); (e) Circuito equivalente para o estágio 4 ( $s_1$ bloqueado e $s_2$ conduzindo); . . . . .	39
Figura 3.7 –Formas de onda para dimensionamento dos capacitores para $V_o < V_i$ : (a) Oscilação de pico a pico de tensão e corrente para $C_1$ ; (b) Oscilação de pico a pico de tensão e corrente para $C_f$ ; (c) Oscilação de pico a pico de tensão e corrente para $C_o$ ; (d) Estado das chaves $s_1$ e $s_2$ . . . . .	42

Figura 3.8 –Operação do conversor Sepic proposto: (a) Formas de onda de tensão e corrente para o indutor $L_1$ ; (b) Circuito equivalente para o estágio 1 ( $s_1$ e $s_2$ conduzindo); (c) Circuito equivalente para o estágio 3 ( $s_1$ conduzindo e $s_2$ bloqueado); (d) Circuito equivalente para o estágio 4 ( $s_1$ bloqueado e $s_2$ conduzindo); (e) Formas de onda de tensão e corrente para o indutor $L_2$ . . . . .	45
Figura 3.9 –Formas de onda para dimensionamento dos capacitores para $V_o > V_i$ : (a) Oscilação de pico a pico de tensão e corrente para $C_1$ ; (b) Oscilação de pico a pico de tensão e corrente para $C_f$ ; (c) Oscilação de pico a pico de tensão e corrente para $C_o$ ; (d) Estado das chaves $s_1$ e $s_2$ . . . . .	46
Figura 3.10 –Formas de onda das tensões nos indutores do conversor SEPIC proposto.	50
Figura 3.11 –Tensão RMS sobre os indutores $L_1$ e $L_2$ do conversor SEPIC proposto e convencional. . . . .	54
Figura 3.12 –Redução da indutância e do volume do núcleo do indutor no conversor SEPIC proposto de três níveis, em comparação com o SEPIC clássico. (a) Relação entre a indutância e o volume do núcleo em função do ciclo de trabalho. (b) Redução da indutância e do volume do núcleo para $V_o^* = 50$ V. . . . .	62
Figura 3.13 –Generalização do conversor SEPIC multinível proposto para $k$ chaves: (a) Polaridade positiva. (b) Polaridade negativa. . . . .	63
Figura 3.14 –Circuito do conversor SEPIC multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa. . . . .	64
Figura 3.15 –Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de $V_o^* = 50$ V para $V_o^* = 150$ V e, em seguida, para $V_o^* = 80$ V. (b) Corrente nos indutores $i_{L_1}$ e $i_{L_2}$ e seus valores médios: $I_i = 1.09$ A e $I_o = 2.17$ A para $V_o^* = 50$ V; $I_i = 9.78$ A e $I_o = 6.52$ A para $V_o^* = 150$ V	66
Figura 3.16 –Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ). Mostram-se as oscilações de pico a pico $\Delta i_{L_1}$ e $\Delta i_{L_2}$ nos indutores, as tensões $v_{L_1}$ e $v_{L_2}$ e os estados das chaves $s_1$ e $s_2$ : (a) Para $V_o < V_i$ . (b) Para $V_o > V_i$ . . . . .	67
Figura 3.17 –Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ). Mostram-se as oscilações de pico a pico de tensão nos capacitores $\Delta v_{C_1}$ , $\Delta v_{C_f}$ , e $\Delta v_o$ , as correntes $i_{C_1}$ , $i_{C_f}$ , e $i_{C_o}$ e os estados das chaves $s_1$ e $s_2$ : (a) Para $V_o < V_i$ . (b) Para $V_o > V_i$ . . . . .	68
Figura 3.18 –Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ): (a) Níveis de tensão $v_{cb}$ para $V_o^* = 50$ V ( $V_o < V_i$ ). (b) Níveis de tensão $v_{cb}$ dado $V_o^* = 150$ V ( $V_o > V_i$ ). . . . .	70

Figura 3.19	Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 3$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de $V_o^* = 50 V$ para $V_o^* = 150 V$ e, em seguida, para $V_o^* = 125 V$ . (b) Zoom para $V_o^* = 150 V$ . . . . .	70
Figura 3.20	Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ) com as resistências parasitas para um aumento e redução na referência de tensão de saída aplicada, variando de $V_o^* = 24 V$ para $V_o^* = 54 V$ e, em seguida, para $V_o^* = 42 V$ : (a) Tensões $v_o$ , $v_{C_1}$ e $v_{C_f}$ e as referências $V_o^*$ e $V_{C_f}^*$ . (b) Corrente nos indutores $i_{L_1}$ e $i_{L_2}$ e, as correntes $I_{i,ideal}$ , $I_{o,ideal}$ . . . . .	72
Figura 3.21	Comparação entre o ciclo de trabalho, e ganho estático, teórico e de simulação, do conversor SEPIC multinível proposto para ( $k = 2$ ), considerando uma variando de $V_o^* = 12 V$ até $V_o^* = 108 V$ . (a) Corrente nos indutores $i_{L_1}$ e $i_{L_2}$ e, as correntes $I_{i,ideal}$ , $I_{o,ideal}$ . (b) Comparação entre o ciclo de trabalho teórico e de simulação. (b) Comparação entre o ganho estático teórico e de simulação . . . . .	73
Figura 4.1	Conversores Ćuk CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa. . . . .	75
Figura 4.2	Conversores Ćuk CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa. . . . .	75
Figura 4.3	Estágios de condução para o conversor Ćuk proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h), . . . . .	79
Figura 4.4	Formas de onda do conversor Ćuk proposto. (a) Para $D < 0,5$ ou $V_o < V_i$ . (b) Para $D > 0,5$ ou $V_o > V_i$ . . . . .	80
Figura 4.5	Generalização do conversor Ćuk multinível proposto para $k$ chaves: (a) Polaridade positiva. (b) Polaridade negativa. . . . .	82
Figura 4.6	Circuito do conversor Ćuk multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa. . . . .	82
Figura 4.7	Resultados da simulação do conversor Ćuk multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de $V_o^* = 50 V$ para $V_o^* = 150 V$ e, em seguida, para $V_o^* = 80 V$ . (b) Zoom para $V_o^* = 150 V$ . . . . .	83

Figura 5.1	–Conversores Zeta CC-CC convencionais com células assimétricas em totem de dois níveis: (a) Polaridade positiva. (b) Polaridade negativa. . . . .	86
Figura 5.2	–Conversores Zeta CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa. . . . .	86
Figura 5.3	–Estágios de condução para o conversor Zeta proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h), . . . . .	90
Figura 5.4	–Formas de onda do conversor Zeta multinível. (a) Para $D < 0,5$ ou $V_o < V_i$ . (b) Para $D > 0,5$ ou $V_o > V_i$ . . . . .	91
Figura 5.5	–Generalização do conversor Zeta multinível proposto para $k$ chaves: (a) Polaridade positiva. (b) Polaridade negativa. . . . .	93
Figura 5.6	–Circuito do conversor Zeta multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa. . . . .	93
Figura 5.7	–Resultados da simulação do conversor Zeta multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de $V_o^* = 50 V$ para $V_o^* = 150 V$ e, em seguida, para $V_o^* = 80 V$ . (b) Zoom para $V_o^* = 150 V$ . . . . .	94
Figura 6.1	–Modelo 3D da placa de condicionamento de sinais. . . . .	97
Figura 6.2	–Visualização em 3D do protótipo do conversor SEPIC multinível proposto, mostrando a disposição dos componentes principais, como MOSFETs, diodos e dissipadores de calor. . . . .	97
Figura 6.3	–Bancada de teste experimental do protótipo no laboratório. . . . .	98
Figura 6.4	–Resultados experimentais: (a) CH3: $v_{Cf}$ e CH4: $v_o$ para um aumento de $v_o^* = [24, 54] V$ . . . . .	98
Figura 6.5	–Comparação dos resultados de simulação e experimentais: (a) resultado de simulação das correntes no indutores. (b) CH1: $s_1$ , CH2: $s_2$ , CH3: $I_{L_1}$ e CH4: $I_{L_2}$ para $v_o = 24 V$ . (c) resultado de simulação das tensões nos capacitores. (d) CH2: $v_{C_1} = v_i$ , CH3: $v_{Cf} = (v_{C_1} + v_o)/2$ e CH4: $v_o$ para $v_o^* = 24 V$ . . . . .	99
Figura 6.6	–Comparação dos resultados de simulação e experimentais: (a) resultado de simulação das correntes no indutores. (b) CH1: $s_1$ , CH2: $s_2$ , CH3: $I_{L_1}$ e CH4: $I_{L_2}$ para $v_o = 54 V$ . (c) resultado de simulação das tensões nos capacitores. (d) CH2: $v_{C_1} = v_i$ , CH3: $v_{Cf} = (v_{C_1} + v_o)/2$ e CH4: $v_o$ para $v_o^* = 54 V$ . . . . .	100

Figura 6.7 –Curvas de simulação e experimentais de eficiência do conversor SEPIC multinível proposto para $k = 2$ : (a) Em função da potência de carga para $V_i = 36\text{ V}$ . (b) Em função da tensão de carga para $R_o = 23\ \Omega$ . . . . .	101
Figura C.1 –Modelo da placa de condicionamento de sinais. (a) Esquemático, (b) PCB. . . . .	114
Figura C.2 –Modelo da placa do conversor SEPIC proposto. (a) Esquemático, (b) PCB. . . . .	115

# Sumário

<b>1</b>	<b>Introdução</b>	<b>1</b>
1.1	Apresentação do Tema	1
1.2	Revisão Bibliográfica	3
1.2.1	Conversores CC-CC multinível	3
1.3	Objetivos da Dissertação	10
1.4	Estrutura do trabalho	11
1.5	Produção Científica	15
<b>2</b>	<b>Célula de Comutação Assimétrica Multinível com Capacitor Flutuante.</b>	<b>16</b>
2.1	Duas Células Básicas de Comutação	16
2.1.1	Conversores CC-CC a partir das Células Básicas de Comutação	17
2.2	Célula de comutação assimétrica de três níveis com capacitor flutuante.	19
2.2.1	Estágios de operação	20
2.3	Generalização da célula de comutação com capacitor flutuante	22
2.4	Estratégia de Controle	24
2.4.1	Esquema de Modulação PWM	26
2.4.1.1	Balanceamento de Carga Usando PSPWM	26
2.5	Considerações	28
<b>3</b>	<b>Topologia Proposta: Conversor CC-CC SEPIC com célula de comutação de capacitor flutuante multinível</b>	<b>30</b>
3.1	Descrição do circuito	30
3.1.1	Operação do Conversor Proposto	31
3.1.1.1	Estágio 1	33
3.1.1.2	Estágio 2	34
3.1.1.3	Estágio 3	35
3.1.1.4	Estágio 4	35
3.1.2	Cálculo dos Componentes Reativos	36
3.1.2.1	Dimensionamento dos Elementos para $D < 0,5$	36
3.1.2.2	Dimensionamento dos Elementos para $D > 0,5$	44
3.1.3	Ganho Estático do Conversor com a Célula de Comutação de Três Níveis	48
3.1.4	Tensões RMS dos Indutores com Célula de Comutação de Três Níveis	52
3.1.4.1	Conversor Proposto: para $D < 0,5$	52
3.1.4.2	Conversor Proposto: para $D > 0,5$	53

3.1.4.3	SEPIC Convencional com Célula de Comutação de Dois Níveis . . . . .	53
3.1.5	Correntes RMS dos Capacitores com Célula de Comutação de Três Níveis . . . . .	54
3.1.5.1	Conversor Proposto: para $D < 0.5$ . . . . .	54
3.1.6	Esforços nos Semicondutores . . . . .	56
3.1.6.1	Esforços de Tensão . . . . .	56
3.1.6.2	Esforços de Corrente . . . . .	57
3.1.6.3	SEPIC Convencional com Célula de Comutação de Dois Níveis . . . . .	58
3.1.7	Estimativa do Volume do Núcleo do Indutor . . . . .	59
3.2	Generalização do Conversor SEPIC para $k + 1$ Níveis . . . . .	62
3.2.1	Topologia para $k = 3$ . . . . .	63
3.3	Resultados de Simulação . . . . .	64
3.3.1	Cenário 1: Operação com $V_i = 100$ V e Componentes Ideais . . . . .	64
3.3.2	Cenário 2: Operação com $V_i = 36$ V e Consideração das Perdas Ôhmicas . . . . .	71
3.4	Conclusões Parciais . . . . .	72
<b>4</b>	<b>Topologia Proposta: Conversor CC-CC Ćuk com célula de comutação de capacitor flutuante multinível . . . . .</b>	<b>74</b>
4.1	Descrição do circuito . . . . .	74
4.1.1	Operação do Conversor Proposto . . . . .	76
4.1.1.1	Estágio 1 . . . . .	76
4.1.1.2	Estágio 2 . . . . .	77
4.1.1.3	Estágio 3 . . . . .	77
4.1.1.4	Estágio 4 . . . . .	78
4.1.2	Dimensionamento dos Elementos reativos . . . . .	78
4.2	Generalização do Conversor Ćuk para $k + 1$ Níveis . . . . .	79
4.2.1	Topologia para $k = 3$ . . . . .	81
4.3	Resultados de Simulação . . . . .	82
4.4	Conclusões Parciais . . . . .	84
<b>5</b>	<b>Topologia Proposta: Conversor CC-CC Zeta com célula de comutação de capacitor flutuante multinível . . . . .</b>	<b>85</b>
5.1	Descrição do circuito . . . . .	85
5.1.1	Operação do Conversor Proposto . . . . .	86
5.1.1.1	Estágio 1 . . . . .	87
5.1.1.2	Estágio 2 . . . . .	88
5.1.1.3	Estágio 3 . . . . .	88



5.1.1.4	Estágio 4 . . . . .	89
5.1.2	Dimensionamento dos Elementos reativos . . . . .	89
5.2	Generalização do Conversor Zeta para $k + 1$ Níveis . . . . .	90
5.2.1	Topologia para $k = 3$ . . . . .	92
5.3	Resultados de Simulação . . . . .	92
5.4	Conclusões Parciais . . . . .	95
<b>6</b>	<b>Resultados . . . . .</b>	<b>96</b>
6.1	Protótipo . . . . .	96
6.1.1	Placa de condicionamento de sinais . . . . .	96
6.1.2	Conversor SEPIC proposto . . . . .	96
6.2	Resultados Experimentais . . . . .	97
6.2.1	Análise de Eficiência . . . . .	100
<b>7</b>	<b>Conclusões Gerais e Trabalhos Futuros . . . . .</b>	<b>102</b>
7.1	Conclusões Gerais . . . . .	102
7.2	Trabalhos Futuros . . . . .	103
	<b>Referências . . . . .</b>	<b>105</b>
<b>A</b>	<b>Cálculo dos Elementos Reativos . . . . .</b>	<b>108</b>
A.1	Cálculo dos Elementos Reativos do Conversor SEPIC . . . . .	108
A.1.1	Cenário 1: Tensão de Entrada $V_i = 100V$ . . . . .	108
<b>B</b>	<b>Valores Médios das Tensões e Correntes . . . . .</b>	<b>110</b>
B.0.1	Cenário 1: Tensão de Entrada $V_i = 100V$ . . . . .	110
B.0.2	Cenário 2: Tensão de Entrada $V_i = 36V$ . . . . .	111
<b>C</b>	<b>Desenvolvimento de Layout das placas . . . . .</b>	<b>113</b>

# Introdução

---

## 1.1 Apresentação do Tema

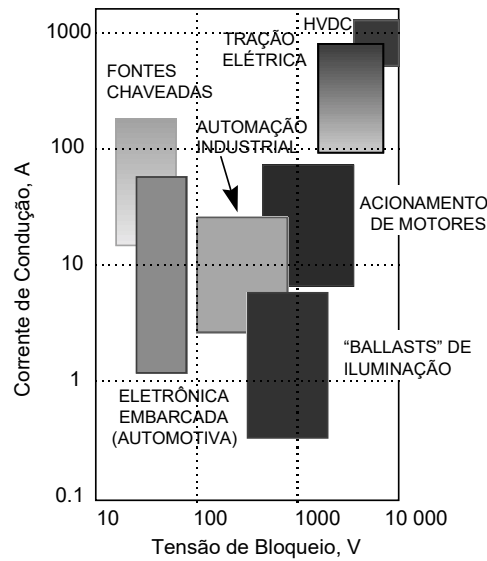
A eletrônica de potência é uma área da ciência dedicada ao desenvolvimento de conversores estáticos de potência, com o objetivo de otimizar a eficiência e a qualidade nos processos de conversão de energia elétrica. No entanto, a operação desses conversores é limitada pelas características dos dispositivos de comutação, cujas restrições são determinadas pelas propriedades físicas dos materiais semicondutores. Desta forma, grandes quantidades de pesquisas estão sendo realizadas em torno do desenvolvimento de novos dispositivos de comutação semicondutores com maior capacidade de suportar tensões (SILVA, 2014).

A Fig. 1.1 mostra as principais aplicações de Eletrônica de Potência, em função da tensão de bloqueio e corrente de condução exigida dos componentes semicondutores (BALIGA, 1995; BRAGA; BARBI, 2000).

Novos dispositivos são normalmente mais caros, de difícil acesso e pouco conhecidos. Não raro, os engenheiros preferem empregar componentes bem estabelecidos no mercado, de baixo custo e confiáveis (BRAGA; BARBI, 2000). Nesse sentido, para garantir a operação em níveis elevados de tensão, mantendo a confiabilidade, pode-se recorrer a diversos recursos, sendo um deles a associação em série de células de comutação. Além de permitir o uso de dispositivos de comutação utilizados em aplicações convencionais, essa estratégia viabiliza a operação em multinível.

Os conversores CC-CC são fundamentais na eletrônica de potência, sendo amplamente usados para ajustar níveis de tensão contínua em diversas aplicações, como dispositivos eletrônicos portáteis, sistemas automotivos e fontes de alimentação industriais. Com topologias que permitem elevar, reduzir ou inverter a tensão, eles são versáteis para carregar baterias, integrar painéis solares e regular a energia em sistemas de distribuição. No entanto, estes conversores apresentam problemas significativos como a alta tensão de

Figura 1.1 – Aplicações típicas da Eletrônica de Potência.



Fonte: (BRAGA; BARBI, 2000).

bloqueio nos semicondutores e a necessidade de filtros indutivos de grande porte limitam a eficiência e a compactação dos sistemas.

Para mitigar esses desafios, a implementação de conversores CC-CC multiníveis surge como uma solução eficaz, ao distribuir a tensão entre múltiplos níveis, reduzindo as tensões sobre os semicondutores e possibilitando o uso de indutores de menor porte, sem comprometer o desempenho do sistema. Esses conversores permitem o uso de núcleo magnético reduzido e capacitores de alta densidade de potência (BEZERRA; MORAIS; VITORINO, 2023).

A redução da indutância, comumente proporcionada pelos conversores multinível, também traz benefícios diretos às capacidades dinâmicas do conversor, especialmente quando combinada com técnicas avançadas de controle (BONANNO; CORRADINI, 2021). Mais recentemente, a topologia de capacitor flutuante de três níveis (3LFC) tem atraído interesse em aplicações automotivas de conversão de baixa tensão e baixa potência, especialmente onde há restrições de espaço (XUE; LEE, 2016; PONNIRAN; ORIKAWA; ITOH, 2016; GLEISSNER; BAKRAN, 2016; ABDELHAMID et al., 2019).

Nesse contexto, houve um aumento significativo nas pesquisas e estudos sobre conversores de potência multinível, particularmente nas topologias de conversores com capacitor flutuante (ZHANG; PENG; QIAN, 2004). A adição de um capacitor flutuante na topologia dos conversores CC-CC traz várias contribuições, como, por exemplo, a alta taxa de conversão de tensão, baixo ripple de corrente de entrada, causando uma redução no tamanho do filtro de entrada, além da redução das perdas no núcleo do indutor e no material magnético (KEYHANI; TOLIYAT, 2012).

Assim, este trabalho propõe topologias CC-CC multiníveis com capacitor flutuante. Três configurações CC-CC são propostas e analisadas. Este estudo envolve análise teórica, dedução de equações matemáticas essenciais do conversor, simulações numéricas e validação através de resultados experimentais.

## 1.2 Revisão Bibliográfica

Esta seção contém uma revisão da literatura sobre conversores CC-CC multinível.

### 1.2.1 Conversores CC-CC multinível

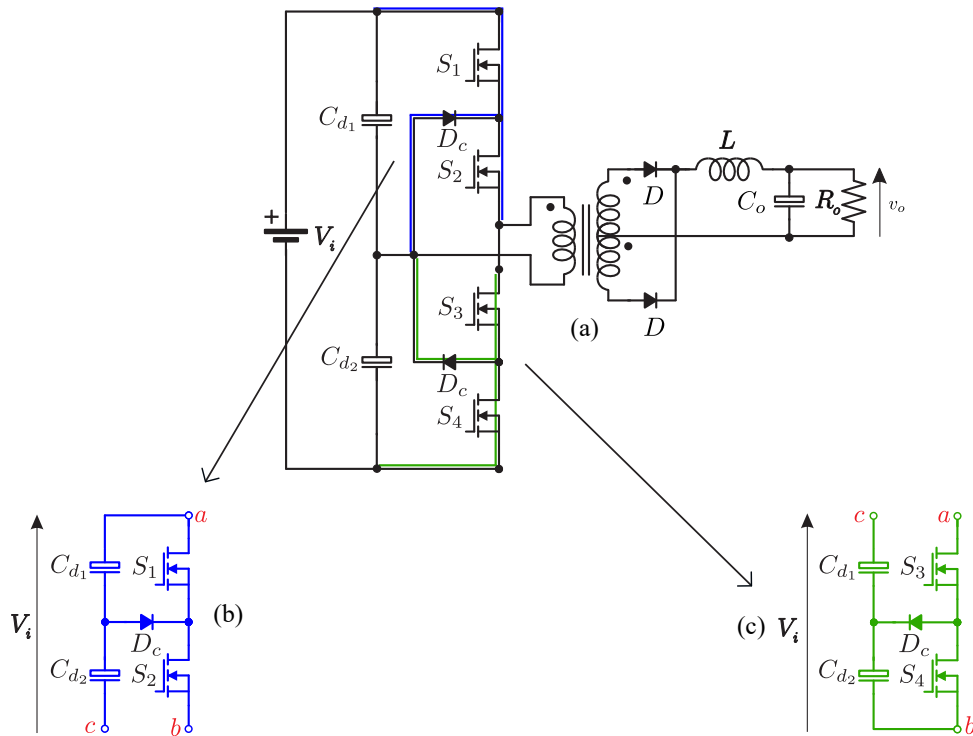
Os primeiros estudos sobre conversores de três níveis (TL) surgiram a partir de patentes registradas na década de 1960 (TRAMPEL, 1962; GRUODIS; LANGE; MCANNEY, 1964), onde circuitos eram propostos para aplicações em sistemas de computação, explorando uma lógica ternária em vez da convencional binária. No entanto, foi a partir dos anos 1980 que essa abordagem passou a ser adaptada e aplicada ao campo da eletrônica de potência.

O trabalho de (NABAE; TAKAHASHI; AKAGI, 1981) introduziu o inversor multinível com diodo grampeado no ponto neutro (NPC, do inglês Neutral-Point-Clamped), também conhecido como inversor de três níveis (TL-NPC). O inversor NPC é a topologia multinível mais amplamente aceita para aplicações de média tensão e alta potência, devido às suas vantagens inerentes, como baixo estresse nos interruptores semicondutores de potência e baixa distorção harmônica total na corrente e na tensão (PAYAMI; BEHERA; IQBAL, 2018; KOURO et al., 2010; FRANQUELO et al., 2008; RODRIGUEZ et al., 2007; SONG et al., 2006).

Pouco tempo depois, outros pesquisadores expandiram a aplicação da topologia NPC para conversores CC-CC, incluindo o trabalho de (PINHEIRO; BARBI, 1992), que adaptaram o conceito para reduzir o estresse de tensão em conversores de média e alta potência (Fig. 1.2(a)).

A partir de então, novas topologias surgiram como melhorias do conversor proposto por (PINHEIRO; BARBI, 1992). Em (RUAN; LI; CHEN, 2002; RUAN et al., 2008), o autor demonstra como o método de derivação do conversor (TL-ZVS-PWM)(Fig. 1.2(a)) pode ser estendido para diferentes tipos de conversores CC-CC, levando à criação de uma família de conversores CC-CC TL com diodos de grampeamento, que possuem a importante vantagem de reduzir o estresse de tensão nos interruptores. O autor demonstra que, devido à forma como o diodo de grampeamento e o ponto central do divisor capacitivo estão conectados, é possível extrair dois tipos de células de comutação TL (TLSC) do conversor. Conforme ilustrado na Fig. 1.2(b), temos a célula de ânodo TLSC (A-TLSC), e na Fig. 1.2(c), a célula de cátodo TLSC (C-TLSC), respectivamente.

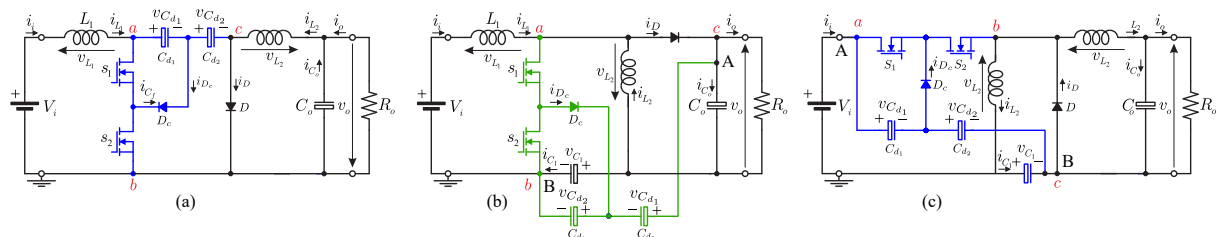
Figura 1.2 – Derivação das Células de comutação de três Níveis com diodo de grampeamento. (a) Conversor de três tíveis em meia ponte, (b) Célula de comutação de três níveis na configuração anodo, (c) Célula de comutação de três níveis na configuração cátodo.



A partir destas células, é possível obter uma família completa de conversores TL para várias topologias. A Fig. 1.3 mostra a família derivada de três conversores CC-CC TL não isolados, baseados nas topologias Ćuk, SEPIC e Zeta.

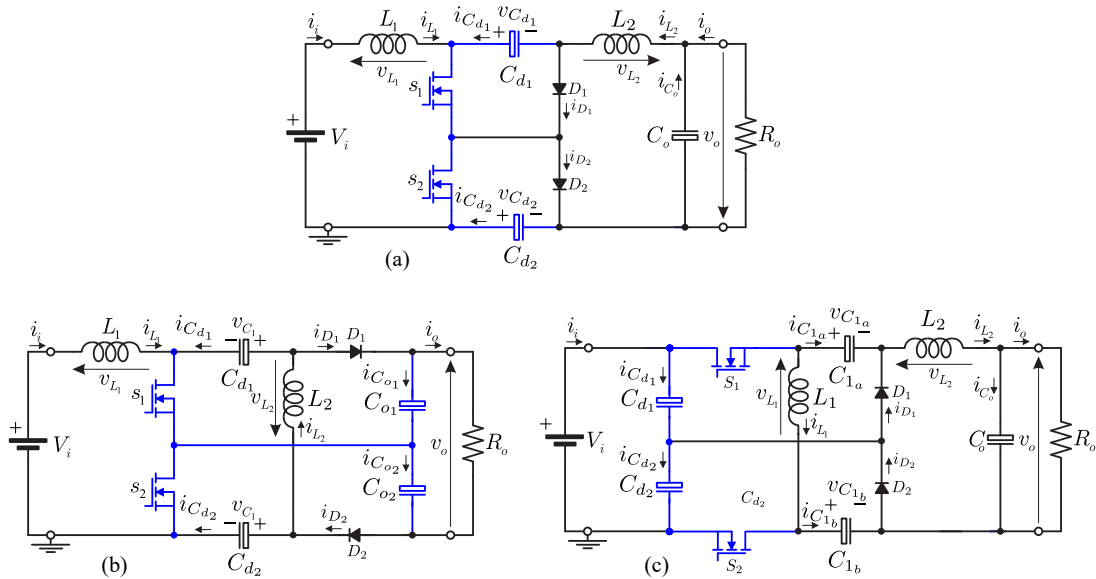
Nos conversores Ćuk, SEPIC e Zeta, o estresse de tensão do interruptor é  $V_{in} + V_o$ . No caso do Ćuk, essa tensão pode ser encontrada no capacitor de transferência de energia, que é dividido em dois capacitores em série,  $C_1$  e  $C_2$ , usados como fonte de tensão de clamping (Fig. 1.3(a)). Já para os conversores SEPIC e Zeta, essa fonte de tensão não está diretamente disponível no circuito. Para desenvolvê-la, dois capacitores idênticos são conectados em série e em paralelo com os pontos A e B, formando as fontes de clamping (Figs. 1.3(b) e 1.3(c)).

Figura 1.3 – Conversores de três níveis não isolados. (a) Ćuk, (b) SEPIC, (c) Zeta.



A Fig. 1.4 apresenta topologias simplificadas dos conversores multinível Ćuk, SEPIC e Zeta, conforme proposto por (RUAN; LI; CHEN, 2002; RUAN et al., 2008), obtidas pela integração das células A-TLSC e C-TLSC em uma única estrutura de conversor. Essas topologias serviram de base para diversos estudos que buscaram aprimorar o processamento de energia e explorar novas aplicações.

Figura 1.4 – Conversores básicos de três níveis aprimorados. (a) Ćuk, (b) SEPIC, (c) Zeta.

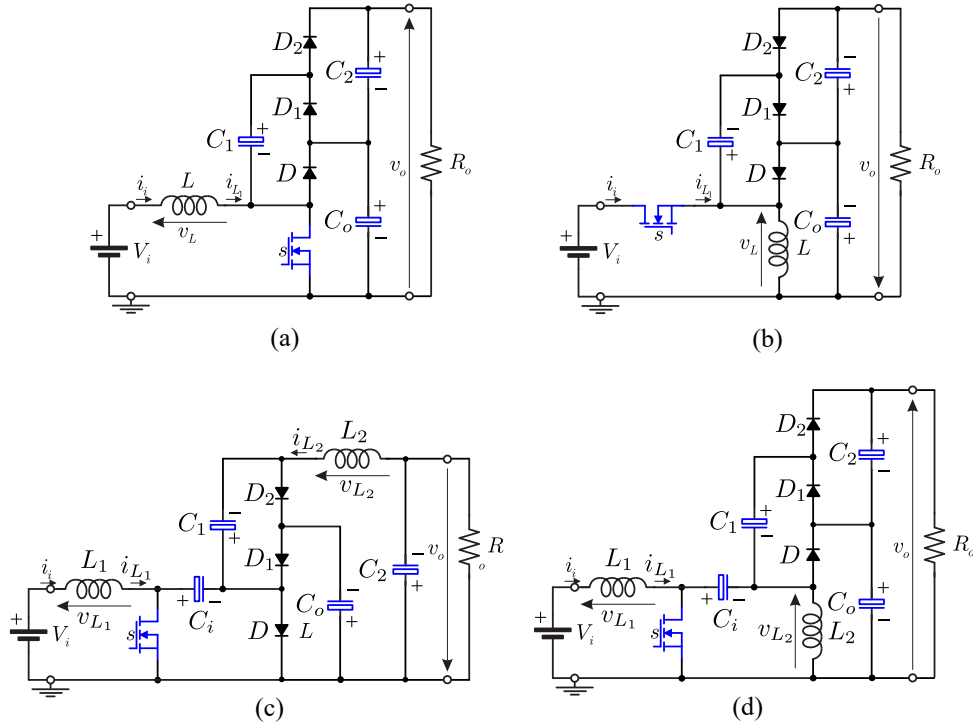


Em (GUPTA; MAURYA; ARYA, 2020) é proposto um conversor CC-CC para carregadores de bateria embarcados em veículos elétricos. A configuração do sistema inclui um retificador de ponte de diodos (conectado à rede) seguido de um conversor SEPIC CC-CC de três níveis, conforme descrito no trabalho de (RUAN; LI; CHEN, 2002; RUAN et al., 2008). O conversor é capaz de melhorar a qualidade da energia, reduzindo a distorção harmônica total (THD) da corrente, corrigindo o fator de potência e regulando com precisão a tensão de saída por meio de um esquema de controle de avanço. Por outro lado, em (ZHOU; LI, 2011) foi explorado um conversor SEPIC CC-CC isolado de três níveis, também baseado no trabalho de (RUAN; LI; CHEN, 2002; RUAN et al., 2008). No entanto, esse tipo de conversor isolado requer dois transformadores, o que aumenta o custo de fabricação e pode reduzir a eficiência do sistema.

O artigo apresentado por (ROSAS-CARO et al., 2010) propõe uma família de conversores CC-CC multiníveis baseados em multiplicadores de tensão com capacitores, permitindo alto ganho de tensão sem ciclos de trabalho extremos e sem necessidade de transformadores. São analisadas topologias derivadas dos conversores Buck-Boost, Ćuk, SEPIC e Zeta, demonstrando vantagens como menor estresse de tensão nos dispositivos de chaveamento, modularidade e possibilidade de adição de múltiplos níveis sem modificações estruturais significativas. O estudo enfatiza a aplicação dessas topologias em sistemas de

geração de energia renovável, onde a conversão de baixa para alta tensão é essencial.

Figura 1.5 – Conversores. (a) Boost, (b) Buck-Boost, (c) Ćuk, (d) SEPIC.

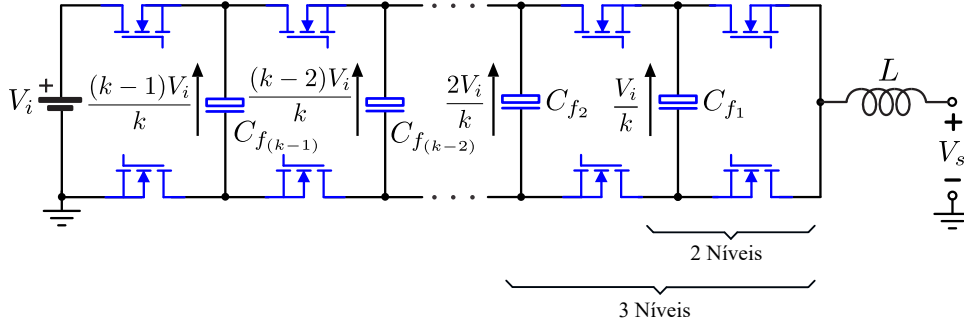


Em (AXELROD; BERKOVICH; IOINOVICI, 2008) propõe-se novas estruturas de conversores CC-CC híbridos sem transformador, utilizando células de capacitores chaveados (Switched-Capacitor - SC) e indutores chaveados (Switched-Inductor - SL). Essas estruturas possibilitam a implementação de conversores Buck, Boost, Buck-Boost, Ćuk, SEPIC e Zeta com maior razão de conversão de tensão sem necessidade de transformadores, reduzindo perdas e melhorando a eficiência. A análise demonstra que os conversores híbridos apresentam menor estresse de tensão e corrente nos componentes de chaveamento levando a menores perdas de condução, além de menor armazenamento de energia nos elementos magnéticos, resultando em menor custo e volume dos indutores.

Os conversores CC-CC TL apresentados em (RUAN; LI; CHEN, 2002; RUAN et al., 2008) são baseados no inversor TL com diodos de grampeamento. No entanto, é possível derivar uma família diferente de conversores TL utilizando o conceito de conversor TL com capacitor flutuante apresentado na Fig. 1.6.

Os conversores multinível com capacitor flutuante (FC) foram originalmente introduzidos por (MEYNARD; FOCH, 1992) como células de comutação versáteis para aplicações de alta tensão e alta potência. Posteriormente, essas soluções tornaram-se atraentes como uma alternativa compacta (ABDELHAMID et al., 2019), ganhando destaque em aplicações CC-CC de baixa tensão, como eletrônicos de baixo consumo e sistemas automotivos. (BONANNO; CORRADINI, 2021).

Figura 1.6 – Conversor multinível Flying-Capacitor.



As principais vantagens desse conversor incluem a redução da tensão sobre os interruptores para  $V/k$ , onde  $k$  é o número de interruptores. Isso permite reduzir o tamanho dos elementos magnéticos, devido ao uso de indutores menores, o que melhora a resposta transitória (ABDELHAMID et al., 2018) e facilita a expansão do sistema. No entanto, apesar dessas vantagens, os capacitores são submetidos a tensões mais elevadas, de modo que o capacitor mais externo  $C_{f(k-1)}$  fica exposto a uma tensão próxima à de entrada, conforme ilustrado na Fig. 1.6 (COSTA et al., 2013).

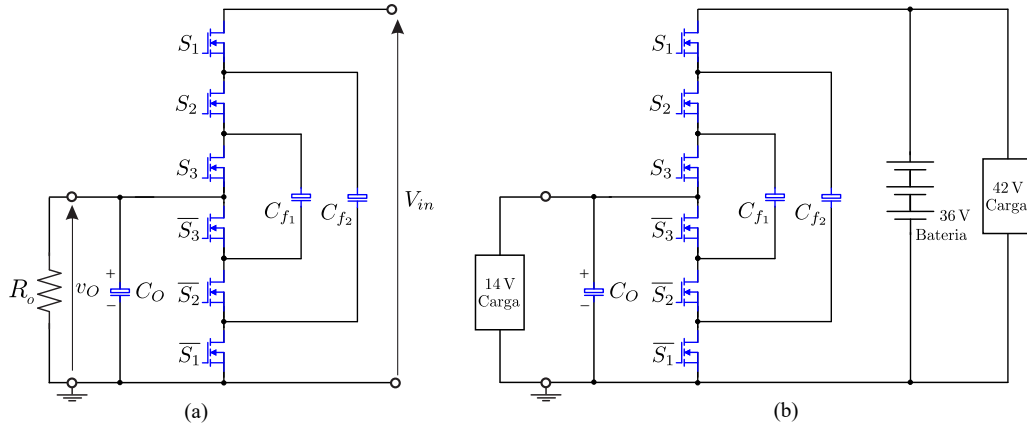
Obviamente, o uso de dois interruptores (em vez de um) em cada conexão de comutação do conversor aumenta os custos e as perdas na comutação. No entanto, esses compromissos para reduzir o estresse de tensão são frequentemente necessários no desenvolvimento de conversores para conversão CC-CC de alta tensão e média a alta potência. Isso ocorre porque, atualmente, é mais econômico usar dois interruptores de baixa tensão do que um único de alta tensão (RUAN et al., 2008). Além disso, o uso de conversores multiníveis é justificado quando precisam ser empregados em sistemas compactos onde há restrições de espaço.

O artigo (ZHANG; PENG; QIAN, 2004) destaca as vantagens dos conversores multiníveis na redução de distorções harmônicas, estresses de tensão e emissões eletromagnéticas, além de proporcionar alta eficiência. As topologias de diodos de fixação e capacitores flutuantes são analisadas, com ênfase na segunda devido à sua maior redundância nos estados de comutação e facilidade de balanceamento, apesar da necessidade de mais capacitores. A Fig. 1.7(a) apresenta um conversor de quatro níveis baseado em capacitores flutuantes, que dispensa componentes magnéticos, reduzindo peso e custo, enquanto a Fig. 1.7(b) mostra um estudo de caso do conversor aplicado a um sistema automotivo de 42 V/14 V.

O artigo (PAN; ZHANG; PENG, 2005) analisa as perdas de potência e eficiência em conversores CC-CC multiníveis, destacando perdas por carga dos capacitores, condução, comutação e no circuito de controle. Utilizando um conversor de três níveis como base para desenvolver uma metodologia generalizável a conversores de capacitores flutuantes, o



Figura 1.7 – Conversor CC-CC com capacitores flutuantes. (a) de quatro níveis. (b) Conversor CC-CC de quatro níveis utilizado em sistemas automotivos de 42 V.



estudo demonstra que as perdas por carregamento dos capacitores são predominantes em baixas frequências, enquanto as perdas por comutação se tornam significativas em altas frequências, fornecendo diretrizes quantitativas para otimização do projeto.

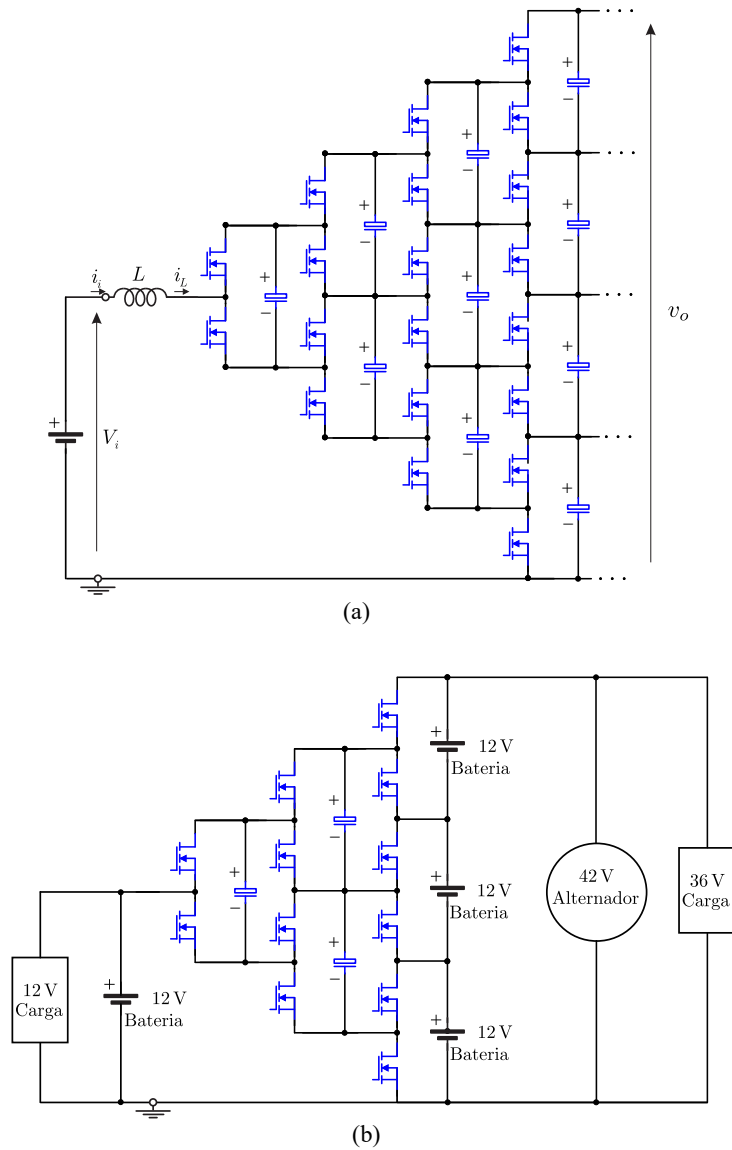
A aplicação imediata da topologia do conversor multinível generalizado pode incluir conversores CC-CC baseados em capacitores flutuantes e multiplicadores de tensão, conforme discutido anteriormente. No entanto, existem na literatura diversos trabalhos que discute conversor multinível generalizado aplicados em conversão CC-CC.

Em (PENG, 2001) propõe uma topologia multinível generalizada em cascata com balanceamento automático de tensão, eliminando a necessidade de circuitos auxiliares para manter os níveis de tensão equilibrados. A Fig. 1.8(a) apresenta um conversores CC-CC de cinco níveis bidirecional baseado em capacitores flutuantes. Já a Fig. 1.8(b) mostra a aplicação do conversor de quatro níveis em um sistema de bateria dupla para automóveis e conversão de potência sem elementos magnéticos, onde MOSFETs de baixa tensão são empregados.

O artigo (FAN et al., 2015) propõe um conversor CC-CC multinível com capacitores flutuantes reduzidos, estrutura compacta, tensão de saída ajustável e capacidade de alta tensão e alta potência. A topologia proposta pode ser vista como dois conversores FC de  $(m + 1)$  níveis conectados em série no lado de entrada e de saída. A Fig. 1.9(a) apresenta a topologia generalizada do conversor de  $n$ -níveis com capacitores flutuantes, destacando a capacidade bidirecional de fluxo de potência. Na Fig. 1.9(b) e Fig. 1.9(c) é mostrado uma implementação três e cinco níveis, respectivamente. A análise teórica é complementada por um modelo de valor médio, e um método de controle em malha dupla é desenvolvido para manter o balanceamento das tensões no barramento CC e nos capacitores flutuantes.

Em (MONTESINOS-MIRACLE et al., 2013), são comparadas três topologias de três níveis em cascata de conversores CC-CC aplicados a sistemas de frenagem regenerativa:

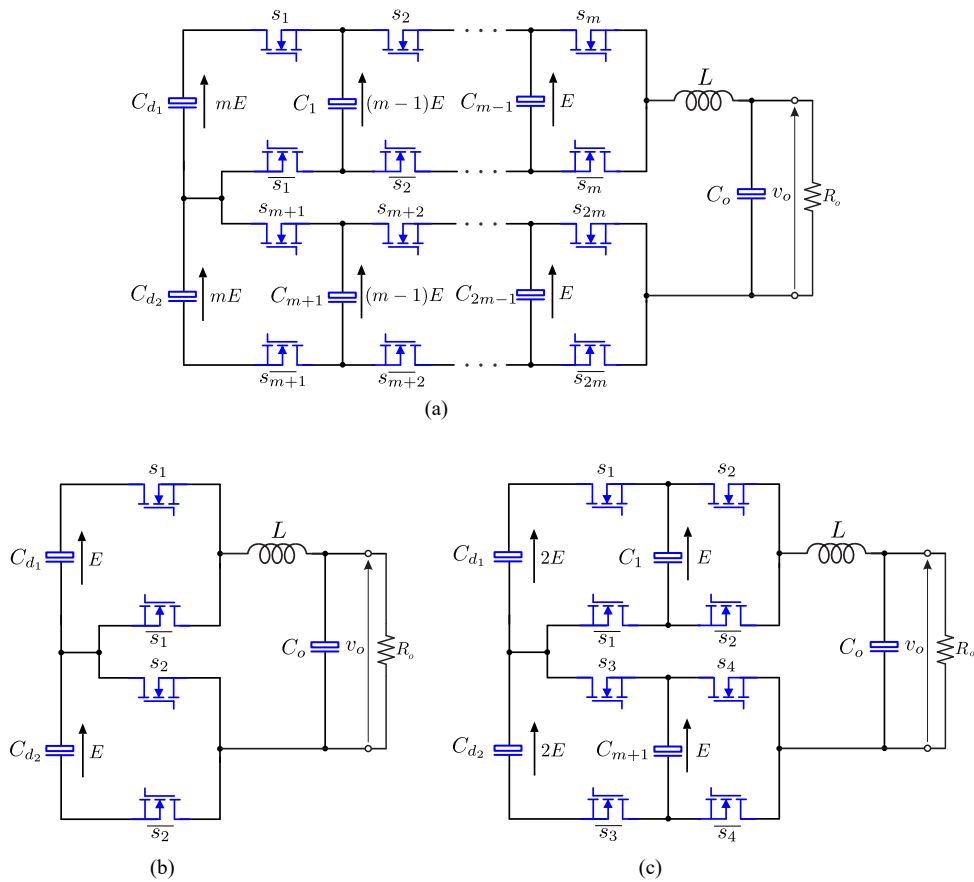
Figura 1.8 – Conversores CC-CC multiníveis FC em cascata. (a) Conversor generalizado para aplicações em conversores CC-CC de capacitor chaveado e multiplicadores de tensão, com fluxo de potência bidirecional. (b) Conversor de quatro níveis aplicado em um sistema de bateria dupla em automóveis.



*Cascaded Buck* (CBk) (Fig. 1.10(a)), *Cascaded Boost* (CBt) (Fig. 1.10(b)) e o *Modular Multilevel DC-DC Converter* (MMC) (Fig. 1.10(c)), todos baseados no conversor *half-bridge* (HB). A análise demonstra que o conversor MMC se destaca por reduzir a tensão aplicada ao indutor e aumentar a frequência de operação, possibilitando a diminuição do tamanho e peso do indutor. Além disso, o controle baseado em modulação por defasagem garante o balanceamento de tensão nos supercapacitores, melhorando a eficiência e a confiabilidade do sistema.

As Tabelas 1.1 e 1.2 apresentam uma comparação entre diferentes topologias de conversores CC-CC multiníveis discutido na revisão bibliográfica deste trabalho. Nelas, são destacados aspectos estruturais e funcionais das topologias, como a presença de arranjos

Figura 1.9 – (a) Conversor CC-CC multinível baseado em capacitores flutuantes, (b) Conversor CC-CC de três níveis, (c) Conversor CC-CC de cinco níveis.



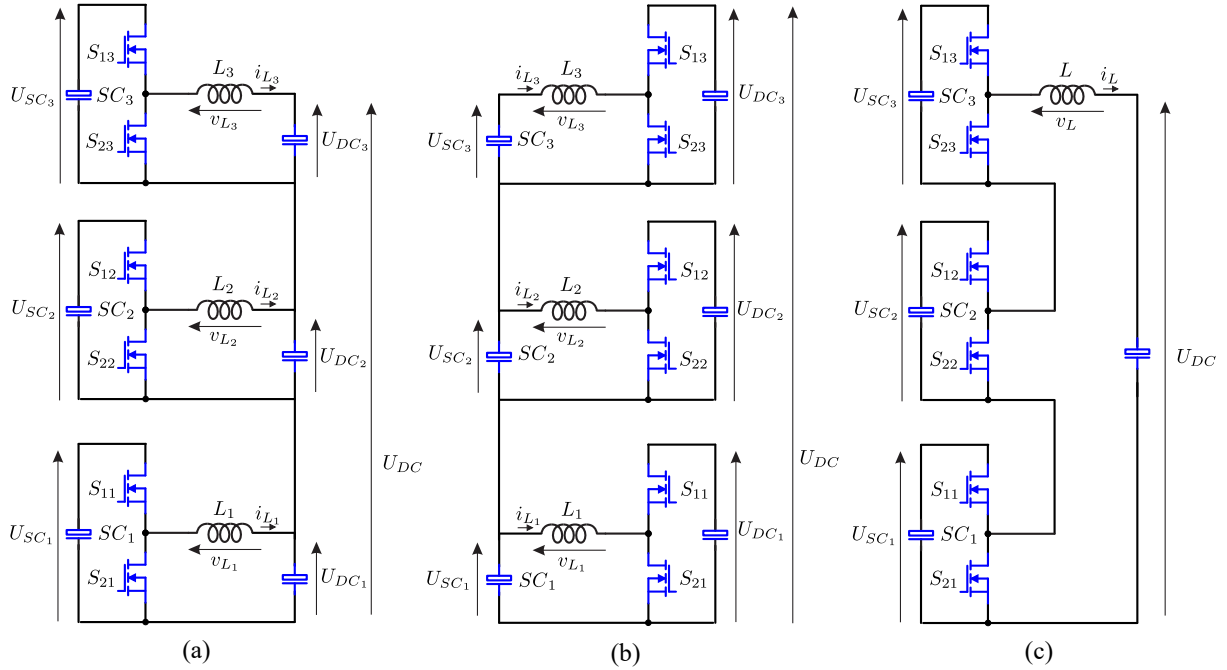
*Diode-Clamp*, *Flying-Capacitor* e modulares, além de características operacionais, incluindo bidirecionalidade, uso de elementos magnéticos e compatibilidade com diferentes configurações de conversores, como *Buck*, *Boost*, *Buck-Boost*, *Ćuk*, *SEPIC* e *Zeta*. A tabela permite uma visão comparativa entre as abordagens propostas por diversos autores, facilitando a identificação das principais contribuições e aplicações das diferentes arquiteturas na conversão de energia elétrica.

### 1.3 Objetivos da Dissertação

Após definir o tema da pesquisa e apresentar a revisão da literatura, os objetivos podem ser definidos como:

- Propor e analisar configurações CC-CC com características multinível, que permitam reduzir as tensões nos dispositivos semicondutores, voltadas para aplicações em sistemas compactos com limitações de espaço;
- Generalizar as topologias proposta;

Figura 1.10 – Exemplo das topologias comparadas. (a) CBk. (b) CBt. (c) MMC.



- Propor um método de chaveamento PWM e estudar o sistema de controle associado a cada topologia, visando garantir o balanceamento dos capacitores flutuantes e a regulação da tensão na carga;
- Disponibilizar critérios de projeto para os conversores, incluindo o cálculo dos elementos reativos com base em equações para as topologias propostas;
- Avaliar, por meio de análises topológicas, as configurações propostas em comparação com as opções convencionais, considerando os esforços de tensão e corrente nos interruptores, o número de níveis sintetizados, bem como os valores eficazes de corrente e tensão nos elementos reativos, entre outros aspectos;
- Avaliar e demonstrar o funcionamento e o desempenho das configurações propostas por meio de simulações computacionais, utilizando análises gráficas para comparar as alternativas desenvolvidas com as configurações convencionais já presentes na literatura;
- Por fim, validar os resultados das simulações por meio de experimentos laboratoriais, sempre que possível, demonstrando a viabilidade das configurações propostas através de testes e montagens experimentais.

## 1.4 Estrutura do trabalho

Este trabalho apresenta a seguinte distribuição:

Tabela 1.1 – Comparação de diferentes topologias de conversores CC-CC multiníveis e suas características específicas apresentado na referência bibliográficas. Parte I

Referência	Descrição	Diode-Clamp	Flying-Capacitor	Modular	Bidirecional	Ele. Magnéticos	Buck	Boost	Buck-Boost	Ćuk	SEPIC	Zeta
(PINHEIRO; BARBI, 1992)	Expansão da topologia NPC para um conversor CC-CC ZVS de três níveis	x				x						x
(RUAN; LI; CHEN, 2002; RUAN et al., 2008)	Novas topologias baseadas em células de comutação	x				x	x	x	x	x	x	x
(ZHOU; LI, 2011)	Conversor isolado TL: análise estática, modelagem e estratégias de controle são discutidas.	x				x					x	
(ROSAS-CARO et al., 2010)	Novas topologias baseados em multiplicadores de tensão com capacitores.			x		x			x	x	x	x
(MEYNARD; FOCH, 1992)	Propõe uma célula de comutação multinível destinado a conversores CC-CC e CC-CA		x	x	x	x	x	x				
(ZHANG; PENG; QIAN, 2004)	Discute topologias CC-CC multinível em aplicações isoladas e não isoladas.	x	x		x	x						
(PAN; ZHANG; PENG, 2005)	Análise de perdas e eficiência em conversores multiníveis.		x		x							

- Parte I: Introdução e Revisão Bibliográfica

Tabela 1.2 – Comparação de diferentes topologias de conversores CC-CC multiníveis e suas características específicas apresentado na referência bibliográficas. Parte II (Continuação)

Referência	Descrição	Diode-Clamp	Flying-Capacitor	Modular	Bidirecional	Ele. Magnéticos	Buck	Boost	Buck-Boost	Ćuk	SEPIC	Zeta
(PENG, 2001)	Generalização de topologias CC-CA e CC-CC em cascata com equilíbrio automático de nível de tensão CC. Conversores convencionais podem ser derivados dessa topologia.		x	x	x							
(FAN et al., 2015)	Propõe um conversor CC-CC multinível generalizado. É apresentado um modelo médio, e um método de controle em malha dupla para balanceamento no barramento CC e nos capacitores flutuantes.		x	x	x	x	x					
(MONTESINOS-MIRACLE et al., 2013)	Comparação entre topologias de três níveis em série aplicadas à frenagem regenerativa.			x	x	x	x	x				

- **Capítulo 1:** Foi introdutório, contextualizou, e identificou o tema do trabalho. Foi realizada uma revisão bibliográfica acerca dos conversores CC-CC multiníveis destacando aspectos estruturais e funcionais das topologias, como a presença de arranjos *Diode-Clamp*, *Flying-Capacitor* e modulares, além de características operacionais, incluindo bidirecionalidade, uso de elementos magnéticos e compatibilidade com diferentes configurações de conversores, como

*Buck, Boost, Buck-Boost, Ćuk, SEPIC e Zeta.*

- Parte II: Células Básicas de Comutação com Capacitor Flutuante

- **Capítulo 2:**

Será realizado um estudo acerca das células de comutação com capacitor flutuante, são descritas as células de dois níveis, seguidas pelas topologias de três e quatro níveis, destacando benefícios como a redução do estresse de tensão dos conversores CC-CC. Além disso, são discutidos os princípios de operação, estratégias de controle e métodos de modulação, incluindo esquemas PWM para o balanceamento da tensão dos capacitores flutuantes.

- Parte III: Conversores CC-CC Multiníveis Propostos

- **Capítulo 3:** Será apresentada a topologia proposta (Conversor CC-CC SEPIC com célula de comutação de capacitor flutuante multinível) nas versões de três níveis, quatro níveis e na forma generalizada para  $n$  níveis. Serão realizadas análises do funcionamento do conversor proposto de três níveis, considerando seus estágios de operação e a formação das formas de onda de tensão e corrente nos principais elementos do circuito. Além disso, será apresentada uma análise matemática que possibilita o dimensionamento dos elementos reativos e a avaliação dos esforços nos interruptores e diodos. A estratégia de modulação escolhida será implementada juntamente com diversas análises sobre o conversor. Serão apresentadas simulações realizadas no software PSIM<sup>TM</sup> para dois cenários distintos, com o objetivo de validar a teoria, ilustrando as principais formas de onda. O projeto do protótipo será descrito na Seção 6, incluindo a análise da densidade de potência e a especificação dos componentes utilizados.

- **Capítulo 4:** Será apresentada a topologia proposta (Conversor CC-CC Ćuk com célula de comutação de capacitor flutuante multinível). Neste capítulo será descrita de forma mais breve, uma vez que a análise do conversor Ćuk é semelhante à apresentada na seção 3.

- **Capítulo 5:** Será apresentada a topologia proposta (Conversor CC-CC Zeta com célula de comutação de capacitor flutuante multinível), também descrito de forma mais breve.

- Parte IV: Resultados e Conclusões

- **Capítulo 6:** Serão apresentados uma placa de condicionamento de sinais, e um protótipo do conversor SEPIC proposto. Além disso, serão exibidos resultados experimentais em diferentes condições de operação.
- **Capítulo 7:** Serão apresentadas as conclusões do trabalho, e listadas as propostas para trabalhos futuros.

## 1.5 Produção Científica

Como resultado deste trabalho, dois artigos científicos foram publicados em congresso internacional do IEEE (*Institute of Electrical and Electronic Engineers*), são eles:

- **Título:** "SEPIC DC-DC Converter With Multilevel Flying Capacitor Switching Cell"  
**Autores:** Vitorino, M. A.; Morais, R. B.; Abrantes-Ferreira, A. J. G; Corrêa, M. B. de R.  
**Publicado em:** IEEE Energy Conversion Congress and Exposition (ECCE) 2023.  
**Situação:** Publicado no periódico em 29 de Dezembro de 2023.
- **Título:** "Small Signal Modeling of DC-DC SEPIC Converter With Multilevel Flying Capacitor Switching Cell"  
**Autores:** Morais, R. B.; Vitorino, M. A.; Friebe, J.  
**Publicado em:** IEEE Energy Conversion Congress and Exposition (ECCE) 2023.  
**Situação:** Aguardando ser adicionado ao IEEE Xplore. Publicado em Outubro de 2024.

Além destes, também foi publicado um artigo científico em congresso nacional do IEEE:

- **Título:** "Ćuk DC-DC Converter with Multilevel Flying Capacitor Switching Cell"  
**Autores:** Bezerra, V. F.; Morais, R. B.; Vitorino, M. A.  
**Publicado em:** 2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)  
**Situação:** Publicado no periódico em 1 de Fevereiro de 2024.



# Célula de Comutação Assimétrica Multinível com Capacitor Flutuante.

---

Neste capítulo, será apresentada uma análise detalhada das células de comutação assimétricas multinível que utilizam capacitores flutuantes. O estudo começa com a descrição das células de dois níveis, baseando-se nos conceitos fundamentais discutidos por autores renomados na área de eletrônica de potência. Em seguida, serão exploradas as topologias de três e quatro níveis, destacando suas vantagens na redução do estresse de tensão e na melhoria do desempenho geral dos conversores CC-CC. Serão abordados ainda os princípios de operação, estratégias de controle e métodos de modulação, incluindo esquemas de controle baseados em PWM, que asseguram o balanceamento da tensão dos capacitores flutuantes.

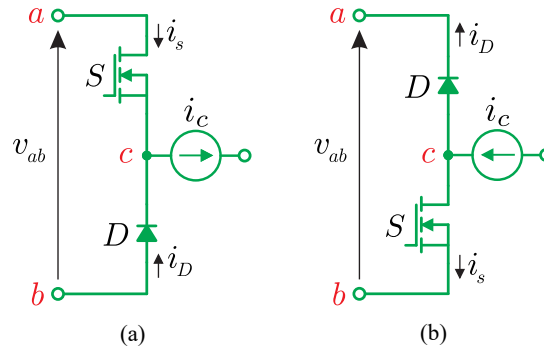
## 2.1 Duas Células Básicas de Comutação

O trabalho apresentado por (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009) discute as células básicas de comutação de dois níveis, estruturas fundamentais para a construção de todos os circuitos de eletrônica de potência. Os autores demonstram como os circuitos existentes podem ser redesenhados a partir dessas células.

A Fig. 2.1 apresenta as duas células básicas de comutação (Célula **P** e Célula **N**) definidas pelos autores. Cada célula é composta por um dispositivo de comutação (MOSFET ou IGBT) e um diodo conectados a três terminais: (*a*), (*b*) e (*c*). Cada célula possui um terminal comum, representado pelo terminal (*c*) no diagrama.

Para a célula **P**, esse terminal comum é conectado ao terminal positivo de uma fonte de corrente ou de um indutor. Já para a célula **N**, esse terminal comum é conectado ao terminal negativo de uma fonte de corrente ou de um indutor. O dispositivo de comutação

Figura 2.1 – Célula de comutação totem-pole assimétrica de dois níveis. (a) Polaridade positiva, (b) Polaridade negativa.



ativo em uma célula **P** está conectado entre o terminal  $a$  e o terminal comum  $c$ , enquanto, em uma célula **N**, o dispositivo de comutação está conectado entre o terminal  $b$  e o terminal comum  $c$ . Dessa forma, a célula **P** é o circuito espelhado da célula **N** e vice-versa.

Embora essas células de comutação apresentem apenas dois componentes, elas podem ser combinadas de diferentes formas para criar diversos circuitos eletrônicos de potência, como será visto na seção 2.1.1

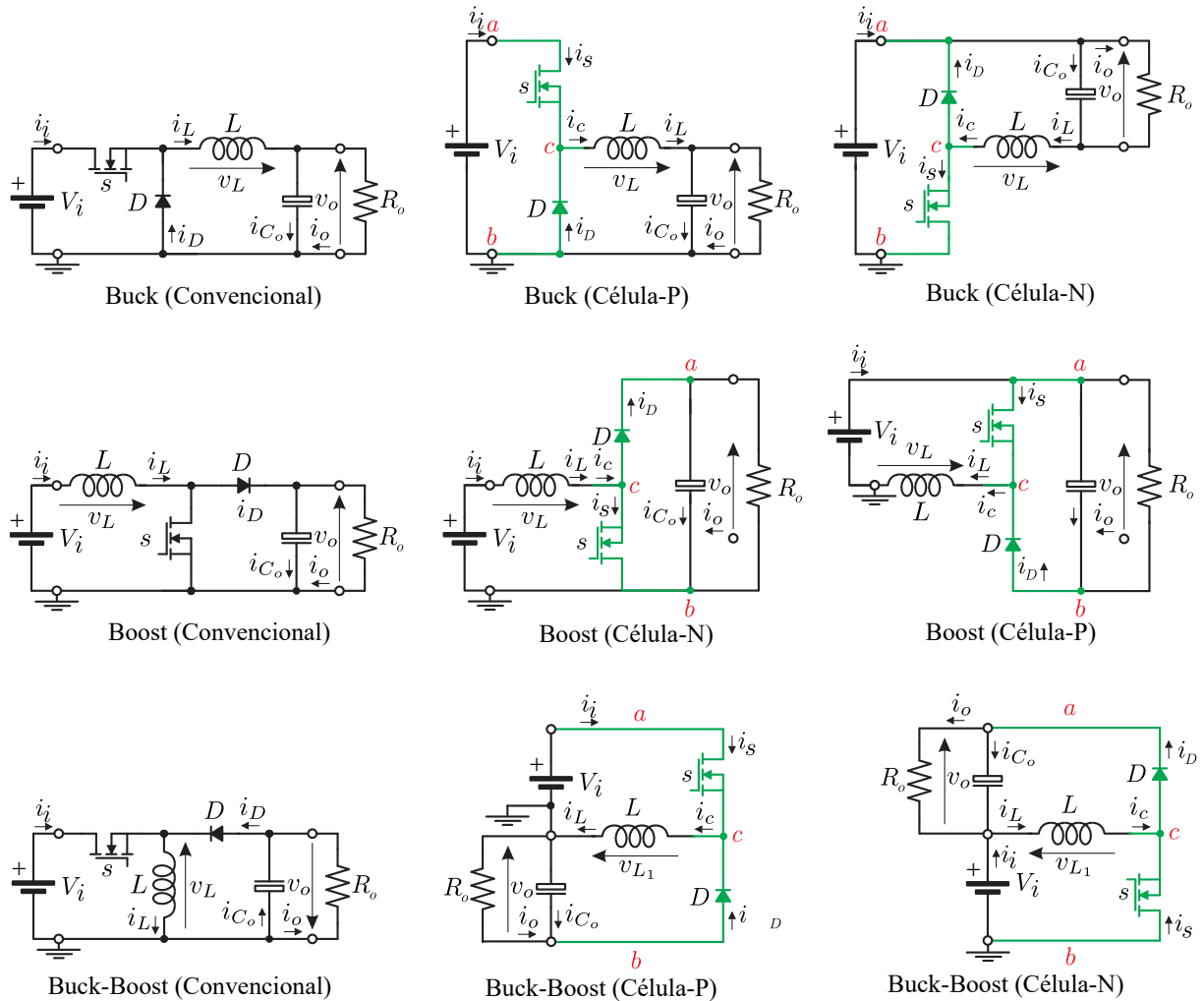
### 2.1.1 Conversores CC-CC a partir das Células Básicas de Comutação

A Fig. 2.2 resume os conversores *Buck*, *Boost* e *Buck-Boost* clássicos e suas respectivas estruturas de células proposto por (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009). Nessa Figura, há três colunas, cada uma contendo três circuitos.

Os diagramas na coluna mais à esquerda apresentam os três principais conversores CC-CC clássicos. Conforme discutido anteriormente, cada um desses conversores pode ser representado utilizando as células básicas de comutação, cujos circuitos correspondentes estão resumidos na coluna do meio. Os conversores nessa coluna são construídos a partir de células **N** ou **P**. Assim, observa-se que, exceto pelo conversor *boost*, os conversores *buck* e *buck-boost* convencionais possuem uma estrutura intrinsecamente baseada na célula **P**, onde o elemento de comutação ativo está conectado ao terminal positivo da fonte de alimentação. Por outro lado, o conversor *boost* convencional é, naturalmente, um conversor *boost* baseado na célula **N**.

Todos esses conversores clássicos também possuem uma representação em circuito espelhado. Quando a célula **P** em um conversor *buck* é substituída por uma célula **N**, o circuito assume uma configuração diferente. Dessa forma, o conversor *boost* clássico pode ser reconfigurado utilizando uma célula **P** em vez de uma célula **N**. Os conversores *buck* e *boost* podem ser facilmente decompostos em circuitos baseados nas células **P** e **N**,

Figura 2.2 – Conversores clássicos e suas respectivas estruturas de células proposto por (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009)



respectivamente. No entanto, esse processo não é tão trivial para os conversores *buck-boost* pois possui, por natureza, uma estrutura baseada na célula **P**. A representação em circuito espelhado de cada conversor CC-CC é mostrada na coluna mais à direita da Fig. 2.2

A construção de um circuito baseado na célula **P** difere de um circuito baseado na célula **N** pela posição relativa do interruptor ativo. A introdução de um módulo baseado na célula **N** simplifica o circuito de acionamento da porta (*gate drive*), pois utiliza um sinal de referência ao terra. Quando o circuito de acionamento da porta tem referência ao terra, o conversor se torna mais tolerante a ruídos na alimentação e variações de tensão (*ripple*).

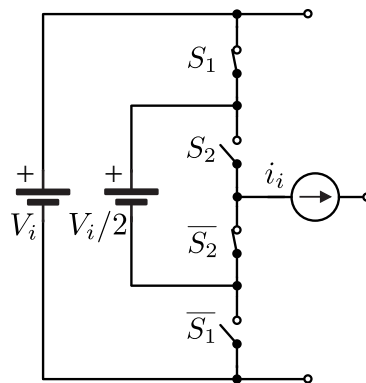
Nesta dissertação, a concepção das células básicas de comutação apresentadas por (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009), denominadas Célula **P** e Célula **N**, será incorporada às células multiníveis com capacitores flutuantes. As células multiníveis com capacitores flutuantes, de polaridade positiva (Célula **P**) e negativa (Célula

N), serão discutidas em detalhes na Seção 2.2.

## 2.2 Célula de comutação assimétrica de três níveis com capacitor flutuante.

A célula de comutação multinível com capacitor flutuante foi originalmente introduzido por (MEYNARD; FOCH, 1992). Os autores propuseram várias topologias de conversores nas quais apenas uma fração da tensão é aplicada a cada chave. A solução envolvia a conexão em série de vários interruptores controlados em sincronia como mostrado na Fig. 2.3. Neste circuito, os interruptores estão organizados em dois pares  $(S_1, \bar{S}_1)$  e  $(S_2, \bar{S}_2)$ . Dentro de cada par, os interruptores obedecem à regra que eles devem sempre estar em estados complementares. No entanto, os interruptores dos diferentes pares são controlados em tempos distintos.

Figura 2.3 – Célula de comutação multinível versátil.



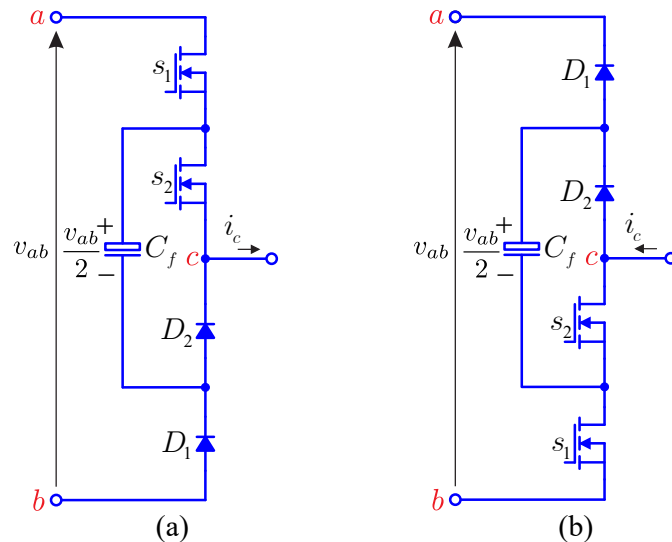
Os interruptores  $(S_1, S_2)$  devem ser controlados para ligar e desligar, enquanto os interruptores  $(\bar{S}_1, \bar{S}_2)$  devem comutar espontaneamente. Em resumo, quando  $i_i$  é uma fonte de corrente positiva, os interruptores  $S_1$  e  $S_2$  devem ser bipolares, MOS, IGBT ou GTO, e os interruptores  $\bar{S}_1$  e  $\bar{S}_2$  devem ser diodos (MEYNARD; FOCH, 1992).

Para o funcionamento do circuito da Figura, à exigência de que os níveis de tensão intermediários permaneçam regulados em valores específicos. No conversor de três níveis, por exemplo, a tensão intermediária deve ser mantida em metade da tensão de entrada  $V_i$  (BONANNO; CORRADINI, 2021; MEYNARD; FOCH, 1992). Na prática, a fonte flutuante  $V_i/2$  deve ser substituída por um capacitor carregado em  $V_i/2$ , sendo essa a situação mais comum.

Finalmente, Unindo a ideia de células **P** e células **N** (PENG; TOLBERT; KHAN, 2005; TOLBERT et al., 2009) com o conceito de células multiníveis de capacitor flutuante (MEYNARD; FOCH, 1992), tem-se as células de comutação assimétricas positiva (Fig.

2.4(a)) e negativa (Fig. 2.4(b)) de três níveis com capacitor flutuante. As fontes de tensão  $V_i$  e corrente  $i_i$  inicialmente idealizada na Fig. 2.3 dependem da topologia, desta forma, foram omitidas.

Figura 2.4 – Célula de comutação de três níveis com capacitor flutuante. (a) Estrutura positiva. (c) Estrutura negativa.



Para alcançar uma tensão multinível e, conseqüentemente, reduzir as tensões de bloqueio das chaves  $s_1$  e  $s_2$ , é necessário que a condição expressa na Eq. (2.1) seja satisfeita.

$$v_{C_f} = \frac{v_{ab}}{2} \quad (2.1)$$

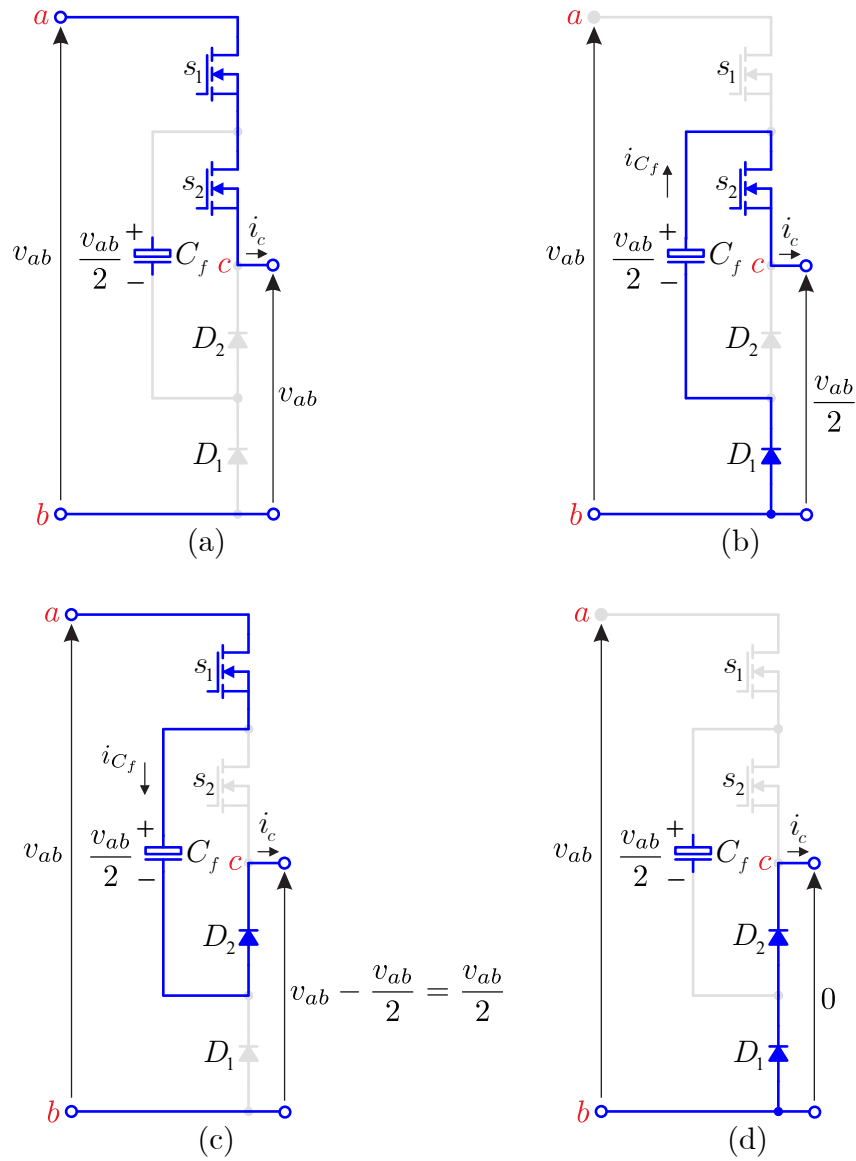
## 2.2.1 Estágios de operação

A Fig. 2.5 mostra os estágios de operação da célula com polaridade positiva em função dos estados das chaves  $S_1$  e  $S_2$ . Analisando os circuitos equivalentes das Fig. 2.5(a), 2.5(b), 2.5(c) e 2.5(d), é possível concluir os seguintes pontos:

- **Compartilhamento de Tensão:** A tensão sobre o interruptor de bloqueio de qualquer par é imposta pelas fontes de tensão  $v_{ab}$  e  $v_{ab}/2$ . Pode-se observar na Fig. 2.5 que a tensão sobre qualquer interruptor de bloqueio é sempre  $v_{ab}/2$ .
- **Níveis de Tensão:** Como a tensão sobre um interruptor de bloqueio é  $v_{ab}/2$  (assumindo que a tensão sobre um interruptor em condução é zero), a tensão fornecida por essa célula de comutação pode ser 0,  $v_{ab}/2$  ou  $v_{ab}$ , dependendo se há 0, 1 ou 2 diodos em bloqueio entre  $b$  e  $c$ .

A Tabela 2.1 apresenta as tensões de bloqueio  $v_{s_1}$ ,  $v_{s_2}$  e  $v_{cb}$  da célula de comutação multinível com capacitor flutuante, ilustrada na Fig. 2.5. Verifica-se que, quando o capacitor

Figura 2.5 – Compartilhamento de tensão na nova célula de comutação multinível. (a) Para  $s_1$  e  $s_2$  conduzindo, (b) Para  $s_1$  bloqueado e  $s_2$  conduzindo, (c) Para  $s_1$  conduzindo e  $s_2$  bloqueado, (d) Para  $s_1$  e  $s_2$  bloqueados.



flutuante está carregado com a tensão apropriada,  $v_{ab}/2$ , as tensões de bloqueio  $v_{s_1}$  e  $v_{s_2}$  correspondem exatamente à metade da tensão entre os terminais  $a$  e  $b$  ( $v_{ab}$ ). Esse comportamento é evidenciado nos estágios 2 e 3, nos quais  $v_{s_1} = v_{ab}/2$  e  $v_{s_2} = v_{ab}/2$ .

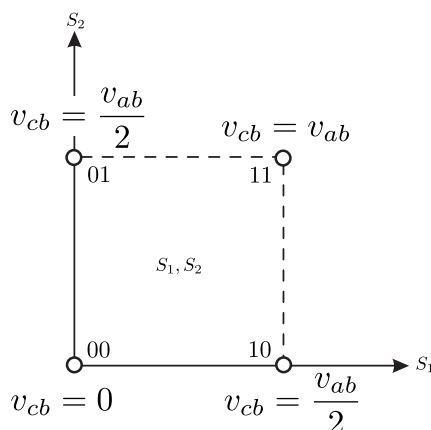
Tal divisão da tensão de bloqueio confirma que a topologia multinível implementada reduz significativamente os esforços elétricos sobre os semicondutores, destacando-se como uma solução vantajosa em comparação às estruturas convencionais, onde as chaves precisam suportar a tensão total  $v_{ab}$ .

A representação gráfica dos estados e tensões para a topologia de três níveis é mostrada na Fig. 2.6. Cada função de comutação está localizada em cada eixo, de modo que os cantos do quadrado representam cada estado e nível de tensão.

Tabela 2.1 – Tensões de bloqueio  $v_{s_1}$  e  $v_{s_2}$ , tensão ( $v_{cb}$ ), em função dos estados de comutação na célula de três níveis.

Estágio	Estado das chaves ( $s_1$ e $s_2$ )	$v_{s_1}$	$v_{s_2}$	$v_{cb}$
1	0,0	0	0	0
2	0,1	$v_{ab}/2$	0	$v_{ab}/2$
3	1,0	0	$v_{ab}/2$	$v_{ab}/2$
4	1,1	0	0	$v_{ab}$

Figura 2.6 – Representação gráfica dos estados da célula de três níveis e dos níveis de tensão.



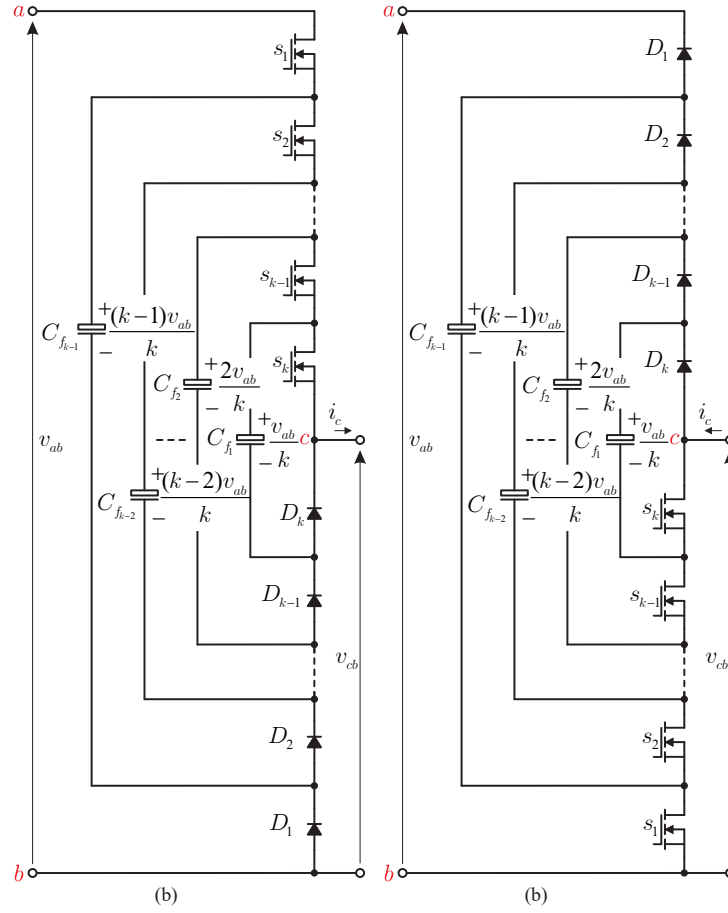
Dependendo dos estados das chaves, a corrente que flui através do capacitor  $C_f$  será  $i_c$  ( $s_1$  conduzindo e  $s_2$  bloqueado), carregando o capacitor; 0 ( $s_1$  e  $s_2$  em condução, ou ambos em bloqueio), mantendo a tensão; ou  $-i_c$  ( $s_1$  bloqueado e  $s_2$  conduzindo), descarregando o capacitor. Portanto, a corrente do capacitor pode ser diretamente modulada controlando-se os interruptores de maneira apropriada.

## 2.3 Generalização da célula de comutação com capacitor flutuante

A Fig. 2.7 mostra a célula de comutação com capacitor flutuante composta por  $k$  interruptores,  $k$  diodos e  $k - 1$  capacitores flutuante. As Figs. 2.7(a) e 2.7(b) mostram as células de comutação com capacitor flutuante generalizadas positivas e negativas, respectivamente. Os capacitores flutuante devem ser carregados com a tensão apropriada, conforme mostrado na Fig. 2.7. Com isso, o número de níveis de tensão gerados em  $v_{cb}$  é  $k + 1$ .

Para determinar a tensão nos capacitores de uma célula multinível com  $k - 1$  capacitores, utiliza-se a equação generalizada:

Figura 2.7 – Generalização da célula de comutação com capacitor flutuante para  $k$  interruptores. (a) Célula de comutação positiva. (b) Célula de comutação negativa.



$$v_{C_f(i)} = \begin{cases} \frac{i \cdot v_{ab}}{k}, & \text{se } i \in [1, k - 1]; \\ 0, & \text{caso contrário.} \end{cases} \quad (2.2)$$

Nesta equação:

- $v_{C_f(i)}$  é a tensão no capacitor  $i$ ;
- $i$  é o índice do capacitor, variando de 1 (capacitor mais interno) a  $k - 1$  (capacitor mais externo);
- $v_{ab}$  é a tensão total entre os terminais  $a$  e  $b$ ;
- $k$  é o número total de interruptores da célula multinível.

Dessa forma, cada capacitor possui uma tensão proporcional ao seu índice  $i$ , com a tensão total  $v_{ab}$  dividida igualmente em  $k$  níveis. O capacitor mais interno ( $i = 1$ ) apresenta a menor tensão, enquanto o capacitor mais externo ( $i = k - 1$ ) possui a maior tensão.



Para exemplificar, considere uma célula multinível com  $k = 3$ , ou seja, com  $k - 1 = 2$  capacitores. As tensões em cada capacitor podem ser calculadas como segue:

$$v_{C_{f1}} = \frac{v_{ab}}{3} \quad (2.3)$$

$$v_{C_{f2}} = \frac{2v_{ab}}{3} \quad (2.4)$$

Isso garante que as tensões de bloqueio das chaves sejam reduzidas para  $v_{ab}/3$ . Para a célula de quatro níveis, para controlar o gate das chaves, são necessárias três portadoras PWM com um deslocamento de fase de  $120^\circ$  entre elas. A Fig. 2.8 mostra os estágios de operação da célula (configuração positiva) de comutação de quatro níveis, composta por três chaves ( $k = 3$ ) com capacitores flutuantes.

A Tabela 2.2 apresenta as tensões de bloqueio  $v_{s1}$ ,  $v_{s2}$ ,  $v_{s3}$  e  $v_{cb}$  da célula de comutação de quatro níveis com capacitores flutuantes, ilustrada na Fig. 2.8. A partir da Tab. 2.2 pode-se confirmar, que de fato, as tensões de bloqueio limitam-se a  $v_{ab}/3$ , permitindo a escolha de interruptores com custo menor para o caso da célula de quatro níveis.

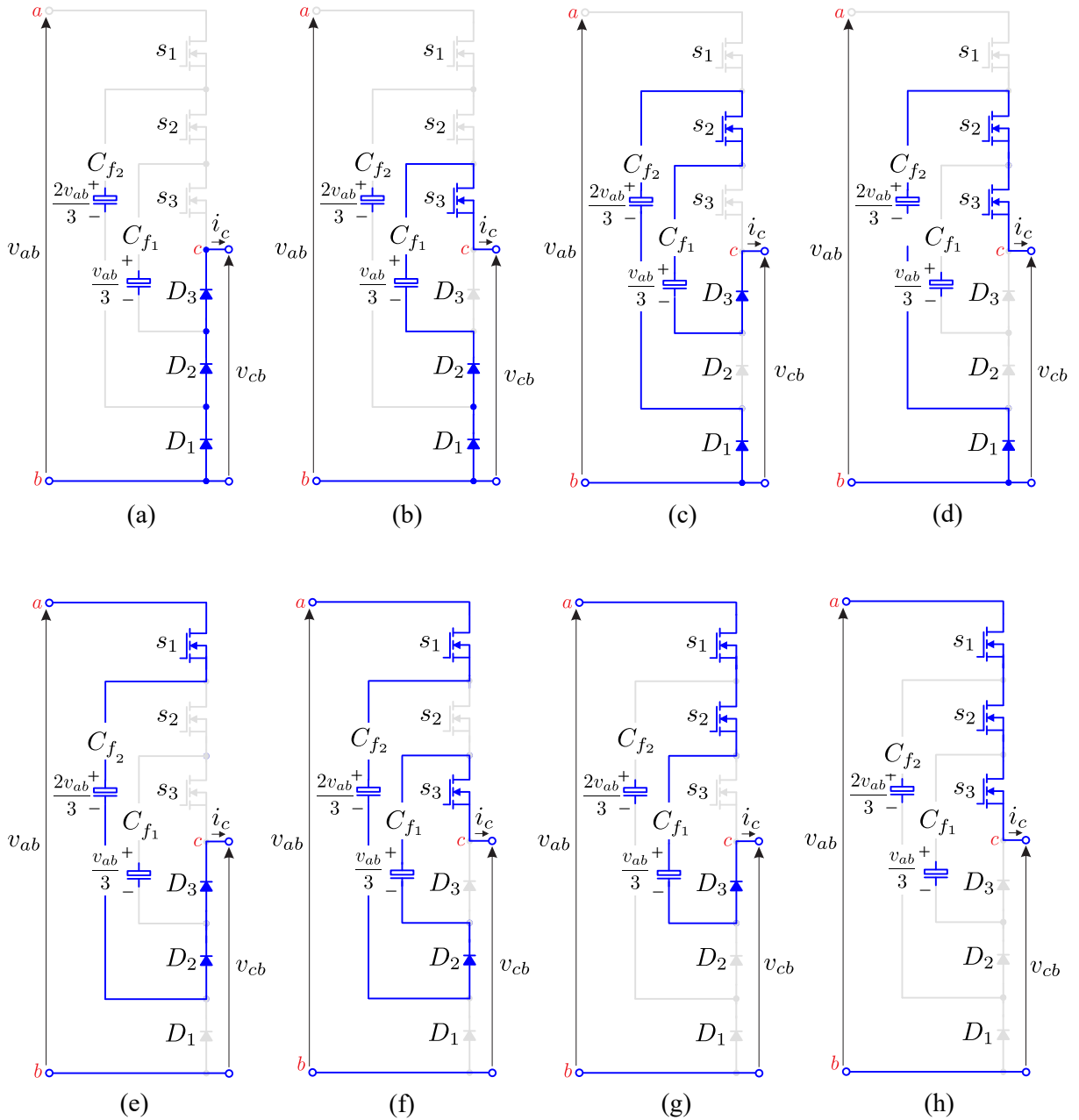
Tabela 2.2 – Tensões de bloqueio  $v_{s1}$ ,  $v_{s2}$ ,  $v_{s3}$  e a tensão ( $v_{cb}$ ), em função dos estados de comutação na célula de quatro níveis.

Estágio	Estado das chaves ( $s_1, s_2$ e $s_3$ )	$v_{s1}$	$v_{s2}$	$v_{s3}$	$v_{cb}$
1	0, 0, 0	$v_{ab}/3$	$v_{ab}/3$	$v_{ab}/3$	0
2	0, 0, 1	$v_{ab}/3$	$v_{ab}/3$	0	$v_{ab}/3$
3	0, 1, 0	$v_{ab}/3$	0	$v_{ab}/3$	$v_{ab}/3$
4	0, 1, 1	$v_{ab}/3$	0	0	$2v_{ab}/3$
5	1, 0, 0	0	$v_{ab}/3$	$v_{ab}/3$	$v_{ab}/3$
6	1, 0, 1	0	$v_{ab}/3$	0	$2v_{ab}/3$
7	1, 1, 0	0	0	$v_{ab}/3$	$2v_{ab}/3$
8	1, 1, 1	0	0	0	$v_{ab}$

## 2.4 Estratégia de Controle

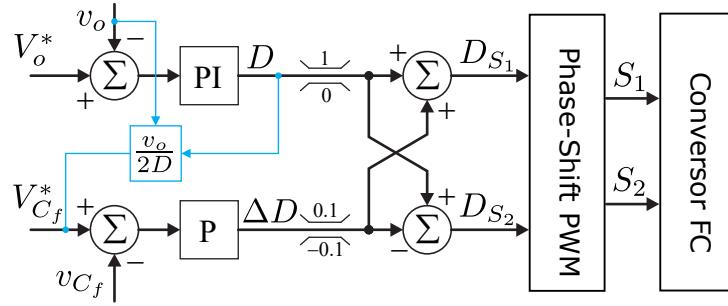
Uma estratégia de controle é necessário para que as tensões nos capacitores de saída,  $v_o$  e flutuante  $v_{C_f}$ , possam ser mantidas nos valores de referência  $V_o^*$  e  $V_{C_f}^*$ , mesmo com variações de carga. Assim, um controle de balanceamento de tensão de capacitor usando uma técnica de feedforward é apresentado. O sistema de controle é composto por um laço interno para o controle da tensão de saída e outro laço para controlar e equilibrar a tensão no capacitor flutuante, conforme mostrado na Fig. 2.9 para o caso de uma célula assimétrica de totem-pole de três níveis.

Figura 2.8 – Compartilhamento de tensão na nova célula de comutação multinível. (a) Para  $s_1$  e  $s_2$  conduzindo, (b) Para  $s_1$  bloqueado e  $s_2$  conduzindo, (c) Para  $s_1$  conduzindo e  $s_2$  bloqueado, (d) Para  $s_1$  e  $s_2$  bloqueados.



O laço de controle da tensão de saída é composto por um controlador PI ( $G_{PI}(s) = k_{pv} + k_{iv}/s$ ), que recebe o sinal de erro  $V_o^* - v_o$ , regula a tensão no capacitor de saída e gera o sinal de ciclo de trabalho  $D^*$ . O controle do laço do capacitor flutuante recebe o sinal de erro  $(V_i + v_{c1})/2 - v_{cf}$  e gera, em sua saída, a partir de um controlador P ( $G_P(s) = k_{pf}$ ), o pequeno sinal adicional  $\Delta D$ , que aumentará o ciclo de trabalho para  $s_1$  e diminuirá para  $s_2$ , respectivamente.

Figura 2.9 – Estratégia de controle aplicada aos conversores proposto.



## 2.4.1 Esquema de Modulação PWM

Para controlar os interruptores, utiliza-se um PWM com deslocamento de fase (PSPWM). A quantidade de portadoras depende do número de níveis desejados. Para  $k + 1$  níveis, são necessárias  $k$  chaves. Como cada chave é controlada individualmente, são necessárias  $k$  portadoras para o controle do conversor proposto. O deslocamento de fase entre elas é definido por:

$$\Delta\phi = \frac{360^\circ}{k} \quad (2.5)$$

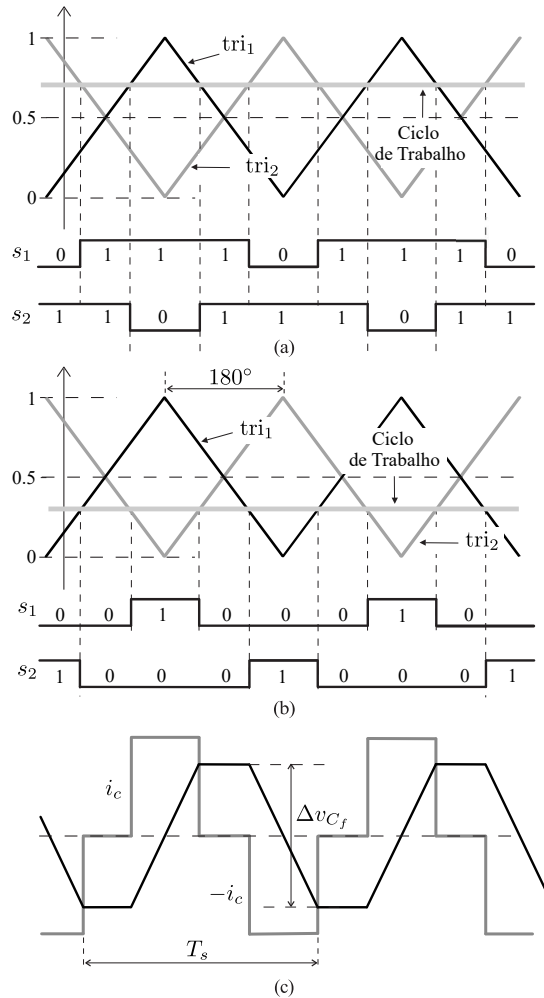
### 2.4.1.1 Balanceamento de Carga Usando PSPWM

Um conversor com célula de comutação de três níveis com capacitor flutuante requer duas portadoras com um deslocamento de fase de  $180^\circ$ . As Fig. 2.10(a) e 2.10(b) mostram vários ciclos das formas de onda das portadoras,  $\text{tri}_1$  e  $\text{tri}_2$ , e uma fração do ciclo de trabalho  $D$  ( $D > 0,5$  na Fig. 2.10(a) e  $D < 0,5$  na Fig. 2.10(b)). As comparações entre as formas de onda das portadoras e o ciclo de trabalho geram os sinais de comutação ( $s_1$  e  $s_2$ ), que acionam os interruptores  $S_1$  e  $S_2$ , respectivamente.

A análise do equilíbrio da tensão no capacitor flutuante da Fig. 2.4 é feita olhando para a corrente e a tensão em  $C_f$ . A Fig. 2.10(c) mostra a variação da tensão de  $C_f$  em torno do seu valor médio ao longo de um ciclo de comutação. É válido tanto para  $D < 0,5$  quanto para  $D > 0,5$ .

O estudo começa com o estado 01, que é válido para  $D < 0,5$  e  $D > 0,5$ . Nesse estado, o interruptor  $S_1$  está bloqueado e  $S_2$  está ligado, como mostrado na Fig. 2.5(b), onde  $i_{C_f} = -i_c$ . O capacitor  $C_f$  perde carga, provocando uma queda de tensão igual a  $\Delta v_{C_f}$ . Nos estados 00 ou 11, a corrente  $i_{C_f}$  é nula, mantendo a tensão  $v_{C_f}$  constante no nível obtido no estado anterior. Quando o estado 10 é ativado (Fig. 2.5(c)),  $i_{C_f} = i_c$  e o capacitor recupera a carga perdida no estado 01. Dessa forma, a tensão  $v_{C_f}$  aumenta uma quantidade  $\Delta v_{C_f}$ , igual ao decréscimo anterior, resultando em uma tensão média ao longo de  $T_s$  igual a  $v_{ab}/2$ .

Figura 2.10 – PSPWM. Sinais de comutação ( $S_1$  e  $S_2$ ) para  $k = 2$ , (a) sinais de comutação quando  $D > 0,5$ , (b) Sinais de comutação quando  $D < 0,5$  e (c) corrente e tensão em  $C_f$ .



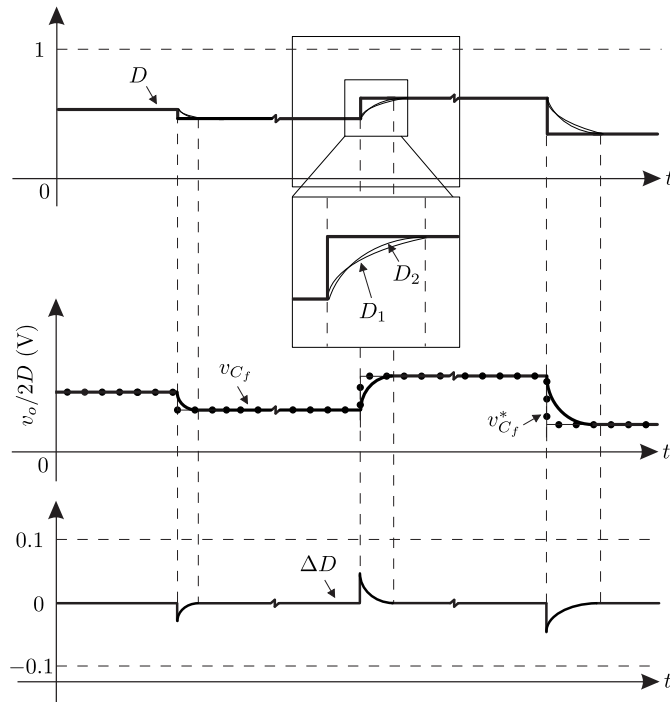
A Fig. 2.11 apresenta as principais formas de onda do sistema de controle de um conversor CC-CC com célula de comutação com capacitor flutuante de três níveis, ilustrando a capacidade do controlador de ajustar o *duty cycle* conforme as variações de afundamento e elevação na referência  $V_o^*$ . O valor de  $D$  é gerado pelo controlador PI na malha de tensão  $v_o$ , o que, por sua vez, impacta diretamente a referência  $v_{C_f}^*$ . Para que a tensão do capacitor flutuante atinja o valor de referência, o controlador P gera um pequeno sinal  $\Delta D$ , que atua da seguinte forma:

- Para  $\Delta D > 0$ : Aumenta o ciclo de trabalho para  $S_1$  e diminui para  $S_2$ , resultando em uma corrente média  $i_{C_f} > 0$  (Fig. 2.10(c)), carregando o capacitor flutuante.
- Para  $\Delta D < 0$ : Diminui o ciclo de trabalho para  $S_1$  e aumenta para  $S_2$ , resultando em uma corrente média  $i_{C_f} < 0$  (Fig. 2.10(c)), descarregando o capacitor flutuante.

À medida que a tensão do capacitor  $C_f$  se aproxima da referência  $v_{C_f}^*$ , o sinal

$\Delta D$  vai gradualmente diminuindo até que o capacitor esteja balanceado. Nesse ponto, a corrente média que flui pelo capacitor é nula e os sinais  $D_1$  e  $D_2$  se igualam, atingindo o regime estacionário.

Figura 2.11 – Principais formas de onda da estrutura de controle para os conversores proposto.



## 2.5 Considerações

Nas seções anteriores, foi apresentado um estudo detalhado sobre células de comutação básicas e multinível, com foco especial nas topologias de dois e três níveis. Com base nos trabalhos de (PENG; TOLBERT; KHAN, 2005) e (TOLBERT et al., 2009), foi explorada a ideia de células de comutação do tipo positiva e negativa.

As células de três níveis, utilizando capacitores flutuantes como fontes de tensão intermediária, introduzidas por (MEYNARD; FOCH, 1992), destacaram-se pela capacidade de distribuir a tensão de forma equilibrada entre os interruptores, proporcionando um melhor compartilhamento de tensão em conversores multiníveis.

A análise das operações das células de comutação com polaridade positiva e negativa mostrou que o controle adequado dos interruptores resulta em níveis de tensão variando entre 0,  $v_{ab}/2$  e  $v_{ab}$ , além de demonstrar como é possível gerar mais níveis a partir de células genéricas.

Foi também apresentada uma estratégia de controle, baseada em controladores PI e P, eficaz na manutenção da tensão de saída  $v_o$  e no balanceamento da tensão do capacitor

flutuante  $v_{C_f}$ . Para isso, foram utilizadas portadoras PWM com deslocamento de fase.

# Topologia Proposta: Conversor CC-CC SEPIC com célula de comutação de capacitor flutuante multinível

---

Esta seção apresenta um novo conversor CC-CC SEPIC composto por uma célula de comutação multinível, positiva e negativa, com capacitor flutuante.

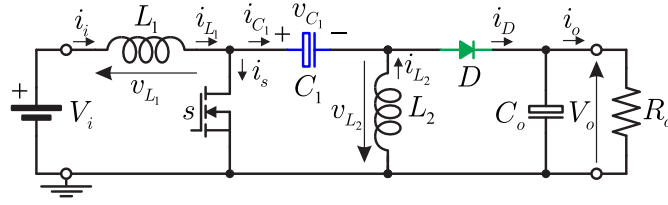
## 3.1 Descrição do circuito

Os conversores com indutor primário de extremidade única (SEPICs) têm sido utilizados em várias aplicações industriais devido ao seu baixo ripple de corrente de entrada e à capacidade de aumentar/diminuir a tensão de saída. Ao contrário do conversor buck-boost, o SEPIC tem uma tensão de saída não invertida.

No conversor SEPIC de dois níveis, o estresse na tensão do interruptor é a soma da tensão de entrada  $V_i$  e da tensão de saída  $V_o$ . Portanto, sempre que a tensão de saída aumenta, o estresse na tensão também aumenta. Esse estresse aumenta as perdas de comutação entre os interruptores, diminuindo a eficiência geral do conversor. Para superar essas desvantagens, foram desenvolvidos conversores SEPIC de três níveis.

O SEPIC convencional é apresentado na Fig. 3.1. Para utilizar o conceito de célula de comutação, o capacitor  $c_1$  ou o diodo  $d$  deve ser movido para a aplicação apropriada, como pode ser visto nos SEPICs convencionais redesenhados mostrados nas Figuras 3.2(a) e 3.3(a).

Figura 3.1 – Conversores SEPIC CC-CC convencionail.



As Figs. 3.2 e 3.2 mostram a realização dos conversores SEPIC multiníveis DC-DC propostos, positivos e negativos, respectivamente. A partir dos conversores SEPIC DC-DC convencionais (Figuras 3.2(a) e 3.2(a)), extrai-se os estágios de *totem-pole* assimétrico de dois níveis (positivo na Figura 3.2(b) e negativo na Figura 3.2(b)), que são substituídos por um estágio de totem-pole assimétrico com capacitor flutuante de três níveis (positivo na Figura 3.2(c) e negativo na Figura 3.2(c)).

Essa substituição resulta nos conversores SEPIC propostos com célula de comutação de capacitor flutuante multinível, conforme mostrado nas Figs. 3.2(d) (para polaridade positiva) e 3.3(d) (para polaridade negativa), respectivamente.

### 3.1.1 Operação do Conversor Proposto

Em um SEPIC, a tensão média sobre o capacitor de acoplamento  $C_1$  e o ganho estático de tensão, são:

$$v_{C_1} = V_i \quad (3.1)$$

$$\frac{V_o}{V_i} = \frac{D}{1 - D} \quad (3.2)$$

A Eq. 3.2 mostra a relação de ganho entre a tensão de entrada e de saída do conversor, onde, para:

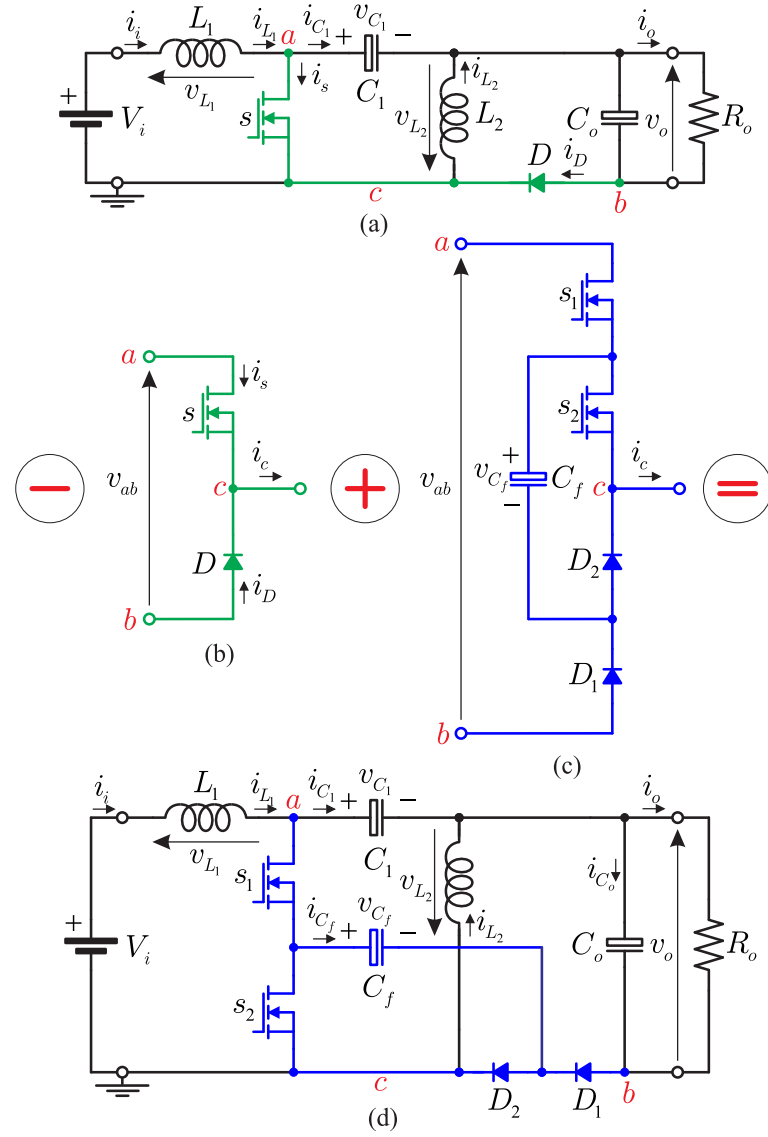
- $0 \leq D \leq 0,5$ : a tensão média de saída é menor que a tensão de entrada,  $V_o \leq V_i$ ;
- $0,5 < D \leq 1$ : a tensão média de saída é maior que a tensão de entrada,  $V_o > V_i$ .

Para obter uma tensão multinível com melhor aproveitamento do conversor, a fim de obter níveis simétricos na tensão de saída  $v_{cb}$ , o capacitor flutuante  $C_f$  deve ser carregado com uma tensão média de  $v_{ab}/2$ . Analisando as Figs. 3.2(a) e 3.3(a), verifica-se que  $v_{ab}$  é determinado pela diferença de potencial entre o capacitor  $C_1$  e o terminal negativo de  $v_o$ . Desta forma, a tensão sobre o capacitor flutuante pode ser expressa por:

$$v_{C_f} = \frac{v_{ab}}{2} = \frac{v_{C_1} + v_o}{2} \quad (3.3)$$



Figura 3.2 – Realização do conversor CC-CC multinível SEPIC positivo proposto. (a) SEPIC convencional. (b) Perna de totem assimétrica positiva de dois níveis. (c) Perna de totem assimétrica positiva de três níveis com capacitor flutuante. (d) SEPIC positivo proposto.



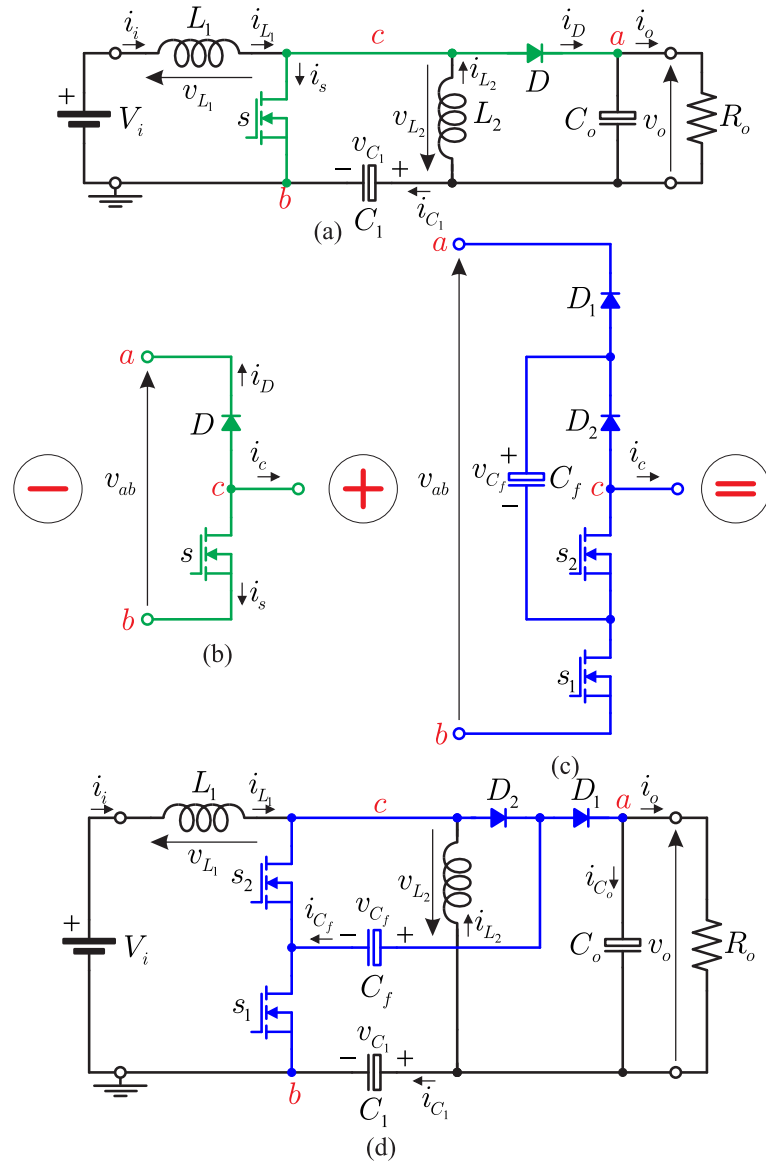
Para uma operação e análise corretas, a tensão sobre os capacitores deve ser constante. Assim, considerando a tensão de saída  $v_o = V_o$  e  $v_{C_1} = V_i$ , tem-se que a Eq. (3.3) é definida por:

$$v_{C_f} = \frac{V_i + V_o}{2} \quad (3.4)$$

Como mencionado anteriormente, dependendo de qual chave está ligada/desligada, isso gerará  $v_{cb} \in \{v_{ab}, v_{ab}/2, 0\}$ .

Para eliminar o sensor de tensão para  $v_{C_1}$ , necessário para a estratégia de controle apresentado na Fig. 2.9, pode-se utilizar as Eqs. (3.1) e (3.2) (fazendo  $V_o = v_o$ ), assim, o caminho azul na Fig. 2.9, que representa a tensão de referência do capacitor flutuante  $v_{C_f}^*$ ,

Figura 3.3 – Realização do conversor CC-CC multinível SEPIC negativo proposto. (a) SEPIC convencional. (b) Perna de totem assimétrica negativa de dois níveis. (c) Perna de totem assimétrica negativa de três níveis com capacitor flutuante. (d) SEPIC negativo proposto.



pode ser escrito como:

$$v_{C_f}^* = \frac{v_{ab}}{2} = \frac{v_o}{2D} \quad (3.5)$$

A Fig 3.4 mostra as etapas de condução dos conversores SEPIC multinível propostos, positivos e negativos, respectivamente.

### 3.1.1.1 Estágio 1

Para uma operação e análise corretas do conversor proposto, deve-se conhecer as correntes no capacitores e tensões no indutores para cada estágio de operação. Desta forma,

com  $s_1$  e  $s_2$  conduzindo nas Figs. 3.4(a) e 3.4(e), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, tem-se:

$$v_{L_1} = V_i \quad (3.6)$$

$$v_{L_2} = v_{C_1} = V_i \quad (3.7)$$

Essa tensão causa um aumento linear nas correntes dos indutores durante o período  $t_\Delta$ , em que  $s_1$  e  $s_2$  estão conduzindo como pode ser notado em Fig. 3.5(b).

O processo de carga e descarga dos capacitores dependem do sentido e magnitude das correntes que fluem por eles, podendo ser determinadas analisando os nós das Figs. 3.4(a) e 3.4(e). Neste sentido:

- $C_1$ : descarrega, com  $i_{C_1} = -i_{L_2}$ ,
- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,
- $C_o$ : carrega/descarrega, com  $i_{C_o} = -i_o$ .

A Fig. 3.5(b) também mostra as curvas de corrente nos capacitores para ( $D > 0,5$ ).

### 3.1.1.2 Estágio 2

O estágio 2 ocorre considerando  $s_1$  e  $s_2$  estão bloqueados, isto é, durante o período de tempo ( $t_\Delta$ ), para  $V_0 < V_i$ . Para determinar  $i_{L_1}$  e  $i_{L_2}$  presentes na Fig. 3.4(a), deve-se conhecer as tensões sobre os indutores. Analisando os nós da Fig. 3.4(a) ou 3.4(e), tem-se:

$$v_{L_2} = -v_o \quad (3.8)$$

$$v_{L_1} = V_i - v_{C_1} + v_{L_2} \quad (3.9)$$

Substituindo a Eq. (3.8) na Eq. (3.9), tem-se:

$$v_{L_1} = V_i - v_{C_1} - v_o \quad (3.10)$$

Considerando  $v_o = V_o$  e  $v_{C_1} = V_i$ , tem-se que:

$$v_{L_1} = V_i - V_i - V_o = -V_o \quad (3.11)$$

$$v_{L_2} = -v_o = -V_o \quad (3.12)$$

De acordo com as Eqs. (3.11) e (3.12),  $i_{L_1}$  e  $i_{L_2}$  decrescem linearmente durante o período de tempo ( $t_\Delta$ ), dado que  $v_{L_1} = v_{L_2} = -V_o$ . As curvas de corrente nos indutores são mostrados na Fig. 3.5(a).

As correntes que fluem pelos capacitores podem ser definida analisando os nós dos circuitos equivalentes na Fig. 3.4(b) ou 3.4(f). O processo de carga e descarga dos capacitores podem ser, assim definidas:

- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,
- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,
- $C_o$ : carrega, com  $i_{C_o} = i_{L_1} + i_{L_2} - i_o$ .

A Fig. 3.5(a) também mostra as curvas de corrente nos capacitores  $C_1$ ,  $C_f$  e  $C_o$ , respectivamente para ( $D < 0,5$ ).

### 3.1.1.3 Estágio 3

Com  $s_1$  conduzindo e  $s_2$  bloqueado Figs. 3.4(c) e 3.4(g), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, temos que:

$$v_{L_1} = V_i - v_{C_f} = V_i - \frac{V_i + V_o}{2} = \frac{V_i - V_o}{2}, \quad (3.13)$$

$$v_{L_2} = v_{C_1} - v_{C_f} = V_i - \frac{V_i + V_o}{2} = \frac{V_i - V_o}{2}. \quad (3.14)$$

Durante o intervalo  $t_{on}$  as correntes  $i_{L_1}$  e  $i_{L_2}$  podem apresentar curvas crescentes ou decrescentes dependendo da relação, ( $V_o < V_i$ ) ou ( $V_o > V_i$ ). As correntes nos indutores são mostradas nas Figs. 3.5(a) ou 3.5(b).

Analisando os circuitos da Figs. 3.4(c) ou 3.4(g) conclui-se que:

- $C_1$ : descarrega, pois  $i_{C_1} = -i_{L_2}$ ,
- $C_f$ : carrega com  $i_{C_f} = i_{L_1} + i_{L_2}$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = -i_o$ .

As correntes nos capacitores para ( $D < 0,5$ ) e ( $D > 0,5$ ), são mostradas nas Fig. 3.5(a) e 3.5(b) respectivamente.

### 3.1.1.4 Estágio 4

Finalmente, com  $s_1$  conduzindo e  $s_2$  bloqueado, Figs. 3.4(d) e 3.4(h), tem-se que as tensões  $v_{L_1}$  e  $v_{L_2}$  são definidas segundo as seguintes expressões:

$$v_{L_2} = v_{C_f} - v_o \quad (3.15)$$

$$v_{L_1} = V_i - v_{C_1} + v_{C_f} \quad (3.16)$$

Substituindo a Eq. (3.15) na Eq. (3.16), tem-se:

$$v_{L_1} = V_i - v_{C_1} + v_{C_f} - v_o \quad (3.17)$$

Considerando  $v_o = V_o$ ,  $v_{C_f} = (V_i + V_o)/2$  e  $v_{C_1} = V_i$ , tem-se que:

$$v_{L_1} = V_i - V_i + \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (3.18)$$

$$v_{L_2} = \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (3.19)$$

Com base nas Eqs. (3.18) e (3.19), é possível definir se as correntes  $i_{L_1}$  e  $i_{L_2}$  são crescentes ou decrescentes dependendo do modo de operação, assim como o estágio 3.

Assim como os estágios anteriores, analisando os circuitos das Figs. 3.4(d) ou 3.4(h), tem-se que:

- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,
- $C_f$ : descarrega com  $i_{C_f} = -(i_{L_1} + i_{L_2})$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = i_{L_1} + i_{L_2} - i_o$ .

É importante salientar que para os estágios 3 e 4, a relação  $(V_i - V_o)/2 > 0$  ocorre quando o ciclo de trabalho  $D < 0,5$ , o que representa, a partir da Eq. (3.2),  $V_o < V_i$ . Por outro lado,  $(V_i - V_o)/2 < 0$  ocorre quando  $D > 0,5$ , uma vez que  $V_o > V_i$  conforme a Eq. (3.2).

As principais formas de onda do conversor podem ser vistas na Fig. 3.5. A Fig. 3.5(a) é para  $D < 0,5$ , que utiliza os estágios de condução 2, 3 e 4. A Fig. 3.5(b) é para  $D > 0,5$ , que utiliza os estágios de condução 1, 3 e 4.

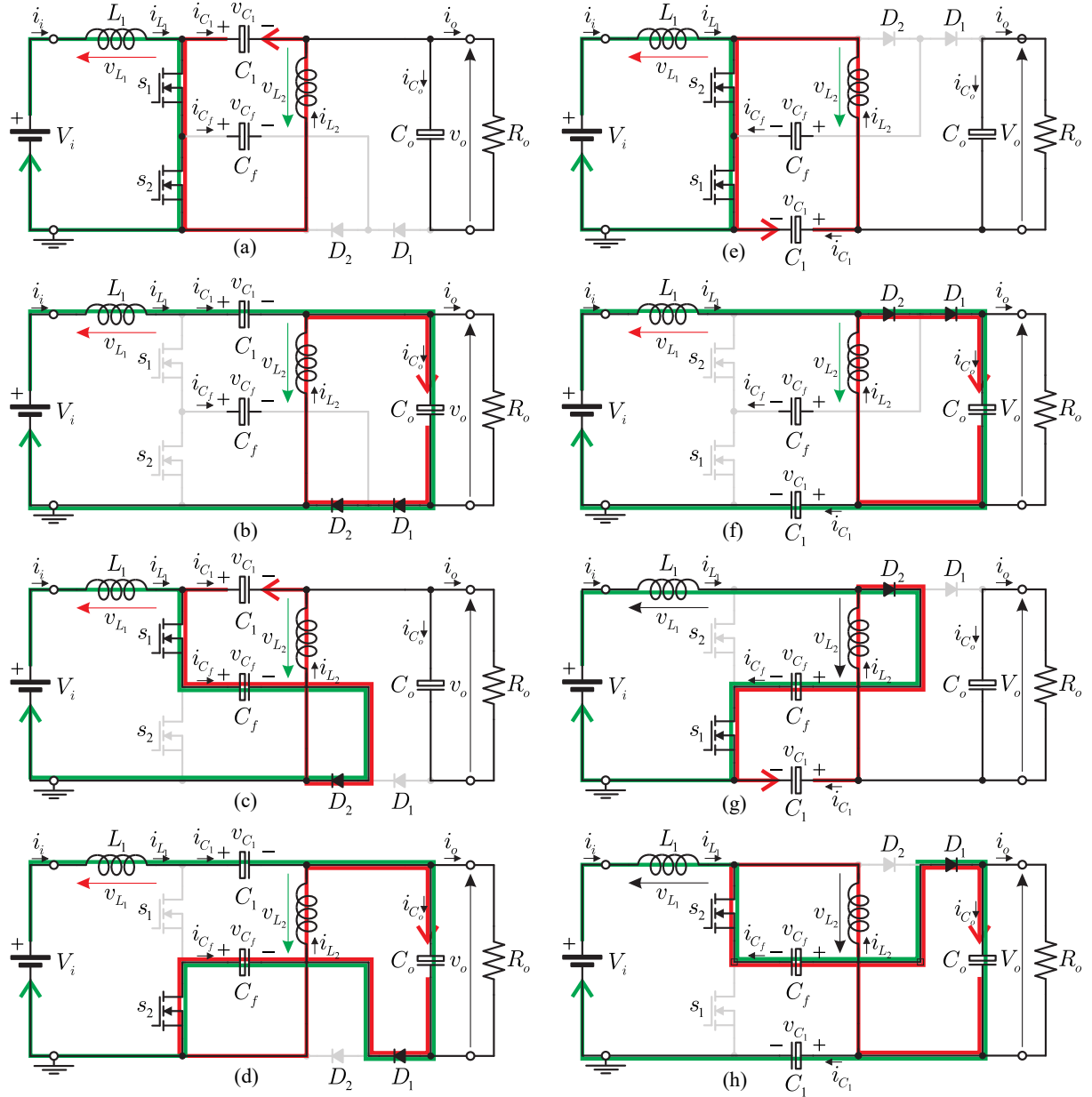
### 3.1.2 Cálculo dos Componentes Reativos

A indutância adequada garante que o conversor opere em modo contínuo ou em modo descontínuo, dependendo do projeto. Operar no modo desejado é crucial para a estabilidade e o desempenho do conversor. A escolha adequada da indutância ajuda a minimizar o ripple de corrente nos indutores e, conseqüentemente, o ripple de tensão na saída. Isso é importante para reduzir o estresse nos componentes do circuito e melhorar a eficiência.

#### 3.1.2.1 Dimensionamento dos Elementos para $D < 0,5$

O Ripple de Corrente nos indutores pode ser calculada analisando o circuito quando as chaves  $s_1$  e  $s_2$  estão abertas ou fechadas e sem chavear. A Fig. 3.6 mostra as formas de

Figura 3.4 – Estágios de condução para o conversor SEPIC proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h),



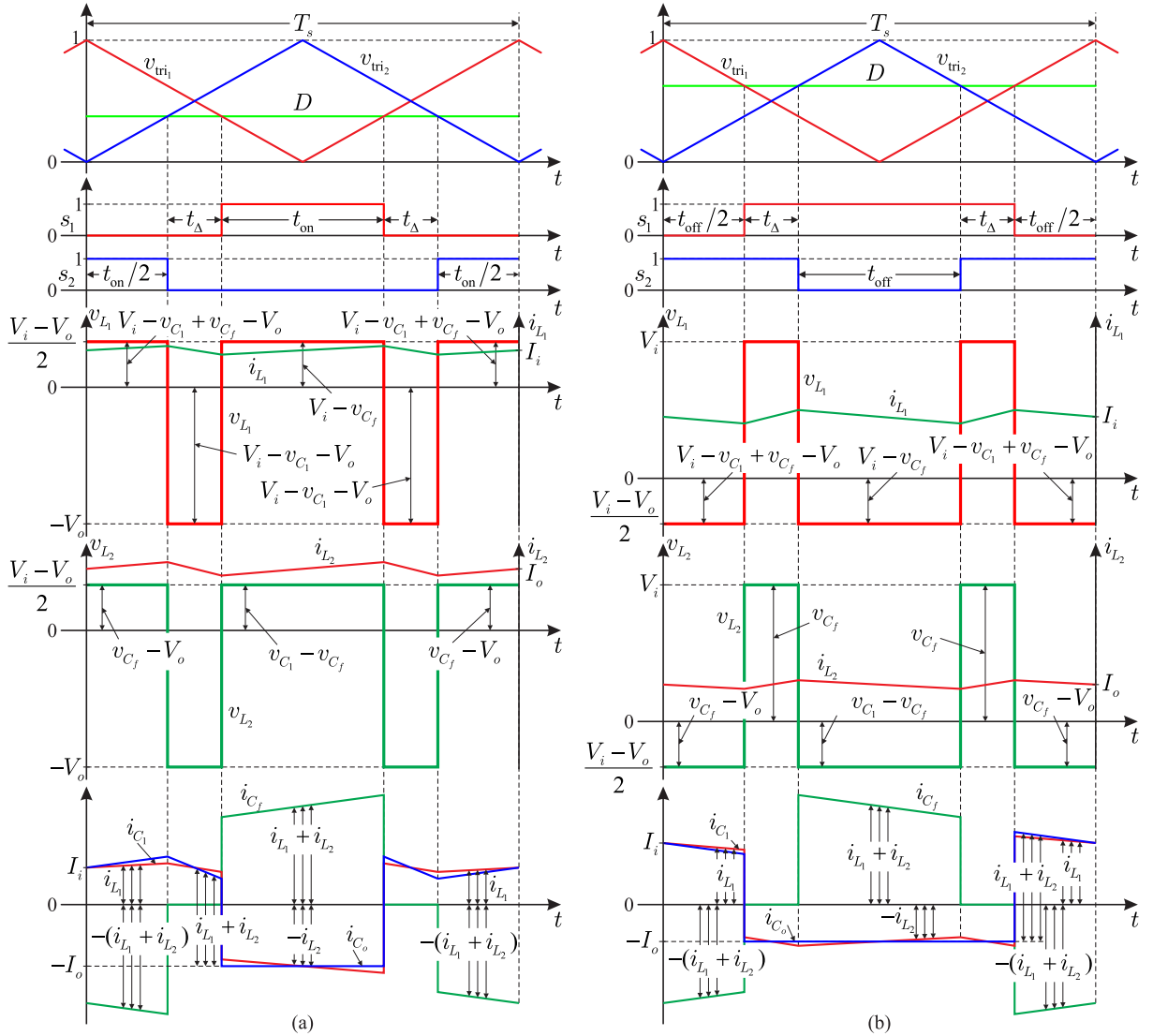
onda, no regime permanente, para o modo de condução contínua e os circuitos equivalentes para cada estágio de chaveamento para o conversor operando no modo abaixador de tensão.

Sabe-se que a tensão sobre um indutor  $L$  é dada por:  $v_L = L di_L/dt$ . Assim, é possível definir a inclinação da curva da corrente através do indutor como sendo:

$$v_L = L \frac{di_L}{dt} = L \frac{\Delta i_L}{\Delta t} \quad (3.20)$$

A Equação (3.20) mostra que a inclinação (derivada) da curva  $i_{L1}$  é dada pela

Figura 3.5 – Formas de onda do conversor SEPIC proposto. (a) Para  $D < 0,5$  ou  $V_o < V_i$ . (b) Para  $D > 0,5$  ou  $V_o > V_i$ .



razão da variação dessa corrente em um determinado período de tempo. A partir da Fig. 3.6 (a), nota-se que  $i_{L1}$  cresce linearmente durante o período  $t_{on}$  pois  $v_{L1} > 0$ . Usando a Eq. (3.20) e, como  $v_{L1} = (V_i - V_o)/2$  para os estágios 3 e 4, temos:

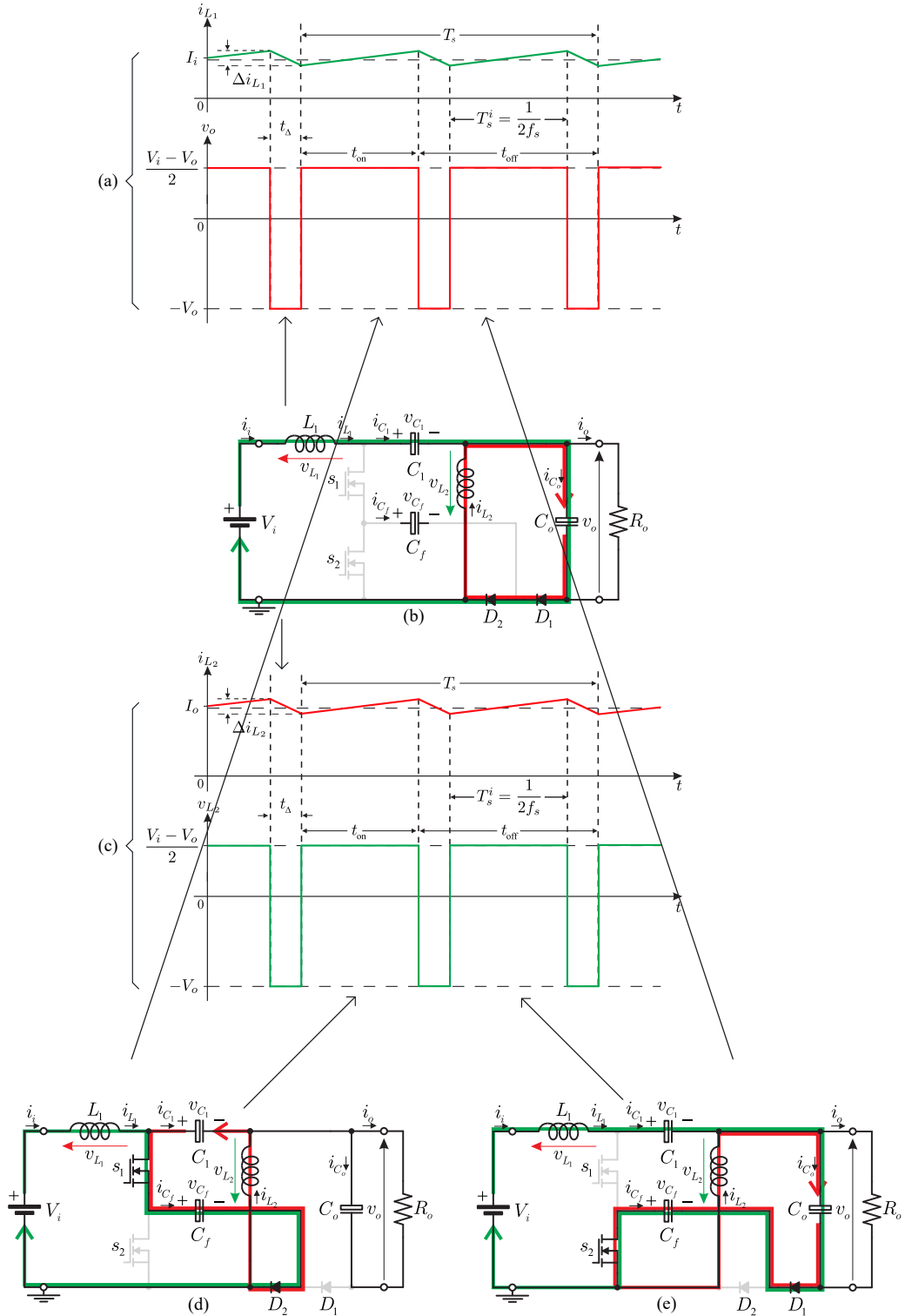
$$v_{L1} = \frac{V_i - V_o}{2} = L_1 \frac{\Delta i_{L1} +}{t_{on}} \quad (3.21)$$

Isolando  $t_{on}$ , logo:

$$t_{on} = 2L_1 \frac{\Delta i_{L1} +}{V_i - V_o} \quad (3.22)$$

Da mesma forma, a oscilação de corrente ( $\Delta i_{L1} -$ ) decai linearmente quando a tensão sobre o indutor torna-se negativa, i.e durante o estágio de operação 2, Fig. 3.20 (b).

Figura 3.6 – Operação do conversor Sepic proposto: (a) Formas de onda para o indutor  $L_1$ ; (b) Circuito equivalente para o estágio 2 ( $s_1$  e  $s_2$  bloqueados); (c) Formas de onda para o indutor  $L_2$ ; (d) Circuito equivalente para o estágio 3 ( $s_1$  conduzindo e  $s_2$  bloqueado); (e) Circuito equivalente para o estágio 4 ( $s_1$  bloqueado e  $s_2$  conduzindo);



Assim, o intervalo de tempo ( $t_{\Delta}$ ) pode ser determinado uma vez que  $v_{L1} = -V_o$ , logo:



$$v_{L_1} = V_o = L_1 \frac{\Delta i_{L_1-}}{t_\Delta} \quad (3.23)$$

Isolando ( $t_\Delta$ ), tem-se:

$$t_\Delta = L_1 \frac{\Delta i_{L_1-}}{V_o} \quad (3.24)$$

Da Fig. 3.6 (a) observa-se que o período correspondente a curva de corrente é  $T_s^i = 1/2f_s$ . Desta forma, sabendo que a variação de corrente  $\Delta i_{L_1+} = \Delta i_{L_1-} = \Delta i_{L_1}$ , considerando-se  $T_s^i$ , e de posse das Eqs. (3.22) e (3.24), tem-se que:

$$T_s^i = t_{on} + t_\Delta = 2L_1 \frac{\Delta i_{L_1}}{V_i - V_o} + L_1 \frac{\Delta i_{L_1}}{V_o} = \frac{1}{2f_s} \quad (3.25)$$

Resolvendo a Eq. (3.25) para  $\Delta i_{L_1}$ :

$$\Delta i_{L_1} L_1 \left( \frac{2}{V_i - V_o} + \frac{1}{V_o} \right) = \frac{1}{2f_s} \quad (3.26)$$

$$\Delta i_{L_1} = \frac{(V_i - V_o)V_o}{L_1 2f_s (V_i + V_o)} \quad (3.27)$$

Sabendo que,  $V_o/V_i = D/(1-D)$  para o conversor *SEPIC*, pode-se obter a expressão do ciclo de trabalho:

$$\frac{V_o}{V_i + V_o} = D \quad (3.28)$$

Substituindo a Eq. (3.28) em (3.27) tem-se que a ondulação de pico a pico da corrente no indutor, no MCC, é definida:

$$\Delta i_{L_1} = \frac{(V_i - V_o)D}{L_1 2f_s} \quad (3.29)$$

Finalmente, a indutância pode ser obtido da Eq. (3.29):

$$L_1 = \frac{(V_i - V_o)D}{2\Delta i_{L_1} f_s}, \quad (3.30)$$

Para o calculo da indutância  $L_2$ , o procedimento é similar. A partir da Fig. 3.6 (c), nota-se que  $i_{L_1}$  cresce linearmente durante o período  $t_{on}$  pois  $v_{L_1} = (V_i - V_o)/2$  para os estágios 3 e 4. Assim, a partir da Eq. (3.20) e resolvendo para  $t_{on}$ , tem-se:

$$t_{on} = 2L_2 \frac{\Delta i_{L_2+}}{V_i - V_o} \quad (3.31)$$

Durante o segundo estágio de operação, Fig. 3.20 (b), a corrente ( $\Delta i_{L_1-}$ ) reduz-se de maneira linear uma vez que  $v_{L_1} = -V_o$ . Assim, o intervalo de tempo ( $t_\Delta$ ) pode ser determinado:

$$t_\Delta = L_2 \frac{\Delta i_{L_2-}}{V_o} \quad (3.32)$$

Sabendo que a variação de corrente  $\Delta i_{L_2+} = \Delta i_{L_2-} = \Delta i_{L_2}$ , e de posse das Eqs. 3.31 e 3.32, tem-se que:

$$T_s^i = t_{on} + t_\Delta = 2L_2 \frac{\Delta i_{L_2}}{V_i - V_o} + L_2 \frac{\Delta i_{L_2}}{V_o} = \frac{1}{2f_s} \quad (3.33)$$

Resolvendo a Eq. 3.33 para  $L_2$ , finalmente, tem-se que a indutância é definida por:

$$L_2 = \frac{(V_i - V_o)D}{2\Delta i_{L_2}f_s}, \quad (3.34)$$

Para o conversor proposto, operando em MCC, defini-se as capacitâncias a partir das oscilação de pico a pico das tensões sobre os capacitores  $C_o$ ,  $C_1$  e  $C_f$ . A 3.7 mostra as amplitudes de oscilações de tensão e corrente sobre os capacitores, necessárias para deduzir as expressões das capacitâncias.

Para o calculo da capacitância  $C_o$ , assumi-se que todas as componentes oscilatórias de  $i_{D_1}$  fluem através do capacitor e suas componentes médias fluem pelo resistor de carga, a área sombreada da Fig. 3.7(c) representa a carga  $\Delta Q_{C_o}$  adicional. Dessa forma, sabendo que a carga  $\Delta Q_{C_o}$  é a integral da corrente (área sombreada), a oscilação de pico a pico da tensão de saída  $\Delta v_o$  pode ser escrita como sendo (VITORINO, 2019; MOHAN; UNDELAND; ROBBINS, 2003).

$$\Delta v_o = \frac{\Delta Q_{C_o}}{C_o} = \frac{i_{D_1} t_{on}}{C_o} \quad (3.35)$$

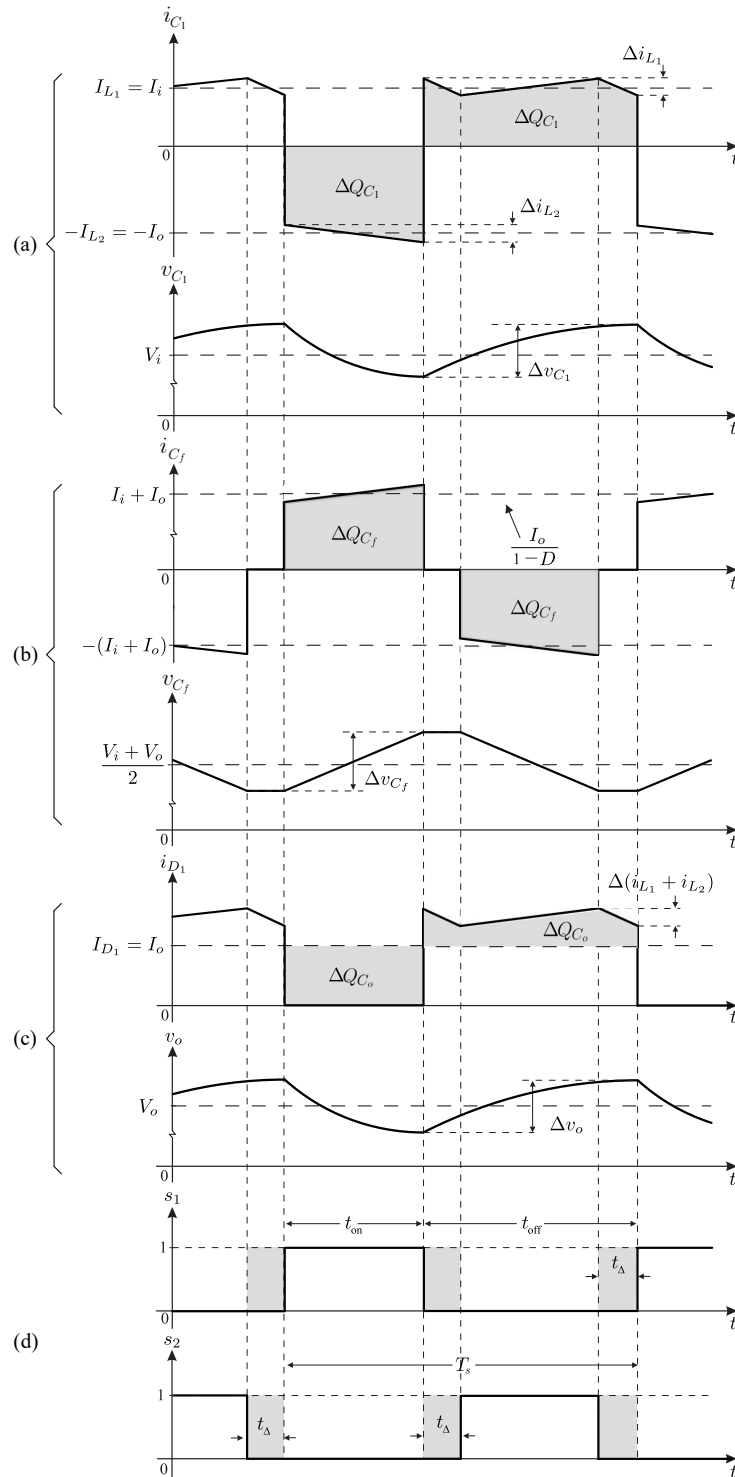
Em regime,  $i_{D_1} = I_o$ , como pode ser mostrado na Fig. 3.7(c). Da lei de Ohm e reescrevendo o tempo em função do ciclo de trabalho, i.e  $t_{on} = DT_s$ , a Eq. (3.35) pode ser reescrita como sendo:

$$\Delta v_o = \frac{I_o DT_s}{C_o} = \frac{V_o DT_s}{R_o C_o} \quad (3.36)$$

Isolando  $C_o$  da Es. (3.36) e considerando que  $T_s = 1/f_s$ , tem-se que a capacitância de saída do conversor proposto pode ser definida a partir de:

$$C_o = \frac{V_o D}{R_o \Delta v_o f_s} \quad (3.37)$$

Figura 3.7 – Formas de onda para dimensionamento dos capacitores para  $V_o < V_i$ : (a) Oscilação de pico a pico de tensão e corrente para  $C_1$ ; (b) Oscilação de pico a pico de tensão e corrente para  $C_f$ ; (c) Oscilação de pico a pico de tensão e corrente para  $C_o$ ; (d) Estado das chaves  $s_1$  e  $s_2$ .



Para o cálculo da capacitância  $C_f$ , precisa-se conhecer a corrente  $i_{C_f}$  dependendo dos estados de condução de  $s_1$  e  $s_2$ . Sabendo que a área sombreada da Fig. 3.7(b) representa carga  $\Delta Q_{C_f}$  adicional, a oscilação de pico a pico da tensão de saída  $\Delta V_{C_f}$  pode ser escrita

como sendo:

$$\Delta v_{C_f} = \frac{\Delta Q_{C_f}}{C_f} = \frac{i_{C_f} t_{on}}{C_f} \quad (3.38)$$

Sabe-se que a corrente que flui através do capacitor flutuante configura-se como sendo:  $i_{C_f} = i_{L_1} + i_{L_2}$  quando  $s_1$  está conduzindo e  $s_2$  está bloqueado ou,  $i_{C_f} = -(i_{L_1} + i_{L_2})$ , quando  $s_1$  está bloqueado e  $s_e$  conduz. Em regime permanente,  $i_{L_1} = I_i$  e  $i_{L_2} = I_o$ . Assim, a Eq. (3.38) pode ser escrita como:

$$\Delta v_{C_f} = \frac{(i_{L_1} + i_{L_2})DT_s}{C_f} = \frac{(I_i + I_o)DT_s}{C_f} \quad (3.39)$$

É sabido que para o conversor *SEPIC*,  $I_o/I_i = (1-D)/D$ , logo,  $I_i + I_o = I_o/(1-D)$ . Desta forma, da Eq. (3.39), a amplitude de oscilação da tensão do capacitor flutuante é definida por:

$$\Delta v_{C_f} = \frac{I_o}{1-D} \frac{DT_s}{C_f} = \frac{I_o DT_s}{(1-D)C_f} = \frac{V_o DT_s}{R_o(1-D)C_f} \quad (3.40)$$

Isolando  $C_f$  da Eq. (3.40), considerando que  $T_s = 1/f_s$ , tem-se a capacitância  $C_f$  do conversor definida por:

$$C_f = \frac{V_o D}{R_o \Delta v_{C_f} (1-D) f_s} \quad (3.41)$$

Finalmente, o dimensionamento do capacitor de acoplamento  $C_1$  é obtido a partir da Fig. 3.7(a). Sabendo que a área sombreada da Fig. 3.7(a) representa a carga  $\Delta Q_{C_1}$  adicional, a oscilação de pico a pico  $\Delta V_{C_1}$  pode ser escrita por:

$$\Delta v_{C_1} = \frac{\Delta Q_{C_1}}{C_1} = \frac{i_{C_1} t_{on}}{C_1} \quad (3.42)$$

A partir da Fig. 3.7(a) e da análise mencionada anteriormente, a corrente  $i_{C_1} = i_{L_2}$ . Em regime, o valor médio de  $I_{L_2} = I_o$  quando  $s_1$  está bloqueado e  $s_1$  conduz, ou seja, para o período de tempo  $t_{on}$ . Desta forma, a Eq. (3.42) pode ser definida como:

$$\Delta v_{C_1} = \frac{I_o DT_s}{C_1} = \frac{V_o DT_s}{R_o C_1} \quad (3.43)$$

Isolando  $C_1$  da Eq. (3.43) e, sabendo que  $T_s = 1/f_s$ , tem-se a capacitância do capacitor de acoplamento definida por:

$$C_1 = \frac{V_o D}{R_o \Delta v_{C_1} f_s} \quad (3.44)$$

### 3.1.2.2 Dimensionamento dos Elementos para $D > 0,5$

O dimensionamento dos elementos reativos do conversor, para ( $D > 0,5$ ), é feito forma similar assim como ( $D < 0,5$ ). Os circuitos equivalentes da Fig. 5.3 juntamente com as formas de onda da Fig. 3.8 e Fig. 3.9 foram traçados para o conversor operando no modo elevador, ou seja, para os estágios 1, 3 e 4.

Como é sabido, as expressões das indutâncias são determinadas conhecendo as tensões sobre os indutores quando a inclinação da corrente é positiva  $\Delta i_{L+}$ , ou negativa  $\Delta i_{L-}$ . Assim, a partir da Eq. (3.20) determina-se os tempos em que as correntes  $i_{L_1}$  e  $i_{L_2}$  crescem ou decrescem linearmente, isto é, nos intervalos  $t_{on}$  e  $t_{\Delta}$ .

A expressão de  $t_{on}$  pode ser obtida a partir dos estágios 3 ou 4 (Fig. 3.8(c) ou 3.8(d)). Sabendo que  $v_{L_1} = (V_i - V_o)/2$ , da análise na seção 3.1.1. Assim, resolvendo para  $t_{on}$ , tem-se:

$$t_{on} = 2L_1 \frac{\Delta i_{L_1-}}{V_i - V_o} \quad (3.45)$$

Da mesma forma, no estágio 1, Fig. 3.8(b), tem-se  $v_{L_1} = V_i$ . Assim, o intervalo de tempo ( $t_{\Delta}$ ) pode ser determinado:

$$t_{\Delta} = L_1 \frac{\Delta i_{L_1+}}{V_i} \quad (3.46)$$

Com  $t_{on} + t_{\Delta} = T_s^i = \frac{1}{2f_s}$  e, resolvendo para  $\Delta i_{L_1}$ , obtém-se:

$$\Delta i_{L_1} = \frac{(V_i - V_o)V_i}{L_1(3V_i + V_o)2f_s} \quad (3.47)$$

Sabendo que  $V_o = (DV_i)/(1 - D)$ , a Eq. (3.47) pode ser definida em função do ciclo de trabalho:

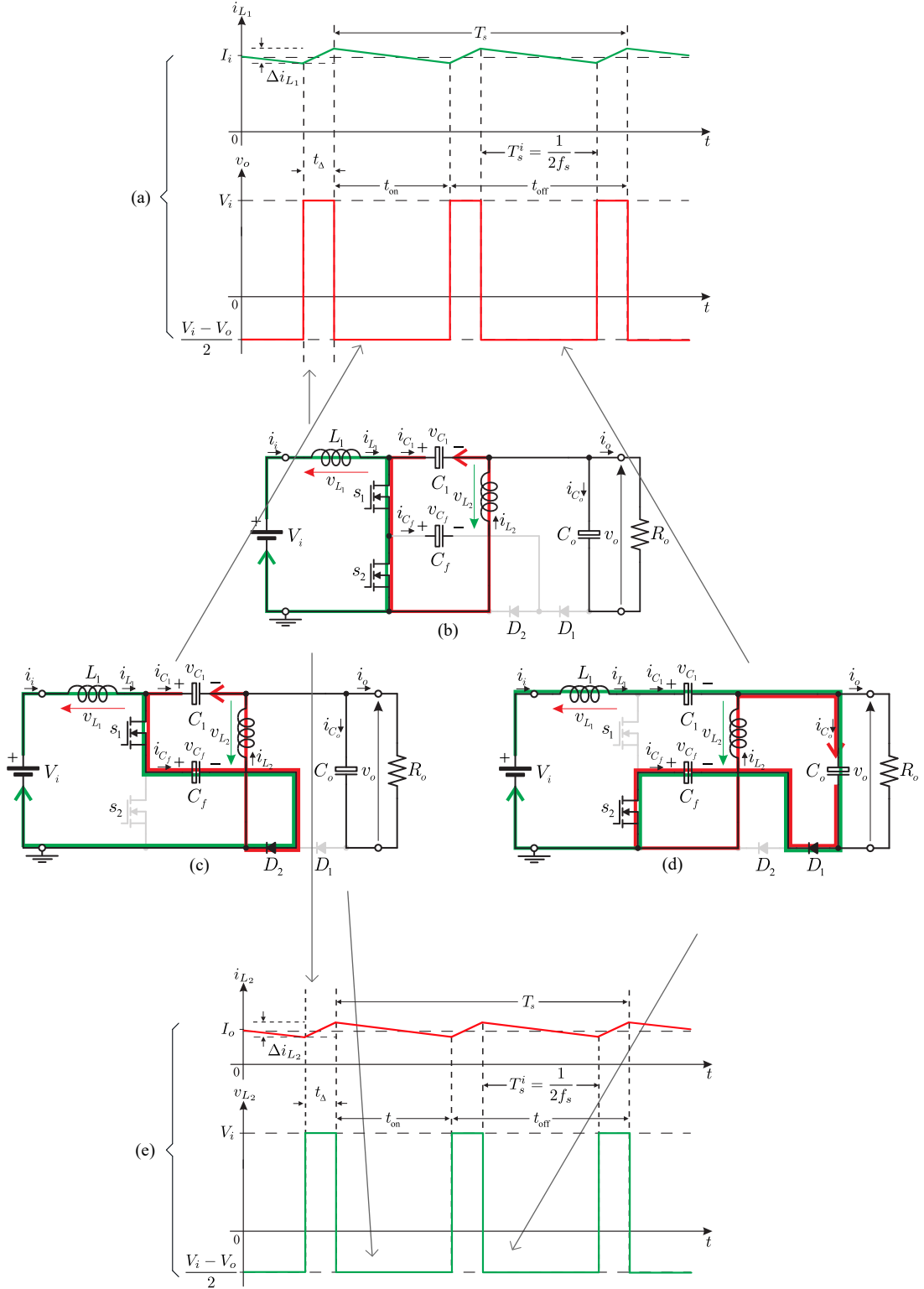
$$\Delta i_{L_1} = \frac{(V_i - V_o)(1 - D)}{L_1(3 + 4D)2f_s} \quad (3.48)$$

Como foi dito antes, a relação  $(V_i - V_o)/2$  é negativa, uma vez que  $V_o > V_i$  quando  $D > 0,5$ . Assim, a expressão  $(V_i - V_o)$  precisa está na função modular. Logo, a indutância  $L_1$  é definida por:

$$L_1 = \frac{|V_i - V_o|(1 - D)}{2\Delta i_{L_1}(3 + 4D)f_s} \quad (3.49)$$

O cálculo da indutância  $L_2$  segue processo similar quando considerado a Fig. 3.8(e), o que resulta em:

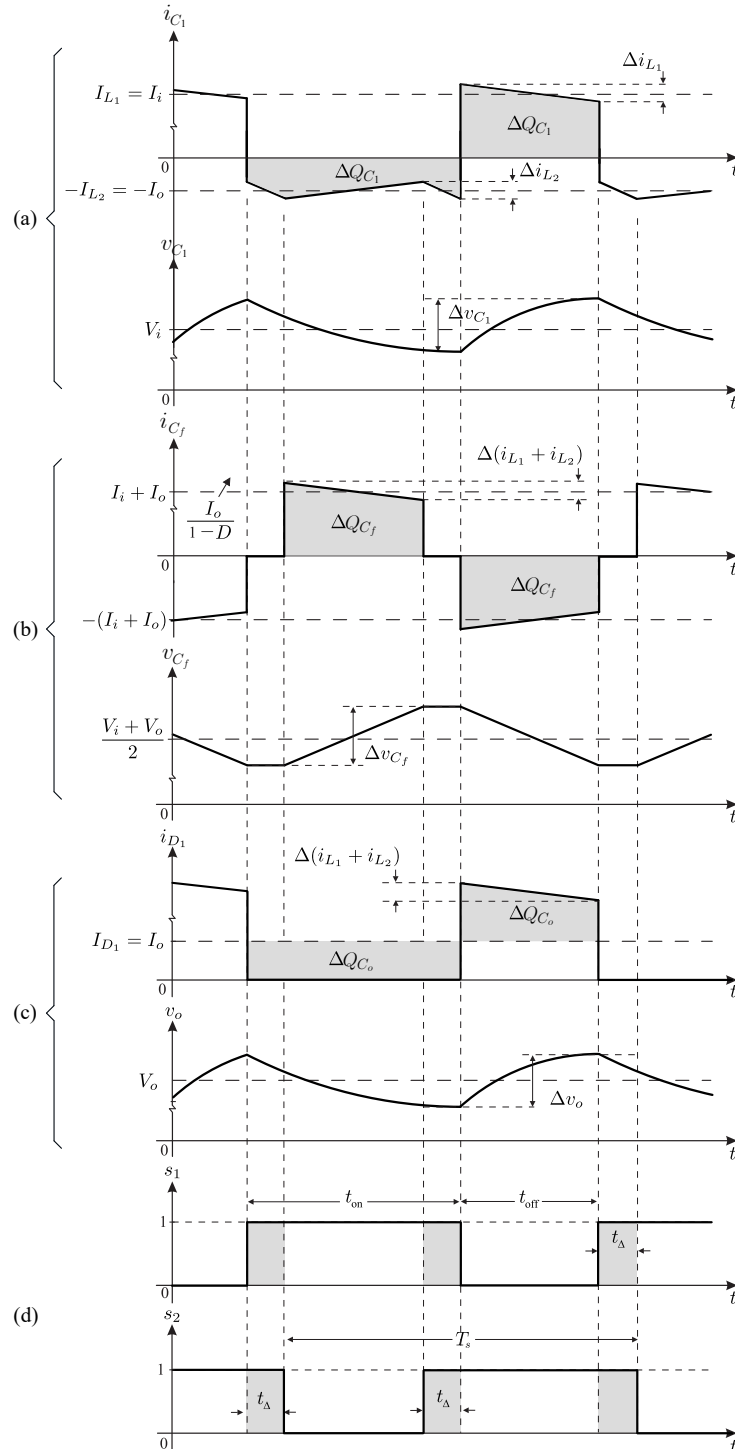
Figura 3.8 – Operação do conversor Sepic proposto: (a) Formas de onda de tensão e corrente para o indutor  $L_1$ ; (b) Circuito equivalente para o estágio 1 ( $s_1$  e  $s_2$  conduzindo); (c) Circuito equivalente para o estágio 3 ( $s_1$  conduzindo e  $s_2$  bloqueado); (d) Circuito equivalente para o estágio 4 ( $s_1$  bloqueado e  $s_2$  conduzindo); (e) Formas de onda de tensão e corrente para o indutor  $L_2$ .



$$L_2 = \frac{|V_i - V_o|(1 - D)}{2\Delta i_{L_2}(3 + 4D)f_s} \quad (3.50)$$

As capacitâncias são definidas a partir das oscilação de pico a pico das tensões sobre os capacitores  $C_o$ ,  $C_1$  e  $C_f$  no modo Elevador. A 3.9 mostra as amplitudes de oscilações de tensão e corrente sobre os capacitores para  $D > 0,5$ , necessário as expressões das capacitâncias.

Figura 3.9 – Formas de onda para dimensionamento dos capacitores para  $V_o > V_i$ : (a) Oscilação de pico a pico de tensão e corrente para  $C_1$ ; (b) Oscilação de pico a pico de tensão e corrente para  $C_f$ ; (c) Oscilação de pico a pico de tensão e corrente para  $C_o$ ; (d) Estado das chaves  $s_1$  e  $s_2$ .



O dimensionamento do capacitor de acoplamento  $C_1$  é obtido a partir da Fig. 3.9(a) quando o capacitor está no processo de descarga, ou seja, quando  $s_1$  está bloqueado e  $s_2$  conduzindo o que corresponde ao intervalo de tempo  $t_{off}$ . Sabendo que a área sombreada da Fig. 3.9(a) representa a carga  $\Delta Q_{C_1}$  adicional, a oscilação de pico a pico  $\Delta V_{C_1}$  pode ser escrita por:

$$\Delta v_{C_1} = \frac{\Delta Q_{C_1}}{C_1} = \frac{i_{C_1} t_{off}}{C_1} \quad (3.51)$$

A partir da Fig. 3.9(a) e da análise mencionada anteriormente, a corrente  $i_{C_1} = i_{L_1}$  em  $t_{off}$ . Em regime, o valor médio de  $I_{L_1} = I_i$ . Desta forma, a Eq. (3.51) pode ser definida como:

$$\Delta v_{C_1} = \frac{I_{C_1}(1-D)T_s}{C_1} = \frac{I_{L_1}(1-D)T_s}{C_1} = \frac{I_i(1-D)T_s}{C_1} \quad (3.52)$$

Considerando que para o conversor Sepic,  $I_i = (I_o D)/(1-D)$ , tem-se que a Eq. (3.52) pode ser reescrita como:

$$\Delta v_{C_1} = \frac{\frac{I_o D}{1-D}(1-D)T_s}{C_1} = \frac{I_o D T_s}{C_1} = \frac{V_o D}{R_o C_1 f_s} \quad (3.53)$$

Isolando  $C_1$  da Eq. (3.53) e, considerando que  $T_s = 1/f_s$ , tem-se a capacitância do capacitor de acoplamento definida por:

$$C_1 = \frac{V_o D}{R_o \Delta v_{C_1} f_s} \quad (3.54)$$

Para o calculo da capacitância  $C_f$ , é escolhido o instante de tempo em que  $s_1$  está bloqueado e  $s_2$  conduzindo pois neste interlavo de tempo, o capacitor é descarregado por  $\Delta v_{C_f}$ . Assim, sabendo que a área sombreada da Fig. 3.9(b) representa carga  $\Delta Q_{C_f}$  adicional, a oscilação de pico a pico da tensão de saída  $\Delta V_{C_f}$  pode ser escrita como sendo:

$$\Delta v_{C_f} = \frac{\Delta Q_{C_f}}{C_f} = \frac{i_{C_f} t_{off}}{C_f} \quad (3.55)$$

Sabe-se que a corrente que flui através do capacitor flutuante em  $t_{off}$  configura-se como sendo:  $i_{C_f} = -(i_{L_1} + i_{L_2})$ . Considerando que os valores médios  $i_{L_1} = I_i$  e  $i_{L_2} = I_o$ , a Eq. (3.55) pode ser escrita por:

$$\Delta v_{C_f} = \frac{(i_{L_1} + i_{L_2})(1-D)T_s}{C_f} = \frac{(I_i + I_o)(1-D)T_s}{C_f} \quad (3.56)$$



É sabido que para o conversor *SEPIC*,  $I_o/I_i = (1-D)/D$ , logo,  $I_i + I_o = I_o/(1-D)$ . Desta forma, da Eq. (3.56), a amplitude de oscilação da tensão do capacitor flutuante é definida por:

$$\Delta v_{C_f} = \frac{\frac{I_o}{1-D}(1-D)T_s}{C_f} = \frac{I_o T_s}{C_f} = \frac{V_o T_s}{R_o C_f} \quad (3.57)$$

Isolando  $C_f$  da Eq. (3.57), considerando que  $T_s = 1/f_s$ , tem-se a capacitância  $C_f$  do conversor definida por:

$$C_f = \frac{V_o}{R_o \Delta v_{C_f} f_s} \quad (3.58)$$

Finalmente, para o calculo da capacitância  $C_o$ , assumi-se que todas as componentes oscilatórias de  $i_{D_1}$  fluem através do capacitor e suas componentes médias fluem pelo resistor de carga. A área sombreada da Fig. 3.9(c) representa a carga  $\Delta Q_{C_o}$  adicional, necessária para deduzir uma expressão para a capacitância. Dessa forma:

$$\Delta v_o = \frac{\Delta Q_{C_o}}{C_o} = \frac{i_{D_1} t_{on}}{C_o} \quad (3.59)$$

Em regime,  $i_{D_1} = I_o$ . Logo, a Eq. (3.59) pode ser reescrita:

$$\Delta v_o = \frac{I_o D T_s}{C_o} = \frac{V_o D T_s}{R_o C_o} \quad (3.60)$$

Portanto, a partir da Eq. (3.60), defini-se a capacitância de saída do conversor proposto:

$$C_o = \frac{V_o D}{R_o \Delta v_o f_s} \quad (3.61)$$

A Tabela 3.1 apresenta as expressões dos componentes reativos (indutores e capacitores) para o conversor *SEPIC* de 3 níveis, considerando dois modos de operação:  $D < 0,5$  e  $D > 0,5$ . Para cada modo, são mostradas as fórmulas que relacionam os valores dos indutores ( $L_1$  e  $L_2$ ) e capacitores ( $C_1$ ,  $C_f$  e  $C_o$ ) em função dos parâmetros do circuito, como tensão de entrada ( $V_i$ ), tensão de saída ( $V_o$ ), ciclo de trabalho ( $D$ ), corrente de ripple ( $\Delta i$ ) e frequência de comutação ( $f_s$ ).

### 3.1.3 Ganho Estático do Conversor com a Célula de Comutação de Três Níveis

Assumindo que em regime permanente as tensões médias nos indutores são zero, então as áreas *on* e *off* e  $A$  e  $B$  da Fig. 3.10(a) serão iguais. Com isso, tem-se:

Tabela 3.1 – Expressões dos componentes reativos para o conversor SEPIC de 3 Níveis.

Modo	Componente	Expressão
$D < 0,5$	$L_1$	$\frac{(V_i - V_o)D}{2\Delta i_{L_2} f_s}$
	$L_2$	$\frac{(V_i - V_o)D}{2\Delta i_{L_2} f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o D}{R_o \Delta v_{C_f} (1 - D) C_f f_s}$
	$C_o$	$\frac{V_o D}{R_o \Delta v_o f_s}$
$D > 0,5$	$L_1$	$\frac{ V_i - V_o (1 - D)}{2\Delta i_{L_1} f_s}$
	$L_2$	$\frac{ V_i - V_o (1 - D)}{2\Delta i_{L_2} f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o}{R_o \Delta v_{C_f} f_s}$
	$C_o$	$\frac{V_o D}{R_o \Delta v_o f_s}$

■ Para  $L_1$ :

$$v_{L_1} t_{on} = v_{L_1} t_{\Delta} \quad (3.62)$$

$$(V_i - v_{C_f}) D T_s = -(V_i - v_{C_1} - v_o) \frac{1 - 2D}{2} T_s \quad (3.63)$$

Sabendo que  $v_{C_f} = (V_i + V_o)/2$  e cancelando o termo comum,  $T_s$ , assim:

$$\left( V_i - \frac{V_i + V_o}{2} \right) D = -(V_i - v_{C_1} - v_o) \frac{1 - 2D}{2} \quad (3.64)$$

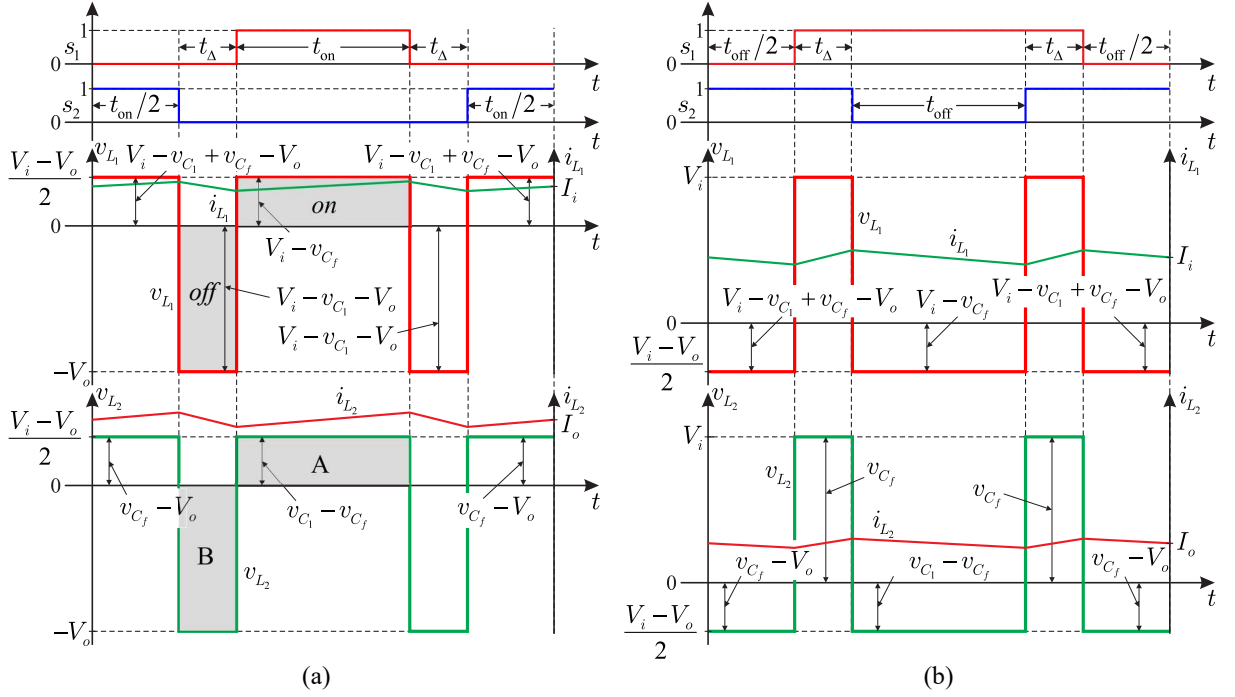
Ou

$$(V_i - V_o) D = -(V_i - v_{C_1} - v_o) (1 - 2D) \quad (3.65)$$

Agora, distribuindo os termos:

$$V_i D - V_o D = -V_i + 2D V_i + V_o - 2D V_o + V_{C_1} (1 - 2D) \quad (3.66)$$

Figura 3.10 – Formas de onda das tensões nos indutores do conversor SEPIC proposto.



Adicionando os termos comuns, tem-se:

$$V_o D - V_i D + V_i - V_o = V_{C_1} (1 - 2D) \quad (3.67)$$

Resolvendo para  $V_{C_1}$ , tem-se:

$$V_{C_1} = \frac{V_o D - V_i D + V_i - V_o}{(1 - 2D)} \quad (3.68)$$

■ Para  $L_2$ :

$$v_{L_1} t_{on} = v_{L_1} t_{\Delta} \quad (3.69)$$

$$(V_{C_1} - v_{C_f}) D T_s = (V_o) \frac{1 - 2D}{2} T_s \quad (3.70)$$

Novamente, sabendo que  $v_{C_f} = (V_i + V_o)/2$  e cancelando o termo comum,  $T_s$ , tem-se:

$$\left( V_{C_1} - \frac{V_i + V_o}{2} \right) D = V_o \frac{1 - 2D}{2} \quad (3.71)$$

Ou

$$(2V_{C_1} - V_i + V_o) D = V_o (1 - 2D) \quad (3.72)$$

Agora, distribuindo os termos:

$$2DV_{C_1} - DV_i - DV_o = V_o - 2DV_o \quad (3.73)$$

Adicionando os termos comuns, tem-se:

$$2DV_{C_1} = V_o - 2DV_o + DV_i + DV_o \quad (3.74)$$

Resolvendo para  $V_{C_1}$ , tem-se:

$$V_{C_1} = \frac{V_o + V_i D - V_o D}{2D} \quad (3.75)$$

Igualando-se as Eqs. 3.68 e 3.75:

$$\frac{V_o D - V_i D + V_i - V_o}{(1 - 2D)} = \frac{V_o + V_i D - V_o D}{2D} \quad (3.76)$$

Ou

$$2D(V_o D - V_i D + V_i - V_o) = (1 - 2D)(V_o + V_i D - V_o D) \quad (3.77)$$

Agora, distribuindo os termos:

$$2D^2V_o - 2D^2V_i + 2DV_i - 2DV_o = V_o + DV_i - DV_o - 2DV_o - 2D^2V_i - 2D^2V_o \quad (3.78)$$

Cancelando os termos comuns, tem-se:

$$DV_i + DV_o - V_o = 0 \quad (3.79)$$

Ou

$$DV_i - V_o(1 - D) = 0 \quad (3.80)$$

Resolvendo para  $V_o$ , tem-se que a relação de ganho entre as tensões de saída e de entrada para o conversor SEPIC proposto será:

$$V_o = \frac{D}{1 - D} V_i \quad (3.81)$$

Assim, tem-se o ganho estático do conversor proposto:

$$G_{\text{Ide.}} = \frac{D}{1-D} \quad (3.82)$$

Desta forma, verifica-se que o ganho ideal do conversor SEPIC proposto é o mesmo do SEPIC convencional.

Para validar as Eqs. 3.81 e 3.82, é necessário coletar alguns pontos do ciclo de trabalho por meio de simulação. Como se sabe, a malha superior do sistema de controle da Fig. 2.9 é responsável por gerar o ciclo de trabalho de referência. Dessa forma, o ganho estático de simulação é dado por:

$$G_{\text{Sim.}} = \frac{D^*}{1-D^*} \quad (3.83)$$

Onde, o sinal  $D^*$  é obtido a partir da saída do controlador.

$$D^* = G_{PI}(s) \text{Erro} = (V_o^* - v_o)(k_{pv} + k_{iv}/s) \quad (3.84)$$

### 3.1.4 Tensões RMS dos Indutores com Célula de Comutação de Três Níveis

#### 3.1.4.1 Conversor Proposto: para $D < 0.5$

A partir da Figura 3.5(a), a duração de tempo para os interruptores em condução é:

$$t_{on} = DT_s \quad (3.85)$$

$$t_{on} + t_{\Delta} = \frac{T_s}{2} \quad (3.86)$$

Assumindo que  $V_{L1,rms} = V_{L2,rms} = V_{L,rms}$  e considerando as formas de onda da tensão dos indutores apresentadas na Figura 3.5(a), as tensões RMS sobre os indutores são definidas como:

$$V_{L,rms} = \sqrt{\frac{1}{T_s/2} \left[ \int_0^{t_{on}/2} \left( \frac{V_i - V_o}{2} \right)^2 dt + \int_{t_{on}/2}^{t_{on}/2+t_{\Delta}} (-V_o)^2 dt + \int_{t_{on}/2+t_{\Delta}}^{T_s/2} \left( \frac{V_i - V_o}{2} \right)^2 dt \right]} \quad (3.87)$$

$$V_{L,rms} = \sqrt{2} \sqrt{\left( \frac{V_i - V_o}{2} \right)^2 D + \frac{V_o^2}{2} (1 - 2D)} \quad (3.88)$$

Substituindo  $V_o$  da Eq. (3.2) em (3.88), tem-se:

$$V_{L,rms} = \frac{\sqrt{2}}{2} V_i \sqrt{\frac{D - 2D^2}{(1-D)^2}} = \frac{\sqrt{2}}{2} V_i \frac{D}{1-D} \sqrt{\frac{D - 2D^2}{D^2}} \quad (3.89)$$

### 3.1.4.2 Conversor Proposto: para $D > 0.5$

A partir da Figura 3.5(b), a duração de tempo para os interruptores em condução é:

$$t_{\text{off}} = (1 - D)T_s \quad (3.90)$$

$$t_{\text{off}} + t_{\Delta} = \frac{T_s}{2} \quad (3.91)$$

Assumindo que  $V_{L_1,rms} = V_{L_2,rms} = V_{L,rms}$  e considerando as formas de onda da tensão dos indutores apresentadas na Figura 3.5(b), as tensões RMS sobre os indutores são definidas como:

$$V_{L,rms} = \sqrt{\frac{1}{T_s/2} \left[ \int_0^{t_{\text{off}}/2} \left( \frac{V_i - V_o}{2} \right)^2 dt + \int_{t_{\text{off}}/2}^{t_{\text{off}}/2+t_{\Delta}} (V_i)^2 dt + \int_{t_{\text{off}}/2+t_{\Delta}}^{T_s/2} \left( \frac{V_i - V_o}{2} \right)^2 dt \right]} \quad (3.92)$$

$$V_{L,rms} = \sqrt{2} \sqrt{\left( \frac{V_i - V_o}{2} \right)^2 (1 - D) + \frac{V_i^2}{2} (-1 + 2D)} \quad (3.93)$$

Substituindo  $V_o$  da Eq. (3.2) em (3.93), tem-se:

$$V_{L,rms} = \frac{\sqrt{2}}{2} V_i \sqrt{\frac{2D - 1}{(1 - D)}} = \frac{\sqrt{2}}{2} V_i \frac{D}{1 - D} \sqrt{\frac{-1 + 3D - 2D^2}{D^2}} \quad (3.94)$$

### 3.1.4.3 SEPIC Convencional com Célula de Comutação de Dois Níveis

Em um SEPIC convencional, durante  $t_{\text{on}}$  as tensões dos indutores são  $v_{L_1} = v_{L_2} = V_i$ , e durante  $t_{\text{off}}$  as tensões dos indutores são  $v_{L_1} = v_{L_2} = -V_o$ . Assim, a tensão RMS é definida como:

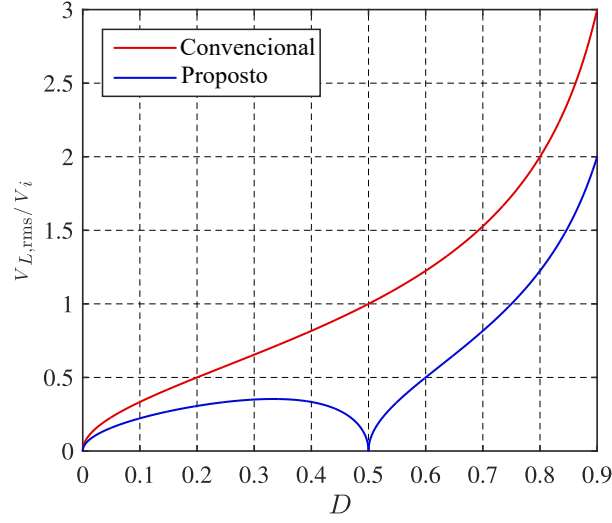
$$V_{L,rms} = \sqrt{\frac{1}{T_s} \left[ \int_0^{t_{\text{on}}} V_i^2 dt + \int_{t_{\text{on}}}^{T_s} (-V_o)^2 dt \right]} = \sqrt{V_i^2 D + V_o^2 (1 - D)} \quad (3.95)$$

Substituindo  $V_o$  da Eq. (3.2) em (A.23), tem-se:

$$V_{L,rms} = V_i \sqrt{\frac{D - D^2}{(1 - D)^2}} = V_i \frac{D}{1 - D} \sqrt{\frac{D - D^2}{D^2}} \quad (3.96)$$

A partir das Eqs. (3.89), (3.94) e (3.96), é possível comparar graficamente as tensões RMS sobre os indutores para os conversores proposto e convencional. Essa comparação, em função do ciclo de trabalho  $D$ , pode ser observada na Fig. 3.11, onde as tensões RMS são normalizadas por  $V_i$ .

Figura 3.11 – Tensão RMS sobre os indutores  $L_1$  e  $L_2$  do conversor SEPIC proposto e convencional.



### 3.1.5 Correntes RMS dos Capacitores com Célula de Comutação de Três Níveis

Para poder escolher  $C_1$  e  $C_f$  corretamente, é necessário definir a corrente RMS que os capacitores suportam.

#### 3.1.5.1 Conversor Proposto: para $D < 0.5$

■ Para  $C_1$ :

A corrente RMS no capacitor  $C_1$ , encontra-se mediante a Fig. 3.5(a) para obter as regiões de integração. A corrente RMS que passa através de  $C_1$  será:

$$I_{C_1,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_1}^2 dt} = \sqrt{\frac{1}{T_s/2} \left[ \int_0^{t_{\text{on}}} (-i_{L_2})^2 dt + \int_{t_{\text{on}}}^{T_s} i_{L_1}^2 dt \right]} \quad (3.97)$$

Para tornar mais simples o cálculo e deixar margem de segurança suficiente, consideram-se as correntes máximas nos indutores e assume-se que as ondulações de corrente  $\Delta i_{L_1}$  e  $\Delta i_{L_2}$  são desprezíveis, logo:

$$I_{C_1,\text{rms}} = \sqrt{\frac{1}{T_s} \left[ \int_0^{DT_s} I_{L_2}^2 dt + \int_{DT_s}^{T_s} I_{L_1}^2 dt \right]} \quad (3.98)$$

Resolvendo as integrais, tem-se:

$$I_{C_1,\text{rms}} = \sqrt{\frac{1}{T_s} \left[ I_{L_2,\text{max}}^2 DT_s + I_{L_1,\text{max}}^2 (1-D)T_s \right]} \approx \sqrt{I_{L_2}^2 D + I_{L_1}^2 (1-D)} \quad (3.99)$$

É sabido que  $I_{L_1} = I_i$  e  $I_{L_2} = I_o$  e, da relação  $I_o/I_i = (1 - D)/D$  para o conversor Sepic. Desta forma, a Eq. (3.99) pode ser rescrito como:

$$I_{C_1, \text{rms}} = \sqrt{I_o^2 D + I_i^2 (1 - D)} = \sqrt{I_o^2 D + \left(\frac{I_o D}{1 - D}\right)^2 (1 - D)} = \sqrt{I_o^2 D + \frac{I_o^2 D^2}{1 - D}} \quad (3.100)$$

$$\therefore I_{C_1, \text{rms}} = \sqrt{I_o^2 \left(D + \frac{D^2}{1 - D}\right)} = \sqrt{I_o^2 \frac{D}{1 - D}} = I_o \sqrt{\frac{D}{1 - D}} \quad (3.101)$$

■ Para  $C_f$ :

A corrente RMS no capacitor  $C_f$  é determinada utilizando a Fig. 3.5(a), que auxilia na identificação das regiões de integração. A corrente RMS que flui através de  $C_f$  é dada por:

$$I_{C_f, \text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{C_f}^2 dt} = \sqrt{\frac{1}{T_s} \left[ \int_{t_\Delta}^{t_{\text{on}}} (i_{L_1} + i_{L_2})^2 dt + \int_{t_{\text{on}} + 2t_\Delta}^{T_s - t_\Delta} (-i_{L_1} - i_{L_2})^2 dt \right]} \quad (3.102)$$

Consideram-se as correntes máximas nos indutores e assume-se que as ondulações de corrente  $\Delta i_{L_1}$  e  $\Delta i_{L_2}$  são desprezíveis. Dessa forma, temos:

$$I_{C_f, \text{rms}} = \sqrt{\frac{1}{T_s} \left[ \int_{t_\Delta}^{t_{\text{on}}} (I_{L_1} + I_{L_2})^2 dt + \int_{t_{\text{on}} + 2t_\Delta}^{T_s - t_\Delta} (-I_{L_1} - I_{L_2})^2 dt \right]} \quad (3.103)$$

Resolvendo as integrais, tem-se:

$$I_{C_f, \text{rms}} = \sqrt{\frac{1}{T_s} \left[ (I_{L_1} + I_{L_2})^2 (t_{\text{on}} - t_\Delta) + (I_{L_1} + I_{L_2})^2 ((T_s - t_\Delta) - (t_{\text{on}} - 2t_\Delta)) \right]} = \quad (3.104)$$

$$I_{C_f, \text{rms}} = (I_{L_1} + I_{L_2}) \sqrt{\frac{1}{T_s} [(t_{\text{on}} - t_\Delta) + (T_s - 3t_\Delta - t_{\text{on}})]} \quad (3.105)$$

Para o conversor proposto, os intervalos de tempos  $t_{\text{on}}$  e  $t_\Delta$  são definidos por:

$$t_{\text{on}} = DT_s \quad (3.106)$$

$$t_\Delta = \frac{1 - 2D}{2} T_s \quad (3.107)$$

Substituindo a Eq. (3.107) na Eq. (3.105), tem-se:

$$I_{C_f, \text{rms}} = (I_{L_1} + I_{L_2}) \sqrt{\frac{1}{T_s} \left[ \left( DT_s - \frac{1 - 2D}{2} T_s \right) + \left( T_s - 3 \frac{1 - 2D}{2} T_s - DT_s \right) \right]} \quad (3.108)$$



$$I_{C_f, \text{rms}} = (I_{L_1} + I_{L_2}) \sqrt{\left(\frac{4D-1}{2}\right)^2 + \left(\frac{4D-1}{2}\right)^2} = (I_{L_1} + I_{L_2}) \sqrt{4D-1} \quad (3.109)$$

É sabido que  $I_{L_1} = I_i$  e  $I_{L_2} = I_o$ , e que, pela relação  $I_o/I_i = (1-D)/D$ , temos  $I_i + I_o = I_o/(1-D)$ . Finalmente, a Eq. (3.109) pode ser reescrita como:

$$\therefore I_{C_f, \text{rms}} = \frac{I_o}{1-D} \sqrt{4D-1} \quad (3.110)$$

O calculo das expressões das correntes RMS para  $D > 0,5$ , é obtido de forma análoga.

### 3.1.6 Esforços nos Semicondutores

#### 3.1.6.1 Esforços de Tensão

As tensões máximas às quais as chaves estarão submetidas são definidas pela análise dos estágios de operação mostrados na Fig. 3.4. A tensão sobre  $s_2$  é determinada a partir da Fig. 3.4(c), quando  $s_2$  está em bloqueio, enquanto a tensão sobre  $s_1$  é definida na Fig. 3.4(d), quando  $s_1$  está em bloqueio. Assim, temos:

$$v_{S_2, \text{max}} = v_{C_f} + v_{D_2, \text{on}} \quad (3.111)$$

$$v_{S_1, \text{max}} = v_{C_1} + v_o - v_{C_f} + v_{D_1, \text{on}} \quad (3.112)$$

Para uma análise correta, a tensão sobre os capacitores deve ser constante, isto é,  $v_{C_f} = (V_i + V_o)/2$  e  $v_{C_1} = V_i$  e, operando sem perdas ( $v_{D_2, \text{on}} = v_{D_1, \text{on}} = 0$ ), desta forma:

$$v_{S_2, \text{max}} = v_{C_f} = \frac{V_i + V_o}{2} \quad (3.113)$$

$$v_{S_1, \text{max}} = V_i + V_o - \frac{V_i + V_o}{2} = \frac{2V_i + 2V_o - V_i - V_o}{2} = \frac{V_i + V_o}{2} \quad (3.114)$$

Dá relação em 3.2, a Eq. (3.113) e Eq. (3.114) pode ser definida em termos do ciclo de trabalho:

$$v_{S_1, \text{max}} = v_{S_2, \text{max}} = \frac{V_i + \frac{DV_i}{1-D}}{2} = \frac{V_i}{2} + \frac{DV_i}{2(1-D)} = \frac{V_i(1-D) + DV_i}{2(1-D)} \quad (3.115)$$

$$\therefore v_{S_1, \text{max}} = v_{S_2, \text{max}} = \frac{V_i}{2(1-D)} \quad (3.116)$$

Para determinar as tensões sobre os diodos, o procedimento é semelhante. Assim, quando  $s_1$  está conduzindo e  $s_2$  está em bloqueio, tem-se, a partir da malha que compreende os capacitores na Fig. 3.4(c):

$$v_{D_1,\max} = v_{C_1} + v_o - v_{C_f} \quad (3.117)$$

Enquanto  $s_1$  está em bloqueio e  $s_2$  conduz, observa-se na Fig. 3.4(d) que  $i_{D_2}$  está em paralelo com  $v_{C_f}$ , logo:

$$v_{D_2,\max} = v_{C_f} \quad (3.118)$$

Comparando as Eqs. (3.117) e (3.118) com (3.111) e (3.112), pode-se concluir que as tensões de bloqueio dos diodos são iguais às de bloqueio das chaves. Isto é:

$$v_{D_1,\max} = \frac{V_i}{2(1-D)} \quad (3.119)$$

$$v_{D_2,\max} = \frac{V_i}{2(1-D)} \quad (3.120)$$

### 3.1.6.2 Esforços de Corrente

A corrente RMS em  $s_1$  é determinada utilizando a Fig. 3.5(a) para identificar as regiões de integração. A partir dos estágios de operação presentes na Fig. 3.4, nota-se que, nos estágios 3 e 4, a corrente que flui pelas chaves  $s_1$  e  $s_2$  é dada por  $i_{s_1} = i_{C_f} = i_{L_1} + i_{L_2}$  durante o intervalo de tempo  $t_{\text{on}}$ , como mostrado na Fig. 3.5(a) ou 3.5(b). Assim, a corrente RMS que passa através de  $s_1$  será:

$$I_{s_1,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{s_1}^2 dt} = \sqrt{\frac{1}{T_s} \int_0^{t_{\text{on}}} (i_{L_1} + i_{L_2})^2 dt}, \quad (3.121)$$

Consideram-se as correntes máximas nos indutores e desprezando as ondulações de corrente  $\Delta i_{L_1}$  e  $\Delta i_{L_2}$ :

$$I_{s_1,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{t_{\text{on}}} (I_{L_1} + I_{L_2})^2 dt} = \sqrt{\frac{1}{T_s} (I_{L_1} + I_{L_2})^2 D T_s} = \sqrt{(I_{L_1} + I_{L_2})^2 D}, \quad (3.122)$$

$$\therefore I_{s_1,\text{rms}} = \sqrt{(I_i + I_o)^2 D} = \sqrt{\frac{I_o^2}{(1-D)^2} D} = I_o \frac{\sqrt{D}}{1-D}. \quad (3.123)$$

A forma de onda da corrente em  $s_2$  é semelhante, diferenciando-se apenas pela defasagem de  $180^\circ$ . Assim:

$$I_{s_2,\text{rms}} = I_{s_1,\text{rms}} = I_o \frac{\sqrt{D}}{1-D}. \quad (3.124)$$

A forma de onda da corrente para  $D_1$  é mostrada na Fig. 3.7(c), derivada dos estágios de operação do conversor. O diodo conduz quando  $s_1$  está em bloqueio, drenando uma

corrente  $i_{D_1} = i_{L_1} + i_{L_2}$  durante o intervalo  $t_{\text{off}}$ . Assim, o valor eficaz de  $D_1$ , considerando apenas os valores médios que circulam nos indutores, é dado por:

$$I_{D_1,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_{D_1}^2 dt} = \sqrt{\frac{1}{T_s} \int_{DT_s}^{T_s} (i_{L_1} + i_{L_2})^2 dt} = \sqrt{(I_{L_1} + I_{L_2})^2(1 - D)}, \quad (3.125)$$

$$\therefore I_{D_1,\text{rms}} = \sqrt{(I_i + I_o)^2(1 - D)} = \sqrt{\frac{I_o^2}{(1 - D)^2}(1 - D)} = I_o \sqrt{\frac{1}{1 - D}}. \quad (3.126)$$

Mais uma vez, a forma de onda da corrente em  $D_2$  é similar, com a única diferença sendo a defasagem de  $180^\circ$ . Portanto:

$$I_{D_2,\text{rms}} = I_{D_1,\text{rms}} = I_o \sqrt{\frac{1}{1 - D}}. \quad (3.127)$$

### 3.1.6.3 SEPIC Convencional com Célula de Comutação de Dois Níveis

Em um SEPIC convencional, os valores médios das tensões  $v_{L_1}$  e  $v_{L_2}$  são nulos no regime permanente. Assim, desconsiderando a oscilação de tensão nos capacitores, a tensão sobre  $s$  durante o período  $t_{\text{off}}$  é determinada aplicando a LKT na malha que inclui as fontes de tensão, ou seja, os capacitores:

$$v_s = v_D = V_i + V_o, \quad (3.128)$$

Uma vez que  $V_{C_1} = V_i$ . Substituindo a Eq. (3.2) na Eq. (3.128), tem-se:

$$v_s = v_D = V_i + \frac{DV_i}{1 - D} = \frac{V_i(1 - D) + DV_i}{1 - D} = \frac{V_i - V_i D + DV_i}{1 - D} = \frac{V_i}{1 - D}. \quad (3.129)$$

Ainda em  $t_{\text{off}}$ , a corrente  $i_D$  é dada por  $i_{L_1} + i_{L_2}$ , enquanto que, em  $t_{\text{on}}$ , a corrente em  $s$  é  $i_{L_1}$ . Considerando os valores máximos e desprezando as ondulações de corrente, tem-se que a corrente que atravessa a chave é definida por:

$$I_{s,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_s^2 dt} = \sqrt{\frac{1}{T_s} \int_0^{DT_s} I_{L_1}^2 dt} = \sqrt{I_i^2 D} = \frac{D\sqrt{D}}{(1 - D)} I_o \quad (3.130)$$

Finalmente, a corrente eficaz do diodo é dada por:

$$I_{D,\text{rms}} = \sqrt{\frac{1}{T_s} \int_0^{T_s} i_D^2 dt} = \sqrt{\frac{1}{T_s} \int_{DT_s}^{T_s} (I_{L_1} + I_{L_2})^2 dt} = \sqrt{(I_i + I_o)^2(1 - D)} = I_o \sqrt{\frac{1}{1 - D}}. \quad (3.131)$$

A Tabela 3.2 compara os esforços de tensão e corrente nos semicondutores para as abordagens proposta e convencional. Os esforços de tensão são apresentados para  $s_1$ ,  $s_2$ ,  $D_1$  e  $D_2$ , com os métodos convencionais não aplicáveis em dois deles por apresentar apenas uma chave e um diodo. Da mesma forma, os esforços de corrente mostram diferenças entre as duas abordagens, com alguns valores não aplicáveis no método convencional.

Tabela 3.2 – Esforços nos Semicondutores para o Conversor SEPIC Proposto e Convencional.

Esforços de Tensão		
Parâmetro	Proposto	Convencional
$v_{S1,max}/V_i$	$1/[2(1 - D)]$	$1/(1 - D)$
$v_{D1,max}/V_i$	$1/[2(1 - D)]$	$1/(1 - D)$
$v_{S2,max}/V_i$	$1/[2(1 - D)]$	N/A*
$v_{D2,max}/V_i$	$1/[2(1 - D)]$	N/A
Esforços de Corrente		
Parâmetro	Proposto	Convencional
$I_{S1,rms}/I_o$	$\sqrt{D}/(1 - D)$	$D\sqrt{D}/(1 - D)$
$I_{D1,rms}/I_o$	$1/\sqrt{(1 - D)}$	$1/\sqrt{(1 - D)}$
$I_{S2,rms}/I_o$	$\sqrt{D}/(1 - D)$	N/A
$I_{D2,rms}/I_o$	$1/\sqrt{(1 - D)}$	N/A

\* N/A: "não se aplica".

### 3.1.7 Estimativa do Volume do Núcleo do Indutor

O volume do núcleo do indutor pode ser estimado com base na teoria do Produto de Área (PONNIRAN; ORIKAWA; ITOH, 2016; MCLYMAN, 2004). Assim, o volume do núcleo do indutor ( $VOL$ ) pode ser expresso como uma função da constante ( $K_{vol}$ ) e do produto de área ( $A_p$ ), da seguinte forma:

$$VOL = K_{vol} A_p^{0.75} = K_{vol} \left[ \frac{2W \cdot 10^4}{B_m J K_u} \right]^{0.75} \quad (3.132)$$

Onde:

- $B_m$ : é a densidade máxima de fluxo magnético,
- $W$ : é a energia magnética armazenada no indutor,
- $j$ : é a densidade de corrente no fio do indutor,
- $K_u$ : é o fator de utilização do núcleo.

Além disso, a energia de um núcleo de indutor ( $W$ ) pode ser expressa da seguinte forma:

$$W = \frac{1}{2}L \times I_L^2 \quad (3.133)$$

Onde:

- $L$ : é a indutância,
- $I$ : é a corrente máxima do indutor.

A equação 3.132 pode ser aplicada tanto ao conversor convencional (de dois níveis) quanto ao conversor proposto (de três níveis). As equações para o cálculo das indutâncias  $L_1$  e  $L_2$  no conversor proposto são apresentadas na Seção 3.1.2 e reproduzidas na Equação (3.134).

$$\left\{ \begin{array}{l} L_1 = \frac{(V_i - V_o)D}{2\Delta i_{L_1}f_s}, \\ L_2 = \frac{(V_i - V_o)D}{2\Delta i_{L_2}f_s}, \end{array} \right. \quad \text{para } D < 0,5 \quad (3.134)$$

$$\left\{ \begin{array}{l} L_1 = \frac{|V_i - V_o|(1 - D)}{2\Delta i_{L_1}f_s}, \\ L_2 = \frac{|V_i - V_o|(1 - D)}{2\Delta i_{L_2}f_s}, \end{array} \right. \quad \text{para } D > 0,5$$

Enquanto isso, as expressões das indutâncias do conversor SEPIC convencional foram retiradas de (VITORINO, 2019) e reproduzidas nas Equações (3.135) e (3.142).

$$L_1 = \frac{V_i D}{\Delta i_{L_1} f_s} \quad (3.135)$$

$$L_2 = \frac{V_o(1 - D)}{\Delta i_{L_2} f_s} = \frac{\frac{D}{(1 - D)} V_i (1 - D)}{\Delta i_{L_2} f_s} = \frac{V_i D}{\Delta i_{L_2} f_s} \quad (3.136)$$

Dessa forma, a energia magnética armazenada nos indutores  $L_1$  e  $L_2$  do conversor SEPIC de dois níveis pode ser obtida a partir da Equação (3.137).

$$W_{\text{Convencional}} = \frac{1}{2}L \times I_L^2 = \frac{1}{2} \frac{V_i D}{\Delta i_L f_s} \times I_L^2 \quad (3.137)$$

A energia armazenada nos indutores para o conversor de três níveis depende do ciclo de trabalho  $D$

- Para  $D < 0.5$  tem-se:

$$W_{\text{Prop.}} = \frac{1}{2}L \times I^2 = \frac{1}{2} \frac{(V_i - V_o)D}{2\Delta i_{L_1} f_s} \times I^2 \quad (3.138)$$

- Para  $D > 0.5$  tem-se:

$$W_{\text{Conv.}} = \frac{1}{2}L \times I^2 = \frac{1}{2} \frac{(V_i - V_o)(1 - D)}{2\Delta i_{L_1} f_s} \times I^2 \quad (3.139)$$

Nesta análise, busca-se determinar a relação percentual entre o volume do indutor no conversor de três níveis e o volume do núcleo do indutor no conversor de dois níveis. Para isso, a Equação (3.140) descreve a razão entre o volume ocupado pelo indutor do conversor proposto e o do conversor convencional.

$$\frac{VOL_{\text{Prop.}}}{VOL_{\text{Conv.}}} = \frac{K_{vol} \left[ \frac{2W_{\text{Proposto}} \cdot 10^4}{B_m J K_u} \right]^{0.75}}{K_{vol} \left[ \frac{2W_{\text{Convencional}} \cdot 10^4}{B_m J K_u} \right]^{0.75}} \quad (3.140)$$

### I. Relação percentual do volume do núcleo para $D < 0.5$ :

Finalmente, substituindo as Eqs.(3.137) e (3.138) em (3.140) e cancelando os termos comuns, tem-se a equação que expressa o volume ocupado pelo material magnético do núcleo comparado ao conversor de dois níveis.

$$\frac{VOL_{\text{Prop.}}}{VOL_{\text{Conv.}}} = \frac{1}{\sqrt[4]{8}} \times \left( \frac{V_i - V_o}{V_i} \right)^{3/4} \quad (3.141)$$

### II. Relação percentual do volume do núcleo para $D > 0.5$ :

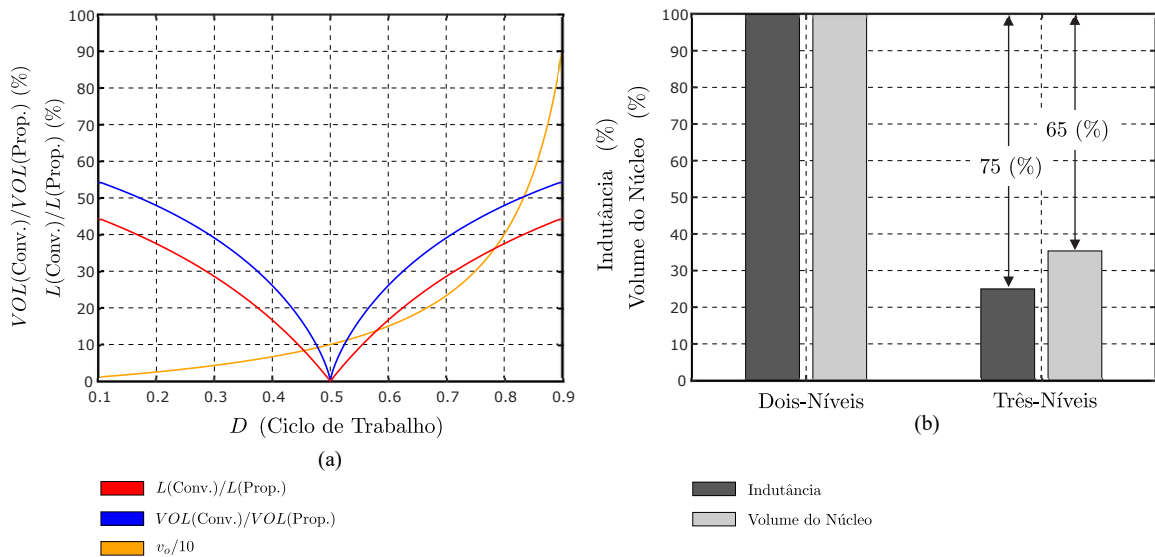
Substituindo as Equações (3.137) e (3.139) em (3.140) e cancelando os termos comuns, obtém-se a equação que expressa o volume ocupado pelo material magnético do núcleo em comparação ao conversor de dois níveis.

$$\frac{VOL_{\text{Prop.}}}{VOL_{\text{Conv.}}} = \frac{1}{\sqrt[4]{8}} \times \left( \frac{(1 - D)|V_i - V_o|}{V_i D} \right)^{3/4} \quad (3.142)$$

A Fig. 3.12(a) mostra o percentual de redução do volume do núcleo dos indutores do conversor SEPIC proposto em função do ciclo de trabalho e/ou tensão na carga, enquanto

a Fig. 3.12(b) apresenta a redução nos volumes dos núcleos dos indutores no conversor SEPIC de três níveis, para uma tensão  $V_o^* = 50$  V, em aproximadamente 65%, em relação ao conversor SEPIC de dois níveis, considerando o mesmo material magnético, *ripple* e condições nominais de operação dos conversores.

Figura 3.12 – Redução da indutância e do volume do núcleo do indutor no conversor SEPIC proposto de três níveis, em comparação com o SEPIC clássico. (a) Relação entre a indutância e o volume do núcleo em função do ciclo de trabalho. (b) Redução da indutância e do volume do núcleo para  $V_o^* = 50$  V.



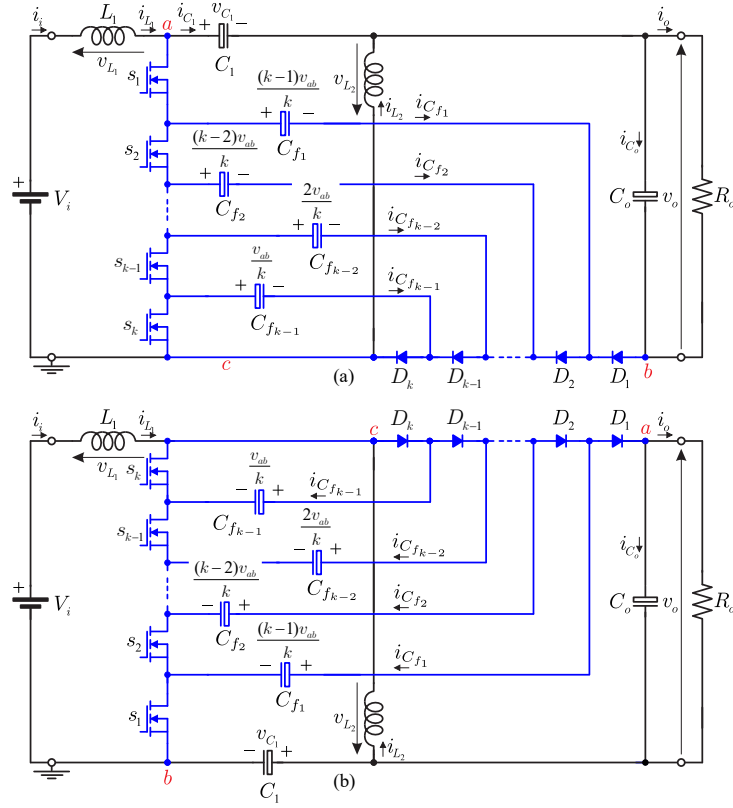
Portanto, a indutância e o volume do núcleo do indutor do conversor SEPIC proposto são reduzidos quando um nível mais distante de  $D = 0,5$  é considerado, em comparação com o conversor de dois níveis. Consequentemente, o tamanho e o peso do conversor também são reduzidos.

## 3.2 Generalização do Conversor SEPIC para $k + 1$ Níveis

O conversor proposto pode operar com uma célula de comutação de capacitor flutuante composta por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes. As Figs. 2.7(a) e 2.7(b) mostram, respectivamente, as células de comutação de capacitor flutuante para polaridade positiva e negativa para  $k$  chaves.

Substituindo a célula de comutação de dois níveis convencional pelas células de comutação com capacitor flutuante para  $k$  chaves, obtém-se o conversor SEPIC generalizado com  $k + 1$  níveis gerados em  $v_{cb}$ , composto por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes, como mostram as Figs. 3.13(a) e 3.13(b) para as configurações positiva e negativa, respectivamente.

Figura 3.13 – Generalização do conversor SEPIC multinível proposto para  $k$  chaves: (a) Polaridade positiva. (b) Polaridade negativa.



Para a operação correta dos conversores, os  $k - 1$  capacitores flutuantes devem ser carregados com tensão apropriada dado por:

$$v_{C_{f_{k-1}}} = \frac{(k-1)v_{ab}}{k} \quad (3.143)$$

Para controlar as chaves, são necessárias  $k$  portadoras PWM com um deslocamento de fase entre elas de:

$$\Delta\phi = \frac{360^\circ}{k} \quad (3.144)$$

A frequência resultante observada nas formas de onda da tensão e corrente no indutor é  $kf_s$ , o que implica uma redução significativa no volume dos indutores e nas suas tensões eficazes (RMS).

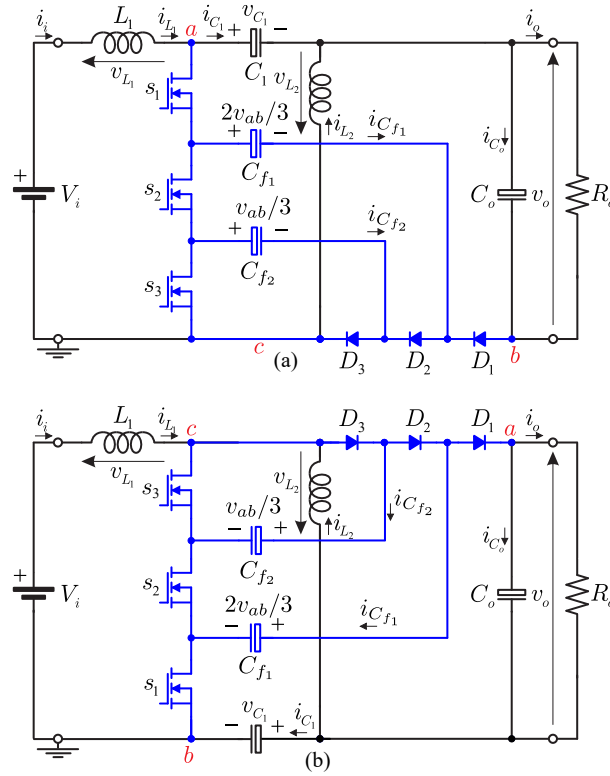
### 3.2.1 Topologia para $k = 3$

A Fig. 3.14 mostra os conversores SEPIC multinível DC-DC propostos para polaridade positiva e negativa com três chaves (para  $k = 3$ ). Vale destacar que, para uma operação correta dos conversores, os capacitores  $C_{f_1}$  e  $C_{f_2}$  devem ser carregados com



$2v_{ab}/3 = 2(V_i + V_o)/3$  e  $v_{ab}/3 = (V_i + V_o)/3$ , respectivamente. Para controlar as chaves, são necessárias três portadoras PWM com um deslocamento de fase de  $120^\circ$  entre elas e, a frequência resultante observada nas formas de onda da tensão e corrente no indutor é  $3f_s$ .

Figura 3.14 – Circuito do conversor SEPIC multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa.



### 3.3 Resultados de Simulação

Os resultados de simulação foram obtidos para validar a teoria desenvolvida para o conversor CC-CC SEPIC com célula de comutação de capacitor flutuante multinível. As simulações foram realizadas no software PSIM<sup>®</sup>, com passo de cálculo de  $10^{-6}$ , para obter os dados numéricos, e, posteriormente, no MATLAB<sup>®</sup>, para a plotagem das formas de onda apresentadas adiante. A edição das curvas foi realizada no software Inkscape.

#### 3.3.1 Cenário 1: Operação com $V_i = 100\text{ V}$ e Componentes Ideais

Nesta seção será apresentado os resultados de simulação do conversor desconsiderando as resistências parasitas, com o objetivo de obter uma análise mais precisa da operação do conversor proposto. Na Tabela 3.3 é apresentado os parâmetros utilizados na simulação do conversor proposto para  $k = 2$ .

Para a operação correta do conversor foi necessário obter equações que definem os elementos reativos desenvolvidos na seção 3.1.2. De posse das Equações resumidas

Tabela 3.3 – Parâmetros e valores para o conversor SEPIC multinível ( $k = 2$ ).

<b>Tensões e Potência</b>	
Tensão na Carga: $V_o$	50 V
Tensão de Entrada: $V_i$	100 V
Potência na Carga: $P_o$	110 W
<b>Chaveamento</b>	
Frequência de Chaveamento: $f_s$	20 kHz
<b>Ripple</b>	
Oscilação Máxima de Corrente: $\Delta i_{L_1}$	12%
Oscilação Máxima de Corrente: $\Delta i_{L_2}$	6%
Oscilação Máxima de Tensão: $\Delta v_{C_1}$	4%
Oscilação Máxima de Tensão: $\Delta v_o$	2%
Oscilação Máxima de Tensão: $\Delta v_{C_f}$	3%

na Tabela 3.1, foi possível obter valores numéricos dos elementos reativos em função dos requisitos de projeto mostrado na Tabela 3.3. Já a Tabela 3.4 mostra o valor dos componentes reativos e os ganhos dos controladores utilizados na simulação do conversor. No apêndice A tem-se de forma detalhada o manuseio destas equações dos componentes reativos para o conversor SEPIC proposto.

Tabela 3.4 – Componentes passivos e ganhos dos controladores utilizados nas simulações do conversor SEPIC multinível ( $k = 2$ ).

<b>Elemento Reativo</b>	<b>Valor</b>	<b>Controladores</b>	
Indutância: $L_1$	3.8 mH	<b>Ganho</b>	<b>Valor</b>
Indutância: $L_2$	3.8 mH	Proporcional: $K_{p,v_o}$	0.05
Capacitância: $C_1$	9.06 $\mu F$	Integral: $K_{i,v_o}$	0.0001
Capacitância: $C_f$	24.15 $\mu F$	Proporcional: $K_{p,v_{C_f}}$	0.01
Capacitância: $C_o$	36.23 $\mu F$		

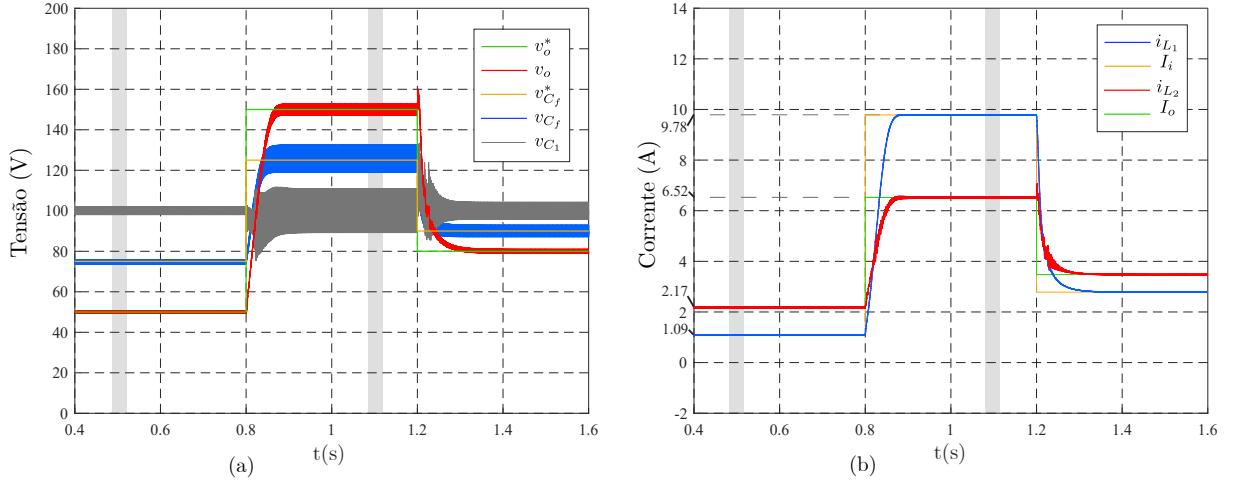
A simulação foi realizada para dois modos distintos:  $V_o < V_i$  (regime buck) e  $V_o > V_i$  (regime boost), permitindo uma análise comparativa dos modos de operação discutido em 3.1.1.

Neste sentido, a Figura 3.15 apresenta resultados da simulação do conversor SEPIC multinível em dois aspectos principais: (a) Aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 50 V$  para  $V_o^* = 150 V$  e, em seguida, para  $V_o^* = 80 V$ . Na parte (b) da figura, são apresentadas as correntes nos indutores  $i_{L_1}$  e  $i_{L_2}$ , bem como seus respectivos valores médios.

#### I. Análise dos resultados para $V_o^* = 50 V$ :

Na Figura 3.16(a), no regime buck ( $V_o^* = 50 V$ ), as oscilações de corrente nos indutores, representadas por  $\Delta i_{L_1}$  e  $\Delta i_{L_2}$ , são  $\Delta i_{L_1} = \Delta i_{L_2} = 0.13 A$ , permanecendo dentro dos limites projetados, conforme as especificações da Tabela 3.3. Os valores médios

Figura 3.15 – Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 50\text{ V}$  para  $V_o^* = 150\text{ V}$  e, em seguida, para  $V_o^* = 80\text{ V}$ . (b) Corrente nos indutores  $i_{L_1}$  e  $i_{L_2}$  e seus valores médios:  $I_i = 1.09\text{ A}$  e  $I_o = 2.17\text{ A}$  para  $V_o^* = 50\text{ V}$ ;  $I_i = 9.78\text{ A}$  e  $I_o = 6.52\text{ A}$  para  $V_o^* = 150\text{ V}$



das correntes  $I_{L_1}$  e  $I_{L_2}$  são  $I_i = 1.09\text{ A}$  e  $I_o = 2.17\text{ A}$ , respectivamente conforme observado na Fig. 3.16(a). O cálculo detalhado dessas correntes médias encontra-se no Apêndice A, enquanto que a Tab. 3.5 apresenta os dados numéricos, teórico e de simulação, das oscilações de corrente e tensão dos elementos reativos.

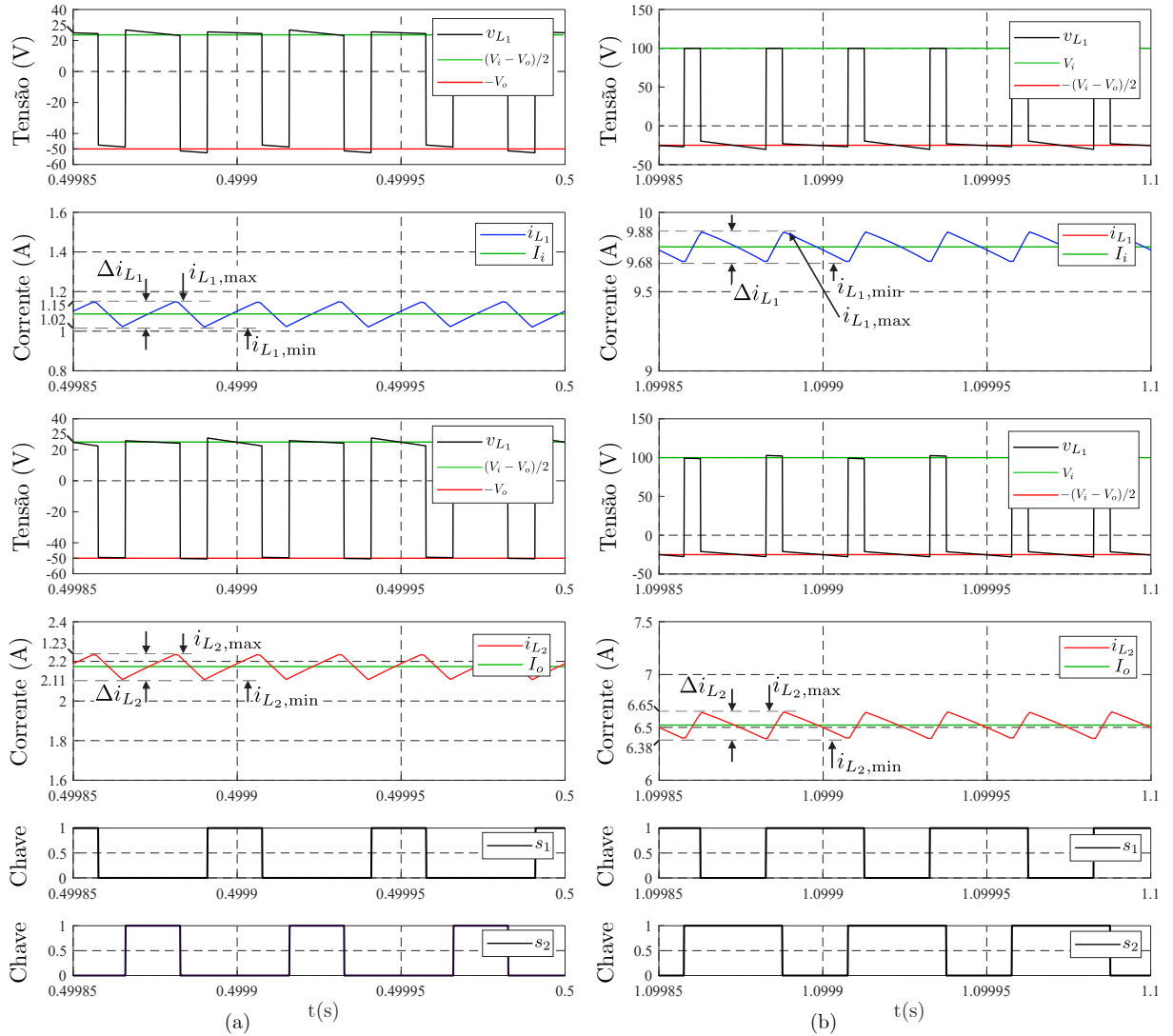
No que diz respeito às tensões  $v_{L_1}$  e  $v_{L_2}$ , observa-se que as tensões nos indutores são diretamente influenciadas pelos estados das chaves: Quando  $s_1$  está conduzindo e  $s_2$  bloqueado (**Estágio 3**), ou quando  $s_1$  está bloqueado e  $s_2$  conduzindo (**Estágio 4**), as tensões  $v_{L_1}$  e  $v_{L_2}$  são aproximadamente iguais a  $(V_i - V_o)/2 = 25\text{ V}$ , fazendo com que as correntes nos indutores cresçam linearmente até seus valores máximos,  $i_{L_{1,\max}}$  e  $i_{L_{2,\max}}$ , sem exceder o ripple máximo aceitável. Quando  $s_1$  e  $s_2$  estão bloqueados (**Estágio 2**), as tensões  $v_{L_1}$  e  $v_{L_2}$  são aproximadamente  $-V_o = -50\text{ V}$ , fazendo com que as correntes nos indutores diminuam até  $i_{L_{1,\min}}$  e  $i_{L_{2,\min}}$ .

A Fig. 3.17(a) apresenta simulação das oscilações de tensões e correntes nos capacitores  $C_1$ ,  $C_f$  e  $C_o$  para  $V_o^* = 50\text{ V}$ . Os resultados apresentados nesta Figura podem ser confrontados com a análise desenvolvida para os estágios de operação, demonstrando que a teoria exposta anteriormente está em conformidade com os resultados obtidos. Além disso, as oscilações de tensões de  $v_{C_1}$ ,  $v_{C_f}$  e  $v_o$  permaneceram dentro dos limites de 4%, 2% e 3% como pode ser visto na Tab. 3.5.

## II. Análise dos resultados para $V_o^* = 150\text{ V}$ :

No regime boost, para  $V_o^* = 150\text{ V}$ , observa-se um aumento significativo nas correntes,  $I_i = 9.78\text{ A}$  e  $I_o = 6.52\text{ A}$ , exigido para entregar a tensão na carga. No entanto, embora o cálculo das indutâncias não tenha sido projetado especificamente para este

Figura 3.16 – Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ). Mostram-se as oscilações de pico a pico  $\Delta i_{L1}$  e  $\Delta i_{L2}$  nos indutores, as tensões  $v_{L1}$  e  $v_{L2}$  e os estados das chaves  $s_1$  e  $s_2$ : (a) Para  $V_o < V_i$ . (b) Para  $V_o > V_i$ .

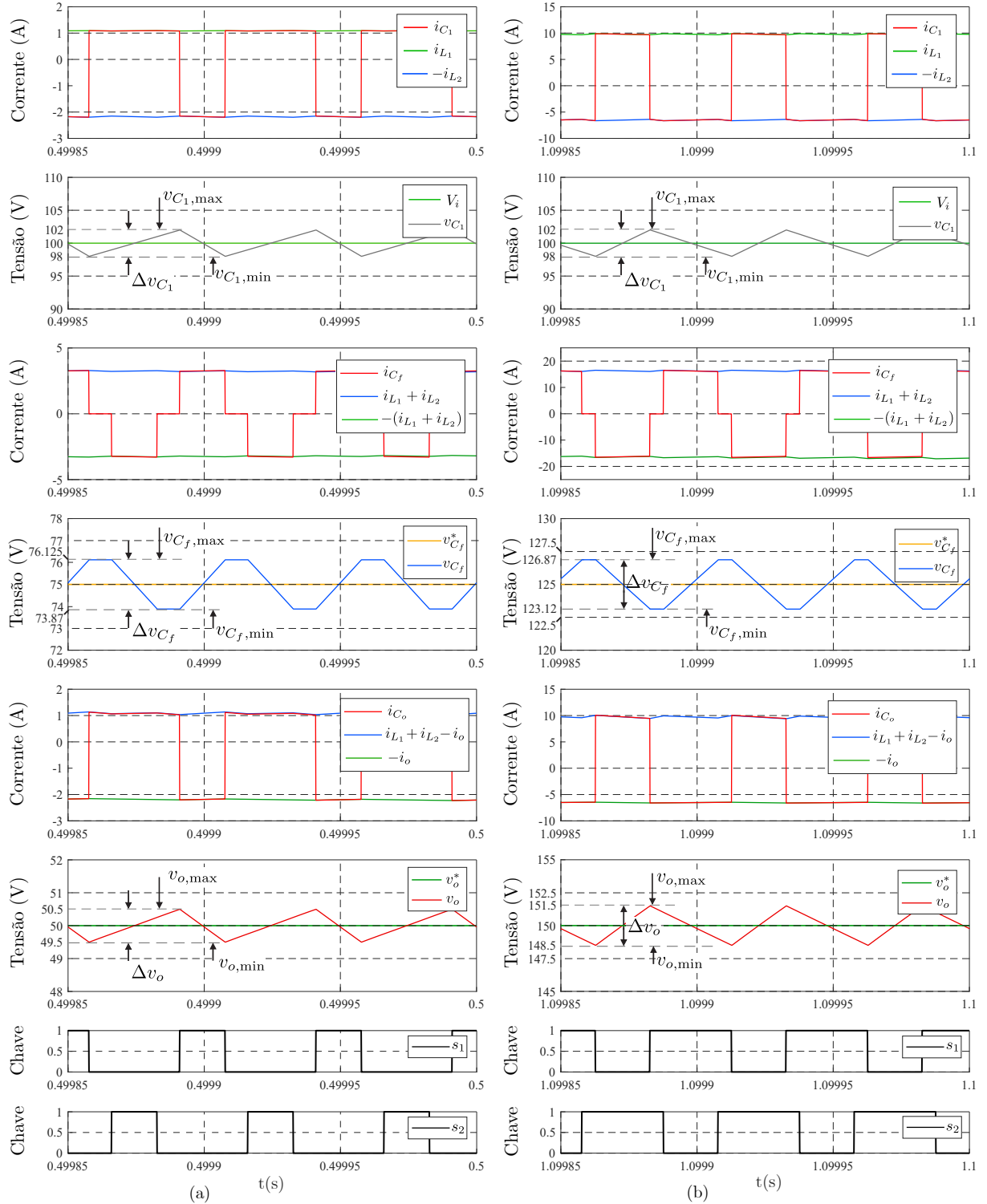


modo de operação, o *ripple* de corrente ainda é aceitável, como pode ser visto na Figura 3.16(b) 3.5. Para as tensões nos indutores: Quando  $s_1$  está conduzindo e  $s_2$  bloqueado (**Estágio 3**), ou quando  $s_1$  está bloqueado e  $s_2$  conduzindo (**Estágio 4**), as tensões  $v_{L1}$  e  $v_{L2}$  são aproximadamente iguais a  $-(V_i - V_o)/2 = -25$  V, fazendo com que as correntes nos indutores decresçam linearmente. Quando  $s_1$  e  $s_2$  estão conduzindo (**Estágio 1**), as tensões  $v_{L1}$  e  $v_{L2}$  são iguais à  $V_i$ , o que faz com que as armazene energia nos indutores.

A Fig. 3.17(b) apresenta os resultados de simulação das oscilações de tensões e correntes nos capacitores  $C_1$ ,  $C_f$  e  $C_o$  para  $V_o^* = 150$  V. Neste caso, observando a 3.17(b) e a Tab. 3.5 pode-se concluir que as oscilações para  $v_{C1}$ ,  $v_{Cf}$  e  $v_o$  foram expressivos visto que os *ripple* o dimensionamento dos elementos reativos foram projetados considerando  $V_o < V_i$

Antes de proceder à análise da Fig. 3.18, é fundamental esclarecer que, no regime

Figura 3.17 – Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ). Mostram-se as oscilações de pico a pico de tensão nos capacitores  $\Delta v_{C_1}$ ,  $\Delta v_{C_f}$ , e  $\Delta v_o$ , as correntes  $i_{C_1}$ ,  $i_{C_f}$ , e  $i_{C_o}$  e os estados das chaves  $s_1$  e  $s_2$ : (a) Para  $V_o < V_i$ . (b) Para  $V_o > V_i$ .



*buck* (**Estágios 2, 3 e 4**), a tensão  $v_{cb}$  assume dois possíveis valores:  $v_{cb} = 0$  V quando os diodos  $D_1$  e  $D_2$  estão conduzindo, ou  $v_{cb} = (V_o + V_i)/2$ . Já no regime *boost* (**Estágios 1, 3 e 4**),  $v_{cb} = V_i + V_o$ , dado que as chaves  $s_1$  e  $s_2$  estão em condução e, portanto,  $v_{cb} = v_{ab}$ , ou  $v_{cb} = (V_o + V_i)/2$ .

Tabela 3.5 – Valores médios e ripples de corrente e tensão para diferentes  $V_o$ 

Para $V_o^* = 50 \text{ V}$				
	Simulação		Teórico	
Parâmetro	Valor médio	Ripple	Valor médio	Ripple
$i_{L_1}$	1,08 A	0,13 A	1,08 A	0,13 A
$i_{L_2}$	2,17 A	0,13 A	2,17 A	0,13 A
$v_{C_1}$	100,01 V	3,84 V	100,00 V	4,00 V
$v_{C_f}$	72,28 V	2,25 V	75 V	2,25 V
$v_o$	49,96 V	0,96 V	50 V	1,00 V

Para $V_o^* = 150 \text{ V}$				
	Simulação		Teórico	
Parâmetro	Valor médio	Ripple	Valor médio	Ripple
$i_{L_1}$	9,78 A	0,15 A	9,7825 A	N/A
$i_{L_2}$	6,52 A	0,15 A	6,5217 A	N/A
$v_{C_1}$	100,24 V	21,31 V	100,00	N/A
$v_{C_f}$	125,58 V	13,49 V	125,00	N/A
$v_o$	150,01 V	5,32 V	150,00 V	N/A

\* Os valores teóricos para os ripples não estão disponíveis e foram indicados como "N/A (Não se Aplica)" uma vez que os elementos reativos foram projetados para  $V_o^* = 50 \text{ V}$ .

\*\* Os ripples de corrente e tensão foram calculados considerando condições ideais de operação.

Portanto, dependendo de qual chave está em condução ou bloqueio, a tensão  $v_{cb}$  assume valores em  $\{v_{ab}, v_{ab}/2, 0\}$ . Na Fig. 3.18, são apresentados os níveis de tensão  $v_{cb}$  com valores de referência de  $V_o^* = 50 \text{ V}$  e  $V_o^* = 150 \text{ V}$ . Na Fig. 3.18(a), os níveis de  $v_{cb}$ <sup>1</sup> variam entre 0 V e 75 V. Já na Fig. 3.18(b), os níveis são 125 V e 250 V.

Finalmente, a Tabela 3.6 apresenta os valores dos componentes passivos e os ganhos dos controladores utilizados nas simulações do conversor SEPIC multinível com  $k = 3$ . A Fig. 3.19 apresenta os resultados de simulação do conversor SEPIC multinível proposto para  $k = 3$ , conforme discutido na Seção 3.2.1. Como é sabido, as tensões sobre os capacitores  $C_{f_1}$  e  $C_{f_2}$  devem ser controladas em  $2(V_i + V_o)/3$  e  $(V_i + V_o)/3$ , respectivamente. Assim, a partir da Fig. 3.19(a), para  $V_o^* = 50 \text{ V}$ , observa-se que  $V_{C_{f_1}} = 100 \text{ V}$  e  $V_{C_{f_2}} = 50 \text{ V}$ , enquanto para  $V_o^* = 150 \text{ V}$ , obtêm-se  $V_{C_{f_1}} = 166,7 \text{ V}$  e  $V_{C_{f_2}} = 83,34 \text{ V}$  como era esperado.

As curvas de tensão e corrente nos indutores são apresentadas na Fig. 3.19(b). A partir dessa figura, observa-se que a frequência resultante nas formas de onda de tensão e corrente dos indutores é  $3f_s$ , conforme discutido na Seção 3.2.1. As correntes  $i_{L_1}$  e  $i_{L_2}$  foram amplificadas por um fator de 2, com o objetivo de destacar os períodos de subida e descida.

<sup>1</sup> Considera-se que as tensões sobre os capacitores são constantes.

Figura 3.18 – Resultados da simulação do conversor SEPIC multinível proposto para  $(k = 2)$ : (a) Níveis de tensão  $v_{cb}$  para  $V_o^* = 50V$  ( $V_o < V_i$ ). (b) Níveis de tensão  $v_{cb}$  dado  $V_o^* = 150V$  ( $V_o > V_i$ ).

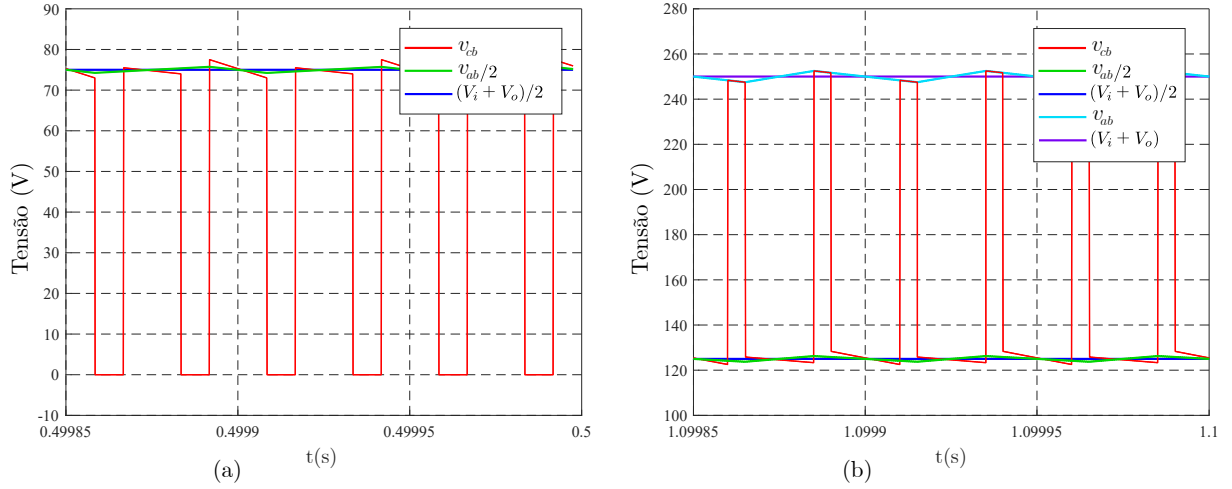
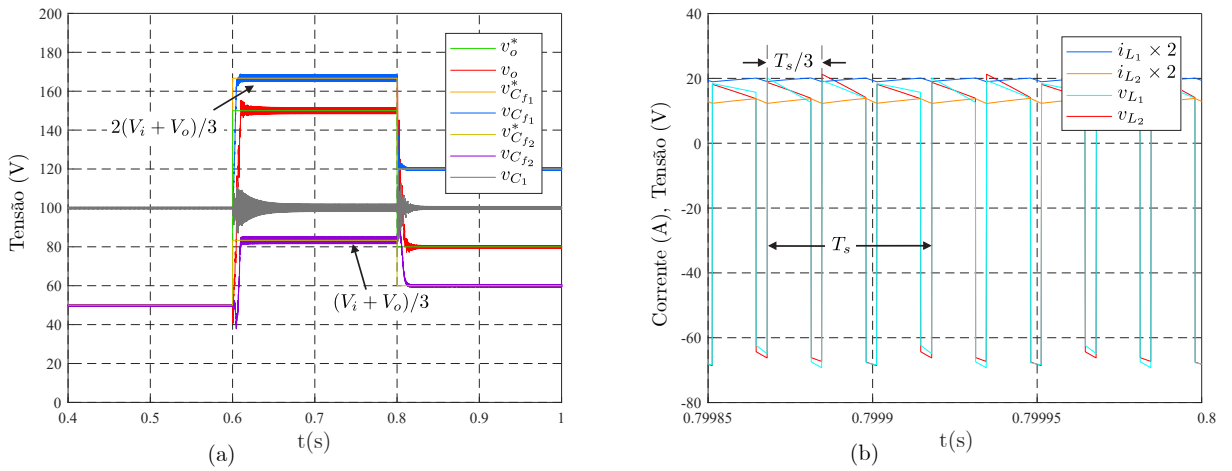


Tabela 3.6 – Parâmetros dos componentes passivos e ganhos dos controladores utilizados nas simulações do conversor SEPIC multinível com  $(k = 3)$ .

Elemento Reativo	Valor	Controladores	
Indutância: $L_1$	$400 \mu H$	<b>Ganho</b>	<b>Valor</b>
Indutância: $L_2$	$300 \mu H$	Proporcional: $K_{p,v_o}$	0.5
Capacitância: $C_1$	$50 \mu F$	Integral: $K_{i,v_o}$	0.00001
Capacitância: $C_o$	$60 \mu F$	Proporcional: $K_{p,v_{C_{f1}}}$	0.01
Capacitância: $C_{f1}$	$80 \mu F$	Proporcional: $K_{p,v_{C_{f2}}}$	0.01
Capacitância: $C_{f2}$	$80 \mu F$		

Figura 3.19 – Resultados da simulação do conversor SEPIC multinível proposto para  $(k = 3)$ : (a) Aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 50V$  para  $V_o^* = 150V$  e, em seguida, para  $V_o^* = 125V$ . (b) Zoom para  $V_o^* = 150V$ .



### 3.3.2 Cenário 2: Operação com $V_i = 36\text{ V}$ e Consideração das Perdas Ôhmicas

Neste novo cenário, torna-se necessário ajustar alguns parâmetros apresentados na Tabela 3.3, uma vez que a fonte de alimentação bipolar Kepco BOP 36-12D-4886 limita a tensão de saída a  $\pm 36\text{ V}$  e a corrente a  $\pm 12\text{ A}$ .

A Tabela 3.7 apresenta os modelos dos componentes e seus respectivos parâmetros, incluindo as resistências parasitas de cada um. Esses componentes foram selecionados com base nos esforços de tensão e corrente, de forma a assegurar o correto funcionamento do conversor, além de considerar sua disponibilidade no laboratório para posterior utilização na montagem do protótipo.

Tabela 3.7 – Modelos e especificações dos componentes utilizados no conversor SEPIC multinível.

Componente	Modelo	Especificações
MOSFETs	IXFH60N50P3	500 V, 30 A ( $T_C = 120$ ), $R_{DS(on)} = 0.1\ \Omega$
Diodos	CVFD20065A	650 V, 26 A, $V_F = 0,68\text{ V}$ ( $I_F = \approx 4\text{ A}$ ), $T_{rr}^{\text{‡}}$
Capacitor $C_1^{\text{§}}$	MKP C4AQ M	$25\ \mu\text{F} \pm 5\%$ , 900 V DC, Poliprop., ESR = 5,0 m $\Omega$
Capacitor $C_o$	MKP C4AQ M	$80\ \mu\text{F} \pm 10\%$ , 500 V DC, Poliprop., ESR = 5,7 m $\Omega$
Capacitor $C_f$	MKP C4AQ M	$80\ \mu\text{F} \pm 10\%$ , 500 V DC, Poliprop., ESR = 5,7 m $\Omega$
Indutor $L_1$	†	3,0 mH a 20kH, $R_s = 0,3\ \Omega$
Indutor $L_2$	†	3,0 mH a 20kH, $R_s = 0,3\ \Omega$

† Componente disponível no laboratório, sem especificação técnica detalhada.

§ Dois capacitores associados em paralelo, totalizando  $50\ \mu\text{F}$ .

‡ Não informado.

Por sua vez, a Tabela 3.8 apresenta os parâmetros ajustados em conformidade com as limitações impostas pela fonte de alimentação disponível.

Tabela 3.8 – Parâmetros e valores dos componentes do protótipo do conversor SEPIC multinível proposto para  $k = 2$ .

Tensões e Potência	
Tensão na Carga: $V_o$	24 e 54 V
Tensão de Entrada: $V_i$	$V_o = 36\text{ V}$
Potência na Carga: $P_o$ ‡	120 W

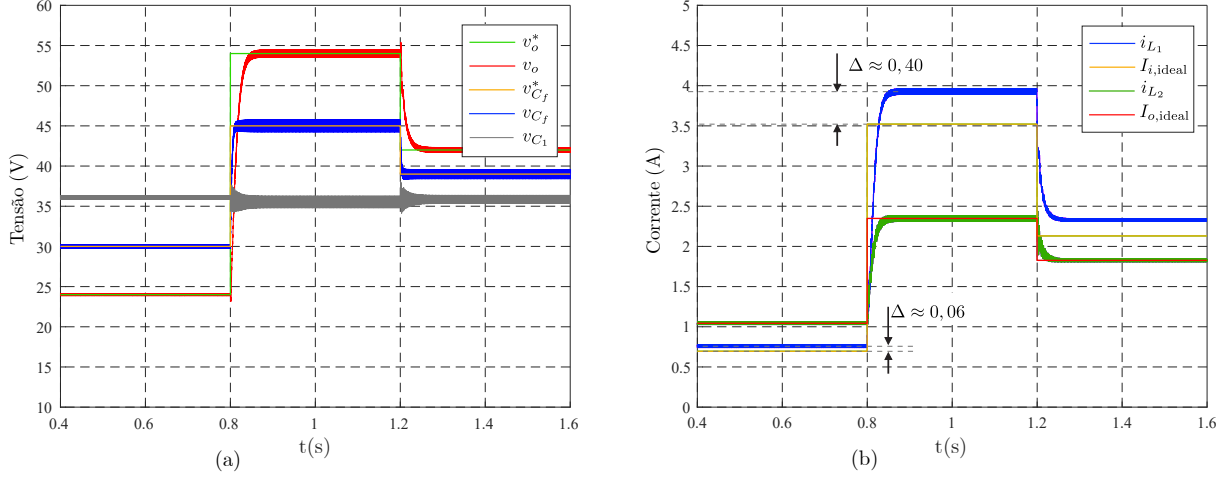
‡ Potência nominal em regime boost.

A Fig. 3.20 apresenta os resultados de simulação para o novo cenário do conversor SEPIC multinível proposto para  $k = 2$ , considerando os parâmetros descritos nas Tabelas 3.7 e 3.8. Para  $V_o = 24\text{ V}$ , os resultados obtidos foram:  $I_{L_1} = 0,76\text{ A}$ ,  $I_{L_2} = 1,04\text{ A}$  e  $V_{C_f} = 30\text{ V}$ . Já para  $V_o = 54\text{ V}$ , os valores obtidos foram:  $I_{L_1} = 3,93\text{ A}$ ,  $I_{L_2} = 2,34\text{ A}$  e  $V_{C_f} = 45\text{ V}$ .

Observa-se que, para fornecer 24 V ou 54 V à carga, o controlador necessita aumentar o ciclo de trabalho, o que resulta em um incremento  $\Delta$  na corrente fornecida pela fonte, em função das perdas ôhmicas dos componentes listados na Tabela 3.7. No Apêndice A.1,



Figura 3.20 – Resultados da simulação do conversor SEPIC multinível proposto para ( $k = 2$ ) com as resistências parasitas para um aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 24 V$  para  $V_o^* = 54 V$  e, em seguida, para  $V_o^* = 42 V$ : (a) Tensões  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  e as referências  $V_o^*$  e  $V_{C_f}^*$ . (b) Corrente nos indutores  $i_{L_1}$  e  $i_{L_2}$  e, as correntes  $I_{i,ideal}$ ,  $I_{o,ideal}$



são apresentados os valores teóricos das correntes  $I_{i,ideal}$ ,  $I_{o,ideal}$  e da tensão  $V_{C_f}$ , que estão em concordância com os resultados expostos na Fig. 3.20.

A Fig. 3.21 ilustra a relação entre o ganho estático, o ciclo de trabalho e a corrente do conversor SEPIC para tensões na carga que vão de 12V até 108V, mas mantendo a mesma carga resistiva em todo instante, de 23Ω. Na Fig. 3.21(b), no eixo horizontal, observa-se a variação do ciclo de trabalho para variações de tensão de saída ( $V_o$ ), enquanto que na Fig. 3.21(c), no eixo horizontal, tem-se a variação do ganho estático em função do ciclo de trabalho.

Na Tabela 3.9 são comparados os valores teóricos e simulados para diferentes tensões de saída ( $v_o$ ), considerando o ciclo de trabalho ( $D$ ) e o ganho estático ( $G$ ). Observa-se que, para cada tensão de saída analisada, os valores simulados de ciclo de trabalho ( $D^*$ ) e ganho estático ( $G_{sim.}$ ) apresentam variações em relação aos valores teóricos ( $D$  e  $G_{Ide.}$ ), evidenciando discrepâncias entre o modelo ideal e o comportamento prático do conversor. Esse desvio pode ser atribuído a perdas nos dispositivos semicondutores e nos componentes reativos devido as resistências parasitas.

### 3.4 Conclusões Parciais

Nesta seção foi apresentado uma novo conversor CC-CC SEPIC composto por uma célula de comutação multinível com capacitor flutuante. A topologia proposta apresenta uma redução no volume dos indutores e do capacitor de saída, além de observar-se uma redução na tensão RMS dos indutores. Os resultados de simulação mostraram a viabilidade do conversor e sua controlabilidade.

Figura 3.21 – Comparação entre o ciclo de trabalho, e ganho estático, teórico e de simulação, do conversor SEPIC multinível proposto para ( $k = 2$ ), considerando uma variando de  $V_o^* = 12 V$  até  $V_o^* = 108 V$ . (a) Corrente nos indutores  $i_{L_1}$  e  $i_{L_2}$  e, as correntes  $I_{i,ideal}$ ,  $I_{o,ideal}$ . (b) Comparação entre o ciclo de trabalho teórico e de simulação. (c) Comparação entre o ganho estático teórico e de simulação.

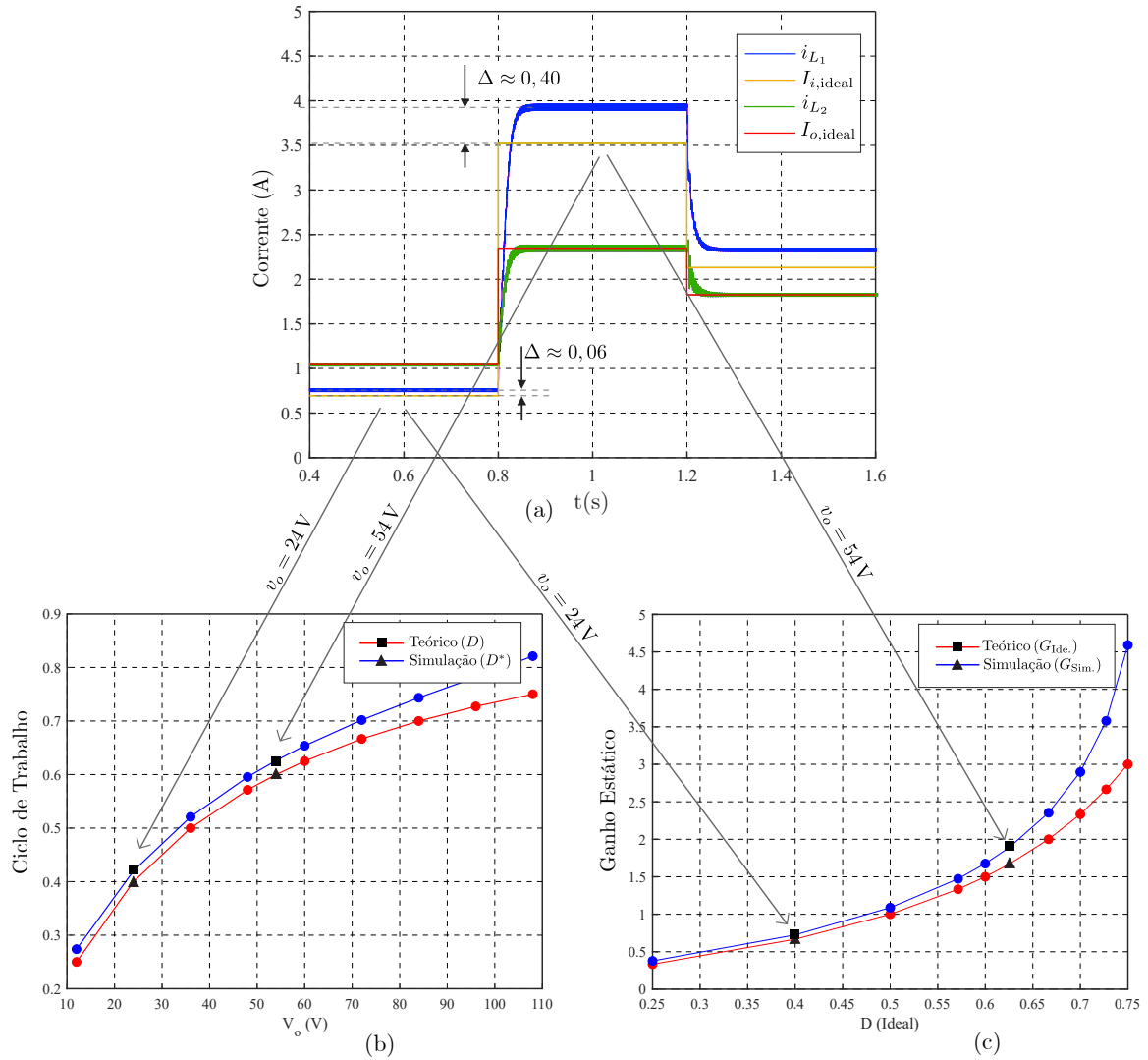


Tabela 3.9 – Comparação entre o ciclo de trabalho, e ganho estático, teórico e de simulação, do conversor SEPIC multinível

$v_o$ (V)	Teórico		Simulação	
	$D$	$G_{Ide.}$	$D^*$	$G_{Sim.}$
12	0,25	0,33	0,27	0,37
24	0,40	0,66	0,42	0,72
36	0,50	1,00	0,52	1,08
48	0,57	1,33	0,59	1,47
54	0,60	1,50	0,62	1,67
60	0,62	1,66	0,65	1,88
72	0,66	2,00	0,70	2,35
84	0,70	2,33	0,74	2,89
96	0,72	2,66	0,78	3,57
108	0,75	3,00	0,82	4,59

# Topologia Proposta: Conversor CC-CC Ćuk com célula de comutação de capacitor flutuante multinível

---

Esta seção apresenta um novo conversor CC-CC Ćuk composto por uma célula de comutação multinível com capacitor flutuante. Essa estrutura é obtida substituindo a perna de interruptor/diodo da célula tradicional de totem assimétrico de dois níveis por uma célula similar com capacitor flutuante multinível. Para evitar uma leitura exaustiva, esta seção será descrita de forma mais breve, uma vez que a análise do conversor Ćuk é semelhante à apresentada na seção 3.

## 4.1 Descrição do circuito

O conversor Ćuk convencional é apresentado na Fig. 4.1. Para utilizar o conceito de célula de comutação, o capacitor  $C_1$  ou o interruptor  $S$  deve ser movido para a aplicação apropriada, como pode ser visto nos convencionais redesenhados mostrados nas Figuras 4.1(a) e 4.1(b).

A Figura 4.2(a) e 4.2(b) mostram a implementação dos conversores Ćuk multinível propostos. A partir dos conversores Ćuk convencionais (Figs. 4.1(a) e 4.1(b)), são extraídas as pernas assimétricas em totem-pole de dois níveis positiva na Fig. 2.1(a) e negativa na Fig. 2.1(b)), que são então substituídas por uma célula de comutação de três níveis com capacitor flutuante (positiva na Fig. 2.4(a) e negativa na Fig. 2.4(b)).

Essa substituição resulta nos conversores Ćuk proposto com célula de comutação de capacitor flutuante multinível, conforme mostrado nas Figs. 4.2(a) (para polaridade positiva) e 4.2(b) (para polaridade negativa), respectivamente.

Figura 4.1 – Conversores Ćuk CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa.

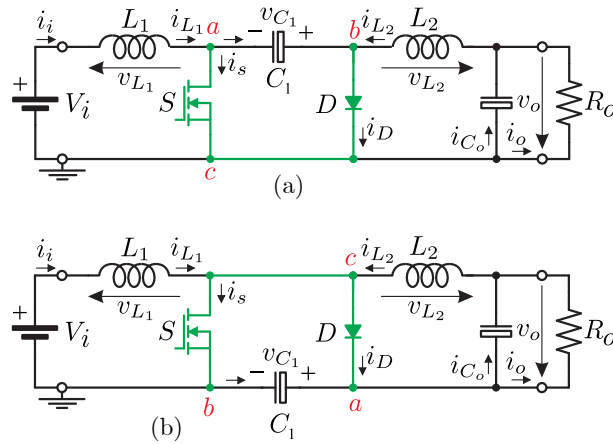
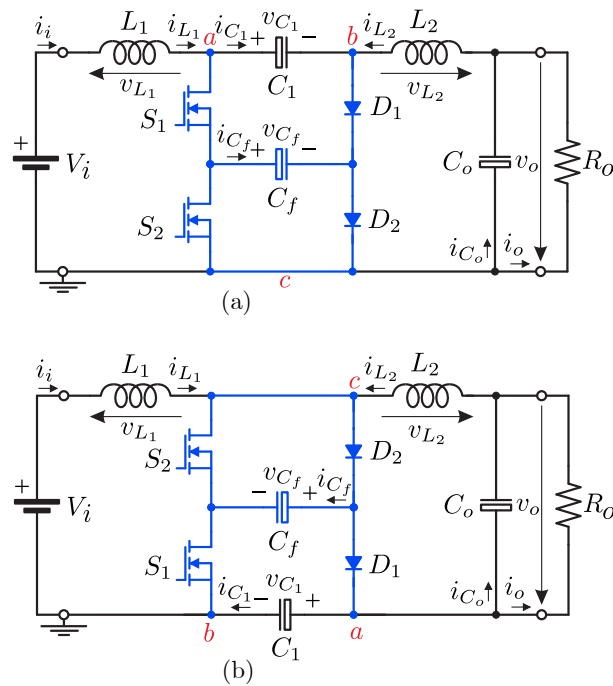


Figura 4.2 – Conversores Ćuk CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa.



Como é bem conhecido, para as estruturas mostradas nas Figuras 2(c) e 3(c), para que haja níveis simétricos na tensão de saída  $v_{cb}$ , o capacitor voador  $C_f$  deve ser carregado com uma tensão média de  $v_{ab}/2$ . Dependendo de qual interruptor é ligado/desligado, isso gerará  $v_{cb} \in \{v_{ab}, v_{ab}/2, 0\}$ .

### 4.1.1 Operação do Conversor Proposto

Em um conversor Ćuk, a tensão média sobre o capacitor de acoplamento  $C_1$ , considerando  $v_o = V_o$ , é

$$v_{C_1} = V_i + V_o \quad (4.1)$$

Assim como no conversor Ćuk, o ganho estático de tensão em MCC é dada por:

$$\frac{V_o}{V_i} = \frac{D}{1-D} \quad (4.2)$$

Para ter uma tensão multinível com melhor utilização do conversor, o capacitor flutuante  $C_f$  deve ser carregado com uma tensão média de:

$$v_{C_f} = \frac{v_{ab}}{2} = \frac{v_{C_1}}{2} = \frac{V_i + V_o}{2} \quad (4.3)$$

A Fig. 4.3 apresenta as etapas de condução dos conversores Ćuk multinível propostos, tanto na configuração positiva quanto na negativa. As principais formas de onda do conversor são ilustradas na Fig. 4.4. A Fig. 4.4(a) corresponde ao caso em que  $D < 0,5$ , utilizando os estágios de condução 2, 3 e 4. Já a Fig. 4.4(b) refere-se ao caso em que  $D > 0,5$ , empregando os estágios de condução 1, 3 e 4. Para garantir o funcionamento adequado e uma análise precisa, a tensão sobre os capacitores deve permanecer constante, considerando a tensão de saída  $v_o = V_o$ ,  $v_{C_1} = V_i + V_o$  e  $v_{C_f} = v_{C_1}/2 = (V_i + V_o)/2$ .

#### 4.1.1.1 Estágio 1

Para uma operação e análise corretas do conversor proposto, deve-se conhecer as correntes no capacitores e tensões no indutores para cada estágio de operação. Desta forma, com  $s_1$  e  $s_2$  conduzindo nas Figs. 4.3(a) e 4.3(e), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, tem-se:

$$v_{L_1} = V_i \quad (4.4)$$

$$v_{L_2} = V_{C_1} - V_o = V_i \quad (4.5)$$

Essa tensão causa um aumento linear nas correntes dos indutores durante o período  $t_{\Delta}$ , em que  $s_1$  e  $s_2$  estão conduzindo como pode ser notado em Fig. 4.4(b).

O processo de carga e descarga dos capacitores dependem do sentido e magnitude das correntes que fluem por eles, podendo determina-las analisando os nós das Figs. 4.3(a) e 4.3(e). Neste sentido:

- $C_1$ : descarrega, com  $i_{C_1} = -i_{L_2}$ ,

- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,

- $C_o$ : carrega/descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

A Fig. 4.4(b) também mostra as curvas de corrente nos capacitores para ( $D > 0,5$ ).

#### 4.1.1.2 Estágio 2

O estágio 2 ocorre considerando  $s_1$  e  $s_2$  estão bloqueados, isto é, durante o período de tempo ( $t_\Delta$ ), para  $V_0 < V_i$ . Para determinar  $i_{L_1}$  e  $i_{L_2}$  presentes na Fig. 4.3(a), deve-se conhecer as tensões sobre os indutores. Analisando os nós da Fig. 4.3(a) ou 4.3(e), tem-se:

$$v_{L_1} = V_i - V_{C_1} = -V_o \quad (4.6)$$

$$v_{L_2} = -V_o \quad (4.7)$$

De acordo com as Eqs. (4.6) e (4.7),  $i_{L_1}$  e  $i_{L_2}$  decrescem linearmente durante o período de tempo ( $t_\Delta$ ), dado que  $v_{L_1} = v_{L_2} = -V_o$ . As curvas de corrente nos indutores são mostrados na Fig. 4.4(a).

As correntes que fluem pelos capacitores podem ser definida analisando os nós dos circuitos equivalentes na Fig. 4.3(b) ou 4.3(f). O processo de carga e descarga dos capacitores podem ser, assim definidas:

- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,

- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,

- $C_o$ : carrega, com  $i_{C_o} = i_{L_2} - i_o$ .

A Fig. 4.4(a) também mostra as curvas de corrente nos capacitores  $C_1$ ,  $C_f$  e  $C_o$ , respectivamente para ( $D < 0,5$ ).

#### 4.1.1.3 Estágio 3

Com  $s_1$  conduzindo e  $s_2$  bloqueado Figs. 4.3(c) e 4.3(g), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, temos que:

$$v_{L_1} = V_i - v_{C_f} = V_i - \frac{V_i + V_o}{2} = \frac{V_i - V_o}{2}, \quad (4.8)$$

$$v_{L_2} = v_{C_1} - v_{C_f} - v_o = V_i + V_o - \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2}. \quad (4.9)$$

Durante o intervalo  $t_{on}$  as correntes  $i_{L_1}$  e  $i_{L_2}$  podem apresentar curvas crescentes ou decrescentes dependendo da relação, ( $V_o < V_i$ ) ou ( $V_o > V_i$ ). As correntes nos indutores são mostradas nas Figs. 4.4(a) ou 4.4(b).

Analisando os circuitos da Figs. 4.3(c) ou 4.3(g) conclui-se que:

- $C_1$ : descarrega, pois  $i_{C_1} = -i_{L_2}$ ,
- $C_f$ : carrega com  $i_{C_f} = i_{L_1} + i_{L_2}$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

As correntes nos capacitores para ( $D < 0,5$ ) e ( $D > 0,5$ ), são mostradas nas Fig. 4.4(a) e 4.4(b), respectivamente.

#### 4.1.1.4 Estágio 4

Finalmente, com  $s_1$  conduzindo e  $s_2$  bloqueado, Figs. 4.3(d) e 4.3(h), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, tem-se que as tensões  $v_{L_1}$  e  $v_{L_2}$  são definidas segundo as seguintes expressões:

$$v_{L_1} = v_{C_f} - v_{C_1} = \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (4.10)$$

$$v_{L_2} = v_{C_f} - v_o = \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (4.11)$$

Com base nas Eqs. (4.10) e (4.11), é possível definir se as correntes  $i_{L_1}$  e  $i_{L_2}$  são crescentes ou decrescentes dependendo do modo de operação, assim como o estágio 3.

Assim como os estágios anteriores, analisando os circuitos das Figs. 4.3(d) ou 4.3(h), tem-se que:

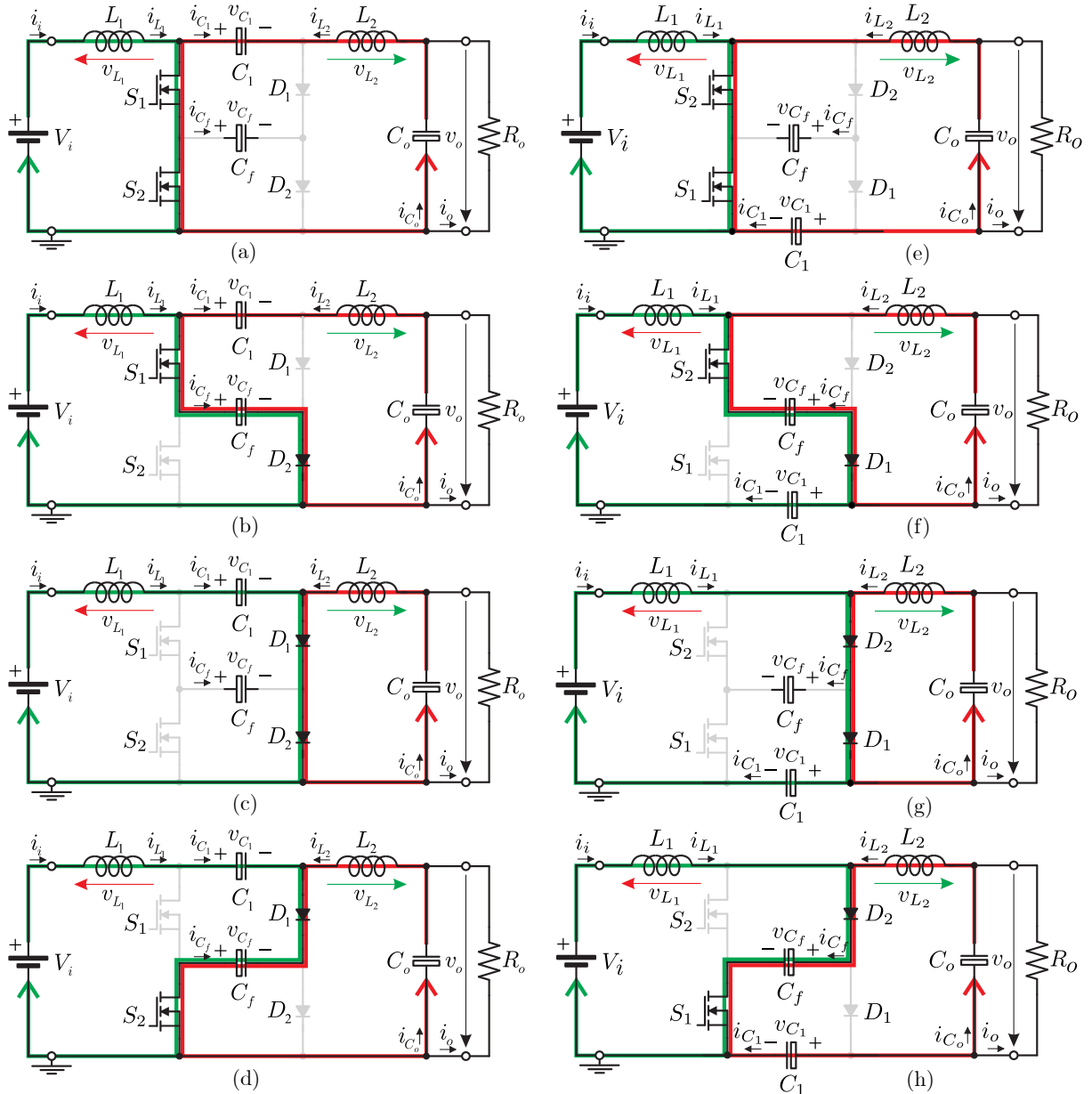
- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,
- $C_f$ : descarrega com  $i_{C_f} = -(i_{L_1} + i_{L_2})$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

É importante salientar que para os estágios 3 e 4, a relação  $(V_i - V_o)/2 > 0$  ocorre quando o ciclo de trabalho  $D < 0,5$ , o que representa, a partir da Eq. (4.2),  $V_o < V_i$ . Por outro lado,  $(V_i - V_o)/2 < 0$  ocorre quando  $D > 0,5$ , uma vez que  $V_o > V_i$  conforme a Eq. (4.2).

## 4.1.2 Dimensionamento dos Elementos reativos

A escolha adequada da indutância garante o modo de operação contínuo ou descontínuo do conversor, influenciando sua estabilidade e desempenho. Além disso, minimiza o ripple de corrente e tensão, reduzindo o estresse nos componentes do circuito.

Figura 4.3 – Estágios de condução para o conversor Ćuk proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h),



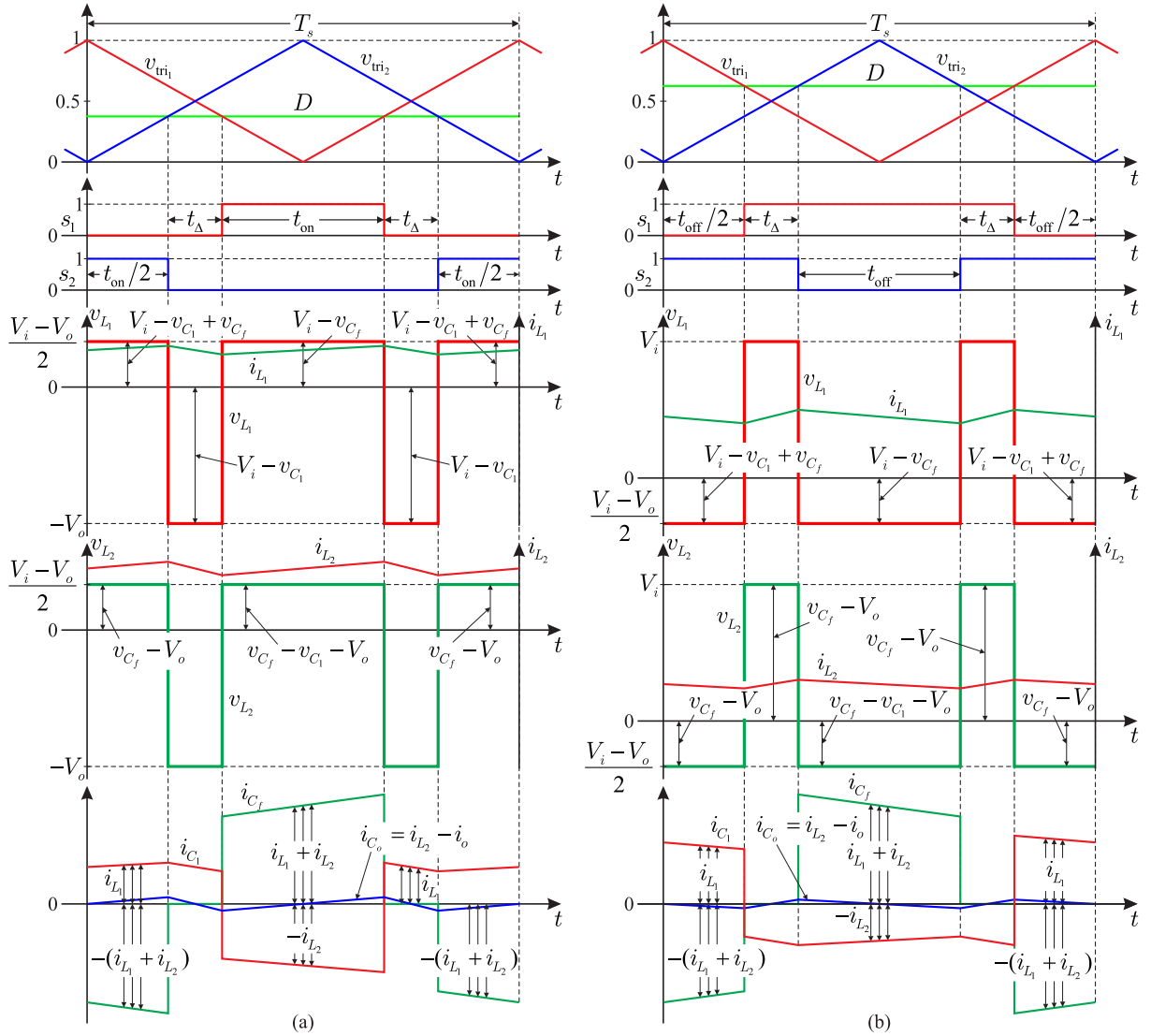
O projeto dos elementos reativos do conversor Ćuk proposto, para  $D < 0,5$  e para  $D > 0,5$ , pode ser feito a partir da Tabela 4.1

## 4.2 Generalização do Conversor Ćuk para $k + 1$ Níveis

O conversor proposto pode operar com uma célula de comutação de capacitor flutuante composta por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes. As Figs. 2.7(a) e 2.7(b) mostram, respectivamente, as células de comutação de capacitor flutuante para



Figura 4.4 – Formas de onda do conversor Ćuk proposto. (a) Para  $D < 0,5$  ou  $V_o < V_i$ . (b) Para  $D > 0,5$  ou  $V_o > V_i$ .



polaridade positiva e negativa para  $k$  chaves.

Substituindo a célula de comutação de dois níveis convencional pelas células de comutação com capacitor flutuante para  $k$  chaves, obtém-se o conversor Zeta generalizado com  $k + 1$  níveis gerados em  $v_{cb}$ , composto por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes, como mostram as Figs. 4.5(a) e 4.5(b) para as configurações positiva e negativa, respectivamente.

Para a operação correta dos conversores, os  $k - 1$  capacitores flutuantes devem ser carregados com tensão apropriada dado por:

$$v_{C_{f_{k-1}}} = \frac{(k-1)v_{ab}}{k} \quad (4.12)$$

Tabela 4.1 – Expressões dos Componentes Reativos para Diferentes Modos do Conversor Multinível Cuk Proposto.

Modo	Componente	Expressão
$D < 0,5$	$L_1$	$\frac{(V_i - V_o)D}{2\Delta i_{L_1} f_s}$
	$L_2$	$\frac{(V_i - V_o)D}{2\Delta i_{L_2} f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o D}{R_o \Delta v_{C_f} (1 - D) f_s}$
	$C_o$	$\frac{V_o (1 - 2D)}{32 L_2 \Delta v_o f_s^2}$
$D > 0,5$	$L_1$	$\frac{(V_i - V_o)(1 - D)}{2\Delta i_{L_1} f_s}$
	$L_2$	$\frac{(V_i - V_o)(1 - D)}{2\Delta i_{L_2} f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o}{R_o \Delta v_{C_f} f_s}$
	$C_o$	$\frac{V_i (-1 + 2D)}{32 L_2 \Delta v_o f_s^2}$

Para controlar as chaves, são necessárias  $k$  portadoras PWM com um deslocamento de fase entre elas de:

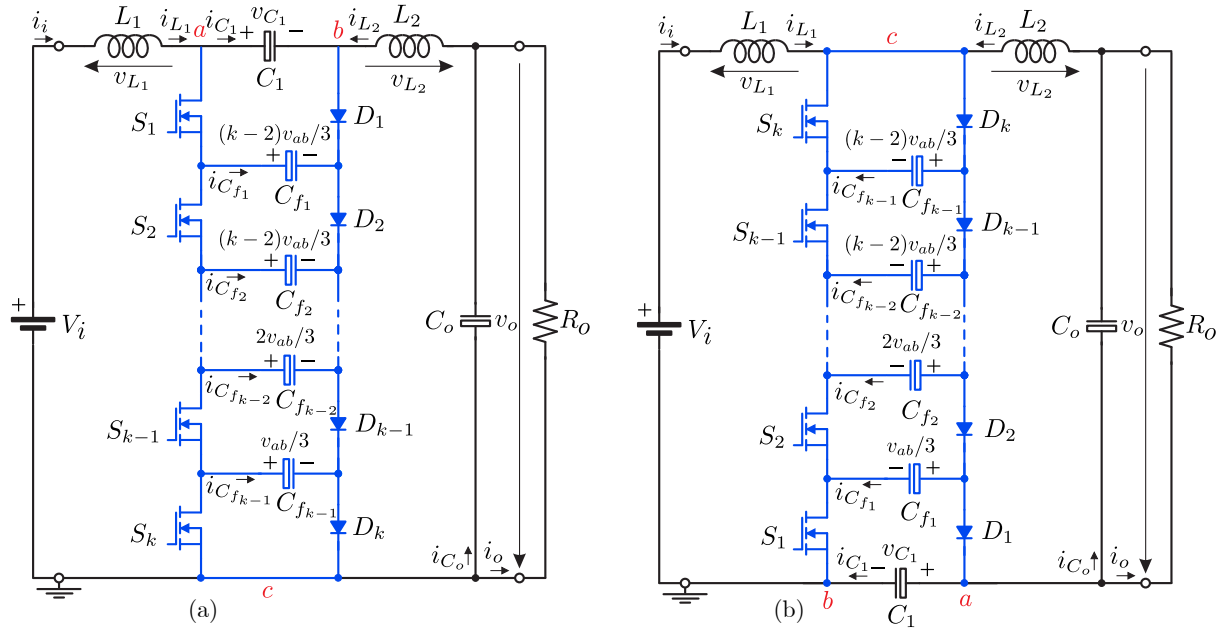
$$\Delta\phi = \frac{360^\circ}{k} \quad (4.13)$$

A frequência resultante observada nas formas de onda da tensão e corrente no indutor é  $k f_s$ , o que implica uma redução significativa no volume dos indutores e nas suas tensões eficazes (RMS).

#### 4.2.1 Topologia para $k = 3$

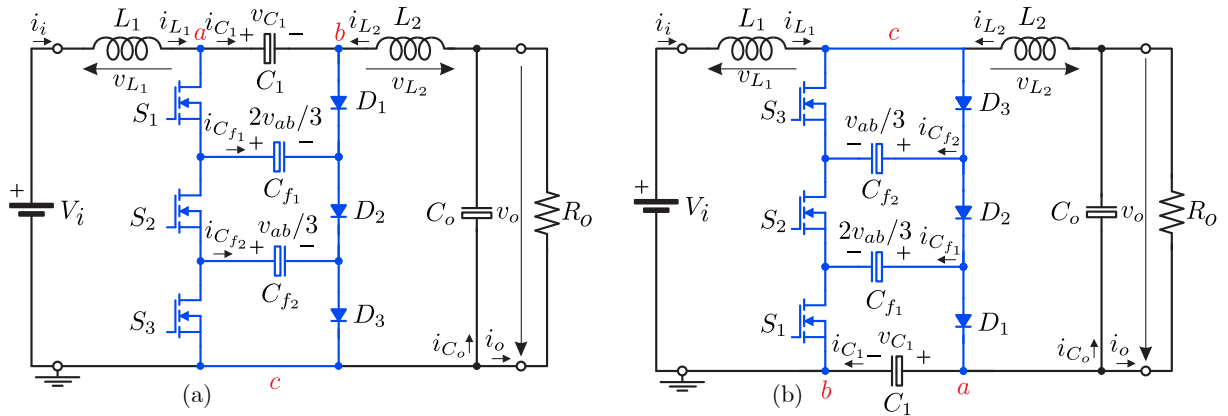
A Fig. 4.6 mostra os conversores Cuk multinível CC-CC proposto, positivo e negativo para  $k = 3$ . Vale destacar que, para uma operação correta dos conversores, os capacitores  $C_{f_1}$  e  $C_{f_2}$  devem ser carregados com  $2v_{ab}/3 = 2(V_i + V_o)/3$  e  $v_{ab}/3 = (V_i + V_o)/3$ , respectivamente. Neste caso, segundo a Eq. (4.13), para controlar as chaves, são necessárias

Figura 4.5 – Generalização do conversor Ćuk multinível proposto para  $k$  chaves: (a) Polaridade positiva. (b) Polaridade negativa.



três portadoras PWM com um deslocamento de fase de  $120^\circ$  entre elas e, a frequência resultante observada nas formas de onda da tensão e corrente no indutor será  $3f_s$ .

Figura 4.6 – Circuito do conversor Ćuk multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa.

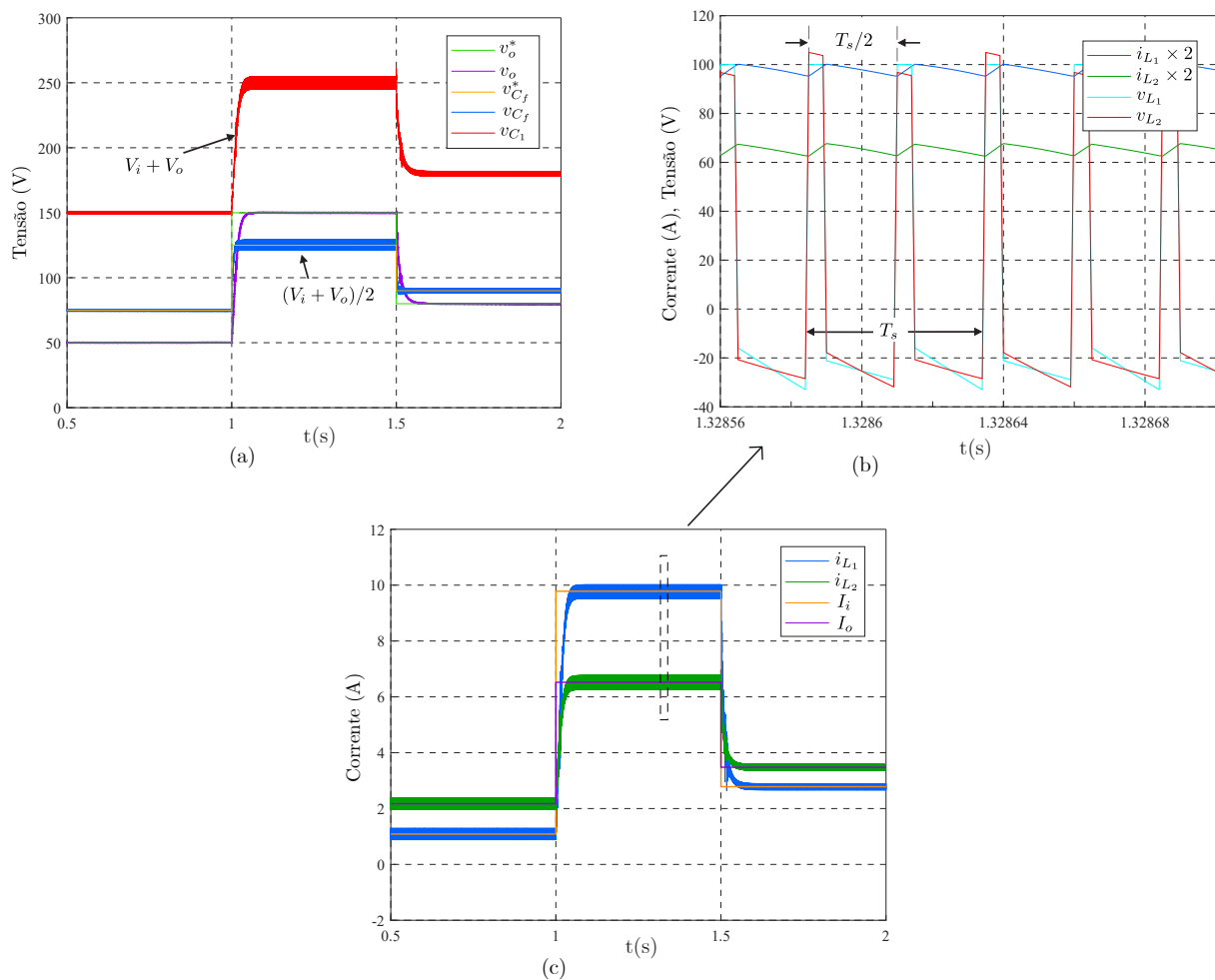


### 4.3 Resultados de Simulação

Para validar a abordagem teórica proposta, os resultados de simulação para os conversores CC-CC Ćuk multinível positivos propostos (para  $k = 2$ ) utilizando PSIM® são apresentados. A frequência de comutação foi definida como 20kHz e o passo de tempo foi de 2s. Os elementos reativos foram projetados como  $L_1 = 1\text{mH}$ ,  $L_2 = 1\text{mH}$ ,  $C_1 = 20\mu\text{F}$ ,

$C_f = 40\mu\text{F}$  e  $C_o = 10\mu\text{F}$ , desconsiderando as resistências parasitas. A tensão de entrada  $V_i = 100\text{V}$  e  $R_o = 23\Omega$ . No laço de tensão de saída, os ganhos para o controlador PI foram definidos como  $k_{pv} = 0.0001$  e  $k_{iv} = 0.2$ , enquanto para o balanceamento do capacitor voador foi utilizado um controlador P com ganho de  $k_{pf} = 0.001$ . Para validar a estratégia de controle, foi aplicado um aumento e uma redução na referência de tensão de saída, que variou de  $V_o^* = 50\text{V}$  para  $V_o^* = 150\text{V}$ , e depois para  $V_o^* = 80\text{V}$ . Este resultado é apresentado na Fig. 4.7(a). Os resultados para  $V_o^* = 150\text{V}$  são apresentados na Fig. 4.7(b), que mostra cinco períodos de comutação, cujas formas de onda representam o dobro da frequência de comutação. Na Fig. 4.7(c), são apresentadas as correntes nos indutores  $i_{L_1}$  e  $i_{L_2}$ , bem como os respectivos valores médios dessas correntes para os diferentes valores de  $V_o^*$ .

Figura 4.7 – Resultados da simulação do conversor Ćuk multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 50\text{V}$  para  $V_o^* = 150\text{V}$  e, em seguida, para  $V_o^* = 80\text{V}$ . (b) Zoom para  $V_o^* = 150\text{V}$ .



Analisando a Fig. 4.7(a), observa-se que a tensão  $v_o$  acompanha com precisão a referência  $V_o^*$ . A tensão sobre o capacitor flutuante  $v_{C_f}$  é devidamente regulada em  $(V_o + V_o)/2$ , enquanto  $v_{C_1}$  acompanha a tensão  $V_i + V_o$ , como era esperado. Na Fig. 4.7(c),

para  $V_o^* = 50 \text{ V}$ , os valores médios das correntes  $I_{L_1}$  e  $I_{L_2}$  são  $I_i = 1.09 \text{ A}$  e  $I_o = 2.17 \text{ A}$ , respectivamente. Quando  $V_o^* = 150 \text{ V}$ , há um aumento significativo nas correntes, com  $I_i = 9,78 \text{ A}$  e  $I_o = 6,52 \text{ A}$ , refletindo o maior esforço exigido do conversor para elevar a tensão de saída. O cálculo detalhado dessas correntes médias está no Apêndice A.

## 4.4 Conclusões Parciais

Nesta seção foi apresentado uma novo conversor CC-CC Ćuk composto por uma célula de comutação multinível com capacitor flutuante. A topologia proposta apresenta uma redução no volume dos indutores e do capacitor de saída, além de observar-se uma redução na tensão RMS dos indutores. Os resultados de simulação mostraram a viabilidade do conversor e sua controlabilidade.

# Topologia Proposta: Conversor CC-CC Zeta com célula de comutação de capacitor flutuante multinível

---

Esta seção apresenta um novo conversor CC-CC Zeta composto por uma célula de comutação multinível com capacitor flutuante. Essa estrutura é obtida substituindo a perna de interruptor/diodo da célula tradicional de totem assimétrico de dois níveis por uma célula similar com capacitor flutuante multinível. Para evitar uma leitura exaustiva, esta seção será descrita de forma mais breve, uma vez que a análise do conversor Zeta é semelhante à apresentada na seção 3.

## 5.1 Descrição do circuito

O Zeta convencional é apresentado na Fig. 5.1. Para utilizar o conceito de célula de comutação, o capacitor  $C_1$  ou o interruptor  $S$  deve ser movido para a aplicação apropriada, como pode ser visto nos convencionais redesenhados mostrados nas Figuras 5.1(a) e 5.1(b).

A Figura 5.2(a) e 5.2(b) mostram a implementação dos conversores Zeta multinível propostos. A partir dos conversores Zeta convencionais (Figs. 5.1(a) e 5.1(b)), são extraídas as pernas assimétricas em totem-pole de dois níveis (positiva na Fig. 2.1(a) e negativa na Fig. 2.1(b)), que são então substituídas por uma célula de comutação de três níveis com capacitor flutuante (positiva na Fig. 2.4(a) e negativa na Fig. 2.4(b)).

Essa substituição resulta nos conversores Zeta propostos com célula de comutação de capacitor flutuante multinível, conforme mostrado nas Figs. 5.2(a) (para polaridade positiva) e 5.2(b) (para polaridade negativa), respectivamente.

Figura 5.1 – Conversores Zeta CC-CC convencionais com células assimétricas em totem de dois níveis: (a) Polaridade positiva. (b) Polaridade negativa.

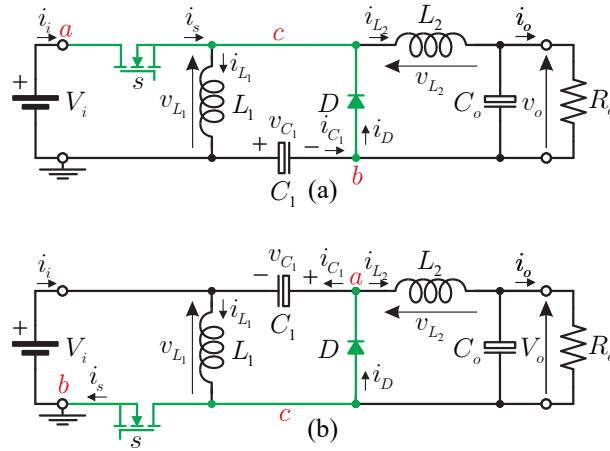
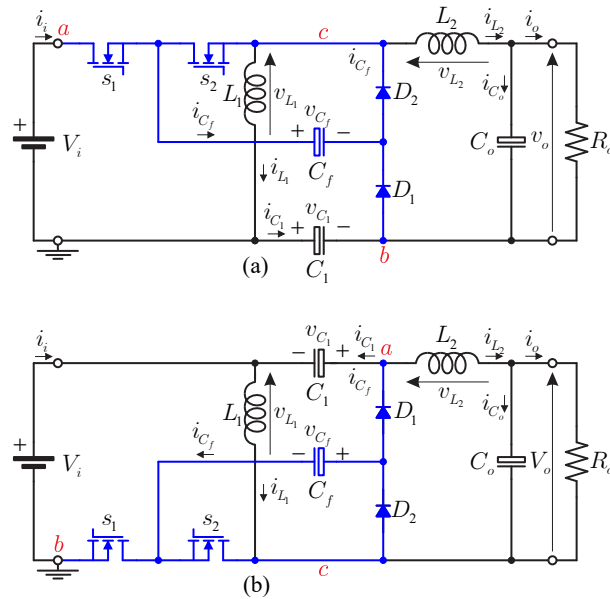


Figura 5.2 – Conversores Zeta CC-CC propostos com célula de comutação de capacitor flutuante multinível: (a) Para polaridade positiva. (b) Para polaridade negativa.



Como é bem conhecido, para as estruturas mostradas nas Figuras 2(c) e 3(c), para que haja níveis simétricos na tensão de saída  $v_{cb}$ , o capacitor voador  $C_f$  deve ser carregado com uma tensão média de  $v_{ab}/2$ . Dependendo de qual interruptor é ligado/desligado, isso gerará  $v_{cb} \in \{v_{ab}, v_{ab}/2, 0\}$ .

### 5.1.1 Operação do Conversor Proposto

Em um conversor Zeta, a tensão média sobre o capacitor de acoplamento  $C_1$ , considerando  $v_o = V_o$ , é

$$v_{C_1} = V_o \quad (5.1)$$

Assim como no conversor SEPIC, o ganho estático de tensão em MCC é dada por:

$$\frac{V_o}{V_i} = \frac{D}{1-D} \quad (5.2)$$

Para ter uma tensão multinível com melhor utilização do conversor, o capacitor voador  $C_f$  deve ser carregado com uma tensão média de:

$$v_{C_f} = \frac{v_{ab}}{2} = \frac{V_i + v_{C_1}}{2} = \frac{V_i + V_o}{2} \quad (5.3)$$

Para um funcionamento e análise corretos, a tensão sobre os capacitores deve ser constante, considerando a tensão de saída  $v_o = V_o$ ,  $v_{C_1} = V_o$  e  $v_{C_f} = (V_i + v_{C_1})/2 = (V_i + V_o)/2$ .

A Fig 5.3 mostra as etapas de condução dos conversores Zeta multinível propostos, positivos e negativos, respectivamente. As principais formas de onda do conversor podem ser vistas na Fig. Fig 5.4. A Figura 5.4(a) é para  $D < 0,5$ , que utiliza os estágios de condução 2, 3 e 4. A Figura 5.4(b) é para  $D > 0,5$ , que utiliza os estágios de condução 1, 3 e 4.

#### 5.1.1.1 Estágio 1

Para uma operação e análise corretas do conversor proposto, deve-se conhecer as correntes no capacitores e tensões no indutores para cada estágio de operação. Desta forma, com  $s_1$  e  $s_2$  conduzindo nas Figs. 5.3(a) e 5.3(e), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, tem-se:

$$v_{L_1} = V_i \quad (5.4)$$

$$v_{L_2} = v_{L_1} - v_o + v_{C_1} = V_i - V_o + V_o = V_i \quad (5.5)$$

Essa tensão causa um aumento linear nas correntes dos indutores durante o período  $t_\Delta$ , em que  $s_1$  e  $s_2$  estão conduzindo como pode ser notado em Fig. 5.4(b).

O processo de carga e descarga dos capacitores dependem do sentido e magnitude das correntes que fluem por eles, podendo determina-las analisando os nós das Figs. 5.3(a) e 5.3(e). Neste sentido:

- $C_1$ : descarrega, com  $i_{C_1} = i_{L_1} - (i_{L_1} + i_{L_2}) = -i_{L_2}$ ,
- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,



- $C_o$ : carrega/descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

A Fig. 5.4(b) também mostra as curvas de corrente nos capacitores para ( $D > 0,5$ ).

### 5.1.1.2 Estágio 2

O estágio 2 ocorre considerando  $s_1$  e  $s_2$  estão bloqueados, isto é, durante o período de tempo ( $t_\Delta$ ), para  $V_0 < V_i$ . Para determinar  $i_{L_1}$  e  $i_{L_2}$  presentes na Fig. 5.3(a), deve-se conhecer as tensões sobre os indutores. Analisando os nós da Fig. 5.3(a) ou 5.3(e), tem-se:

$$v_{L_1} = -v_{C_1} = -V_o \quad (5.6)$$

$$v_{L_2} = -v_o = -V_o \quad (5.7)$$

De acordo com as Eqs. (5.6) e (5.7),  $i_{L_1}$  e  $i_{L_2}$  decrescem linearmente durante o período de tempo ( $t_\Delta$ ), dado que  $v_{L_1} = v_{L_2} = -V_o$ . As curvas de corrente nos indutores são mostrados na Fig. 5.4(a).

As correntes que fluem pelos capacitores podem ser definida analisando os nós dos circuitos equivalentes na Fig. 5.3(b) ou 5.3(f). O processo de carga e descarga dos capacitores podem ser, assim definidas:

- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,
- $C_f$ : desconecta-se do circuito ( $i_{C_f} = 0$ ) mantendo a tensão do último estágio de operação,
- $C_o$ : carrega, com  $i_{C_o} = i_{L_2} - i_o$ .

A Fig. 5.4(a) também mostra as curvas de corrente nos capacitores  $C_1$ ,  $C_f$  e  $C_o$ , respectivamente para ( $D < 0,5$ ).

### 5.1.1.3 Estágio 3

Com  $s_1$  conduzindo e  $s_2$  bloqueado Figs. 5.3(c) e 5.3(g), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, temos que:

$$v_{L_1} = V_i - v_{C_f} = V_i - \frac{V_i + V_o}{2} = \frac{V_i - V_o}{2}, \quad (5.8)$$

$$v_{L_2} = V_i - v_{C_f} - v_o + v_{C_1} = V_i - \frac{V_i + V_o}{2} - V_o + V_o = \frac{V_i - V_o}{2}. \quad (5.9)$$

Durante o intervalo  $t_{on}$  as correntes  $i_{L_1}$  e  $i_{L_2}$  podem apresentar curvas crescentes ou decrescentes dependendo da relação, ( $V_o < V_i$ ) ou ( $V_o > V_i$ ). As correntes nos indutores são mostradas nas Figs. 5.4(a) ou 5.4(b).

Analisando os circuitos da Figs. 5.3(c) ou 5.3(g) conclui-se que:

- $C_1$ : descarrega, pois  $i_{C_1} = -i_{L_2}$ ,
- $C_f$ : carrega com  $i_{C_f} = i_{L_1} + i_{L_2}$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

As correntes nos capacitores para  $(D < 0,5)$  e  $(D > 0,5)$ , são mostradas nas Fig. 5.4(a) e 5.4(b) respectivamente.

#### 5.1.1.4 Estágio 4

Finalmente, com  $s_1$  conduzindo e  $s_2$  bloqueado, Figs. 5.3(d) e 5.3(h), e considerando que,  $v_o$ ,  $v_{C_1}$  e  $v_{C_f}$  são constantes, tem-se que as tensões  $v_{L_1}$  e  $v_{L_2}$  são definidas segundo as seguintes expressões:

$$v_{L_1} = v_{C_f} - v_{C_1} = \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (5.10)$$

$$v_{L_2} = v_{C_f} - v_o = \frac{V_i + V_o}{2} - V_o = \frac{V_i - V_o}{2} \quad (5.11)$$

Com base nas Eqs. (5.10) e (5.11), é possível definir se as correntes  $i_{L_1}$  e  $i_{L_2}$  são crescentes ou decrescentes dependendo do modo de operação, assim como o estágio 3.

Assim como os estágios anteriores, analisando os circuitos das Figs. 5.3(d) ou 5.3(h), tem-se que:

- $C_1$ : carrega, pois  $i_{C_1} = i_{L_1}$ ,
- $C_f$ : descarrega com  $i_{C_f} = -(i_{L_1} + i_{L_2})$ ,
- $C_o$ : carrega/d Descarrega, com  $i_{C_o} = i_{L_2} - i_o$ .

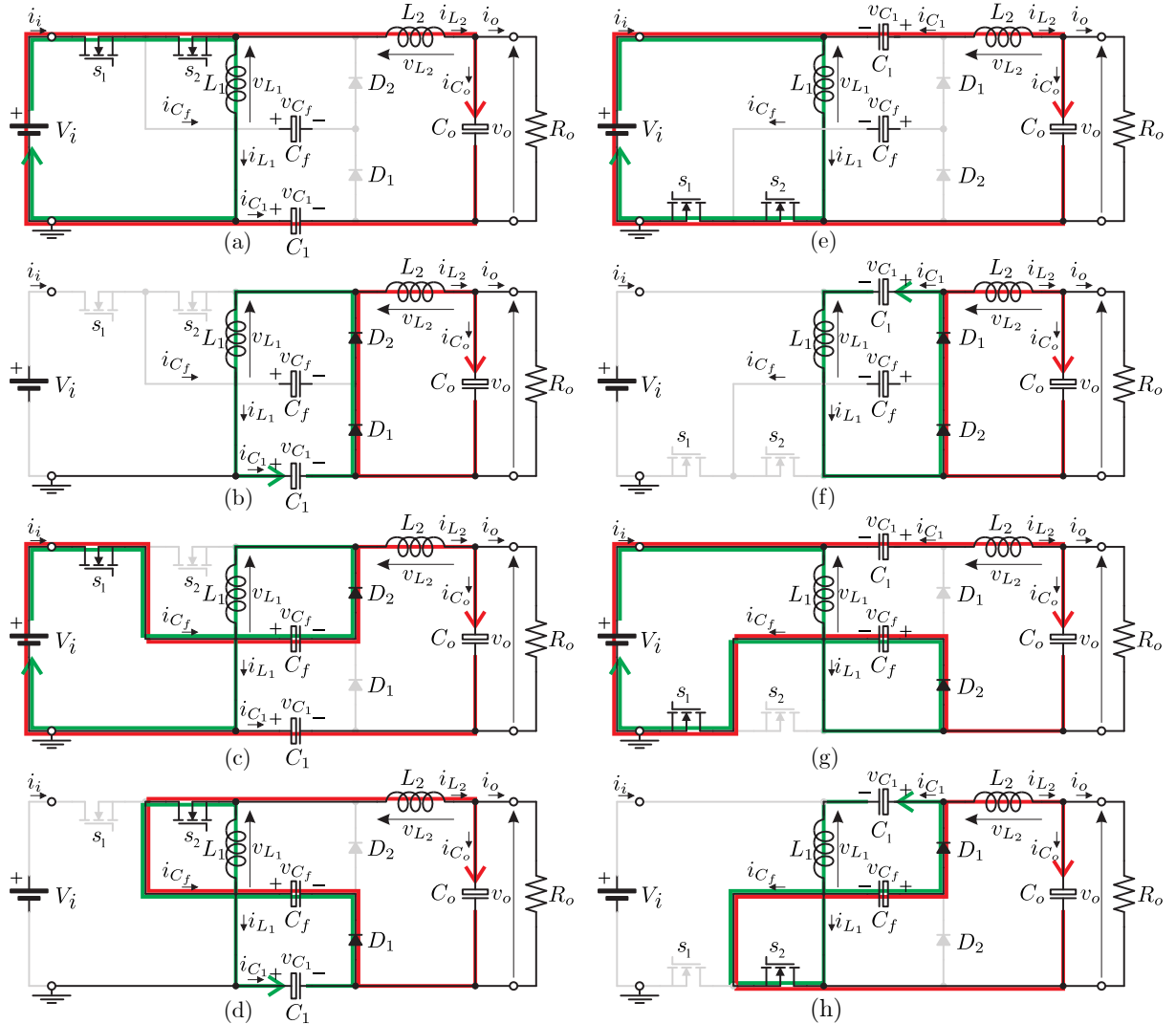
Assim como nos conversores SEPIC e Ćuk, para os estágios 3 e 4, a relação  $(V_i - V_o)/2 > 0$  ocorre quando o ciclo de trabalho  $D < 0,5$ , o que representa, a partir da Eq. (5.2),  $V_o < V_i$ . Por outro lado,  $(V_i - V_o)/2 < 0$  ocorre quando  $D > 0,5$ , uma vez que  $V_o > V_i$  conforme a Eq. (5.2).

## 5.1.2 Dimensionamento dos Elementos reativos

Da mesma forma como ocorre nos conversores SEPIC e Ćuk, a seleção adequada da indutância assegura que o conversor opere em modo contínuo ou descontínuo, influenciando diretamente sua estabilidade e desempenho. Essa escolha também ajuda a minimizar o ripple de corrente e tensão, reduzindo o estresse nos componentes do circuito.

O projeto dos elementos reativos do conversor, para  $D < 0,5$  e para  $D > 0,5$ , pode ser feito a partir da Tabela 5.1

Figura 5.3 – Estágios de condução para o conversor Zeta proposto, ilustrando a topologia positiva e a negativa: Em (a), (b), (c) e (d) correspondem à topologia positiva, enquanto que em (e), (f), (g) e (h) representam a topologia negativa. O estágio 1 é mostrado em (a) e (e); O estágio 2 em (b) e (f); O estágio 3 em (c) e (g); e o estágio 4 em (d) e (h),

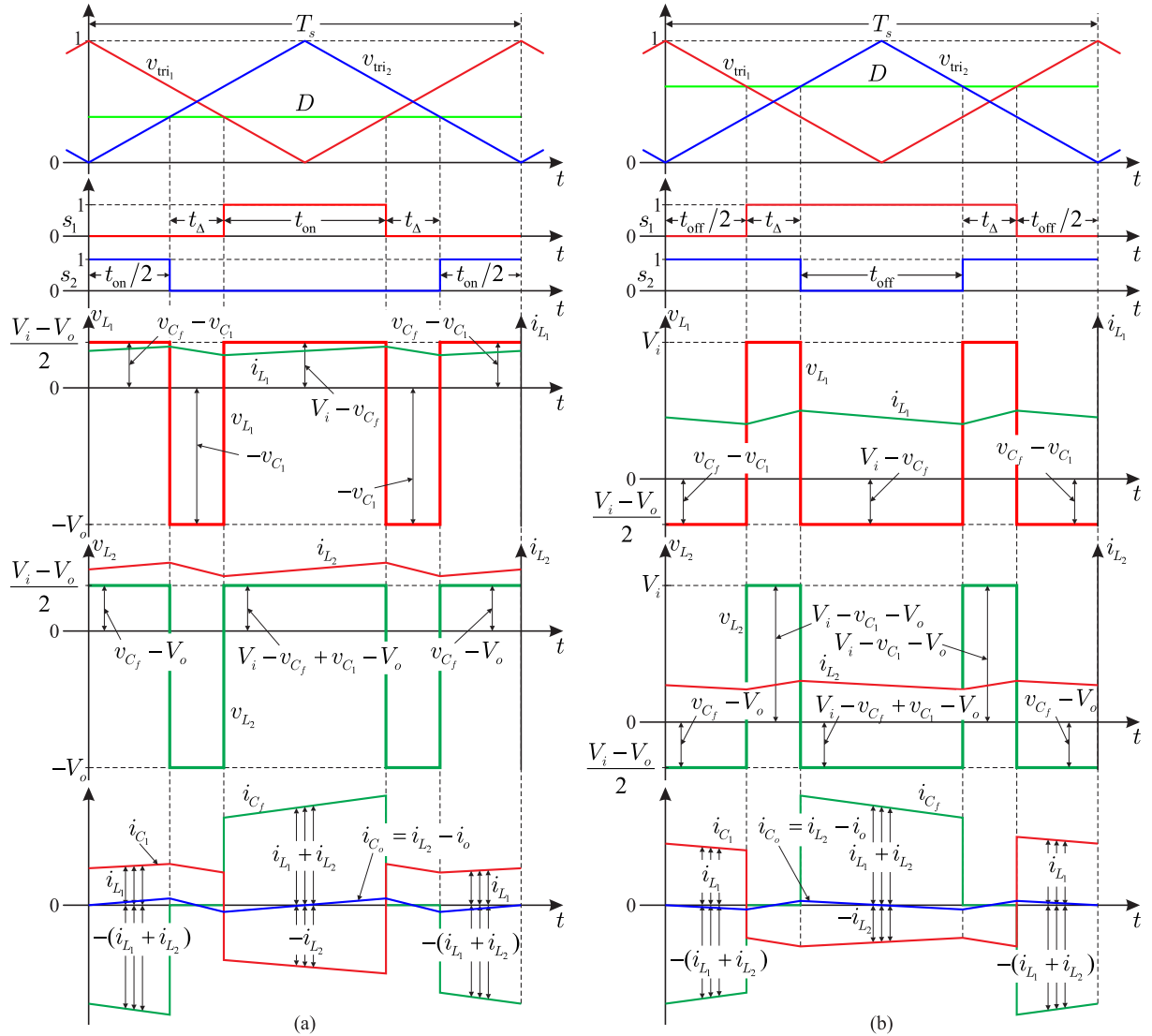


## 5.2 Generalização do Conversor Zeta para $k + 1$ Níveis

O conversor proposto pode operar com uma célula de comutação de capacitor flutuante composta por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes. As Figs. 2.7(a) e 2.7(b) mostram, respectivamente, as células de comutação de capacitor flutuante para polaridade positiva e negativa para  $k$  chaves.

Substituindo a célula de comutação de dois níveis convencional pelas células de comutação com capacitor flutuante para  $k$  chaves, obtém-se o conversor Zeta generalizado com  $k + 1$  níveis gerados em  $v_{cb}$ , composto por  $k$  chaves,  $k$  diodos e  $k - 1$  capacitores flutuantes, como mostram as Figs. 5.5(a) e 5.5(b) para as configurações positiva e negativa, respectivamente.

Figura 5.4 – Formas de onda do conversor Zeta multinível. (a) Para  $D < 0,5$  ou  $V_o < V_i$ . (b) Para  $D > 0,5$  ou  $V_o > V_i$ .



Para a operação correta dos conversores, os  $k - 1$  capacitores flutuantes devem ser carregados com tensão apropriada dado por:

$$v_{C_{f_{k-1}}} = \frac{(k - 1)v_{ab}}{k} \quad (5.12)$$

Para controlar as chaves, são necessárias  $k$  portadoras PWM com um deslocamento de fase entre elas de:

$$\Delta\phi = \frac{360^\circ}{k} \quad (5.13)$$

A frequência resultante observada nas formas de onda da tensão e corrente no indutor é  $kf_s$ , o que implica uma redução significativa no volume dos indutores e nas suas

Tabela 5.1 – Expressões dos Componentes Reativos para Diferentes Modos do Conversor Multinível Zeta proposto.

Modo	Componente	Expressão
$D < 0,5$	$L_1$	$\frac{(V_i - V_o)D}{2\Delta i_{L_2}f_s}$
	$L_2$	$\frac{(V_i - V_o)D}{2\Delta i_{L_2}f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o D}{R_o \Delta v_{C_f} (1 - D) C_f f_s}$
	$C_o$	$\frac{V_o D}{R_o \Delta v_o f_s}$
$D > 0,5$	$L_1$	$\frac{(V_i - V_o)(1 - D)}{2\Delta i_{L_2}f_s}$
	$L_2$	$\frac{(V_i - V_o)(1 - D)}{2\Delta i_{L_2}f_s}$
	$C_1$	$\frac{V_o D}{R_o \Delta v_{C_1} f_s}$
	$C_f$	$\frac{V_o}{R_o \Delta v_{C_f} f_s}$
	$C_o$	$\frac{V_i(-1 + 2D)}{32L_2\Delta v_o f_s^2}$

tensões eficazes (RMS).

### 5.2.1 Topologia para $k = 3$

A Fig. 5.6 mostra os conversores Zeta multinível CC-CC proposto, positivo e negativo para  $k = 3$ . Vale destacar que, para uma operação correta dos conversores, os capacitores  $C_{f_1}$  e  $C_{f_2}$  devem ser carregados com  $2v_{ab}/3 = 2(V_i + V_o)/3$  e  $v_{ab}/3 = (V_i + V_o)/3$ , respectivamente. Neste caso, segundo a Eq. (5.13), para controlar as chaves, são necessárias três portadoras PWM com um deslocamento de fase de  $120^\circ$  entre elas e, a frequência resultante observada nas formas de onda da tensão e corrente no indutor será  $3f_s$ .

## 5.3 Resultados de Simulação

Para validar a abordagem teórica proposta, os resultados de simulação para os conversores CC-CC Zeta multinível positivos propostos (para  $k = 2$ ) utilizando PSIM® são apresentados. A frequência de comutação foi definida como 20kHz e o passo de tempo

Figura 5.5 – Generalização do conversor Zeta multinível proposto para  $k$  chaves: (a) Polaridade positiva. (b) Polaridade negativa.

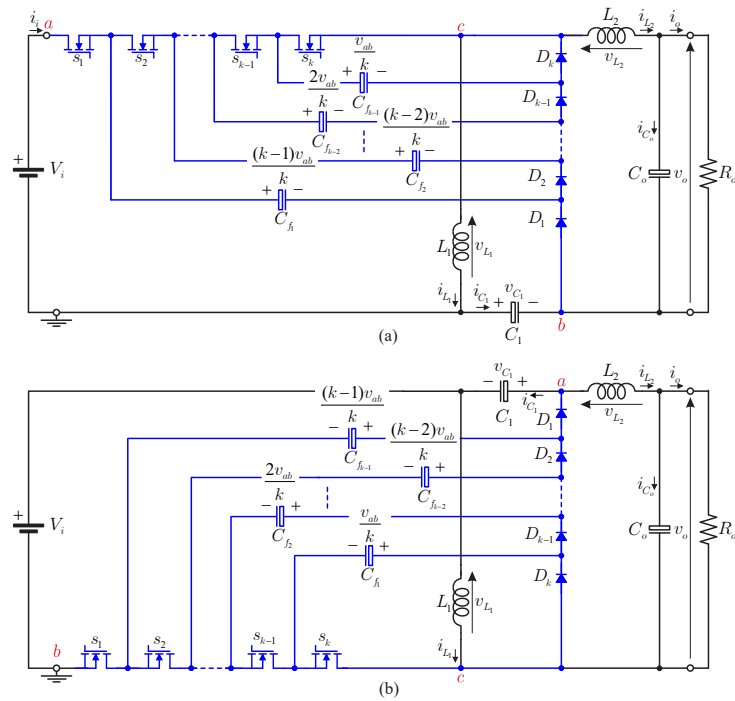
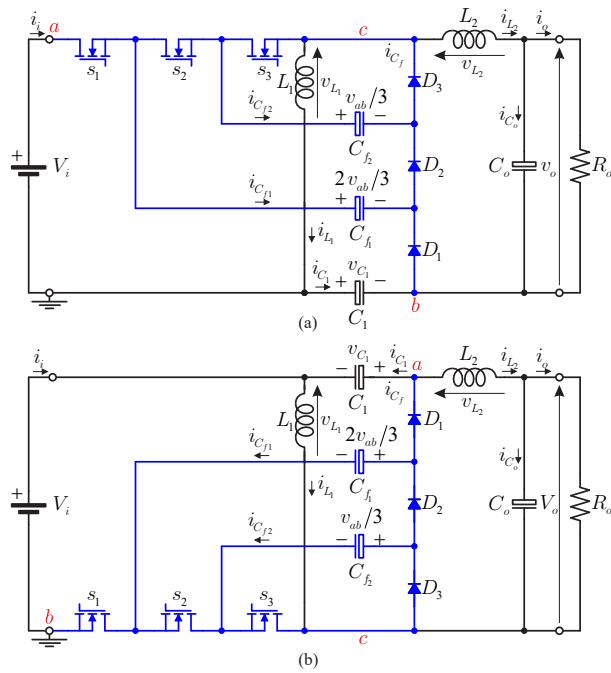


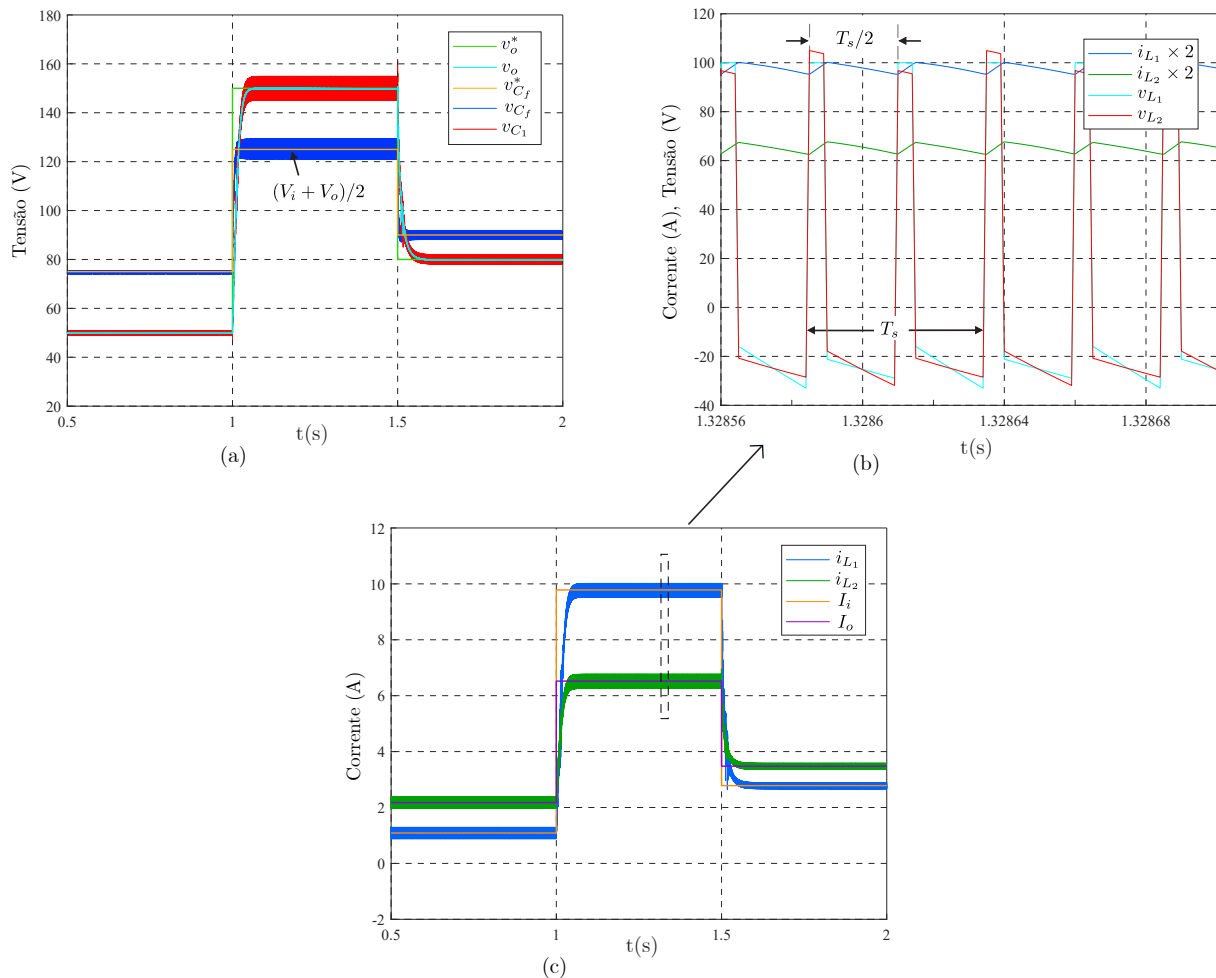
Figura 5.6 – Circuito do conversor Zeta multinível proposto para ( $k = 3$ ): (a) Polaridade positiva. (b) Polaridade negativa.



foi de 2s. Os elementos reativos foram projetados como  $L_1 = 1\text{mH}$ ,  $L_2 = 1\text{mH}$ ,  $C_1 = 20\mu\text{F}$ ,  $C_f = 40\mu\text{F}$  e  $C_o = 10\mu\text{F}$ , desconsiderando as resistências parasitas. A tensão de entrada

$V_i = 100V$  e  $R_o = 23\Omega$ . No laço de tensão de saída, os ganhos para o controlador PI foram definidos como  $k_{pv} = 0.0001$  e  $k_{iv} = 0.2$ , enquanto para o balanceamento do capacitor voador foi utilizado um controlador P com ganho de  $k_{pf} = 0.001$ . Para validar a estratégia de controle, foi aplicado um aumento e uma redução na referência de tensão de saída, que variou de  $V_o^* = 50V$  para  $V_o^* = 150V$ , e depois para  $V_o^* = 80V$ . Este resultado é apresentado na Fig. 5.7(a). Os resultados para  $V_o^* = 150V$  são apresentados na Fig. 5.7(b), que mostra cinco períodos de comutação, cujas formas de onda representam o dobro da frequência de comutação. Na Fig. 5.7(c), são apresentadas as correntes nos indutores  $i_{L_1}$  e  $i_{L_2}$ , bem como os respectivos valores médios dessas correntes para os diferentes valores de  $V_o^*$ .

Figura 5.7 – Resultados da simulação do conversor Zeta multinível proposto para ( $k = 2$ ): (a) Aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 50V$  para  $V_o^* = 150V$  e, em seguida, para  $V_o^* = 80V$ . (b) Zoom para  $V_o^* = 150V$ .



Analisando a Fig. 5.7(a), observa-se que a tensão  $v_o$  acompanha com precisão a referência  $V_o^*$ . A tensão sobre o capacitor flutuante  $v_{C_f}$  é devidamente regulada em  $(V_o + V_o)/2$ , enquanto  $v_{C_1}$  acompanha a tensão na carga  $V_o$ , como era esperado. Na Fig. 5.7(c), para  $V_o^* = 50V$ , os valores médios das correntes  $I_{L_1}$  e  $I_{L_2}$  são  $I_i = 1.09A$  e

$I_o = 2.17$  A, respectivamente. Quando  $V_o^* = 150$  V, há um aumento significativo nas correntes, com  $I_i = 9,78$  A e  $I_o = 6,52$  A, refletindo o maior esforço exigido do conversor para elevar a tensão de saída. O cálculo detalhado dessas correntes médias está no Apêndice A.

## 5.4 Conclusões Parciais

Nesta seção foi apresentado uma novo conversor CC-CC Zeta composto por uma célula de comutação multinível com capacitor flutuante. A topologia proposta apresenta uma redução no volume dos indutores e do capacitor de saída, além de observar-se uma redução na tensão RMS dos indutores. Os resultados de simulação mostraram a viabilidade do conversor e sua controlabilidade.



# Resultados

---

Nesta seção, serão apresentados uma placa de condicionamento de sinais, desenvolvida para interface com sensores, e um protótipo do conversor SEPIC proposto. Além disso, serão exibidos resultados experimentais que demonstram o desempenho do protótipo em diferentes condições de operação.

## 6.1 Protótipo

Os protótipos desenvolvidos para este estudo foram projetados utilizando o software Altium Designer. A seguir, serão apresentados detalhes do design e layout das placas.

### 6.1.1 Placa de condicionamento de sinais

Para a operação do conversor em malha fechada, é necessário medir as tensões nos capacitores  $C_f$  e  $C_o$ . Para tal, foi desenvolvida uma placa de condicionamento de sinais, especificamente para essa finalidade, conforme ilustrado na Fig. 6.1. No Apêndice C, são detalhados o esquemático da placa, bem como seus componentes.

A Fig. 6.1 apresenta o projeto em 3D da placa de condicionamento, que permite realizar até três medições de tensões CC de até 72 V, as quais são enviadas para as entradas dos ADCs do DSP por meio de conectores Header de 14 pinos ou por cabos coaxiais\*. O conector (ePWM) é utilizado para acionar os drivers em uma placa externa.

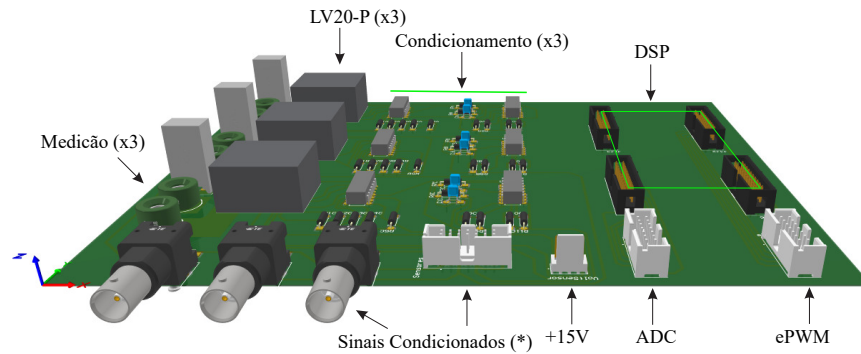
### 6.1.2 Conversor SEPIC proposto

A placa do conversor SEPIC multinível proposto foi projetada de maneira a otimizar a disposição dos componentes e o gerenciamento térmico. Os MOSFETs, dissipadores de

---

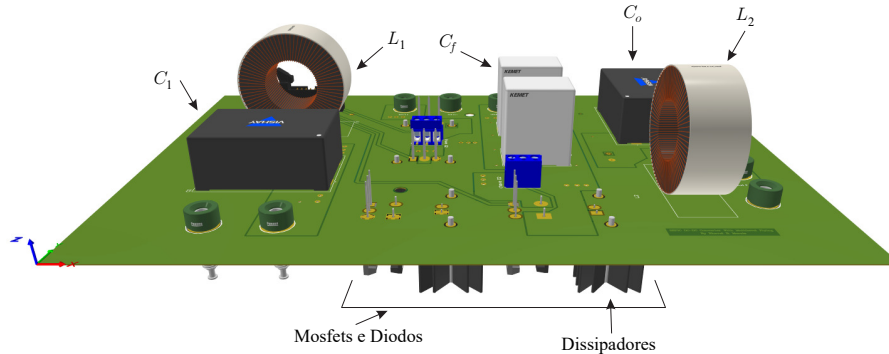
\* Adicionado à placa como medida de redundância.

Figura 6.1 – Modelo 3D da placa de condicionamento de sinais.



calor e diodos estão localizados no *bottom layer*, permitindo uma melhor dissipação de calor e facilitando a montagem dos componentes de potência. No *top layer*, encontram-se os elementos passivos, como capacitores e indutores, além dos sinais de controle. O projeto completo do esquemático da placa, que detalha as conexões entre os componentes, está disponível no Apêndice C.

Figura 6.2 – Visualização em 3D do protótipo do conversor SEPIC multinível proposto, mostrando a disposição dos componentes principais, como MOSFETs, diodos e dissipadores de calor.

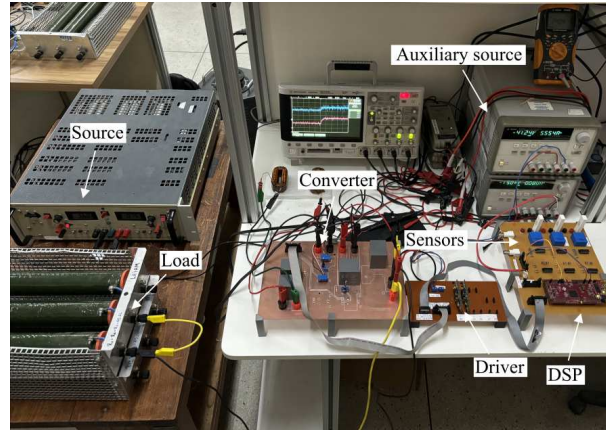


## 6.2 Resultados Experimentais

A Fig. 6.3 apresenta o setup experimental utilizado para a validação do conversor SEPIC com capacitor flutuante. À esquerda, está a fonte de alimentação bipolar da Kepco de 36 V, responsável por fornecer energia ao conversor. No canto inferior esquerdo, encontra-se a carga composta por resistores de potência. À direita, está localizado a placa de condicionamento de sinais. A fonte auxiliar, posicionada no canto superior direito, é utilizada para alimentar os circuitos de controle e os sensores. Próximo aos sensores, está o driver que controla as chaves. Em seguida, na Fig. 6.4, são apresentados os resultados experimentais obtidos para diferentes condições de operação do conversor. Para alcançar

120 W na carga com 54 V, foram associados dois resistores de  $45 \Omega$  em paralelo, disponíveis no laboratório.

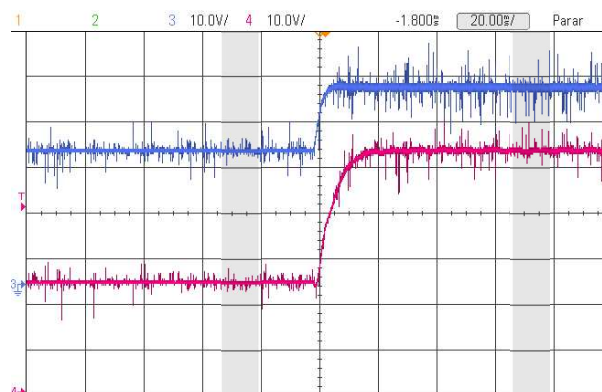
Figura 6.3 – Bancada de teste experimental do protótipo no laboratório.



As condições de operação do protótipo seguem as mesmas especificadas no Cenário 2, descrito na Seção 3.3.2, ou seja, para um aumento e redução na referência de tensão de saída aplicada, variando de  $V_o^* = 24 \text{ V}$  para  $V_o^* = 54 \text{ V}$ . Os componentes utilizados na construção do protótipo estão detalhadamente apresentados na Tabela 3.7.

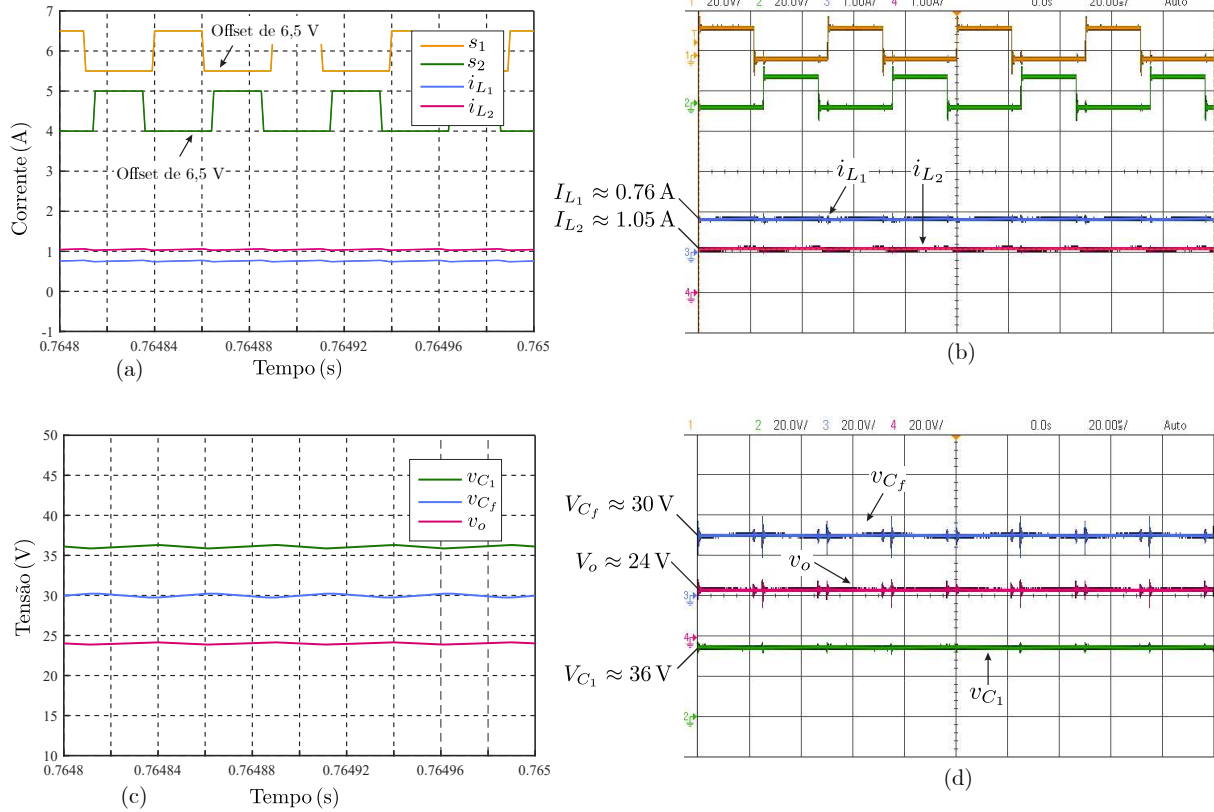
Na Fig. 6.4, observa-se a resposta das tensões  $v_{C_f}$  e  $v_o$  a um step-up de  $v_o = [24, 54] \text{ V}$ . Nota-se que ambas as tensões se estabilizam rapidamente em seus novos valores de referência, com  $v_o$  atingindo o regime permanente em aproximadamente 20 ms e  $v_{C_f}$  em cerca de 10 ms.

Figura 6.4 – Resultados experimentais: (a) CH3:  $v_{C_f}$  e CH4:  $v_o$  para um aumento de  $v_o^* = [24, 54] \text{ V}$ .



Na Fig. 6.5(b), são apresentados os sinais de controle  $s_1$  e  $s_2$ , bem como as correntes dos indutores  $i_{L_1}$  e  $i_{L_2}$  para  $V_o^* = 24 \text{ V}$ . Desconsiderando as oscilações, os valores medidos das correntes foram  $I_{L_1} = 0,76 \text{ A}$  e  $I_{L_2} = 1,05 \text{ A}$ . Já na Fig. 6.4(d), as tensões medidas foram:  $V_o = 24 \text{ V}$ ,  $V_{C_f} = 30 \text{ V}$  e  $V_{C_1} = 36 \text{ V}$ , resultados que estão de acordo com o esperado na simulação, conforme apresentado nas Figuras 6.5(a) e 6.5(c), respectivamente.

Figura 6.5 – Comparação dos resultados de simulação e experimentais: (a) resultado de simulação das correntes no indutores. (b) CH1:  $s_1$ , CH2:  $s_2$ , CH3:  $I_{L_1}$  e CH4:  $I_{L_2}$  para  $v_o = 24$  V. (c) resultado de simulação das tensões nos capacitores. (d) CH2:  $v_{C_1} = v_i$ , CH3:  $v_{C_f} = (v_{C_1} + v_o)/2$  e CH4:  $v_o$  para  $v_o^* = 24$  V.



Já na Fig. 6.6, são apresentados os resultados para o modo *boost*, considerando uma tensão na carga de  $V_o = 54$  V. Neste caso, como observado na Fig. 6.6(b), as correntes medidas foram  $I_{L_1} = 4,0$  A e  $I_{L_2} = 2,3$  A. Na Fig. 6.4(d), as tensões obtidas foram:  $V_o = 53,8$  V,  $V_{C_f} = 44$  V e  $V_{C_1}$ , que permaneceu estável em 36 V. Esses resultados mostram conformidade com o esperado na simulação, conforme pode ser visto nas Figuras 6.6(a) e 6.6(c), respectivamente.

A Tabela 6.1 apresenta a comparação entre os valores obtidos via simulação e os valores experimentais. Os resultados experimentais mostram boa concordância com aqueles obtidos no cenário 2, discutido na Seção 3.3.2. Assim como observado nas simulações, há um aumento  $\Delta$  nas correntes durante a operação em modo *boost*, com o valor médio de  $i_{L_1}$  em torno de 4 A, o que pode ser explicado pelas perdas ôhmicas mencionadas anteriormente. A pequena discrepância entre os valores esperados e os medidos das tensões provavelmente decorre de imprecisões na calibração dos sensores.

Figura 6.6 – Comparação dos resultados de simulação e experimentais: (a) resultado de simulação das correntes no indutores. (b) CH1:  $s_1$ , CH2:  $s_2$ , CH3:  $i_{L_1}$  e CH4:  $i_{L_2}$  para  $v_o = 54$  V. (c) resultado de simulação das tensões nos capacitores. (d) CH2:  $v_{C_1} = v_i$ , CH3:  $v_{C_f} = (v_{C_1} + v_o)/2$  e CH4:  $v_o$  para  $v_o^* = 54$  V.

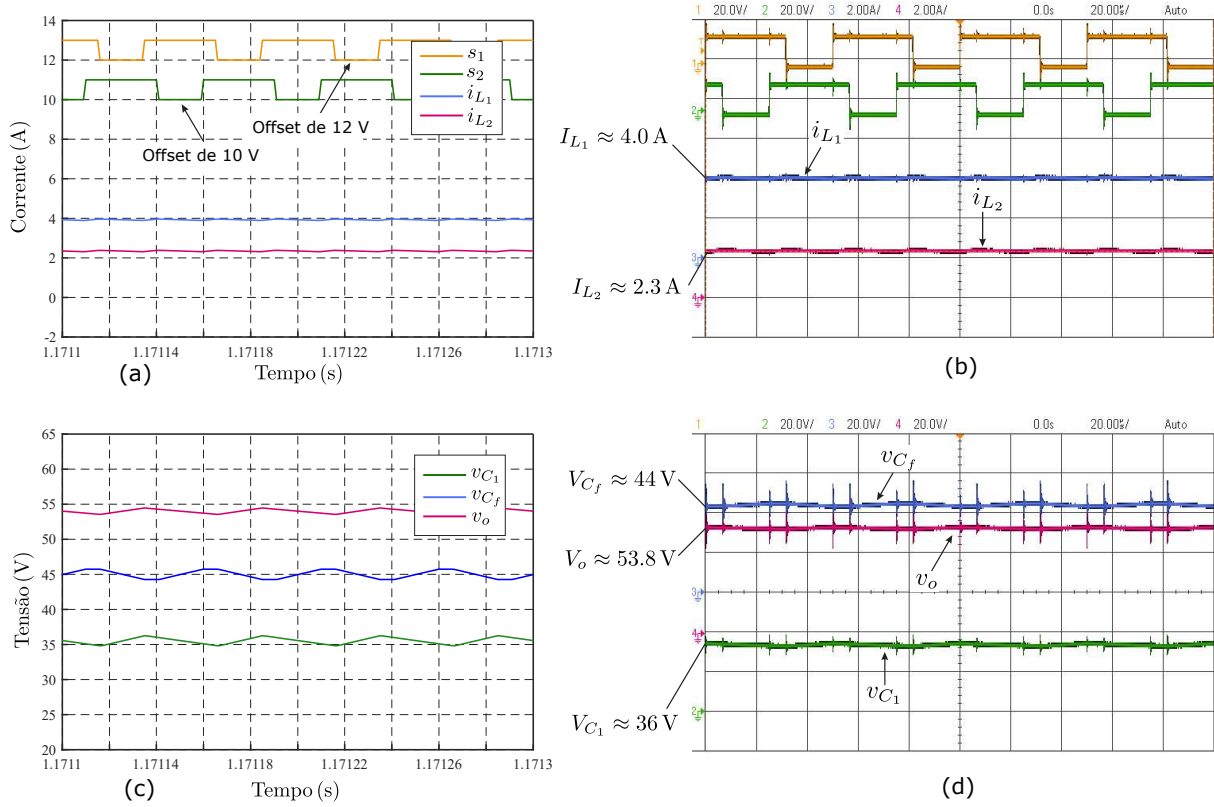


Tabela 6.1 – Comparação entre os resultados de simulação e experimentais do conversor SEPIC proposto.

$V_o^* = 24$ V		
Parâmetros	Simulação	Experimental
Corrente: $i_{L_1}$	0,76 A	0,75 A
Corrente: $i_{L_2}$	1,04 A	1,05 A
Tensão: $v_o$	24,00 V	24,00 V
Tensão: $v_{C_f}$	30,00 V	30,00 V
Tensão: $v_{C_1}$	36,00 V	36,00 V
$V_o^* = 54$ V		
Parâmetros	Simulação	Experimental
Corrente: $i_{L_1}$	3,93 A	4,00 A
Corrente: $i_{L_2}$	2,34 A	2,30 A
Tensão: $v_o$	54,00 V	53,80 V
Tensão: $v_{C_f}$	45,00 V	44,00 V
Tensão: $v_{C_1}$	36,00 V	36,00 V

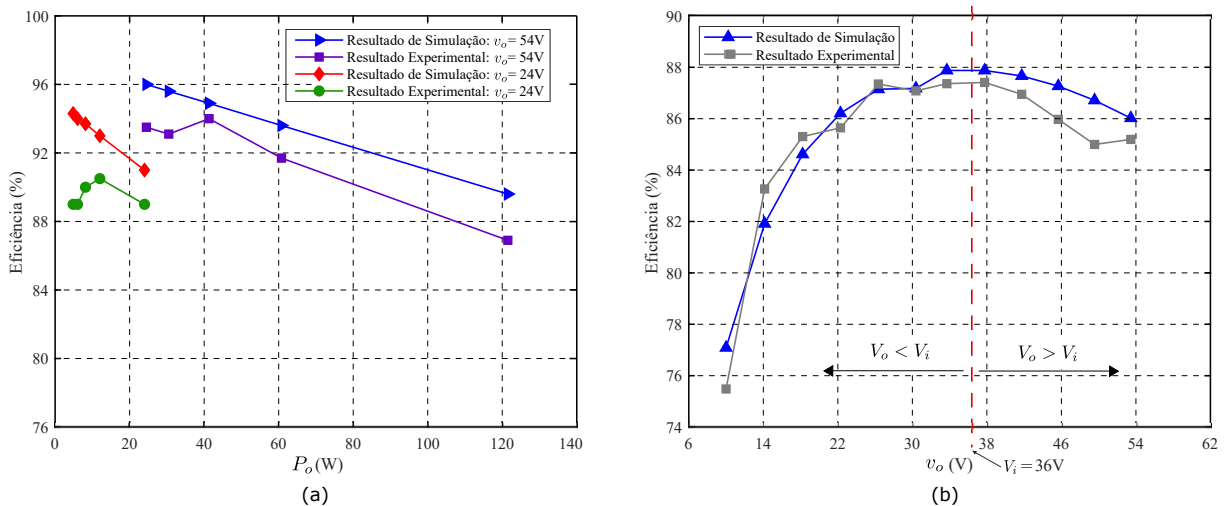
## 6.2.1 Análise de Eficiência

A Fig. 6.7(a) apresenta duas curvas que comparam a eficiência do conversor em função da tensão na carga: uma obtida por simulações e outra por experimentos práticos.

A faixa de variação da tensão abrange desde 10 V, correspondente ao modo abaixador, até 54 V, referente ao modo elevador. A discrepância entre os resultados experimentais, para potências inferiores a 20 W, decorre, provavelmente, de imprecisões nas medições de corrente.

A Fig. 6.7(b) mostra novamente a curva de eficiência do conversor, desta vez mantendo uma tensão de saída fixa e ajustando a carga. Para o conversor operando no modo boost, a tensão foi fixada em 54 V, e a carga foi ajustada de 20 W até aproximadamente 120 W. Já no modo buck, a carga foi ajustada de 4 W até 24 W para uma tensão fixa de 24 V. Observa-se que a eficiência do conversor é significativamente alta, atingindo até 96 % no modo boost e 94 % no modo buck. No entanto, à medida que a potência da carga aumenta, a eficiência tende a diminuir, um comportamento evidente em ambas as curvas experimental e de simulação.

Figura 6.7 – Curvas de simulação e experimentais de eficiência do conversor SEPIC multinível proposto para  $k = 2$ : (a) Em função da potência de carga para  $V_i = 36$  V. (b) Em função da tensão de carga para  $R_o = 23 \Omega$ .



Pode-se observar que a eficiência do conversor aumenta à medida que a tensão de saída se eleva, atingindo um pico próximo de 90% quando o ciclo de trabalho ( $D$ ) está próximo de 0,5.

A análise detalhada das curvas revela que a eficiência simulada e experimental seguem tendências similares, embora existam pequenas discrepâncias atribuíveis às simplificações de simulação e à presença de perdas parasíticas nos componentes reais. A curva de eficiência simulada inicia em aproximadamente 76% e atinge até cerca de 88%, enquanto a curva experimental varia de aproximadamente 74% a 90%.

# Conclusões Gerais e Trabalhos Futuros

---

Nesta seção, serão apresentadas as conclusões gerais deste trabalho, destacando os principais resultados alcançados, as contribuições teóricas e práticas, bem como sugestões para trabalhos futuros relacionados aos conversores propostos.

## 7.1 Conclusões Gerais

Nesta dissertação, foram desenvolvidas novas topologias de conversores CC-CC multiníveis baseadas nas arquiteturas *Ćuk*, *SEPIC* e *Zeta*, utilizando células de comutação assimétricas com capacitores flutuantes multiníveis. O principal objetivo deste estudo foi a redução dos esforços de tensão nos dispositivos semicondutores, a diminuição da necessidade de elementos indutivos volumosos das estruturas, obter expressões para os parâmetros de projeto e, adicionalmente, generalizar as topologias para que possam operar em  $k + 1$  níveis.

A metodologia adotada demonstrou que a tensão de bloqueio dos interruptores nas topologias propostas é reduzida para  $(V_i + V_o)/k$ , onde  $k$  representa o número de chaves utilizadas no conversor. Essa característica possibilita o uso de dispositivos semicondutores com menor tensão nominal, o que resulta em aplicações que requerem tensões mais elevadas. Além disso, verificou-se que a indutância requerida nos conversores é inversamente proporcional ao número de chaves, o que implica em uma redução significativa no volume do núcleo magnético, sem comprometer a operação do circuito.

Outro aspecto relevante observado foi a diminuição da tensão eficaz (RMS) nos indutores das topologias propostas em relação às convencionais de dois níveis. Essa redução mitiga o risco de saturação do núcleo magnético, contribuindo para uma operação mais

estável e confiável do conversor. Adicionalmente, foram apresentadas as equações de projeto para os conversores propostos operando em três níveis, abrangendo o dimensionamento dos elementos reativos, os esforços de tensão e corrente nos dispositivos semicondutores, os ganhos estáticos e a tensão eficaz nos indutores, tanto para  $V_o < V_i$  quanto para  $V_o > V_i$ , permitindo que os conversores sejam projetados para diferentes condições de operação.

Para cada conversor proposto, foram desenvolvidas as topologias positiva e negativa, permitindo maior flexibilidade na escolha da configuração mais adequada para cada aplicação específica. Dependendo do conversor considerado (*Ćuk*, *SEPIC* ou *Zeta*), a topologia positiva ou negativa pode apresentar vantagens significativas, pois possibilita a utilização de circuitos de acionamento mais simplificados. Essa simplificação decorre do fato de que, em determinadas configurações, os MOSFETs possuem o referencial conectado ao terra, eliminando a necessidade de circuitos de acionamento isolados.

A validação das análises teóricas foi realizada por meio de simulações e de testes experimentais com um protótipo do conversor SEPIC de três níveis. Os resultados experimentais comprovaram o bom desempenho da topologia proposta, evidenciado pela eficiência máxima de 96% para uma tensão na carga de 54V e de 94% para 24V. Além disso, as medições realizadas apresentaram valores próximos aos previstos nas simulações, com pequenas diferenças atribuídas à calibração dos sensores e à presença de ruídos de medição.

Verificou-se também que, para  $V_o = 54V$ , houve um ripple elevado nas tensões dos capacitores e nas correntes dos indutores  $L_1$  e  $L_2$ , o que pode ser justificado pelo fato de os elementos reativos terem sido projetados para operar com  $D < 0,5$ . No entanto, apesar dessa condição, o conversor operou conforme o esperado, validando as previsões teóricas.

Dessa forma, os conversores propostos representam uma contribuição significativa para o avanço das topologias multiníveis aplicadas a conversores CC-CC, uma vez que apresentam vantagens técnicas relevantes em relação às topologias convencionais, tais como redução do estresse de tensão nos semicondutores, menor volume dos elementos reativos, maior eficiência energética e possibilidade de implementação com acionamentos simplificados. Os resultados obtidos demonstram o potencial dessas topologias, abrindo novas perspectivas para conversores multiníveis e incentivando futuras pesquisas voltadas à exploração dessas estruturas em diferentes cenários e aplicações industriais.

## 7.2 Trabalhos Futuros

Com base nos estudos apresentados neste trabalho, os seguintes tópicos podem ser desenvolvidos em trabalhos futuros:

- Desenvolver um estudo que proponha uma modelagem detalhada para os conversores



SEPIC, Ćuk e Zeta, incorporando as células multiníveis apresentadas, com o objetivo de avaliar seu desempenho em malha fechada;

- Realizar uma análise teórica das perdas nos conversores, identificando e destacando de forma clara os componentes responsáveis pelas maiores perdas, além de propor possíveis estratégias para mitigá-las;
- Investigar a viabilidade de operação bidirecional dos conversores SEPIC, Ćuk e Zeta com células multiníveis, em aplicações que exijam fluxo de potência reversível.

# Referências

- ABDELHAMID, E. et al. Stability properties of the 3-level flying capacitor buck converter under peak or valley current programmed control. *IEEE Transactions on Power Electronics*, IEEE, v. 34, n. 8, p. 8031–8044, 2018. Citado na página 7.
- ABDELHAMID, E. et al. Stability properties of the 3-level flying capacitor buck converter under peak or valley current programmed control. *IEEE Transactions on Power Electronics*, v. 34, n. 8, p. 8031–8044, 2019. Citado 2 vezes nas páginas 2 e 6.
- AXELROD, B.; BERKOVICH, Y.; IOINOVICI, A. Switched-capacitor/switched-inductor structures for getting transformerless hybrid dc–dc pwm converters. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 55, n. 2, p. 687–696, 2008. Citado na página 6.
- BALIGA, B. Power ics in the saddle. *IEEE Spectrum*, v. 32, n. 7, p. 34–40, 1995. Citado na página 1.
- BEZERRA, V. F.; MORAIS, R. B.; VITORINO, M. A. Ćuk dc-dc converter with multilevel flying capacitor switching cell. In: *2023 IEEE 8th Southern Power Electronics Conference and 17th Brazilian Power Electronics Conference (SPEC/COBEP)*. [S.l.: s.n.], 2023. p. 1–7. Citado na página 2.
- BONANNO, G.; CORRADINI, L. Digital predictive current-mode control of three-level flying capacitor buck converters. *IEEE Transactions on Power Electronics*, v. 36, n. 4, p. 4697–4710, 2021. Citado 3 vezes nas páginas 2, 6 e 19.
- BRAGA, H. A.; BARBI, I. Conversores estáticos multiníveis—uma revisão. *SBA Controle & Automação*, v. 11, n. 01, p. 20–28, 2000. Citado 2 vezes nas páginas 1 e 2.
- COSTA, L. F. et al. Conversor cc-cc buck+ boost multinível bidirecional. *Florianópolis: UFSC*, 2013. Citado na página 7.
- FAN, B. et al. Capacitor voltage balancing control of a flying capacitor based n-level dc-dc converter. In: *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*. [S.l.: s.n.], 2015. p. 1–8. Citado 2 vezes nas páginas 8 e 13.
- FRANQUELO, L. G. et al. The age of multilevel converters arrives. *IEEE Industrial Electronics Magazine*, v. 2, n. 2, p. 28–39, 2008. Citado na página 3.
- GLEISSNER, M.; BAKRAN, M. M. Design and control of fault-tolerant nonisolated multiphase multilevel dc–dc converters for automotive power systems. *IEEE Transactions on Industry Applications*, v. 52, n. 2, p. 1785–1795, 2016. Citado na página 2.
- GRUODIS, A.; LANGE, L.; MCANNEY, W. *Three level converter*. [S.l.]: Nov, 1964. Citado na página 3.
- GUPTA, J.; MAURYA, R.; ARYA, S. R. On-board electric vehicle battery charger with improved power quality and reduced switching stress. *IET Power Electronics*, Wiley Online Library, v. 13, n. 13, p. 2885–2894, 2020. Citado na página 5.

- KEYHANI, H.; TOLIYAT, H. A. Flying-capacitor boost converter. In: *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2012. p. 2311–2318. Citado na página 2.
- KOURO, S. et al. Recent advances and industrial applications of multilevel converters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, p. 2553–2580, 2010. Citado na página 3.
- MCLYMAN, C. W. T. *Transformer and inductor design handbook*. [S.l.]: CRC press, 2004. Citado na página 59.
- MEYNARD, T. A.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: IEEE. *PESC'92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*. [S.l.], 1992. p. 397–403. Citado 4 vezes nas páginas 6, 12, 19 e 28.
- MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. *Power electronics: converters, applications, and design*. [S.l.]: John wiley & sons, 2003. Citado na página 41.
- MONTESINOS-MIRACLE, D. et al. Design and control of a modular multilevel dc/dc converter for regenerative applications. *IEEE Transactions on Power Electronics*, v. 28, n. 8, p. 3970–3979, 2013. Citado 2 vezes nas páginas 8 e 13.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, 1981. Citado na página 3.
- PAN, Z.; ZHANG, F.; PENG, F. Power losses and efficiency analysis of multilevel dc-dc converters. In: *Twentieth Annual IEEE Applied Power Electronics Conference and Exposition, 2005. APEC 2005*. [S.l.: s.n.], 2005. v. 3, p. 1393–1398 Vol. 3. Citado 2 vezes nas páginas 7 e 12.
- PAYAMI, S.; BEHERA, R. K.; IQBAL, A. Dtc of three-level npc inverter fed five-phase induction motor drive with novel neutral point voltage balancing scheme. *IEEE Transactions on Power Electronics*, v. 33, n. 2, p. 1487–1500, 2018. Citado na página 3.
- PENG, F. Z. A generalized multilevel inverter topology with self voltage balancing. *IEEE Transactions on Industry Applications*, v. 37, n. 2, p. 611–618, 2001. Citado 2 vezes nas páginas 8 e 13.
- PENG, F. Z.; TOLBERT, L. M.; KHAN, F. Power electronics' circuit topology-the basic switching cells. In: CITESEER. *IEEE Workshop Power Electronics Education, 2005*. [S.l.], 2005. p. 52–57. Citado 6 vezes nas páginas xvi, 16, 17, 18, 19 e 28.
- PINHEIRO, J.; BARBI, I. The three-level zvs pwm converter-a new concept in high voltage dc-to-dc conversion. In: *Proceedings of the 1992 International Conference on Industrial Electronics, Control, Instrumentation, and Automation*. [S.l.: s.n.], 1992. p. 173–178 vol.1. Citado 2 vezes nas páginas 3 e 12.
- PONNIRAN, A. B.; ORIKAWA, K.; ITOH, J. Minimum flying capacitor for n-level capacitor dc/dc boost converter. *IEEE Transactions on Industry Applications*, v. 52, n. 4, p. 3255–3266, 2016. Citado 2 vezes nas páginas 2 e 59.

- RODRIGUEZ, J. et al. Multilevel voltage-source-converter topologies for industrial medium-voltage drives. *IEEE Transactions on Industrial Electronics*, v. 54, n. 6, p. 2930–2945, 2007. Citado na página 3.
- ROSAS-CARO, J. et al. Topological derivation of dc-dc multiplier converter. In: *Proceedings of the World Congress on Engineering and Computer Science*. [S.l.: s.n.], 2010. v. 2. Citado 2 vezes nas páginas 5 e 12.
- RUAN, X.; LI, B.; CHEN, Q. Three-level converters—a new approach for high voltage and high power dc-to-dc conversion. In: *2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Proceedings (Cat. No.02CH37289)*. [S.l.: s.n.], 2002. v. 2, p. 663–668 vol.2. Citado 4 vezes nas páginas 3, 5, 6 e 12.
- RUAN, X. et al. Fundamental considerations of three-level dc–dc converters: Topologies, analyses, and control. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 55, n. 11, p. 3733–3743, 2008. Citado 5 vezes nas páginas 3, 5, 6, 7 e 12.
- SILVA, F. A. Multilevel converters for industrial applications [book news]. *IEEE Industrial Electronics Magazine*, v. 8, n. 1, p. 71–71, 2014. Citado na página 1.
- SONG, Q. et al. Research on pwm techniques of five-phase three-level inverter. In: *International Symposium on Power Electronics, Electrical Drives, Automation and Motion, 2006. SPEEDAM 2006*. [S.l.: s.n.], 2006. p. 561–565. Citado na página 3.
- TOLBERT, L. M. et al. Switching cells and their implications for power electronic circuits. In: *IEEE. 2009 IEEE 6th International Power Electronics and Motion Control Conference*. [S.l.], 2009. p. 773–779. Citado 6 vezes nas páginas xvi, 16, 17, 18, 19 e 28.
- TRAMPEL, K. M. *Three-level inverter circuit*. [S.l.]: Google Patents, 1962. US Patent 3,060,330. Citado na página 3.
- VITORINO, M. A. *Eletrônica de Potência: Fundamentos, conceitos e aplicações*. [S.l.]: Appris, 2019. Citado 2 vezes nas páginas 41 e 60.
- XUE, J.; LEE, H. A 2 mhz 12–100 v 90reconfigurable three-level dc-dc regulator with constant-frequency adaptive-on-time  $v^2$  control and nanosecond-scale zvs turn-on delay. *IEEE Journal of Solid-State Circuits*, v. 51, n. 12, p. 2854–2866, 2016. Citado na página 2.
- ZHANG, F.; PENG, F.; QIAN, Z. Study of the multilevel converters in dc-dc applications. In: *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*. [S.l.: s.n.], 2004. v. 2, p. 1702–1706 Vol.2. Citado 3 vezes nas páginas 2, 7 e 12.
- ZHOU, Z.; LI, L. Isolated sepic three-level dc-dc converter. In: *2011 6th IEEE Conference on Industrial Electronics and Applications*. [S.l.: s.n.], 2011. p. 2162–2165. Citado 2 vezes nas páginas 5 e 12.

# Cálculo dos Elementos Reativos

---

Esta seção apresenta o dimensionamento dos elementos reativos do conversor SEPIC de três níveis. O cálculo inclui a determinação das indutâncias  $L_1$  e  $L_2$  e das capacitâncias  $C_1$ ,  $C_f$  e  $C_o$ , garantindo o correto funcionamento do conversor.

## A.1 Cálculo dos Elementos Reativos do Conversor SEPIC

### A.1.1 Cenário 1: Tensão de Entrada $V_i = 100V$

Neste primeiro cenário, considera-se uma tensão de entrada de  $V_i = 100V$  e operação ideal dos componentes.

#### ■ Conversor operando em $V_o^* < V_i$ :

##### Parâmetros Iniciais

$$I_o = \frac{V_o}{R} = \frac{50}{23} \approx 2,17 \text{ A} \quad (\text{A.1})$$

$$D = \frac{V_o}{V_i + V_o} = \frac{50}{100 + 50} \approx 0,33 \quad (\text{A.2})$$

A corrente média da fonte CC é determinada pela relação entre as correntes de entrada e saída:

### Corrente Média na Fonte

$$I_i = \frac{I_o D}{1 - D} = \frac{2.1739 \times 0.3333}{1 - 0.3333} \approx 1.08 \text{ A} \quad (\text{A.3})$$

A corrente de pico nos indutores é definida por:

$$\Delta i_{L_1} = 0.12 \times I_{L_1} = 0.12 \times 1.08 \approx 0.13 \text{ A} \quad (\text{A.4})$$

$$\Delta i_{L_2} = 0.06 \times I_{L_2} = 0.06 \times 2.17 \approx 0.1304 \text{ A} \quad (\text{A.5})$$

Com isso, as indutâncias necessárias são determinadas pela relação:

### Cálculo das Indutâncias

$$L_1 = \frac{|V_i - V_o| D}{2 \Delta i_{L_1} f_s} = \frac{|100 - 54| \times 0,35}{2 \times 0,143 \times 20 \times 10^3} \approx 3,57 \text{ mH} \quad (\text{A.6})$$

$$L_2 = \frac{|V_i - V_o| D}{2 \Delta i_{L_2} f_s} = \frac{|100 - 54| \times 0,35}{2 \times 0,133 \times 20 \times 10^3} \approx 3,83 \text{ mH} \quad (\text{A.7})$$

As oscilações de tensão nos capacitores são:

$$\Delta v_{C_1} = 0,04 \times V_i = 0,04 \times 100 = 4 \text{ V} \quad (\text{A.8})$$

$$\Delta v_{C_f} = 0,03 \times \left( \frac{V_i + V_o}{2} \right) = 0,03 \times \left( \frac{100 + 50}{2} \right) \approx 2,25 \text{ V} \quad (\text{A.9})$$

$$\Delta v_{C_o} = 0,02 \times V_o = 0,02 \times 50 = 1 \text{ V} \quad (\text{A.10})$$

Os valores dos capacitores são determinados pela relação:

### Cálculo das Capacitâncias

$$C_1 = \frac{V_o D}{R \Delta v_{C_1} f_s} = \frac{50 \times 0,33}{23 \times 4 \times 20 \times 10^3} \approx 9,06 \mu\text{F} \quad (\text{A.11})$$

$$C_f = \frac{V_o D}{R \Delta v_{C_f} (1 - D) f_s} = \frac{50 \times 0,33}{23 \times 2,25 \times (1 - 0,33) \times 20 \times 10^3} \approx 24,15 \mu\text{F} \quad (\text{A.12})$$

$$C_o = \frac{V_o D}{R \Delta v_{C_o} f_s} = \frac{50 \times 0,33}{23 \times 1,08 \times 20 \times 10^3} \approx 36,23 \mu\text{F} \quad (\text{A.13})$$

# Valores Médios das Tensões e Correntes

Esta seção apresenta os valores médios das correntes em  $L_1$  e  $L_2$  e das tensões em  $C_1$  e  $C_f$ , para dois modos de operação.

## B.0.1 Cenário 1: Tensão de Entrada $V_i = 100V$

Agora, considera-se em que a entrada é  $V_i = 100V$ , tem-se:

■ **Conversor operando em  $V_o^* < V_i$ :** Para os conversores Ćuk e Zeta, os valores médios das correntes  $I_i$  e  $I_o$  são os mesmo do cenário 1 do conversor SEPIC de três níveis.

Com  $v_o$  sendo controlada em  $V_o = 50 V$  e, sabendo que  $V_{C_1} = 100 V$ , tem-se:

### Corrente Média na Fonte

$$V_{C_f} = \frac{100 + 50}{2} = 75 V \quad (\text{B.1})$$

■ **Conversor operando em  $V_o^* > V_i$ :**

### Parâmetros Iniciais

$$D = \frac{V_o}{V_i + V_o} = \frac{150}{100 + 150} = 0,6 \quad (\text{B.2})$$

$$I_o = \frac{V_o}{R} = \frac{150}{23} \approx 6,52 A \quad (\text{B.3})$$

A corrente média da fonte:

#### Corrente Média na Fonte

$$I_i = \frac{I_o D}{1 - D} = \frac{6,52 \times 0,6}{1 - 0,6} \approx 9,78 \text{ A} \quad (\text{B.4})$$

Com  $v_o$  sendo controlada em  $V_o = 150 \text{ V}$  e, sabendo que  $V_{C_1} = 100 \text{ V}$ , tem-se:

#### Corrente Média na Fonte

$$V_{C_f} = \frac{100 + 150}{2} = 125 \text{ V} \quad (\text{B.5})$$

### B.0.2 Cenário 2: Tensão de Entrada $V_i = 36 \text{ V}$

Agora, considera-se um segundo cenário em que a entrada é reduzida para  $V_i = 36 \text{ V}$ , mantendo a mesma potência de saída.

#### ■ Conversor operando em $V_o^* < V_i$ :

#### Parâmetros Iniciais

$$D = \frac{V_o}{V_i + V_o} = \frac{24}{36 + 24} = 0,4 \quad (\text{B.6})$$

$$I_o = \frac{V_o}{R} = \frac{24}{23} \approx 1,04 \text{ A} \quad (\text{B.7})$$

A corrente média da fonte:

#### Corrente Média na Fonte

$$I_i = \frac{I_o D}{1 - D} = \frac{1,04 \times 0,4}{1 - 0,4} \approx 0,69 \text{ A} \quad (\text{B.8})$$

Com  $v_o$  sendo controlada em  $V_o = 24 \text{ V}$  e, sabendo que  $V_{C_1} = 36 \text{ V}$ , tem-se:

#### Corrente Média na Fonte

$$V_{C_f} = \frac{36 + 24}{2} = 30 \text{ V} \quad (\text{B.9})$$

#### ■ Conversor operando em $V_o^* > V_i$ :



### Parâmetros Iniciais

$$D = \frac{V_o}{V_i + V_o} = \frac{54}{36 + 54} = 0,6 \quad (\text{B.10})$$

$$I_o = \frac{V_o}{R} = \frac{54}{23} \approx 2,34 \text{ A} \quad (\text{B.11})$$

A corrente média da fonte:

### Corrente Média na Fonte

$$I_i = \frac{I_o D}{1 - D} = \frac{2,34 \times 0,6}{1 - 0,6} \approx 3,52 \text{ A} \quad (\text{B.12})$$

Com  $v_o$  sendo controlada em  $V_o = 54 \text{ V}$  e, sabendo que  $V_{C_1} = 36 \text{ V}$ , tem-se:

### Corrente Média na Fonte

$$V_{C_f} = \frac{36 + 54}{2} = 45 \text{ V} \quad (\text{B.13})$$

# Desenvolvimento de Layout das placas

---

A Fig. C.1(a) apresenta o esquemático da placa de condicionamento para a medição das tensões do conversor, enquanto que na Fig. C.1(b) é apresentada a PCB da referida placa, onde:

- **Sensor de Tensão:** O sensor LV20-P é utilizado para medir as tensões do conversor. Para o correto funcionamento, é preciso uma resistor de potencia ( $R_o$ ) de  $75\ \Omega$  para limitar a corrente no lado do primário do sensor.

- **Buffers:** Os buffers, configurados com amplificadores operacionais, isolam os sinais provenientes dos sensores.

- **Amplificador Diferencial**<sup>1</sup>: É usado para amplificar a diferença entre a saída do buffer e o GND da placa.

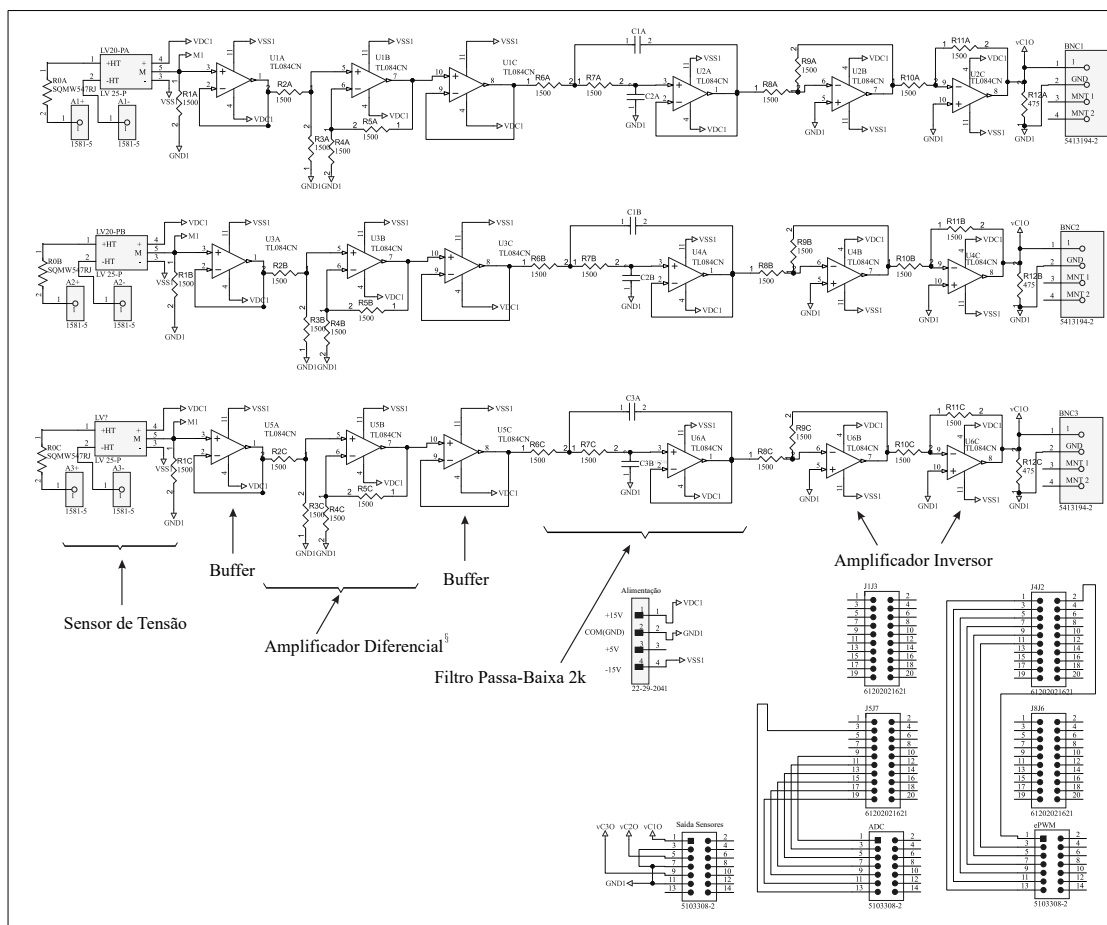
- **Filtro:** O filtro ativo passa-baixa tem como função eliminar ruídos de alta frequência que possam estar presentes no sinal devida ao fundo de escala do sensor.

- **Amplificador Inversor:** Os sensores LV20-P são capazes de medir tensões AC/DC de até 500 V. Como a fonte de alimentação (Kepco, Modelo BOP72-6D) fornece até 36 V e 12 A, e o conversor SEPIC proposto irá operar até  $2 \times V_i$ , é necessário amplificar o sinal para melhorar a leitura da tensão do conversor.

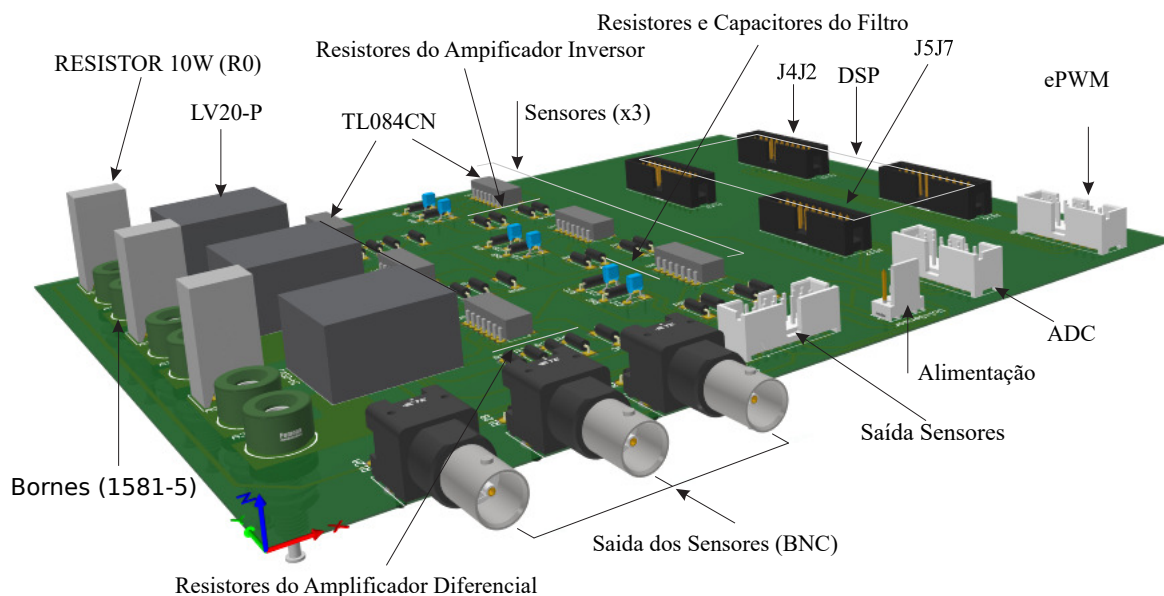
---

<sup>1</sup> Utilizado para medições de sinais AC, sendo desativado ao conectar o GND em uma das entradas.

Figura C.1 – Modelo da placa de condicionamento de sinais. (a) Esquemático, (b) PCB.

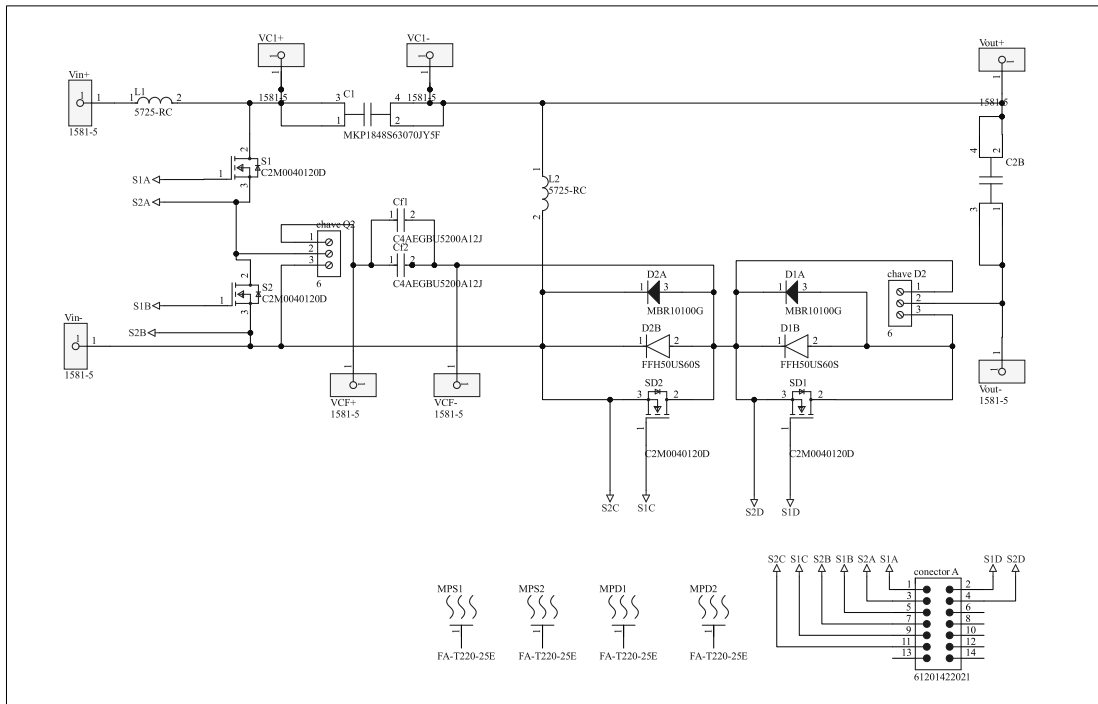


(a)

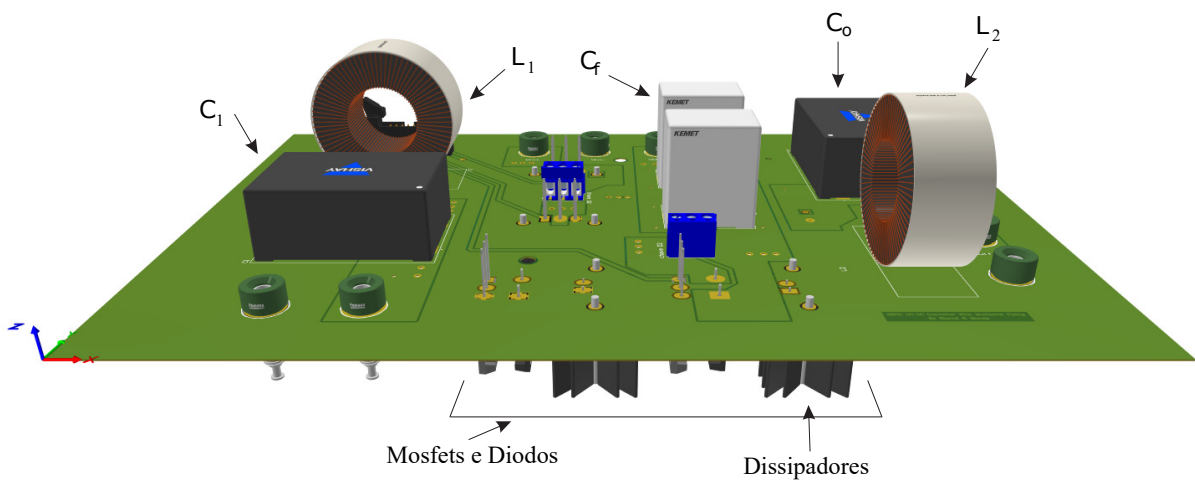


(b)

Figura C.2 – Modelo da placa do conversor SEPIC proposto. (a) Esquemático, (b) PCB.



(a)



(b)