



Universidade Federal de Campina Grande  
Centro de Engenharia Elétrica e Informática  
Programa de Pós-Graduação em Engenharia Elétrica

# **Novo Conversor Multinível Tipo-T com Indutores Divididos**

**Lucas Vinícius de Araújo Gomes**

**Campina Grande-PB, 20 de março de 2025**

Lucas Vinícius de Araújo Gomes

## **Novo Conversor Multinível Tipo-T com Indutores Divididos**

**Dissertação de Mestrado** apresentada ao  
Programa de Pós-Graduação em Engenharia  
Elétrica da Universidade Federal de Campina  
Grande para DEFESA DE DISSERTAÇÃO

Universidade Federal de Campina Grande - UFCG

Orientador: Prof. Dr. Montiê Alves Vitorino

Coorientador: Prof. Dr. Maurício Beltrão de Rossiter Corrêa

Campina Grande-PB

20 de março de 2025



Lucas Vinícius de Araújo Gomes

## **Novo Conversor Multinível Tipo-T com Indutores Divididos**

**Dissertação de Mestrado** apresentada ao  
Programa de Pós-Graduação em Engenharia  
Elétrica da Universidade Federal de Campina  
Grande para DEFESA DE DISSERTAÇÃO

---

**Prof. Dr. Montiê Alves Vitorino**  
Orientador

---

**Maurício Beltrão de Rossiter Corrêa**  
Coorientador

---

**Cursino Brandão Jacobina**  
Presidente da Comissão e Examinador  
Interno

---

**Darlan Alexandria Fernandes**  
Examinador Externo

Campina Grande-PB  
20 de março de 2025



MINISTÉRIO DA EDUCAÇÃO  
**UNIVERSIDADE FEDERAL DE CAMPINA GRANDE**  
POS-GRADUACAO EM ENGENHARIA ELETRICA  
Rua Aprígio Veloso, 882, - Bairro Universitario, Campina Grande/PB, CEP 58429-900

### REGISTRO DE PRESENÇA E ASSINATURAS

1 - ATA DA DEFESA PARA CONCESSÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA, REALIZADA EM  
06 DE MARÇO DE 2025

**(Nº 772)**

CANDIDATO(A): **LUCAS VINÍCIUS DE ARAÚJO GOMES**. COMISSÃO EXAMINADORA: CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG - Presidente da Comissão e Examinador Interno, MONTIÊ ALVES VITORINO, D.Sc., UFCG - Orientador, MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFAL – Orientador, DARLAN ALEXANDRIA FERNANDES, D.Sc., UFPB - Examinador Externo. TÍTULO DA DISSERTAÇÃO: NOVO CONVERSOR MULTINÍVEL TIPO-T COM INDUTORES DIVIDIDOS. ÁREA DE CONCENTRAÇÃO: Processamento da Energia. HORA DE INÍCIO: **14h00** – LOCAL: **Sala Virtual, conforme Art. 5º da PORTARIA SEI Nº 01/PRPG/UFCG/GPR, DE 09 DE MAIO DE 2022**. Em sessão pública, após exposição de cerca de 45 minutos, o(a) candidato(a) foi arguido(a) oralmente pelos membros da Comissão Examinadora, tendo demonstrado suficiência de conhecimento e capacidade de sistematização, no tema de sua dissertação, obtendo o conceito APROVADO. Face à aprovação, declara o(a) presidente da Comissão, achar-se o examinado, legalmente habilitado a receber o Grau de Mestre em Engenharia Elétrica, cabendo a Universidade Federal de Campina Grande, como de direito, providenciar a expedição do Diploma, a que o(a) mesmo(a) faz jus. Na forma regulamentar, foi lavrada a presente ata, que é assinada por mim, LEANDRO FERREIRA DE LIMA, e os membros da Comissão Examinadora. Campina Grande, 06 de Março de 2025.

LEANDRO FERREIRA DE LIMA  
Secretário

CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG  
Presidente da Comissão e Examinador Interno

MONTIÊ ALVES VITORINO, D.Sc., UFCG  
Orientador

MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFAL  
Orientador

DARLAN ALEXANDRIA FERNANDES, D.Sc., UFPB

Processo:

23096.011928/2025-60

Documento:

5284429

LUCAS VINÍCIUS DE ARAÚJO GOMES  
Candidato

## 2 - APROVAÇÃO

2.1. Segue a presente Ata de Defesa de Dissertação de Mestrado da candidato **LUCAS VINÍCIUS DE ARAÚJO GOMES**, assinada eletronicamente pela Comissão Examinadora acima identificada.

2.2. No caso de examinadores externos que não possuam credenciamento de usuário externo ativo no SEI, para igual assinatura eletrônica, os examinadores internos signatários **certificam** que os examinadores externos acima identificados participaram da defesa da tese e tomaram conhecimento do teor deste documento.



Documento assinado eletronicamente por **LEANDRO FERREIRA DE LIMA, SECRETÁRIO (A)**, em 07/03/2025, às 14:33, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MONTIE ALVES VITORINO, PROFESSOR 3 GRAU**, em 07/03/2025, às 15:41, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **Mauricio Beltrao de Rossiter Correa, Usuário Externo**, em 09/03/2025, às 09:50, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **LUCAS VINICIUS DE ARAUJO GOMES, Usuário Externo**, em 10/03/2025, às 14:16, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **CURSINO BRANDAO JACOBINA, PROFESSOR 3 GRAU**, em 13/03/2025, às 08:45, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



A autenticidade deste documento pode ser conferida no site <https://sei.ufcg.edu.br/autenticidade>, informando o código verificador **5284429** e o código CRC **E90D9CC1**.

# Resumo

Um novo conversor multinível derivado da topologia tipo-T é proposto. Consiste na substituição da perna conversor tradicional pela estrutura abaixador-duplo, acoplada a dois indutores divididos, que irão limitar a variação de corrente, oferecendo proteção de picos de corrente durante transitórios de chaveamento. Uma análise de transitórios de chaveamento e o relacionando à existência dos indutores divididos à eficiência foram feitos. Diversas comparações entre o uso de altas e baixas indutâncias foram apresentados, bem como resultados de simulação e dados extraídos experimentalmente para a comprovação do que foi proposto.

**Palavras-chaves:** Conversores tipo-T, Conversores multinível, Corrente de perforação, Indutores divididos, Oscilações parasitárias, Elementos parasitas

# Abstract

A new T-type multilevel converter with split-inductors is proposed. It consists of replacing the traditional converter leg with the dual-buck structure, coupled with two split-inductors, which will limit the current variation, offering protection from current peaks during switching transients. An analysis of switching transients and the relationship between the existence of split-inductors and efficiency was carried out. Several comparisons between the use of high and low split-inductances were presented, as well as simulation results and experimental data to validate the proposed approach.

**Keywords:** T-Type converters, Multilevel converters, Shoot-Through, Split-Inductor, *Ringings*, Parasitic elements



# Lista de ilustrações

Figura 1 – Exemplo real de um conversor e seus diversos elementos . . . . .	3
Figura 2 – Possibilidades de conversão quanto ao tipo de energia e alguns exemplos de conversores . . . . .	4
Figura 3 – Conversor genérico com indutores divididos . . . . .	6
Figura 4 – Conversor de estrutura abaixador-duplo de capacitor flutuante de três níveis . . . . .	7
Figura 5 – Conversor NPC com indutor dividido e estratégia de distribuição de perdas . . . . .	9
Figura 6 – Conversor NPC para aplicações de média tensão . . . . .	9
Figura 7 – Conversor genérico híbrido com indutores divididos . . . . .	10
Figura 8 – Circuito para teste de oscilações parasitárias . . . . .	11
Figura 9 – Circuito modelo no domínio da frequência para a análise matemática da transição de estados . . . . .	12
Figura 10 – Análise da transição de chaveamento do conversor genérico de indutores divididos . . . . .	13
Figura 11 – Exemplo comparativo de grandezas de saída: Saída de conversor de 2 níveis (a); Saída de conversor de níveis (b); FFT da saída do conversor de 2 níveis (c); FFT da saída do conversor de 2 níveis (d) . . . . .	20
Figura 12 – Exemplo de laço de rastreamento de fase . . . . .	21
Figura 13 – Exemplo de capacitor realista com elementos parasitas . . . . .	22
Figura 14 – MOSFET realista com elementos parasitas . . . . .	22
Figura 15 – Exemplo de oscilações parasitárias ocorrendo em uma chave ao ser acionada . . . . .	24
Figura 16 – Comparação entre o conversor tipo-T de três níveis tradicional (a) e o proposto com indutores separados (b). . . . .	26
Figura 17 – Modulação usada para o conversor proposto de três níveis. . . . .	26
Figura 18 – Versão trifásica da topologia Tipo-T com indutores divididos. . . . .	27
Figura 19 – Estágios de condução com dois indutores: Estado I (a); Estado II (b); Estado III (c). . . . .	28
Figura 20 – Estágios de condução com um indutor: Estado I (a); Estado II (b); Estado III (c); Estado IV (d). . . . .	29
Figura 21 – Representação do conversor momentos antes de $q_1$ ser acionada . . . . .	32
Figura 22 – Transição detalhada do conversor ao se abrir $\bar{q}_1$ e fechar $q_1$ . . . . .	34
Figura 23 – Circuito com esboços do formato de onda da corrente em diversos elementos durante a transição de estados . . . . .	35

Figura 24 – Aplicação da topologia de três níveis em um projeto de painel solar residencial. Representação geral do projeto (a); Circuito completo (b) .	36
Figura 25 – Comparação entre o conversor tipo-T de cinco níveis tradicional (a) e o proposto com indutores separados (b). . . . .	38
Figura 26 – Modulação usada para o conversor de cinco níveis . . . . .	38
Figura 27 – Os estados topológicos para o conversor de cinco níveis. Estado I (a); Estado II (b); Estado III (c); Estado IV (d); Estado V (e). . . . .	39
Figura 28 – Comparação entre o conversor tipo-T de $n + 1$ níveis tradicional (a) e o proposto com indutores separados (b). . . . .	41
Figura 29 – Resultados de simulação. Corrente e tensão de três níveis de saída. . .	43
Figura 30 – Resultados de simulação. Correntes para cada um dos indutores divididos e carga: dois indutores conduzindo (a), e um indutor conduzindo (b). . .	43
Figura 31 – Modelo de <i>driver</i> utilizado na simulação. . . . .	45
Figura 32 – Resultados de simulação. Análise das oscilações parasitárias com indutores de 1 pH. . . . .	45
Figura 33 – Resultados de simulação. Análise das oscilações parasitárias com indutores de 10 pμH. . . . .	46
Figura 34 – Resultados de simulação. Análise das oscilações parasitárias das correntes nos diodos do conversor de três níveis durante a transição de estados. . . . .	48
Figura 35 – Resultados de simulação. Análise das oscilações parasitárias das correntes nas chaves do conversor de três níveis durante a transição de estados. . . . .	48
Figura 36 – Resultados de simulação. Análise comparativa da corrente $i_{q1}$ ao se variar o tempo morto. . . . .	50
Figura 37 – Resultados de simulação. Tensão e corrente de saída para o conversor de cinco níveis. . . . .	51
Figura 38 – Resultados de simulação. Formas de onda para o conversor de cinco níveis ao se utilizar um indutor dividido de 1 pμH . . . . .	52
Figura 39 – Resultados de simulação. Formas de onda para o conversor de cinco níveis ao se utilizar um indutor dividido de 10 pμH . . . . .	53
Figura 40 – Resultados de simulação. Forma de onda de corrente $i_{D_1}$ . . . . .	54
Figura 41 – Resultados de simulação. Forma de onda de corrente $i_{\overline{D}_1}$ . . . . .	54
Figura 42 – Resultados de simulação. Forma de onda de corrente $i_{D_2}$ . . . . .	55
Figura 43 – Resultados de simulação. Forma de onda de corrente $i_{\overline{D}_2}$ . . . . .	55
Figura 44 – Resultados de simulação. Forma de onda de corrente $i_{D_3}$ . . . . .	56
Figura 45 – Resultados de simulação. Forma de onda de corrente $i_{\overline{D}_3}$ . . . . .	56
Figura 46 – Resultados de simulação. Forma de onda de corrente $i_{D_4}$ . . . . .	57
Figura 47 – Resultados de simulação. Forma de onda de corrente $i_{\overline{D}_4}$ . . . . .	57
Figura 48 – Resultados de simulação. Forma de onda de corrente $i_{q1}$ . . . . .	58

Figura 49 – Resultados de simulação. Forma de onda de corrente $i_{\bar{q}_1}$ . . . . .	58
Figura 50 – Resultados de simulação. Forma de onda de corrente $i_{\bar{q}_2}$ . . . . .	59
Figura 51 – Resultados de simulação. Forma de onda de corrente $i_{\bar{q}_2}$ . . . . .	59
Figura 52 – Resultados de simulação. Forma de onda de corrente $i_{\bar{q}_3}$ . . . . .	60
Figura 53 – Resultados de simulação. Forma de onda de corrente $i_{\bar{q}_4}$ . . . . .	60
Figura 54 – Placa monofásica confeccionada para a extração de resultados experimentais sob diferentes vistas. . . . .	62
Figura 55 – Montagem realizada da placa com os equipamentos auxiliares e de medição. . . . .	62
Figura 56 – Placa confeccionada para a extração de resultados experimentais. . . .	63
Figura 57 – Resultados experimentais extraídos do conversor monofásico. CH1: $v_o$ , CH2: $i_{L_1}$ , CH3: $i_{L_2}$ e CH4: $i_o$ . . . . .	63
Figura 58 – Resultados experimentais. Tensão de saída de três níveis e correntes dos indutores divididos para $L_s = 30\mu\text{H}$ . CH1: $v_o$ , CH2: $i_{L_1}$ e CH3: $i_{L_2}$ . . .	64
Figura 59 – Resultados experimentais. Tensão de saída de três níveis e correntes nos indutores divididos sem valores de indutância relevantes. CH1: $v_o$ , CH2: $i_{L_2}$ e CH3: $i_{L_1}$ . . . . .	65
Figura 60 – Resultados experimentais. Tensão de saída de três níveis, corrente na carga e na chave $\bar{q}_2$ , utilizando os indutores divididos. CH1: $i_{\bar{q}_2}$ , CH2: $v_o$ e CH4: $i_o$ . . . . .	65
Figura 61 – Resultados experimentais. Tensão de saída de três níveis, corrente na carga e na chave $\bar{q}_2$ , sem utilizar indutores divididos. CH1: $i_{\bar{q}_2}$ , CH2: $v_o$ e CH4: $i_o$ . . . . .	66

# Lista de tabelas

Tabela 1 – Comparação de objeto de estudo entre as referências bibliográficas utilizadas, que envolvem inversores multinível tipo-T ou que utilizam indutores divididos acoplados. Parte I . . . . .	15
Tabela 2 – Comparação de objeto de estudo entre as referências bibliográficas utilizadas, que envolvem inversores multinível tipo-T ou que utilizam indutores divididos acoplados. Parte II . . . . .	16
Tabela 3 – Estados de chaveamento para o conversor proposto. . . . .	28
Tabela 4 – Estresse de tensão nos componentes para cada estado topológico para o conversor de três níveis. . . . .	31
Tabela 5 – Estresses de tensão nas chaves para cada estado topológico para o conversor de cinco níveis. . . . .	41
Tabela 6 – Estresses de tensão nos diodos para cada estado topológico para o conversor de cinco níveis. . . . .	41
Tabela 7 – Parâmetros de simulação do conversor de três níveis. . . . .	43
Tabela 8 – Comparação de eficiência ao se utilizar de indutores divididos de valores diferentes. . . . .	44
Tabela 9 – Comparação de eficiência entre as topologias tradicional e com indutores divididos. . . . .	44
Tabela 10 – Parâmetros de simulação do conversor de cinco níveis. . . . .	49
Tabela 11 – Lista de componentes utilizados para confeccionar a placa. . . . .	61

---

## *Lista de abreviaturas e siglas*

---

CA	Corrente Alternada
CC	Corrente Contínua
PWM	Modulação por Largura de Pulso ( <i>Pulse Width Modulation</i> )
THD	Distorção Harmônica Total ( <i>Total Harmonic Distortion</i> )
DSP	Processador Digital de Sinais ( <i>Digital Signal Processor</i> )
PLL	Malha de Captura de Fase ( <i>Phase Locked Loop</i> )
MOSFET	Transistor de Efeito de Campo Semicondutor de Óxido Metálico ( <i>Metal Oxide Semiconductor Field Effect Transistor</i> )
IGBT	Transistor Bipolar de Porta Isolada ( <i>Insulated-Gate Bipolar Transistor</i> )
NPC	Diodo Grampeado ( <i>Neutral Point Clamped</i> )
FC	Capacitor Flutuante ( <i>Flying Capacitor</i> )
ESR	Resistência em Série Equivalente ( <i>Equivalent Series Resistance</i> )
ESL	Indutância em Série Equivalente ( <i>Equivalent Series Inductance</i> )
RMS	Valor Eficaz ( <i>Root Mean Square</i> )
MCC	Modo de Condução Contínuo
MCD	Modo de Condução Descontínuo

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>1</b>
1.1	Introdução geral	1
1.2	Revisão bibliográfica	5
1.2.1	Inversores tipo-T	5
1.2.2	Utilização de indutores divididos	6
1.3	Organização do trabalho	14
1.4	Objetivos do trabalho proposto	17
<b>2</b>	<b>FUNDAMENTAÇÃO TEÓRICA</b>	<b>18</b>
2.1	Dispositivos semicondutores	18
2.2	Conversores multiníveis	19
2.3	Tempo morto	19
2.4	Conexão de conversores à rede	20
2.5	Elementos parasitas	22
2.6	Oscilações parasitárias	23
2.7	Corrente de perfuração	24
<b>3</b>	<b>ANÁLISE DA PROPOSTA DO CONVERSOR DE TRÊS NÍVEIS</b>	<b>25</b>
3.1	Apresentação do conversor proposto	25
3.2	Estados topológicos do conversor de três níveis	27
3.3	Análise de estresse nos componentes	30
3.4	Análise teórica das oscilações parasitárias	31
3.4.1	Análise detalhada da transição de estados topológicos	32
3.5	Aplicação: inversor residencial de baixo custo para conexão de painel solar	33
<b>4</b>	<b>ANÁLISE DA PROPOSTA DO CONVERSOR DE VÁRIOS NÍVEIS</b>	<b>37</b>
4.1	Apresentação da versão de cinco níveis do conversor proposto	37
4.2	Estados topológicos do conversor de cinco níveis	37
4.3	Análise de estresse nos componentes do conversor de cinco níveis	40
4.4	Apresentação da versão do conversor proposto de $n$ níveis	40
<b>5</b>	<b>RESULTADOS DE SIMULAÇÃO</b>	<b>42</b>
5.1	Funcionamento normal do circuito de três níveis em malha aberta	42
5.1.1	Simulações para análise de oscilações parasitárias do conversor de três níveis	44
5.1.2	Simulação de transição de estados topológicos do conversor de três níveis	47

5.2	Simulação para análise de tempo morto . . . . .	49
5.3	Simulação do conversor de cinco níveis . . . . .	49
5.3.1	Simulação para análise das oscilações parasitárias no conversor de cinco níveis	50
	<b>6 RESULTADOS EXPERIMENTAIS . . . . .</b>	<b>61</b>
	<b>7 CONCLUSÕES GERAIS . . . . .</b>	<b>67</b>
7.1	Trabalhos futuros . . . . .	68
	<b>REFERÊNCIAS . . . . .</b>	<b>69</b>
	<b>APÊNDICES . . . . .</b>	<b>71</b>
	<b>APÊNDICE A – ESQUEMÁTICO DO PROJETO DA PLACA DO CONVERSOR UTILIZADO . . . . .</b>	<b>72</b>
	<b>APÊNDICE B – PROJETO DAS TRILHAS DA PLACA DO CON- VERSOR UTILIZADO . . . . .</b>	<b>74</b>
	<b>ANEXOS . . . . .</b>	<b>76</b>
	<b>ANEXO A – EQUAÇÕES DE TRANSITÓRIO DE TENSÃO E CORRENTE DE TOPOLOGIAS SIMILARES . . . . .</b>	<b>77</b>

# *Capítulo 1*

---

## *Introdução*

---

### 1.1 Introdução geral

A eletrônica de potência pode ser definida como a área do estudo da energia elétrica que trata do processamento da energia e sua transformação quanto à sua magnitude e natureza. Essa área da engenharia visa maximizar a eficiência na conversão, transmissão e utilização da energia elétrica. Os sistemas que a envolvem podem ser vistos como sendo compostos de fontes de tensão ou corrente e cargas, sendo conectados entre si por meio do uso de conversores de energia.

Os conversores estáticos são equipamentos desenvolvidos com base nos conhecimentos compreendidos nos domínios da eletrônica de potência, e têm como funções básicas realizar a conversão das grandezas elétricas quanto à sua essência, mantendo-se uma boa qualidade de energia. Estes conversores são utilizados juntamente com um sistema de controle para se regular o fluxo de potência.

Os conversores utilizam diversos elementos em sua composição, além de elementos auxiliares externos, como:

- Elementos semicondutores controlados, como MOSFETs e IGBTs e tiristores, que permitem a passagem de corrente a partir de um sinal chaveamento em um terceiro terminal;
- Semicondutores não-controlados, como diodos: permitem a passagem de corrente em um sentido, e bloqueiam na direção oposta. Atuam principalmente na retificação de energias alternadas e proteção contra polaridade reversa;
- Elementos passivos, como indutores e capacitores como elementos acumuladores de energia, barramentos CC e filtros;



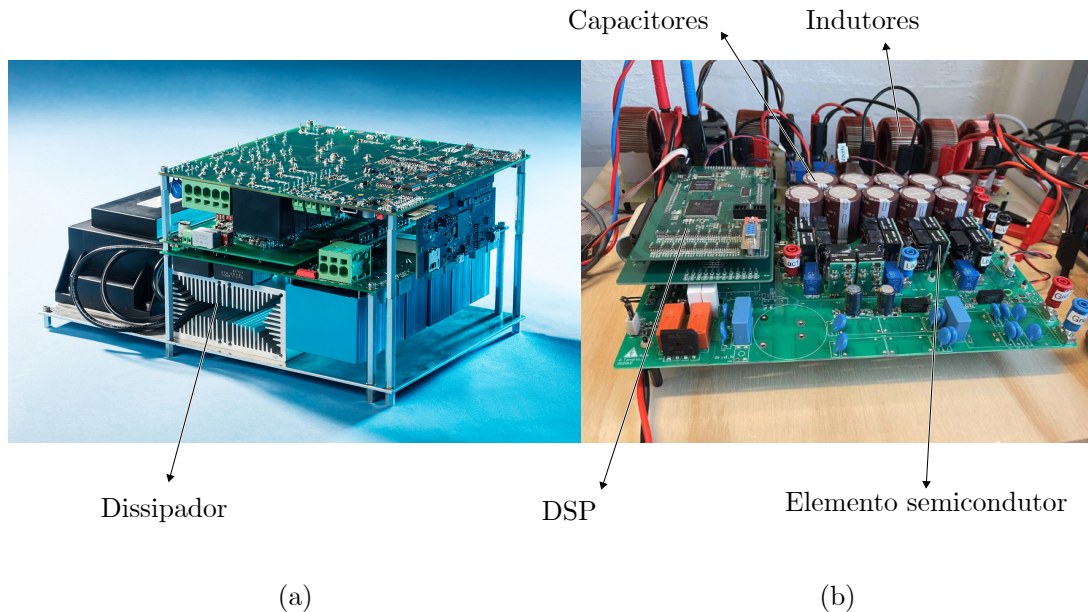
- Transformadores: muitas vezes utilizados para se variar as grandezas de tensão e corrente, transmitindo energia para o lado do secundário ao mesmo tempo em que se isola uma parte do circuito de outra;
- Controladores de *gate* para condicionarem o sinal fornecido às chaves, para que possam chavear adequadamente;
- Circuitos de controle que envolvem sensores de tensão e corrente, bem como um Processador de Sinais Digitais (DSP), responsável por processar os dados recebidos e utilizá-los para gerar os sinais de chaveamento para que o controle de tensão ou corrente seja devidamente realizado;
- Dissipadores de calor para evitar que os elementos semicondutores aumentem muito de temperatura, aumentando suas vidas úteis e permitindo correntes nominais mais altas;
- Elementos de proteção como disjuntores e fusíveis, para proteger de eventuais curto-circuitos e sobretensões que possam ocorrer ao conectar-se o conversor aos demais elementos, ou durante o seu funcionamento nominal.

Alguns destes diversos elementos básicos da eletrônica de potência podem ser vistos na Figura 1. Por exemplo, na Figura 2(a), é possível identificar um dissipador de calor, provavelmente acoplado a transistores ou diodos. Já na Figura 2(b), é possível ver um banco de capacitores, e vários indutores ou transformadores ao fundo, envoltos em um núcleo. Acoplada à placa principal, pode-se ver um processador de sinais digitais, para realizar algum tipo de controle e enviar os sinais para as chaves. Também é possível de se ver elementos semicondutores, como chaves ou diodos, acoplados a pequenos dissipadores de calor.

Existem diversas possibilidades de controle e conversão, tendo em vista o grande número de combinações que se pode ter, por exemplo, de amplitude e frequência, para as grandezas alternadas, bem como de amplitude para as grandezas contínuas. Além disso, é possível citar as combinações entre grandezas contínuas e alternadas. No presente trabalho, o principal objeto de estudo foi o conversor multinível do tipo-T e algumas de suas variações.

Existem diversas possibilidades de controle e conversão, tendo em vista o grande número de combinações que se pode ter, por exemplo, de amplitude e frequência, para as grandezas alternadas, bem como de amplitude para as grandezas contínuas. Além disso, é possível citar as combinações entre grandezas contínuas e alternadas. No presente trabalho, o principal objeto de estudo foi o conversor multinível do tipo-T e algumas de suas variações.

Figura 1 – Exemplo real de um conversor e seus diversos elementos



Fonte: Fraunhofer ISE (a) e AAU Energy (b)

Os variados tipos de conversão podem ser melhor expostos na Figura 2, que além de mostrar as possibilidades de conversão quanto à natureza CC ou CA, lista alguns exemplos.

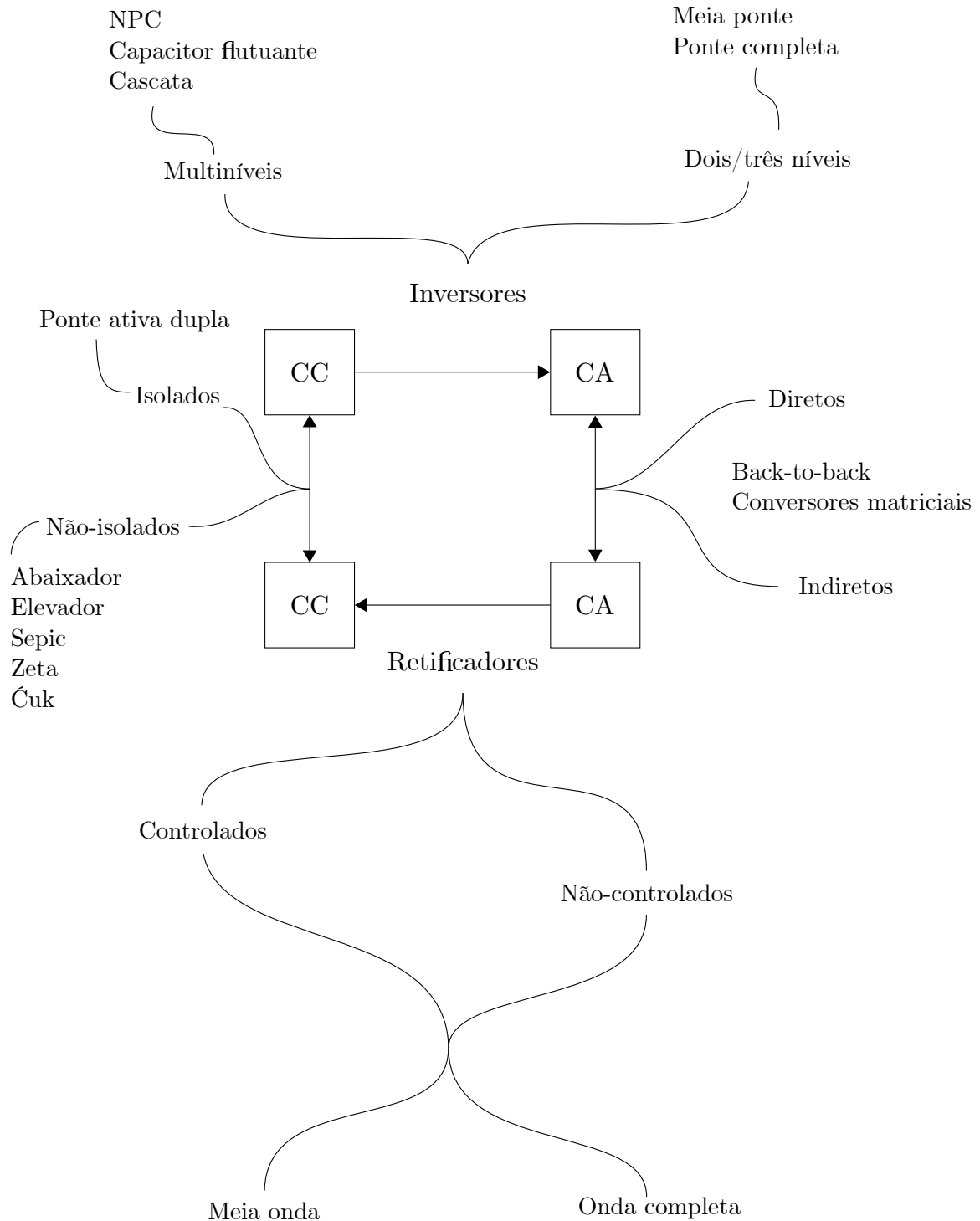
Por exemplo, conversores multiníveis podem gerar tensões CA com vários níveis de tensão através das topologias de diodo grampeado (NPC), de capacitor flutuante, cascata, dentre outros. Já os inversores de apenas dois ou três níveis compreendem as topologias mais tradicionais de meia ponte ou ponte completa.

Algumas das topologias mais tradicionais de todos os tipos de conversores são os retificadores de meia onda e onda completa. Recebem uma tensão alternada como entrada, e como saída apresentam apenas uma onda pulsada, completa ou não. Podem ser compostos de elementos não controlados como diodos, e também há a possibilidade de se mudar o ângulo de gatilho, por meio de tiristores e chaves, controlando a tensão média de saída.

Os conversores CC/CC podem ser classificados entre controlados e não-controlados, que se ramificam em várias topologias, como a ponte ativa dupla, no caso dos controlados, e o conversor abaixador de tensão, elevador de tensão, Sepic, Zeta, Ćuk dentre outros.

A conversão CA/CA é capaz de aceitar como entrada um sistema CA e entregar potência para outro sistema CA, sendo possível modificar amplitude, fase e frequência. Alguns destes conversores são os chamados conversores indiretos, os quais se utilizam de uma fonte CA conectada a um retificador, para gerar uma tensão de saída contínua com possibilidade de controle. Esta tensão então servirá de entrada para um outro inversor,

Figura 2 – Possibilidades de conversão quanto ao tipo de energia e alguns exemplos de conversores



Fonte: Modificado a partir de (VITORINO, 2019)

que irá controlar a tensão de saída na sua forma alternada. O sistema como um todo pode ser considerado um conversor indireto.

Existem também conversores de característica mais direta. Os cicloconversores, por exemplo, são capazes de sintetizar uma forma de onda CA, com uma certa distorção

harmônica no estágio anterior ao filtro, a partir da junção de diversos segmentos de outras formas de onda. O resultado é uma grandeza CA com harmônicos e de menor frequência, sem a necessidade de um barramento CC.

Outro notável tipo de conversor direto é o matricial. Geralmente possui um vasto número de chaves bidirecionais e nenhum barramento CC, o que aumenta drasticamente a densidade de potência deste tipo de conversor e deixa o conversor mais suscetível a perturbações do lado da fonte, como um desbalanceamento no fornecimento (LEE, 2009). Também é capaz de gerar uma tensão CA de qualquer frequência

Algumas das mais importantes demandas da eletrônica de potência nos últimos anos incluem melhorar a eficiência na conversão de energia bem como prover uma melhora na sua qualidade, enquanto um conversor com características como a densidade de potência e a sua vida útil são melhoradas. Seguindo estas tendências, conversores do tipo-T têm o potencial para melhorar a eficiência e performance de sistemas de conversão de potência, especialmente na indústria de energias renováveis.

Tais exigências na área de eletrônica de potência se devem a uma maior necessidade de fontes alternativas de energia, como a necessidade da construção de parques eólicos para reforçar a robustez do fornecimento de energia da rede, a utilização cada vez mais comum de painéis fotovoltaicos no ambiente residencial, comercial e industrial, o surgimento de novos aparelhos com novas especificações de tensão e corrente, bem como o funcionamento de indústrias com redes próprias e isoladas.

O conversor do tipo-T tradicional tem como uma de suas limitações de mais destaque a vulnerabilidade a curto-circuito do barramento CC. Dito isto, este estudo visa propor um novo conversor com capacidade de prevenir um aumento súbito de corrente que poderia danificar os capacitores ou outros componentes. Indutores divididos poderiam também ser construídos no mesmo núcleo para se tornarem magneticamente acoplados, para que a densidade de potência possa ser aumentada.

## 1.2 Revisão bibliográfica

Vários conceitos que já foram abordados na literatura serão utilizados neste estudo. Esta seção se dedica a apresentar o estado da arte na área, para uma melhor contextualização do problema ao qual se deseja resolver.

### 1.2.1 Inversores tipo-T

Apesar do inversor tipo-T ser bastante utilizado na indústria devido ao número reduzido de componentes, não possui imunidade a faltas quando conectada a um sistema

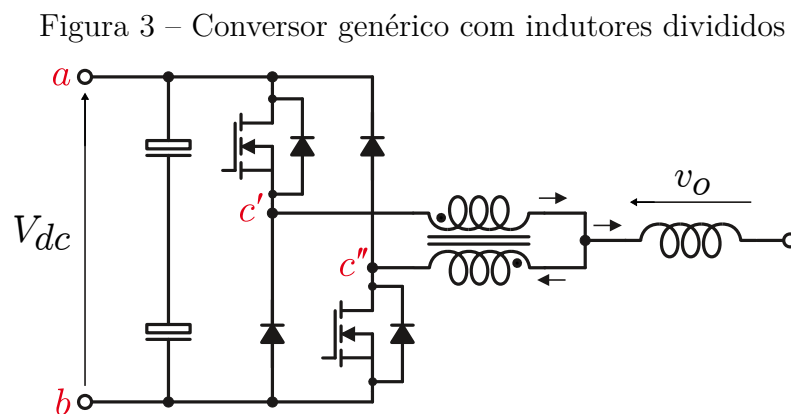
trifásico, de acordo com (XU; ZHANG; HANG, 2015).

Ao operar a topologia tradicional do tipo-T, é necessário se ter cautela ao pensar sobre quais chaves ativar ao mesmo tempo. De acordo com (VITORINO, 2019), quando as chaves  $q_1$  e  $\bar{q}_2$  estão ligadas, os capacitores do barramento CC serão curto-circuitados, por isso, usualmente é utilizada a implementação de tempo morto nesses conversores.

### 1.2.2 Utilização de indutores divididos

Indutores divididos possuem como uma de suas principais aplicações a limitação da variação extremamente brusca de corrente, com potencial de prevenir danos em caso de eventuais curto-circuitos.

Na Figura 3, é mostrada uma aplicação mais genérica desta tecnologia, em um conversor de dois níveis. É possível notar os dois indutores acoplados ao conversor, e para que essa conexão ser realizada é necessário ter dois braços por fase. Conseqüentemente foram adicionados diodos para a formação de um braço extra, a partir de um único braço formado por duas chaves.



Fonte: Autoria própria

Devido a alta versatilidade que esta técnica de aplicação de indutores divididos possui, ela já foi aplicada às mais diversas topologias de inversores, desde o conversor genérico apresentado na Figura 3 até diferentes topologias multiníveis.

De acordo com (KHAN et al., 2022), o braço da esquerda, com a chave com seu dreno conectado diretamente no terminal positivo do barramento CC, pode ser chamado de célula P, e a corrente estará orientada sempre na direção da carga. Já o braço da direita pode ser chamado de célula N, e a corrente estará sempre vindo da carga, quando for diferente de zero.

No que se refere a topologias mais complexas, diversos estudos que incluem indutores divididos compondo seus conversores foram propostos ao longo dos anos. A ideia de utilizar

estes indutores para prevenir a corrente de perforação não é nova.

Em (ZARGARI; ZIOGAS; JOOS, 1995), é proposta uma topologia similar àquela vista na Figura 3, com esses benefícios, além de funcionalidades extras, como manter uma tensão senoidal de saída ao se conectarem cargas não-lineares.

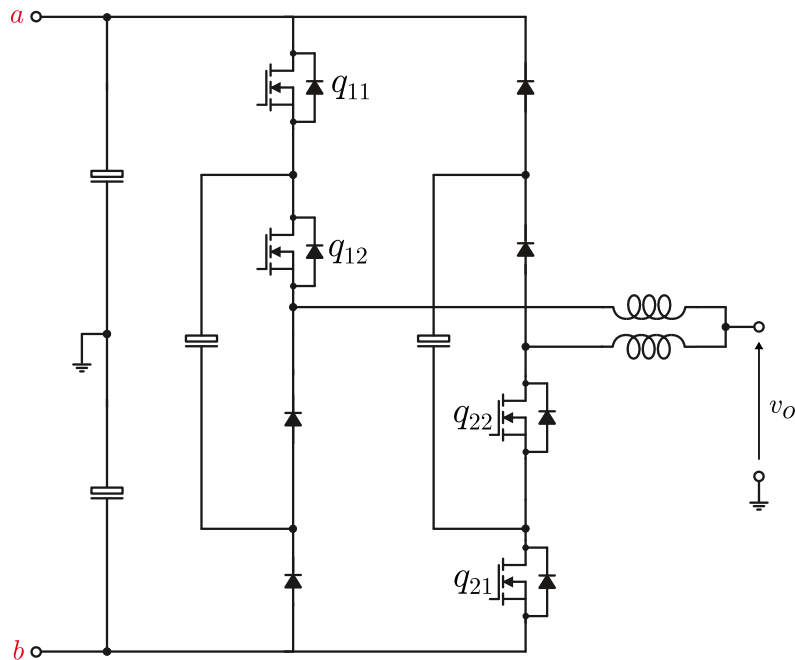
Nos estudos de (LIU; HONG; WANG, 2013) (Figura 4), (WANG et al., 2023b) (Figura 5) e (BELKHODE; SHUKLA; DOOLLA, 2021) (Figura 6), o indutor dividido foi aplicado a conversores multiníveis, dos tipos de Capacitor Flutuante (FC) e com diodo grampeado (NPC).

No primeiro, são analisados principalmente os estados de chaveamento do conversor, além do balanceamento da tensão nos capacitores realizando-se o controle das chaves.

Uma das características fundamentais do conversor é a de que, quando a corrente na carga é maior que zero, as chaves  $q_{11}$  e  $q_{12}$ , os diodos e o capacitor do mesmo braço conduzem. Já quando a corrente na carga é menor que zero, as chaves  $q_{21}$  e  $q_{22}$ , e os diodos e capacitor do seu braço irão entrar em condução.

Há uma condição para as tensões nos capacitores estarem balanceadas, ou seja, saídas iguais e defasadas.

Figura 4 – Conversor de estrutura abaixador-duplo de capacitor flutuante de três níveis



Fonte: (LIU; HONG; WANG, 2013)

A corrente no capacitor flutuante  $x$  pode ser dada por:

$$I_{cx} = (q_{x1} - q_{x2})I_{Lx} \quad (1.1)$$

A equação diferencial da tensão dos capacitores flutuantes é dada por:

$$\frac{d}{dt}V_{cx} = \frac{I_{Lx}}{C_x}(q_{x1} - q_{x2}) \quad (1.2)$$

$$\Delta V_{cx} = \frac{1}{C_x} \int^T (q_{x1} - q_{x2}) i_{Lx} dt \quad (1.3)$$

Se a seguinte equação for válida ao longo de um período:

$$\int^T (q_{x1} - q_{x2}) i_{Lx} dt = 0 \quad (1.4)$$

Então o balanceamento de tensão nos capacitores pode ser realizado.

Seguindo as análises realizadas em (WANG et al., 2023a), (WANG et al., 2023b) busca aperfeiçoar o conversor proposto no estudo anterior.

Apesar de apresentar um conversor com indutores divididos e com prevenção ao curto-circuito do barramento CC, esta topologia proporciona um estresse térmico bastante significativo entre as suas chaves, utilizando-se a estratégia de modulação mais tradicional.

Estas chaves com maior temperatura de operação irão ser o fator decisivo para a vida útil e capacidade de fornecimento de energia do conversor, prejudicando severamente a confiabilidade do inversor previamente proposto.

O inversor apresentado na Figura 5 busca corrigir essa limitação. Os braços são compostos de chaves e diodos, ambos de natureza rápida e mais lenta. A topologia herda as capacidades de proteção ao curto-circuito do barramento CC.

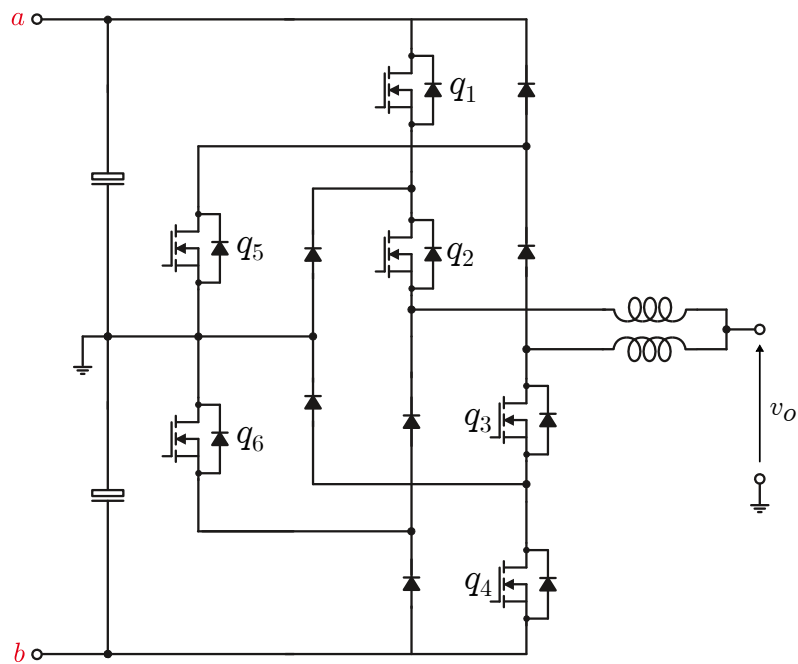
É elaborada uma estratégia de modulação para este conversor que consegue deixar as perdas em cada chave de uma forma mais balanceada, já que são utilizadas chaves rápidas e lentas ao mesmo tempo. Ela funciona para ambos os casos em que a carga possui fator de potência unitário e também o não-unitário.

Os trabalhos realizados em (BELKHODE; SHUKLA; DOOLLA, 2021) apresentam uma topologia com aplicações para tensões de nível mediano, que se utiliza tanto de chaves de carbede de silício (SiC) e silício (Si), estrategicamente dispostas e configuradas de modo que a distribuição das perdas seja melhor distribuída.

Como pode ser visto na Figura 6, além da estrutura abaixador-duplo que comumente é associada aos indutores separados, existem também quatro outras chaves de silício, para um chaveamento mais lento.

De acordo com o autor, os indutores divididos também podem reduzir a degradação do desempenho de chaveamento no caso em que os diodos Schottky são conectados de forma separada.

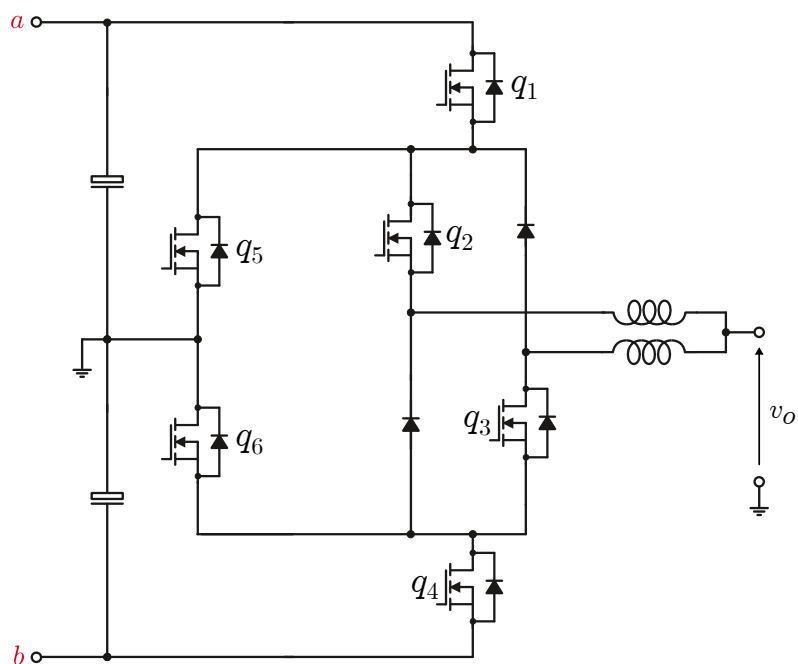
Figura 5 – Conversor NPC com indutor dividido e estratégia de distribuição de perdas



Fonte: (WANG et al., 2023b)

Além disso, já que os indutores previnem uma mudança brusca de corrente, cargas com uma faixa de fator de potência mais amplo podem ser conectadas, uma vez que as correntes  $i_{L_2}$  e  $i_{L_1}$  dos indutores não precisam trocar de sentido durante o chaveamento, já que um caminho paralelo está disponível na direção oposta.

Figura 6 – Conversor NPC para aplicações de média tensão

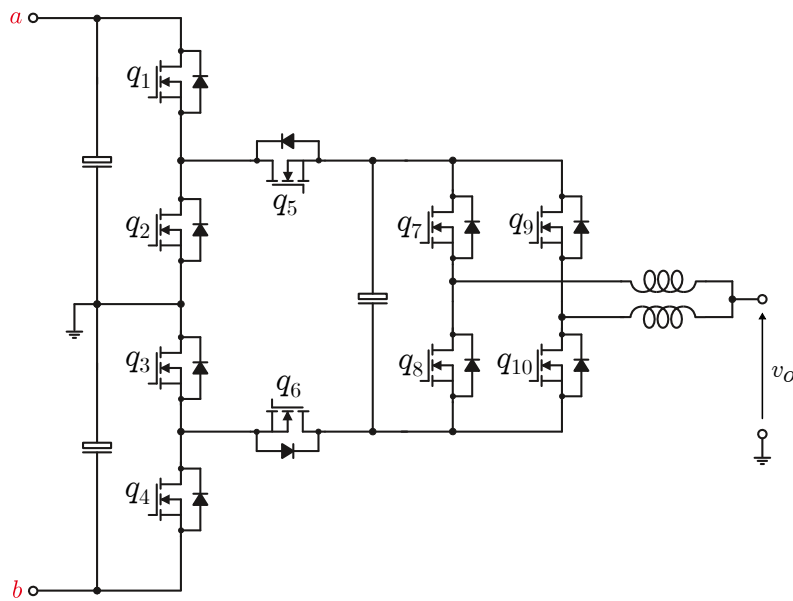


Fonte: (BELKHODE; SHUKLA; DOOLLA, 2021)



Já em (LI et al., 2022), foi utilizado em uma topologia híbrida, que pode ser vista na Figura 7. Ela utiliza chaves tanto de alta bem como de baixa frequências em um único conversor. O mesmo estudo reporta também uma melhora na eficiência, já que o indutor dividido tem como uma de suas características intrínsecas a regulação de picos de correntes de circulação.

Figura 7 – Conversor genérico híbrido com indutores divididos



Fonte: (LI et al., 2022)

A utilização de indutores separados pode permitir a eliminação ou redução do tempo morto, o que pode melhorar ambas a distorção harmônica total (THD) e magnitude da tensão de saída. Além disso, uma melhor distribuição de perdas e menos estresse de tensão podem ser alcançados ao se escolher bem a topologia de indutor dividido, como cita (FARAJI et al., 2023).

Em alguns casos, a simples adição dos indutores não é suficiente para suprimir a corrente de perforação por si só. Pode ser necessário de se utilizar da chamada estrutura abaixador-duplo, que consiste em dois braços, cada um contendo uma chave e um diodo reversamente polarizado, para que se possa prevenir que um curto-circuito ocorra em ambos os capacitores do barramento CC ao mesmo tempo. (WANG et al., 2023a) adiciona mais diodos em antiparalelo, para prevenir também o caso em que apenas um único capacitor do barramento CC sofra um curto-circuito. Dessa forma, caminhos extras de roda livre conectam os diodos da malha exterior através das chaves.

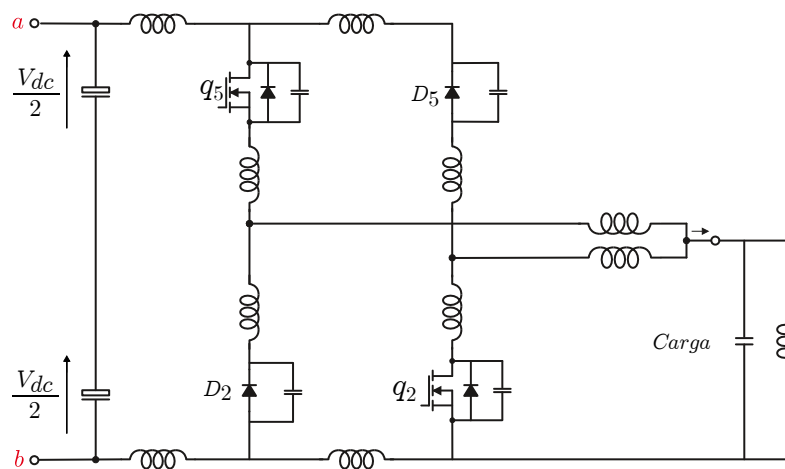
Em aplicações de alta frequência, é importante levar os elementos parasitas dos componentes em consideração. Eles podem gerar oscilações parasitárias de alta e baixa frequência durante as transições de abertura ou fechamento de chaves, o que pode influenciar nas perdas de chaveamento. (YAN et al., 2017) propõe então que os indutores divididos

possam desacoplar as chaves dos seus elementos parasitas, reduzindo tais oscilações.

Também são levadas em consideração as indutâncias parasitas que existem devido às trilhas da placa de circuito impresso. Enquanto as oscilações de baixa frequência são causadas pela interação das indutâncias parasitas e as altas capacitâncias indesejadas do braço direito e da carga. É feita também uma análise que as oscilações de alta frequência são causadas pela relação entre as indutâncias parasitas e a pequena capacitância no braço esquerdo. Já que, nesse caso, os indutores divididos evitam o descarregamento do capacitor no braço direito, e não do esquerdo, as oscilações parasitárias de baixa frequência podem ser suprimidas, enquanto aquelas de alta frequência não são.

É apresentado na Figura 8 o circuito utilizado pelo estudo para o teste de pulso duplo. Nela são representados vários elementos parasitas previamente mencionados, que irão se relacionar entre si para a geração das oscilações. Percebe-se que serão levadas em consideração as indutâncias parasitas entre quaisquer elementos ativos ou passivos, além da capacitância dos semicondutores, que é baixa, bem como a capacitância parasita da carga, que deve ser bastante elevada.

Figura 8 – Circuito para teste de oscilações parasitárias



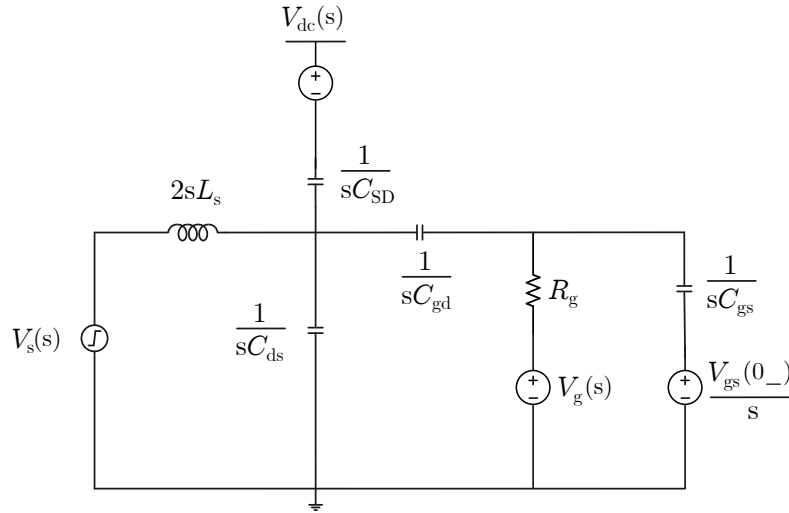
Fonte: (YAN et al., 2017)

Outra análise interessante realizada foi a modelagem do conversor no domínio da frequência, levando-se em consideração os elementos parasitas das chaves, como as capacitâncias entre os terminais e a resistência da porta. O circuito modelo pode ser observado na Figura 9.

As equações no domínio da frequência referentes à transição de estados deduzidas a partir da Figura 9 podem ser vistas no Anexo A. Nela, são apresentadas as expressões das tensões da tensão entre a porta e a fonte da chave  $V_{gs}$  e a tensão entre o dreno e a fonte  $V_{ds}$ .

Nos estudos realizados em (MIRZA et al., 2022), o conversor mostrado na Figura 3 é

Figura 9 – Circuito modelo no domínio da frequência para a análise matemática da transição de estados



Fonte: (YAN et al., 2017)

analisado mais a fundo, sendo considerados também os elementos capacitivos parasitas dos semicondutores. Há uma preocupação do autor em descrever detalhadamente o processo de transição de um estado topológico a outro, explicando a causa das oscilações parasitárias.

Aqui, é definido que a célula P é o braço em que a chave se encontra no lado superior ao diodo (braço esquerdo na Figura 3), e a célula N é o braço em que o diodo se encontra no lado superior (braço direito na Figura 3).

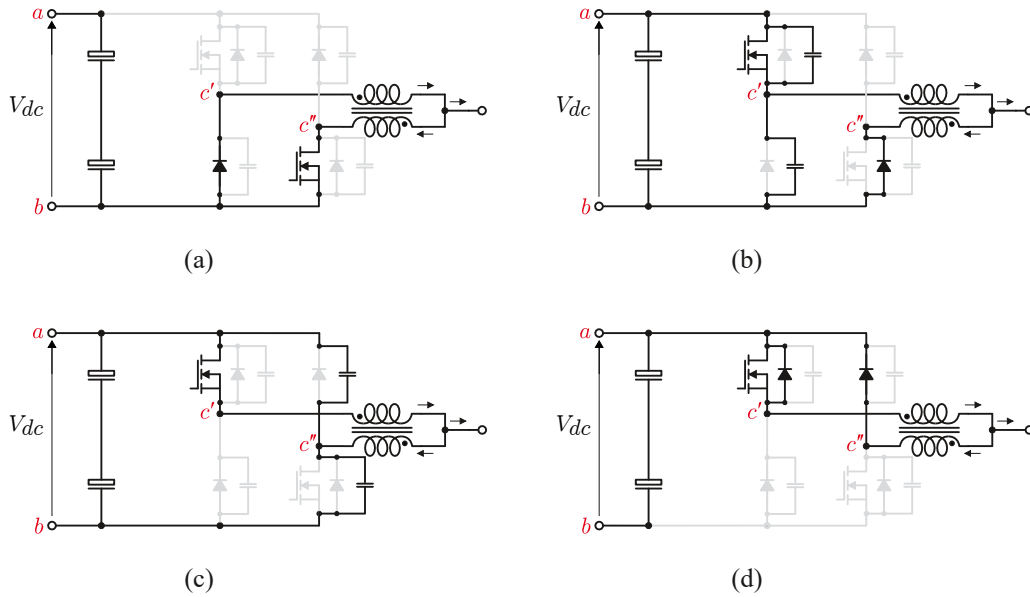
Na Figura 10, é mostrada uma transição detalhada do momento em que a chave inferior é aberta e a superior é fechada, para um caso em que uma carga puramente indutiva é utilizada.

Assim que a chave superior é fechada, a tensão no nó  $c'$  sobe rapidamente para  $V_{DC}/2$ , tão rápido quanto a chave permitir. A tensão no nó  $c''$  também cresce até se estabilizar em  $V_{DC}$  com um atraso consideravelmente maior. Este atraso corresponde à soma dos intervalos nos quais o conversor pode ser representado pelos estados apresentados nas Figuras 10(b) e (c). Algumas equações que podem ser utilizadas para estimar os tempos de atraso, bem como os picos de tensão e corrente em diversos componentes referentes a esses intervalos transitórios podem ser vistos no Anexo A.

Nesses dois intervalos, a tensão nos nós  $c'$  e  $c''$  e a corrente nos indutores irão apresentar um comportamento transitório de pico. Estes picos irão depender do valor inicial da corrente  $i_L(0)$  que passa pelo indutor no início deste estado.

No Anexo A, equações que descrevem o comportamento de tensões e correntes durante o intervalo de transição, bem como a própria duração do mesmo são estimadas. Estas expressões são obtidas por meio da análise de circuitos equivalentes, levando-se em

Figura 10 – Análise da transição de chaveamento do conversor genérico de indutores divididos



Fonte: (MIRZA et al., 2022)

consideração também os elementos parasitas.

Em (MIRZA et al., 2023), é feito um estudo ainda mais atualizado e detalhado dos diversos transitórios das oscilações parasitárias do conversor de dois níveis com indutor dividido, visando continuar as análises propostas em (MIRZA et al., 2022).

Aqui, o autor discute vários assuntos de forma breve, como por exemplo, a redução da interferência eletromagnética nas tensões dos pontos  $c'$  e  $c''$  devido aos indutores divididos e a ressonância entre as indutâncias divididas e as capacitâncias parasitas, que causam as oscilações de tensão nesses mesmos nós.

Também são bastante discutidas as influências de diversos fatores na magnitude de pico de corrente  $\Delta i_s$  nos indutores, como a própria indutância. Neste caso, quanto maior a indutância, maior será a resistência à variações bruscas de corrente, limitando o valor de pico durante o período de transição.

É relacionado também o fator de acoplamento  $k$ , pois o mesmo está relacionado com o próprio valor da indutância dividida. A capacitância parasita  $C = C_{OSS} + C_J$  dos elementos semicondutores também irá influenciar de forma inversamente proporcional, implicando que semicondutores com banda larga de energia, como os dispositivos feitos de carbeto de silício ou nitreto de gálio favorecem uma menor ondulação de transitório. A corrente inicial nos indutores no momento de chaveamento  $i_{L_s}(0^-)$ .

Neste estudo, o autor relaciona a ondulação de corrente na carga como mostra a equação 1.5:

$$\Delta i_s = V_{DC} \sqrt{\frac{C}{L}} \sin\left(\frac{t_r}{\sqrt{LC}}\right) - 2i_{L_s}(0^-) \sin^2\left(\frac{t_r}{2\sqrt{LC}}\right) \quad (1.5)$$

O que reforça as relações entre capacitância parasita, indutância dividida e valor inicial de corrente no indutor com o valor de ondulação da corrente dos indutores.

As Tabelas 1 e 2 resumizam as principais referências bibliográficas utilizadas para a realização desta dissertação, classificando-as com relação ao tipo de topologia utilizada.

### 1.3 Organização do trabalho

Este documento será dividido em seis capítulos, podendo ser descritos como os itens a seguir:

- Capítulo 1: Uma breve introdução à área da eletrônica de potência, além da revisão bibliográfica, na qual são descritos vários conversores de topologia similar que também utilizam fatores semelhantes à contribuição dada neste estudo. Finalmente, a proposta deste trabalho é apresentada.
- Capítulo 2: Uma fundamentação teórica é apresentada. Nela serão apresentados conceitos da teoria mais básica, com a finalidade de melhor contextualizar o leitor sobre a proposta deste trabalho, e permitir uma melhor absorção deste.
- Capítulo 3: A versão de três níveis do conversor é apresentada e analisada. Sua comparação com a topologia tradicional é apresentada, bem como os estados topológicos que serão utilizados.
- Capítulo 4: Similarmente ao capítulo anterior, uma análise do conversor de cinco níveis é realizada.
- Capítulo 5: Os resultados de simulação e experimentais são aqui mostrados, debatidos e os mesmos irão comprovar aquilo que foi falado nos capítulos anteriores sobre a análise do conversor proposto.
- Capítulo 6: Aqui serão apresentados e discutidos os dados experimentais coletados a partir da montagem de experimentos que envolvem protótipos da topologia em questão, para deixar a corroboração realizada no capítulo anterior mais robusta.
- Capítulo 7: Aqui serão apresentadas as conclusões tomadas após a apresentação de tudo que foi apresentado, além de uma defesa da proposta, consistindo em uma compilação dos pontos fortes apresentados ao longo do trabalho.

Tabela 1 – Comparação de objeto de estudo entre as referências bibliográficas utilizadas, que envolvem inversores multinível tipo-T ou que utilizam indutores divididos acoplados. Parte I

Referência	Descrição	Tipo-T	Genérico	Capacitor flutuante	NPC	Outros
(XU; ZHANG; HANG, 2015)	Proposta de um inversor um tipo-T com proteção contra faltas	✓				
(KHAN et al., 2022)	Inversor NPC com proteção à corrente de peroração e não gera pulsos de alta tensão		✓			
(ZARGARI; ZIOGAS; JOOS, 1995)	Pioneiro no uso de indutores divididos em uma topologia de inversor genérico		✓			
(LIU; HONG; WANG, 2013)	Conversor de capacitor flutuante com indutores divididos			✓		
(WANG et al., 2023b)	Balanceamento de perdas em um conversor NPC com indutores divididos				✓	
(BELKHODE; SHUKLA; DOOLLA, 2021)	Conversor híbrido NPC, com uma maneira de dimensionar os ind. divididos				✓	
(LI et al., 2022)	Propôs uma estratégia de modulação para um conversor com ind. divididos					✓

Tabela 2 – Comparação de objeto de estudo entre as referências bibliográficas utilizadas, que envolvem inversores multinível tipo-T ou que utilizam indutores divididos acoplados. Parte II

Referência	Descrição	Tipo-T	Genérico	Capacitor flutuante	NPC	Outros
(WANG et al., 2023a)	Conversor que altíssima proteção de curto-circuito no barramento CC			✓		
(YAN et al., 2017)	Analisa as oscilações de tensão e corrente durante a transição de estado de chaveamento		✓			
(MIRZA et al., 2022)	Analisa a transição de estados de chaveamento, e explica as oscilações parasitárias que acontecem entre os estados topológicos		✓			
(MIRZA et al., 2023)	Relaciona vários elementos passivos e tempo morto com a variação de oscilações de corrente nas chaves		✓			

- Apêndices: Aqui serão apresentados conteúdos que têm sua importância para o estudo realizado neste trabalho que pode ser lida de forma separada. Contém os esquemáticos para a confecção de placas de autorias do autor, fundamentais para a realização de extração de resultados experimentais.
- Anexos: Contém realizadas por outros autores, relacionadas à alguma pesquisa feita nesse estudo.

## 1.4 Objetivos do trabalho proposto

O estudo visa analisar e demonstrar o funcionamento da nova topologia proposta, as operações de seus estágios de condução, principais formas de onda, bem como confirmação da teoria por meio de ferramentas de simulação de circuito, assim como a montagem do circuito físico para a extração de resultados experimentais.

Assim como em alguns casos da revisão bibliográfica, deseja-se fazer uma análise paralela do conversor em questão com foco especial nas ondulações de corrente de diversos componentes, bem como a explicação da ocorrência dos mesmos.

Os intervalos de transição serão cuidadosamente analisados, pois um dos objetivos deste estudo é a análise dos fenômenos de oscilações parasitárias, bem como a identificação dos fatores que podem influenciar na sua intensidade.

Outras análises gerais que convencionalmente são realizadas em topologias não muito exploradas também serão realizadas, como uma análise de estresse de tensão de componentes.

Além do circuito proposto de três níveis, tem-se como objetivo também a análise de uma versão com cinco níveis, para se discutir a viabilidade de uma generalização do conversor do tipo-T com indutores divididos para uma quantidade  $n$  qualquer de níveis.



## Capítulo 2

---

### *Fundamentação Teórica*

---

Neste capítulo serão apresentados conceitos teóricos básicos que serão fundamentais para um bom entendimento do projeto proposto neste estudo.

#### 2.1 Dispositivos semicondutores

Na eletrônica de potência, os elementos semicondutores são compostos principalmente de não-controlados, como diodos, e controlados (chaves), como MOSFET, IGBT, etc. Tais componentes podem ser compostos de diferentes materiais, contendo diferentes características elétricas.

Possuem como uma de suas principais características a não-linearidade, ou seja, as grandezas de corrente e tensão não necessariamente possuem algum grau de proporcionalidade. Existem condições em que o elemento semicondutor

Diodos permitem a passagem de corrente em um sentido, e bloqueiam quando aplicada em um sentido oposto. São ditos como não-controlados pois não há uma maneira de se permitir a sua condução ou não através de um sinal externo. Dentre eles, os diodos Schottky destacam-se por apresentar uma baixa queda de tensão direta quando comparada aos demais.

Já os componentes controlados, compostos principalmente de chaves e tiristores, podem permitir a passagem de corrente ou não, a depender do sinal presente em um terceiro terminal. Tal característica permite a implementação de uma malha de controle para que se possa utilizar a chave como parte de um sistema maior em que haja controle de tensão ou corrente, por exemplo.

Apesar de apresentarem um preço mais elevado e dependerem de *drivers* mais específicos, chaves de carbeto de silício (SiC) apresentam uma maior tensão de ruptura, e

de acordo com (BALIGA, 2010), a resistência de condução é amplamente reduzida quando são comparadas a componentes de silício.

## 2.2 Conversores multiníveis

Conversores multiníveis geram como saída grandezas que chaveiam entre vários níveis, diferentemente do caso dos inversores mais tradicionais, que apresentam uma tensão ou corrente que alterna entre apenas dois níveis. Proporcionam uma forma de onda pré-filtrada muito mais desejável que conversores simples, pois apresentam uma Distorção Harmônica Total (THD) mais reduzida, pelo fato de se assemelhar mais à uma senoide. Isto permite uma redução da necessidade de filtros de saída, diminuindo também o seu tamanho físico.

As topologias mais clássicas são a com Diodo Grampeado (NPC), Capacitor Flutuante (FC) e Cascata. Cada um destes tipos possui suas vantagens e aplicações nas quais mais se destacam em relação às demais.

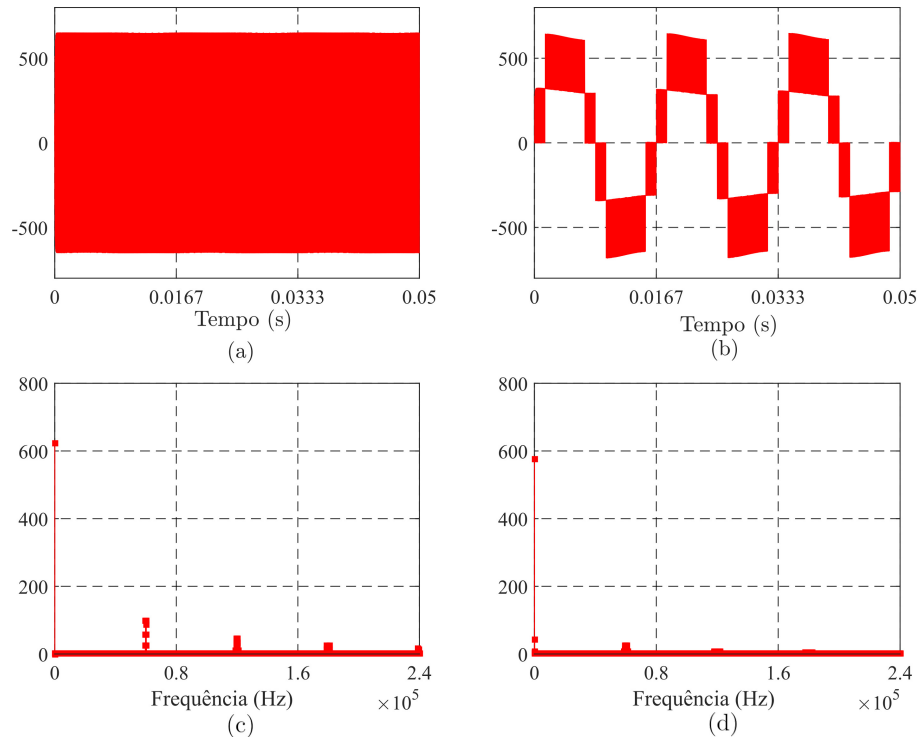
(SANTOS; SILVA, 2014) cita o conversor NPC como o mais utilizado em média e alta tensão quando conectado à máquinas, pois limita a variação de tensão e evita conectar múltiplas chaves em série. Já o conversor em cascata é citado como tendo a sua modularidade como uma de suas vantagens, pois não para de operar mesmo com falha em um de seus módulos, compostos de barramento CC e ponte ativa dupla. Finalmente, o FC possui mais liberdade de gerar a mesma tensão de saída de várias formas, e um número mais reduzido de componentes semicondutores.

Na figura 11 são apresentadas as saídas do conversor tradicional de 2 níveis e de 5 níveis. A diminuição da THD de uma forma de onda gerada a partir de um conversor multinível pode ser interpretada comparando as figuras 11(a) e 11(b): a segunda é visualmente mais próxima de uma senoide. Ao realizar a comparação entre as figuras 11(c) e 11(d), pode-se comprovar que ao se utilizar de mais níveis, haverá uma diminuição da THD.

## 2.3 Tempo morto

O tempo morto consiste na implementação de um sistema em que nenhuma das chaves de um braço de um conversor conduza durante um ínfimo intervalo de tempo. Pode ser implementado em um conversor para diminuir ou eliminar as perdas por chaveamento por meio da comutação suave, ou para evitar que certos componentes sofram um curto-circuito de forma acidental.

Figura 11 – Exemplo comparativo de grandezas de saída: Saída de conversor de 2 níveis (a); Saída de conversor de níveis (b); FFT da saída do conversor de 2 níveis (c); FFT da saída do conversor de 2 níveis (d)



Fonte: Autoria própria

Ao se realizar o comando para uma chave que compõe um braço ser aberta, a mesma pode permanecer fechada por um curto intervalo de tempo, devido à falhas no sistema de acionamento das chaves, de controle ou simplesmente devido ao ruído vindo da fonte de alimentação. Para que esta inconveniência seja evitada, é comum a implementação de um pequeno atraso no acionamento da chave complementar à que acaba de ser desligada, para que se possa então ter uma melhor garantia de que ocorra um curto-circuito em um braço, por exemplo.

De acordo com (MOHAN; UNDELAND; ROBBINS, 2002), a utilização de um tempo morto pode ainda afetar a tensão de saída. Já que  $v_{an}$  é nula durante o tempo morto, o seu valor médio ao longo de meio período também irá sofrer uma pequena queda. Esta será proporcional ao intervalo de tempo morto e à frequência de chaveamento.

## 2.4 Conexão de conversores à rede

De acordo com (YAZDANI, 2010), aplicações de eletrônica de potência na área de sistemas de potência vêm aumentando desde a década de 1980, tanto para geração,

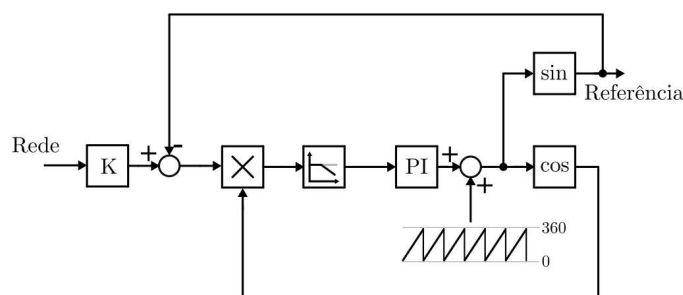
distribuição, transmissão e entrega de potência. Suas principais demandas envolvem filtros ativos, compensação e condicionamento de potência.

Geralmente, os conversores irão gerar a sua grandeza de interesse na forma chaveada, contendo várias harmônicas. Para contornar este problema, filtros projetados especificamente para a área de eletrônica de potência podem ser utilizados. Estes podem ser compostos por chaves ativas, e podem absorver as componentes de tensão ou correntes indesejadas a serem trocadas com a rede.

A conexão de um conversor à rede não pode ser subestimada. Ela necessita de algum tipo de controle dedicado ao sincronismo das grandezas da rede e ao conversor. Uma malha de captura de fase, ou *Phase-Locked Loop* (PLL) é utilizada para a detecção do ângulo  $\theta = \omega t + \phi$ , tornando possível rastrear a frequência e o ângulo de fase de uma senoide. Utilizando esta técnica, o conversor a ser conectado na rede possui a tensão de saída gerada sincronizada com a da rede, permitindo uma conexão mais suave.

Um exemplo de PLL pode ser visto na figura 12. A rede é comparada com a saída do PLL, o resultado é multiplicado com o cosseno, para se obter uma senoide com o dobro da frequência e uma componente CC proporcional à defasagem. Após um filtro passa-baixa ser aplicado, o ângulo de fase será extraído, e um controlador PI irá fazer o mesmo tender a zero. Ao ser somado de uma portadora que varia entre 0 e 360, o ângulo instantâneo de fase da senoide em fase com a rede será obtido, e esta poderá ser gerada.

Figura 12 – Exemplo de laço de rastreamento de fase



Fonte: Autoria própria

Além de controle de ângulo, é comum se empregar algum controle de condicionamento de potência, como sua quantidade a ser entregue ou absorvida da rede, em adição a algum tipo de correção de fator de potência.

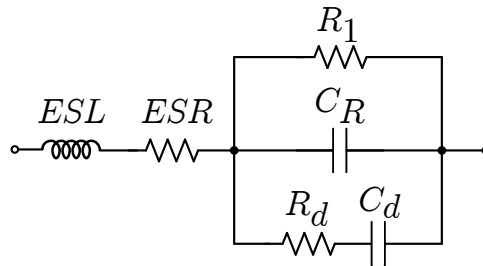
## 2.5 Elementos parasitas

Em qualquer componente eletrônico, passivo ou ativo, existirão elementos parasitas, por menores que sejam. Isto inclui resistências, capacitâncias ou indutâncias de baixos valores, que podem influenciar de forma significativa, o funcionamento desejado de tal componente.

Segundo (GUO et al., 2023), o entendimento dos elementos parasitas e dimensionamento de um capacitor são importantes, pois no caso de conversores de potência, o mesmo é geralmente o elemento com a menor vida útil, portanto, ele dita o tempo de funcionamento de todo o equipamento.

Na Figura 13, é apresentado o circuito modelo equivalente do capacitor real. O elemento  $C_R$  é a capacitância em si,  $ESR$  é a resistência série equivalente,  $ESL$  é a indutância equivalente devido à estrutura,  $R_i$  é a resistência de isolamento,  $R_d$  e  $C_d$  são grandezas existentes devido ao dielétrico.

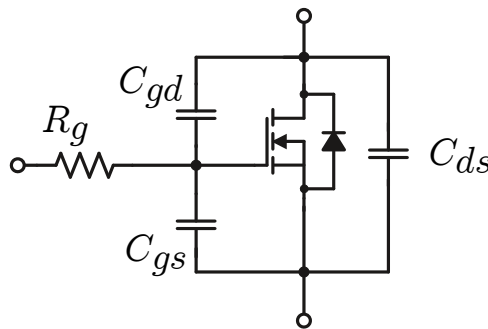
Figura 13 – Exemplo de capacitor realista com elementos parasitas



Fonte: (GUO et al., 2023)

Outro elemento em que o destaque dos elementos parasitas é importante é o MOSFET. Na figura 14 é mostrada uma chave mais realista, com suas capacitâncias intrínsecas e sua resistência de *gate*.

Figura 14 – MOSFET realista com elementos parasitas



Fonte: Autoria própria

Devido à configuração de materiais semicondutores que foi utilizada para construir o transistor, haverá a formação de capacitâncias entre todos os seus terminais:  $C_{gs}$  e  $C_{gd}$ , determinadas pela configuração do eletrodo da porta, e  $C_{ds}$ , inerente da junção p-n. São convencionadas também as capacitâncias vistas da porta ( $C_{ISS} = C_{gs} + C_{gd}$ ) e do dreno ( $C_{OSS} = C_{ds} + C_{gd}$ ). Haverá também uma resistência na porta do MOSFET. É importante salientar que, de acordo com (SEDRA; SMITH, 2007), as capacitâncias parasitas não irão conduzir na região de corte do transistor.

Em alguns casos, o elemento parasita pode trazer benefícios: em situações nas quais se deseja realizar comutação suave em chaves, é possível se utilizar das capacitâncias parasitas em paralelo para causar um certo atraso na subida de tensão, permitindo que a corrente chegue a zero no momento em que é desativada, evitando desnecessárias perdas de chaveamento.

## 2.6 Oscilações parasitárias

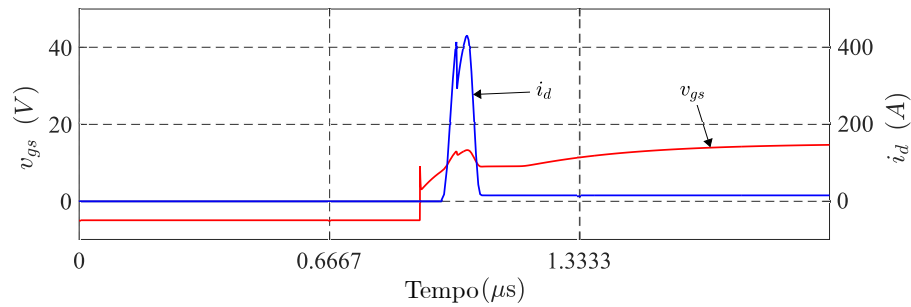
As oscilações parasitárias, também chamadas de *ringing*, estão entre os efeitos mais comuns devido existência de elementos parasitas. Podem ser entendidas como indesejadas oscilações ou picos de tensão ou corrente causados por tais elementos, enquanto que em um circuito ideal as formas de onda de tensão e corrente teriam um formato perfeito.

Ao se analisar um inversor convencional com componentes ideais, por exemplo, a tensão de saída terá características próximas de uma onda quadrada perfeita modulada por uma senoide. Ao se incluir elementos parasitas em todos os elementos, é possível notar que algumas grandezas terão suas formas de onda com algum tipo de distorção. Geralmente as oscilações causadas não são de amplitude ou ocorrem por intervalos de tempo muito grandes, devido à exiguidade dos elementos parasitas, porém podem possuir magnitude suficiente para influenciarem na eficiência, THD, dentre outros.

Como exemplo deste fenômeno, pode-se citar oscilações de corrente que ocorrem em chaves, logo depois de serem acionadas, causada por suas capacitâncias parasitas. Tais oscilações não estavam previstas no projeto de certos componentes, podendo encurtar sua vida útil, ou até mesmo comprometer a integridade de elementos do circuito no momento em que ocorra a sua alimentação.

Para uma melhor representação visual, a Figura 15 apresenta as formas de onda do inversor ao se considerar os elementos parasitas nos componentes: ao ser aplicado um degrau de tensão na porta do MOSFET, ocorrerá um pulso exagerado de corrente que passará pelo seu dreno no momento em que o transistor for acionado, voltando a se estabilizar em seu valor nominal após um breve intervalo de tempo.

Figura 15 – Exemplo de oscilações parasitárias ocorrendo em uma chave ao ser acionada



Fonte: Autoria própria

## 2.7 Corrente de perfuração

Também chamado de *crossstalk* ou *shoot-through*, é um evento caracterizado pela ativação de uma chave de maneira não intencional, causado por exemplo, pela variação elevada de tensão  $dv/dt$  sobre uma chave que não conduz, que ocasiona em um acionamento falso da chave, pois a tensão na porta do transistor foi acima do valor limite.

Quando este fenômeno acontece em um conversor convencional, de dois braços e quatro chaves, o barramento CC é curto circuitado, visto que, em cada braço, sempre há uma chave conduzindo e uma fechada. Se por algum motivo, a chave que deveria estar aberta conduz, a chave complementar do braço irá fechar um curto-circuito com relação à fonte contínua.

## Capítulo 3

---

### *Análise da Proposta do Conversor de Três Níveis*

---

#### 3.1 Apresentação do conversor proposto

Na Figura 16(a) é apresentada a topologia convencional monofásica para três níveis do conversor tipo-T com indutores divididos. É possível notar que se os grupos de chaves  $q_1$  e  $\bar{q}_1$ ,  $q_2$  e  $\bar{q}_2$  ou  $q_1$  e  $\bar{q}_2$  estiverem fechados ao mesmo tempo, um ou mais capacitores do barramento CC entrarão em curto-circuito.

A topologia proposta é mostrada na Figura 16(b). Nota-se que é utilizada a estrutura abaixador-duplo. Além disso, um transformador ou indutores magneticamente acoplados são conectados a ambos os braços. Assim como nos estudos previamente citados, estes fornecem proteção contra correntes de perfuração, impedindo que a corrente aumente rapidamente devido às indutâncias divididas, além de suprimirem as oscilações parasitárias. Além disso, o volume total do circuito é reduzido ao se utilizar indutores magneticamente acoplados, uma vez que, neste caso, é utilizado apenas um núcleo.

Por outro lado, é visível o aumento do número de componentes, sendo adicionados dois diodos e dois indutores divididos, o que pode diminuir de forma considerável a densidade de potência, quando comparada ao conversor tipo-T tradicional.

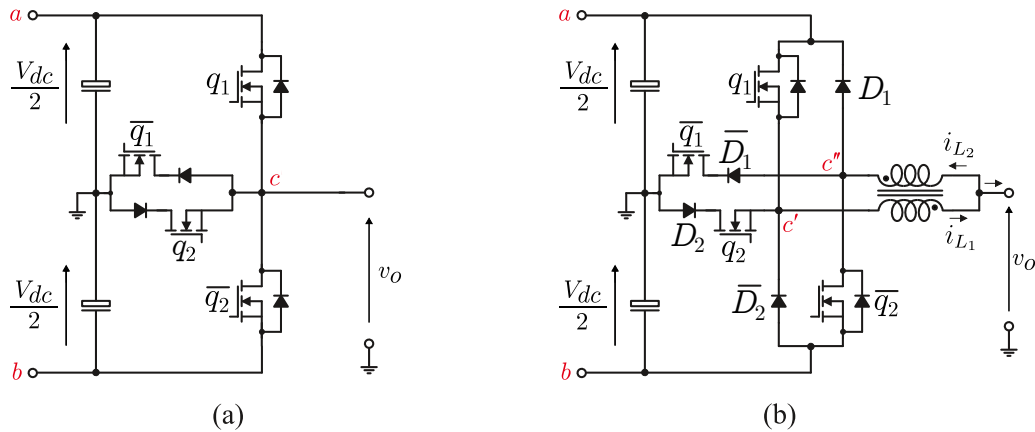
A estratégia de modulação para o conversor é mostrada na Figura 17. As tensões de fase de referência são comparadas com duas portadoras deslocadas em nível, para gerar os sinais de chaveamento.

Percebe-se que ao longo de um período, cada chave irá manter um nível lógico durante apenas metade do período inteiro, e alternar de estado durante a outra metade.

A estrutura tipo abaixador duplo pode ser expandida para um conversor trifásico, utilizando dois braços por fase, em contraste com o braço único utilizado nas topologias mais convencionais. Cada braço possui seu ponto central conectado ao ponto médio entre

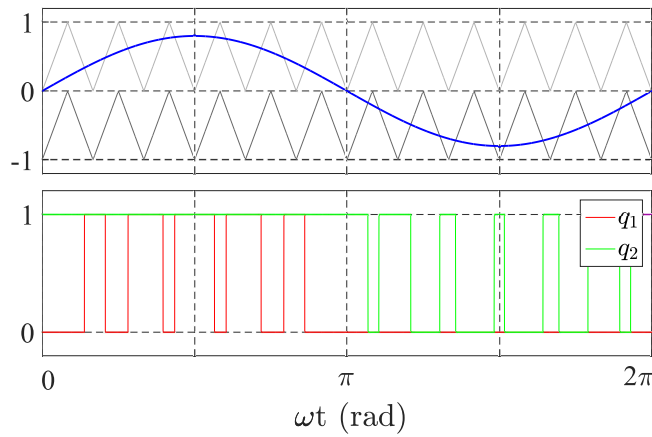


Figura 16 – Comparação entre o conversor tipo-T de três níveis tradicional (a) e o proposto com indutores separados (b).



Fonte: Autoria própria

Figura 17 – Modulação usada para o conversor proposto de três níveis.

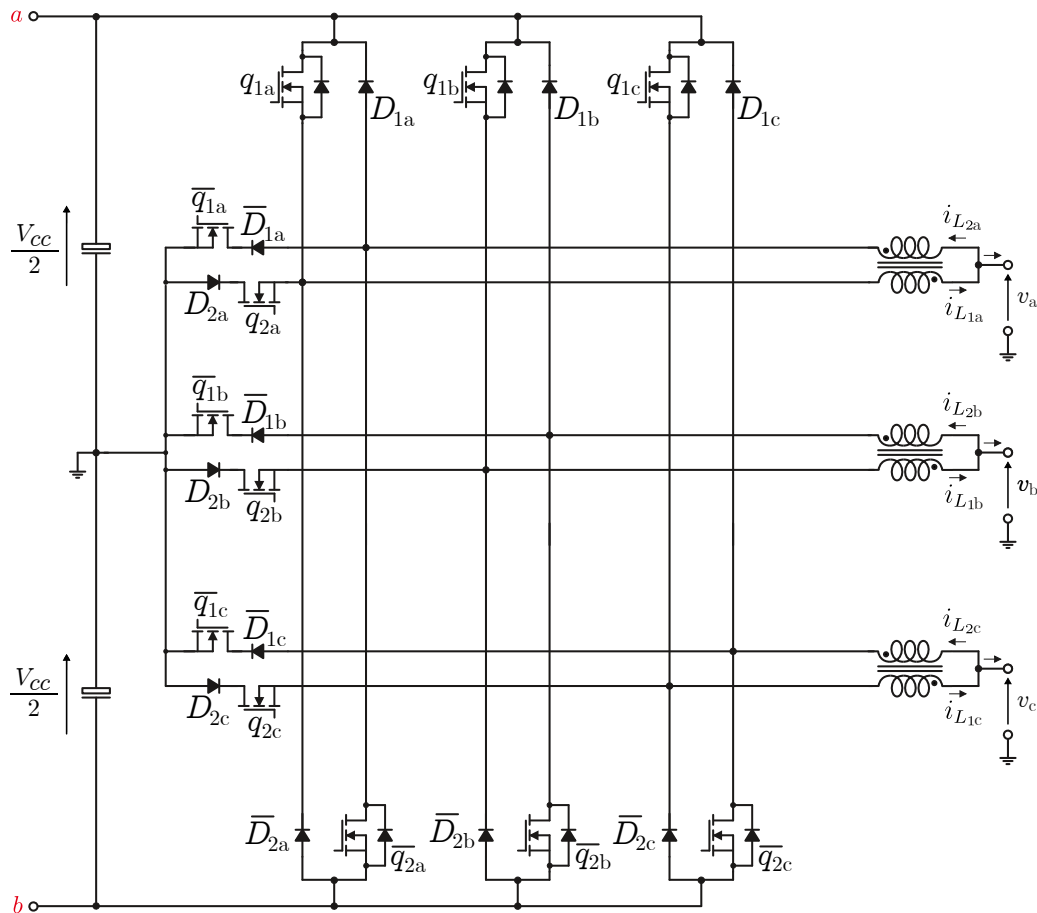


Fonte: Autoria própria

os capacitores do barramento CC e a um indutor dividido.

A Figura 18 exemplifica a maneira de como uma versão do conversor tipo-T com indutores divididos. São necessárias duas indutâncias, bem como quatro chaves e quatro diodos por fase. A mesma estrutura utilizada para o conversor monofásico pode ser replicada para qualquer número de fases, possibilitando também um número  $n$  de níveis a serem utilizados no conversor mais generalizado nos capítulos mais a seguir.

Figura 18 – Versão trifásica da topologia Tipo-T com indutores divididos.



Fonte: Autoria própria

### 3.2 Estados topológicos do conversor de três níveis

Nesta seção, serão apresentadas as configurações de chaves que serão ligadas e desligadas durante o funcionamento normal do conversor proposto. O caminho que a corrente irá seguir depende destas configurações, bem como o nível de tensão de saída.

Os valores de tensão de saída gerados, bem como a informação sobre quantos indutores estão conduzindo para cada estado de chaveamento são mostrados na Tabela 3.

A figura 19 mostra alguns possíveis estados de condução. Quando ambos os indutores estão conduzindo, eles estarão em um modo de condução contínua (MCC) e suas correntes apresentam uma forma de onda senoidal e uma defasagem de  $180^\circ$  entre si. Os possíveis estados de condução são:

- **Estado I, figura 19(a):**  $V_{cc}/2$  é aplicado sobre a carga e os indutores divididos são carregados.  $i_{L_1}$  irá aumentar, enquanto  $i_{L_2}$  diminui.
- **Estado II, figura 19(b):** A tensão na carga é zero já que ambos os seus terminais

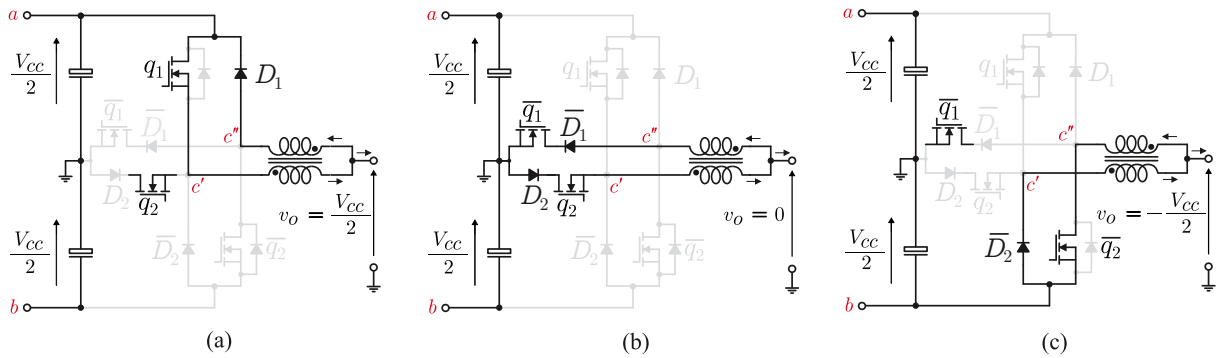
Tabela 3 – Estados de chaveamento para o conversor proposto.

State	Dois indutores conduzindo			Um indutor conduzindo			$v_o$
	$q_1$	$q_2$	Indutor ativo	$q_1$	$q_2$	Indutor ativo	
I	1	1	ambos	1	1	$L_2$	$V_{cc}/2$
II	0	1	ambos	0	1	$L_2$	0
III	0	0	ambos	0	0	$L_1$	$-V_{cc}/2$
IV	-	-	-	0	1	$L_1$	0

estão em curto. A depender do sinal da corrente instantânea da carga, a corrente em  $L_1$  ou  $L_2$  aumenta ou diminui.

- **Estado III, figura 19(c):** A corrente do indutor superior irá aumentar e a do inferior diminuir. É bastante similar ao primeiro estado, exceto que a tensão na carga agora é  $-V_{cc}/2$ .  $i_{L_1}$  diminui, enquanto  $i_{L_2}$  aumenta.

Figura 19 – Estágios de condução com dois indutores: Estado I (a); Estado II (b); Estado III (c).



Fonte: Autoria própria

Sabendo que:

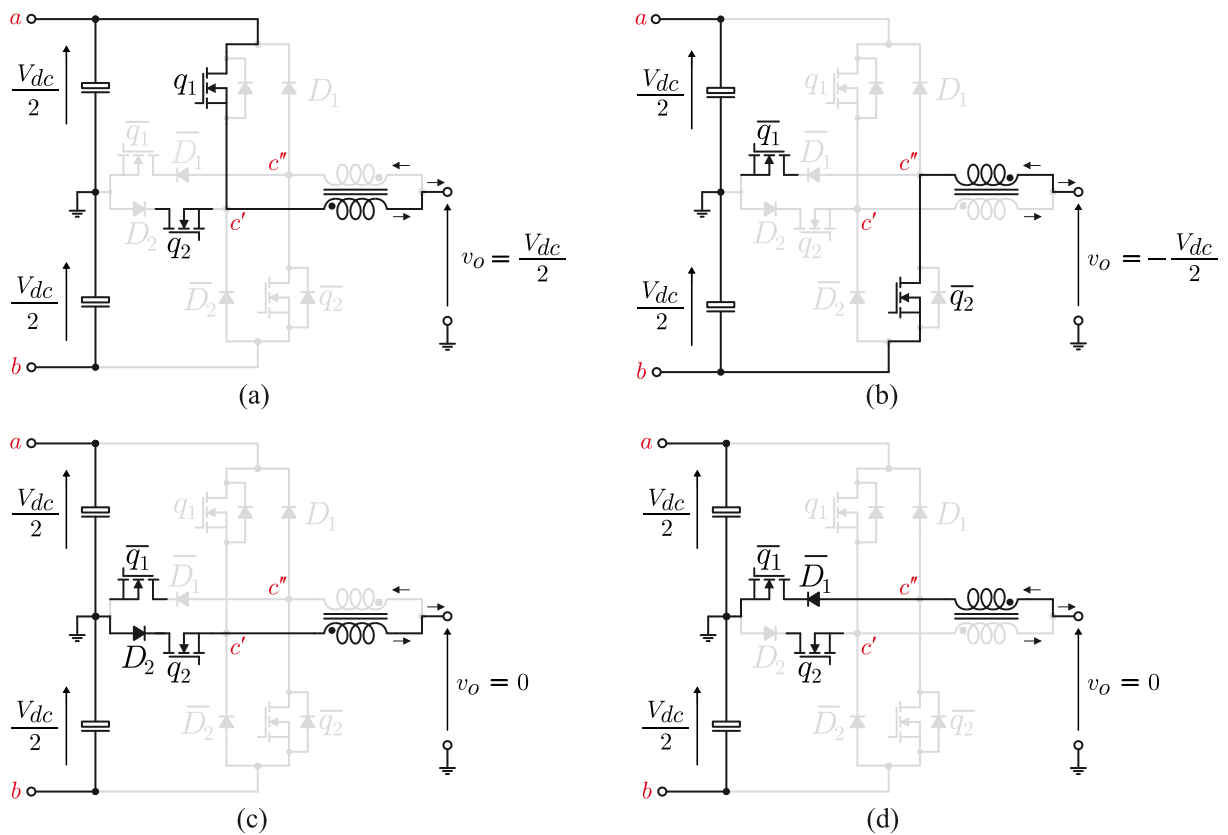
$$\begin{aligned}
 & \frac{1}{2\pi} \int_0^{2\pi} \left( \frac{I_m}{2} + \frac{I_m}{2} \cos \omega t \right)^2 d(\omega t) \\
 &= \frac{1}{2\pi} \left( \frac{I_m}{2} \right)^2 \left[ 6\omega t + 8 \sin \omega t + \sin 2\omega t \right] \Big|_0^{2\pi}
 \end{aligned}
 \tag{3.1}$$

Então, a corrente RMS  $I_{RMS}$  para os indutores divididos pode ser calculada como na equação 3.2:

$$\begin{aligned}
 I_{RMS} &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i^2(\omega t d(\omega t)))} \\
 &= \sqrt{\frac{1}{2\pi} 3\pi \left(\frac{I_m}{2}\right)^2} \\
 &= \frac{I_m}{2} \sqrt{\frac{3}{2}}.
 \end{aligned}
 \tag{3.2}$$

Se as indutâncias  $L_1$  e  $L_2$  forem baixas o suficiente, apenas um dos indutores irá conduzir de cada vez, já que não são capazes de armazenar uma grande quantidade de energia. Para este caso, os estados de condução podem ser explicados como na Figura 20. São eles:

Figura 20 – Estágios de condução com um indutor: Estado I (a); Estado II (b); Estado III (c); Estado IV (d).



Fonte: Autoria própria

- **Estado I, figura 20(a):** O conversor alterna entre este estado e o estado III. Quanto maior o intervalo de tempo em que este conversor estiver ativo, mas a corrente de  $L_2$  aumentará.
- **Estado II, figura 20(b):** Este e o estado IV chavearão entre si. Como na descrição anterior, quanto maior o tempo em que esta configuração estiver ativa, maior será a corrente de  $L_1$ .
- **Estado III, figura 20(c):** Durante este estado, a corrente armazenada em  $L_2$  será descarregada, fazendo assim sua corrente abaixar de maneira proporcional ao tempo em que este estado permanecer ativo.
- **Estado IV, figura 20(d):** Assim como o estado III, o indutor  $L_1$  irá se descarregar, fazendo sua corrente instantânea diminuir à medida que este estado é ativado.

Para este caso, a corrente RMS no indutor pode ser calculada como na equação 3.3:

$$\begin{aligned}
 I_{RMS} &= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} i^2(t) dt} \\
 &= \sqrt{\frac{1}{2\pi} \int_0^{\pi} (I_m \cos \omega t)^2 d(\omega t)} \\
 &= \sqrt{\frac{1}{2\pi} \left(\frac{I_m}{2}\right)^2 \left[2\omega t + \sin 2\omega t\right]_0^{2\pi}} \\
 &= \sqrt{\frac{1}{2\pi} \left(\frac{I_m}{2}\right)^2 \left[2\pi + \sin 4\pi - 2 \cdot 0 - \sin 2 \cdot 0\right]} \\
 &= \frac{I_m}{2}.
 \end{aligned} \tag{3.3}$$

Comparando as equações (3.2) e (3.3), percebe-se que a corrente RMS é maior para o primeiro caso, logo haverá mais perdas de condução neste caso. Entretanto, ao se utilizar deste modo de operação, a corrente de saída pode apresentar mais oscilações de alta frequência, especialmente se os valores das indutâncias divididas forem diferentes entre si, como diz (FARAJI et al., 2023).

### 3.3 Análise de estresse nos componentes

Em conversores de energia, é comum que alguns componentes semicondutores sofram um estresse de tensão diferente que os restantes, principalmente no caso de multiníveis.

Tabela 4 – Estresse de tensão nos componentes para cada estado topológico para o conversor de três níveis.

Estado	$v_{q_1}$	$v_{\bar{q}_1}$	$v_{q_2}$	$v_{\bar{q}_2}$	$v_{D_1}$	$v_{\bar{D}_1}$	$v_{D_2}$	$v_{\bar{D}_2}$
I	0	$V_{cc}/2$	0	$V_{cc}$	0	0	$V_{cc}/2$	$V_{cc}$
II	$V_{cc}/2$	0	0	$V_{cc}/2$	$V_{cc}/2$	0	0	$V_{cc}/2$
III	$V_{cc}$	0	$V_{cc}/2$	0	$V_{cc}$	$V_{cc}/2$	0	0

Dito isso, esta seção se dedica a analisar o nível de tensão sobre cada componente durante o funcionamento normal do conversor.

Ao se observar as Figuras 19 e 20, pode-se melhor analisar o estresse de tensão sobre cada chave e diodo. Dessa forma, a Tabela 4 foi construída.

Analisando a mesma, percebe-se que alguns componentes sofrem um estresse de tensão de apenas metade da tensão do barramento CC: as chaves  $\bar{q}_1$  e  $q_2$ , e os diodos  $\bar{D}_1$  e  $D_2$ , enquanto que os demais semicondutores do conversor de três níveis devem suportar um valor de tensão igual ao do barramento CC.

Nota-se que, devido à natureza equivalente entre os estados III e IV do MCD, o modo de condução não irá afetar o estresse de tensão nas chaves e diodos.

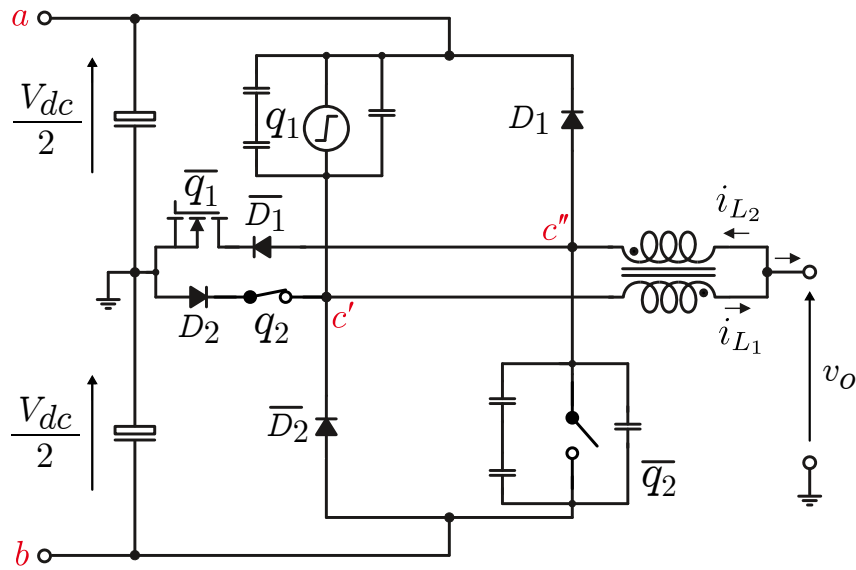
### 3.4 Análise teórica das oscilações parasitárias

Uma das vantagens principais do conversor proposto é um transitório um pouco mais suave, com menos oscilações parasitárias. É importante lembrar-se que a explicação para a ocorrência desse fenômeno é o fato de um MOSFET possuir vários elementos parasitas, como exemplificado na Figura 14.

Ao se analisar um período de tempo mais curto, como por exemplo, a mudança do estado da chave  $q_1$  de aberta para fechada, pode-se entender melhor o fenômeno das oscilações parasitárias e como limitá-las. O estado do conversor nesse momento pode ser melhor visualizado pela Figura 21. Durante o período de interesse, a chave  $q_2$  estará sempre fechada e  $\bar{q}_2$  sempre aberta.

Antes da chave  $q_1$  ser acionada,  $V_{cc}/2$  está aplicada sobre  $q_1$  e  $V_{cc}/2$  está aplicada sobre o diodo  $\bar{D}_2$ . Ao ligar  $q_1$ , já que  $\bar{D}_2$  continua não conduzindo, a tensão do barramento CC será aplicada totalmente sobre este diodo, fazendo a chave ter uma mudança súbita do nível de tensão.

Já que esta chave apresenta capacitâncias parasitas, o degrau de tensão não será instantâneo, e as oscilações parasitárias indesejadas de corrente são proporcionais à variação de tensão nesses capacitores.

Figura 21 – Representação do conversor momentos antes de  $q_1$  ser acionada

Fonte: Autoria própria

Dito isto, a adição de indutores divididos em série pode limitar este pulso de corrente, uma vez que uma das características mais básicas de um elemento indutivo é não permitir uma variação brusca da corrente que circula através do mesmo.

O pulso de corrente de menor intensidade que acontecerá em  $\bar{q}_2$  também pode ser atenuado com a utilização dos indutores divididos. Este pulso tem uma magnitude bastante inferior, justificado pelo menor  $dv/dt$  que essa chave irá apresentar.

### 3.4.1 Análise detalhada da transição de estados topológicos

Nesta análise, será estudada uma situação em que as chaves  $q_1$  e  $q_2$  estão previamente conduzindo, a chave  $q_1$  irá ser desligada, e após o tempo morto, a chave  $\bar{q}_1$  será acionada. É importante se notar que as chaves em questão estão conduzindo por tempo indeterminado, os elementos passivos não estão previamente energizados nesta análise, e será assumido que uma carga RL está conectada ao conversor.

Inicialmente, na Figura 22(a), o indutor  $L_1$ , o diodo  $D_2$  e a chave  $q_2$  conduzem. Apesar da chave  $q_1$  estar acionada, a corrente que passa pela mesma é nula, pois o conversor se encontra nesse estado há muito tempo.

Observando a Figura 22(b), percebe-se que ao ligar  $q_1$  um pouco depois do intervalo de tempo morto, mais corrente entra no nó  $c'$ . É importante notar que as seguintes equações são válidas:

$$i_{L_1} = i_{q_1} + i_{\bar{q}_2} + i_{\bar{D}_2} \quad (3.4)$$

$$i_{L_2} = i_{\bar{q}_1} + i_{\bar{q}_2} + i_{D_1} \quad (3.5)$$

Durante os três estados mostrados.

Já que o indutor não permite variações tão bruscas de corrente durante a transição, o excesso de corrente que irá começar a entrar nesse nó não irá escoar por meio de  $L_1$ .

Em virtude disso, um pouco do excedente irá passar então pelo diodo  $\bar{D}_2$ , e a grande parte do adicional de corrente irá passar pelo diodo em antiparalelo de  $q_2$  e pela capacitância parasita de  $D_2$ .

Além disso,  $L_2$  irá começar a conduzir um pouco neste estado de transição, fazendo com que o diodo  $D_1$  também conduza, além de  $\bar{D}_1$  e a chave  $\bar{q}_1$ , mesmo estando aberta.

Finalmente, na Figura 22(c), a mudança de estado é concluída, após o *ringing* ter se esvaecido. Aqui, a maior parte da corrente que vem do barramento CC flui por  $L_1$ , e vai para a carga. Uma pequena parte dessa corrente volta via  $L_2$  e  $D_1$ , e decai com velocidade definida pelos indutores divididos.

Na Figura 22, é apresentado o circuito com um esboço das formas de onda de corrente em cada elemento.

É importante notar que as formas de onda aqui representadas servem apenas como referência do formato de onda que será obtido, e não estão em escala igualitária. As correntes de componentes que conduzem em regime permanente possuem um valor mais elevado que as oscilações de corrente de elementos que conduzem apenas por meio de seus elementos parasitas.

### 3.5 Aplicação: inversor residencial de baixo custo para conexão de painel solar

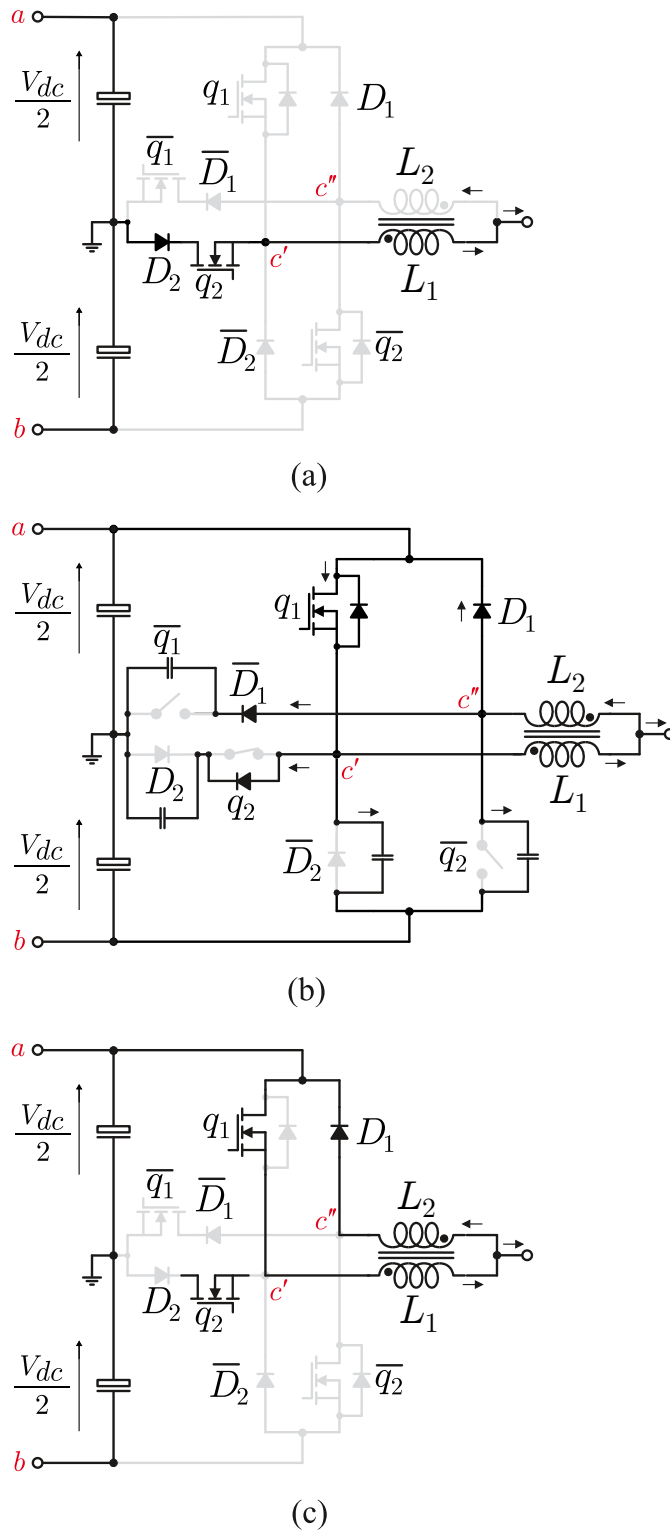
Nesta seção será apresentada uma aplicação da topologia em questão em um projeto, salientando as motivações do uso da mesma.

A aplicação consiste em um inversor solar residencial de preço mais reduzido, já que as pequenas oscilações de corrente proporcionadas pelos indutores divididos permitem a utilização de componentes de corrente nominal mais baixa, com menos riscos de causar danos a estes elementos devido a altos picos de corrente.

O projeto em si consiste de um painel fotovoltaico para gerar a tensão CC, um conversor CC/CC para o controle da energia entregue a um banco de baterias, e a topologia proposta para a conexão com a rede. O sistema pode ser visto na Figura 24(a).



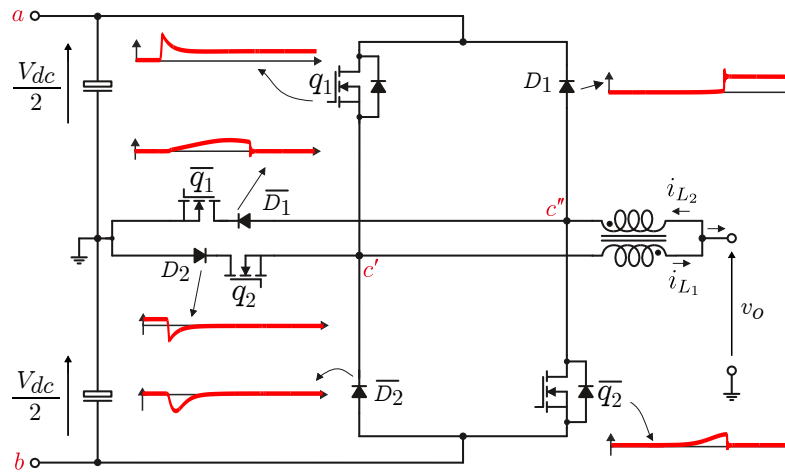
Figura 22 – Transição detalhada do conversor ao se abrir  $\bar{q}_1$  e fechar  $q_1$



Fonte: Autoria própria

Na Figura 24(b), é apresentado o esquemático da parte de potência do projeto. O painel solar é conectado ao banco de baterias através de um conversor CC/CC generalizado, como por exemplo uma ponte dupla ativa.

Figura 23 – Circuito com esboços do formato de onda da corrente em diversos elementos durante a transição de estados

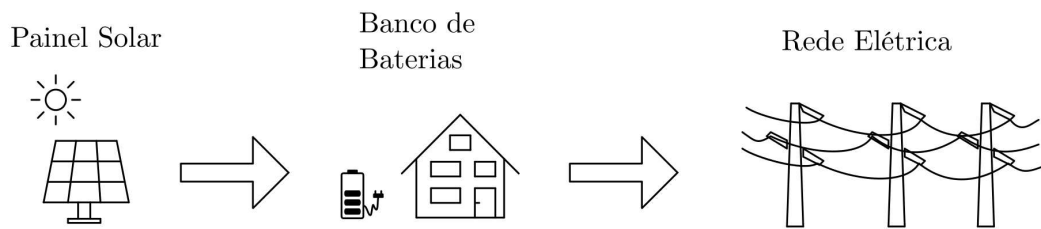


Fonte: Autoria própria

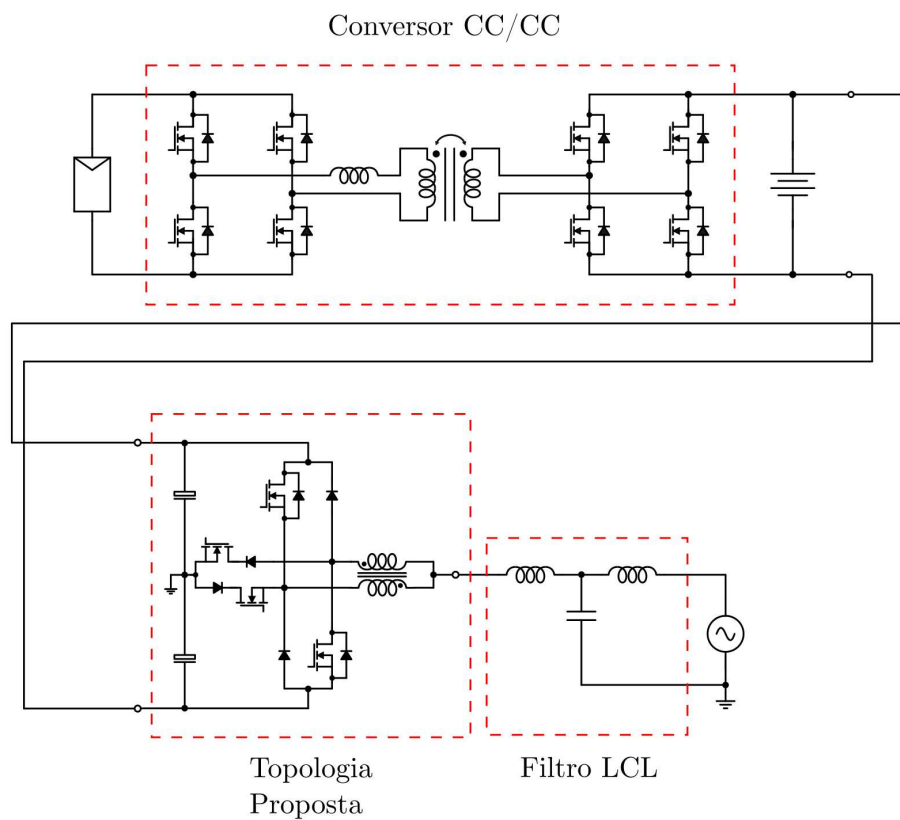
A tensão contínua de saída é então entregue ao inversor, que consiste na topologia do conversor tipo-T de três níveis. As oscilações de corrente durante o transitório serão menores, permitindo que os componentes que compõem essa parte do projeto não precisem suportar uma corrente nominal tão elevada.

Por fim, a saída CA é conectada à rede por meio de um filtro LCL, que, por sua vez, não demanda um dimensionamento tão preciso quanto ao caso em que se fosse utilizado um conversor de dois níveis, já que a tensão de três níveis apresentará um THD mais reduzido.

Figura 24 – Aplicação da topologia de três níveis em um projeto de painel solar residencial. Representação geral do projeto (a); Circuito completo (b)



(a)



(b)

Fonte: Autoria própria

## Capítulo 4

---

### *Análise da Proposta do Conversor de Vários Níveis*

---

#### 4.1 Apresentação da versão de cinco níveis do conversor proposto

Assim como os demais conversores multiníveis, a versão de três níveis previamente apresentada no capítulo 3 pode ser expandida para diversos níveis de tensão de saída, reduzindo assim o seu conteúdo harmônico desta tensão e causando menos estresse nos componentes ao aumentar o número de componentes do conversor.

Uma versão similar com cinco níveis ao conversor proposto no capítulo anterior também será feita. A diferença entre as topologias tradicional e a proposta é ilustrada na Figura 25.

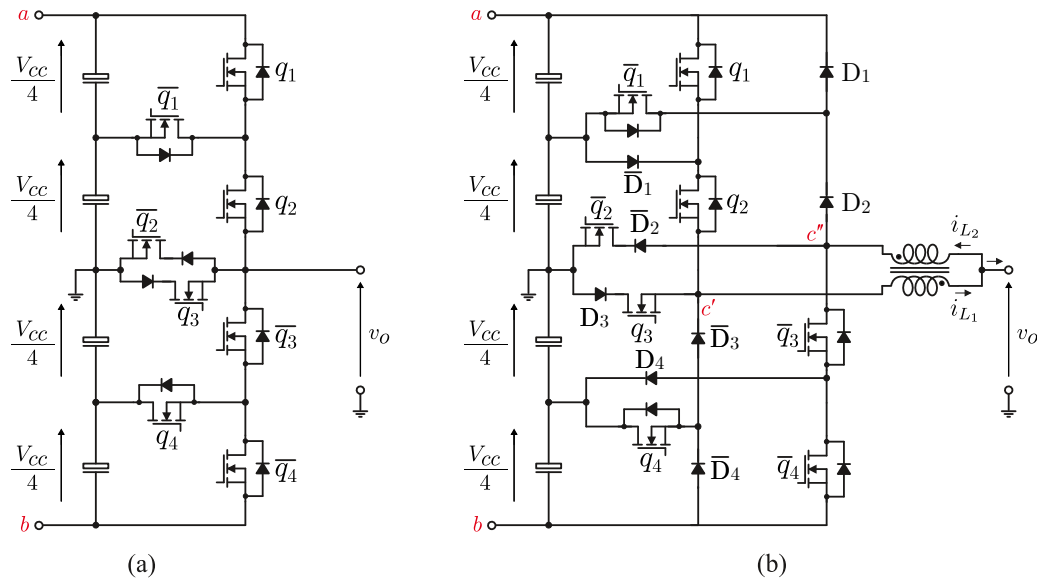
A estratégia de modulação para o conversor de cinco níveis para o caso de controle em malha aberta é apresentada na Figura 26. As referências serão comparadas com quatro portadoras deslocadas em nível, para gerar os sinais de chaveamento das chaves  $q_1$  a  $q_4$  e suas complementares.

Similarmente ao caso da modulação da versão de três níveis apresentado na Figura 17, serão utilizadas quatro portadoras deslocadas em nível para a comparação com um sinal de referência para gerar os sinais a serem enviados para as portas das chaves, bem como suas complementares.

#### 4.2 Estados topológicos do conversor de cinco níveis

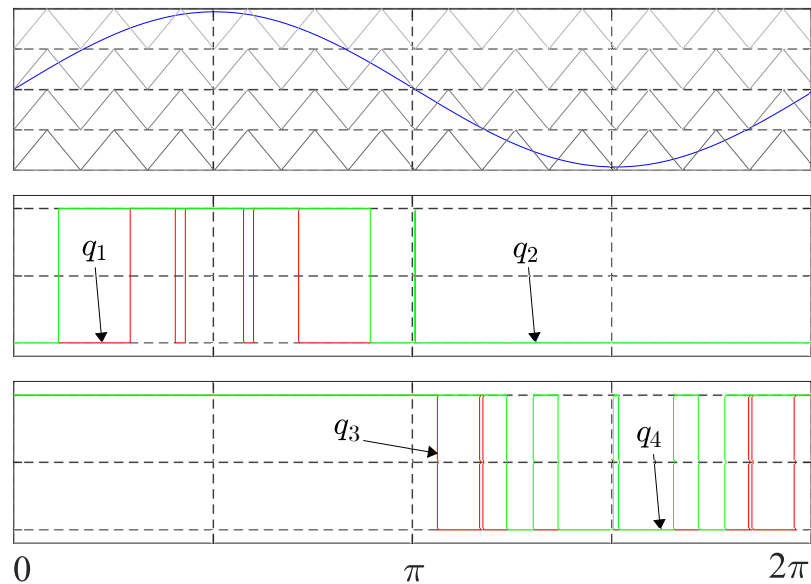
Para o conversor de cinco níveis, existem também cinco estados topológicos quando os dois indutores divididos conduzem, que por sua vez podem ser visualizados de forma individual na Figura 27.

Figura 25 – Comparação entre o conversor tipo-T de cinco níveis tradicional (a) e o proposto com indutores separados (b).



Fonte: Autoria própria

Figura 26 – Modulação usada para o conversor de cinco níveis

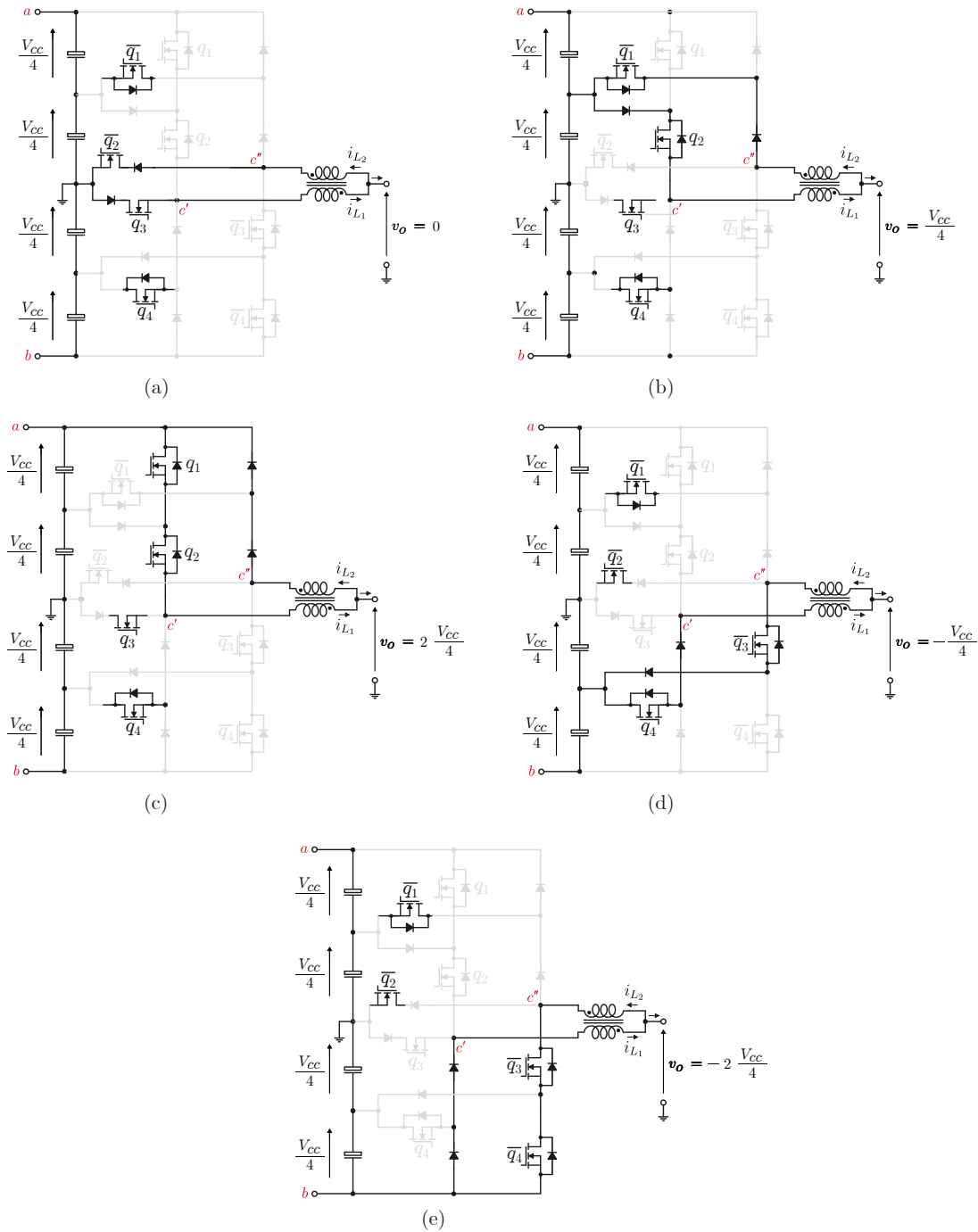


Fonte: Autoria própria

A descrição de cada estado topológico pode ser feita como:

- **Estado I:** As chaves  $\bar{q}_1$ ,  $\bar{q}_2$ ,  $q_3$  e  $q_4$  estão ligadas. Já que os indutores irão acumular energia nos outros estados, eles irão descarregar e a corrente irá circular brevemente por  $\bar{q}_2$ ,  $q_3$ ,  $\bar{D}_2$  e  $D_3$ , fazendo com que a tensão na carga seja igual a 0. Durante este

Figura 27 – Os estados topológicos para o conversor de cinco níveis. Estado I (a); Estado II (b); Estado III (c); Estado IV (d); Estado V (e).



Fonte: Autoria própria

estado, a tensão máxima sobre as chaves que não conduzem é  $V_{cc}/4$ .

- **Estado II:** As chaves  $\bar{q}_1$ ,  $q_2$ ,  $q_3$  e  $q_4$  estão ligadas, das quais  $\bar{q}_1$  e  $q_2$  irão conduzir. Neste estado, o ponto médio entre o terminal positivo da fonte CC e o terra será conectado à carga, permitindo que a corrente vá do barramento CC até a carga através de  $\bar{D}_1$  e  $q_2$ , e vice-versa por meio de  $D_2$  e  $\bar{q}_1$ . A tensão na carga será de

$+V_{cc}/4$ , assumindo que as quedas de tensão de condução dos elementos passivos e ativos são desprezíveis.

- **Estado III:** As chaves  $q_1$ ,  $q_2$ ,  $q_3$  e  $q_4$  estão ligadas. Nesta configuração, o terminal positivo do barramento CC estará ligado à carga. Como resultado, a tensão de saída terá uma magnitude de  $+V_{cc}/2$ .
- **Estado IV:** As chaves  $\bar{q}_1$ ,  $\bar{q}_2$ ,  $\bar{q}_3$  e  $q_4$  estão ligadas. Neste estado, o ponto médio entre o terminal negativo do barramento CC e o terra será ligado à carga, por isso a tensão de saída terá valor igual a  $-V_{cc}/4$ .
- **Estado V:** As chaves  $\bar{q}_1$ ,  $\bar{q}_2$ ,  $\bar{q}_3$  e  $\bar{q}_4$  estão ligadas. Neste estado, o terminal negativo do barramento CC será conectado à carga, fazendo com que a tensão sobre a mesma possua um valor de  $-V_{cc}$ .

Percebe-se que para cada um dos estados topológicos, sempre haverá a possibilidade de condução de algum ponto do barramento CC à carga por meio de um dos indutores divididos, e da carga para o barramento CC por meio do indutor dividido complementar. Isto é particularmente útil para o caso em que  $L_1$  e  $L_2$  estão conduzindo simultaneamente, pois a corrente dos indutores será maior que zero em todos os estados topológicos.

### 4.3 Análise de estresse nos componentes do conversor de cinco níveis

Nas Tabelas 5 e 6, são mostrados os estresses de tensão nas chaves e nos diodos do conversor de cinco níveis. Assim como no caso do conversor de três níveis, alguns componentes precisam suportar uma tensão mais alta que os outros.

Também foi observado que os esforços elétricos sobre alguns componentes foi bastante reduzido. Alguns deles sofrem uma queda de tensão de apenas  $V_{cc}/4$ , permitindo a utilização de componentes mais baratos, ou que os mesmos sejam menos aquecidos e tenham um maior tempo de vida útil.

### 4.4 Apresentação da versão do conversor proposto de $n$ níveis

A topologia também pode ser estendida para  $n + 1$  níveis. A Figura 28 mostra a comparação entre a configuração da topologia tradicional e a proposta.

Percebe-se que, entre as duas topologias, a quantidade de chaves é a mesma; contudo, ao se utilizar a proposta, será necessário adicionar uma quantidade de diodos igual ao número de chaves, dobrando assim a quantidade total de componentes semicondutores.

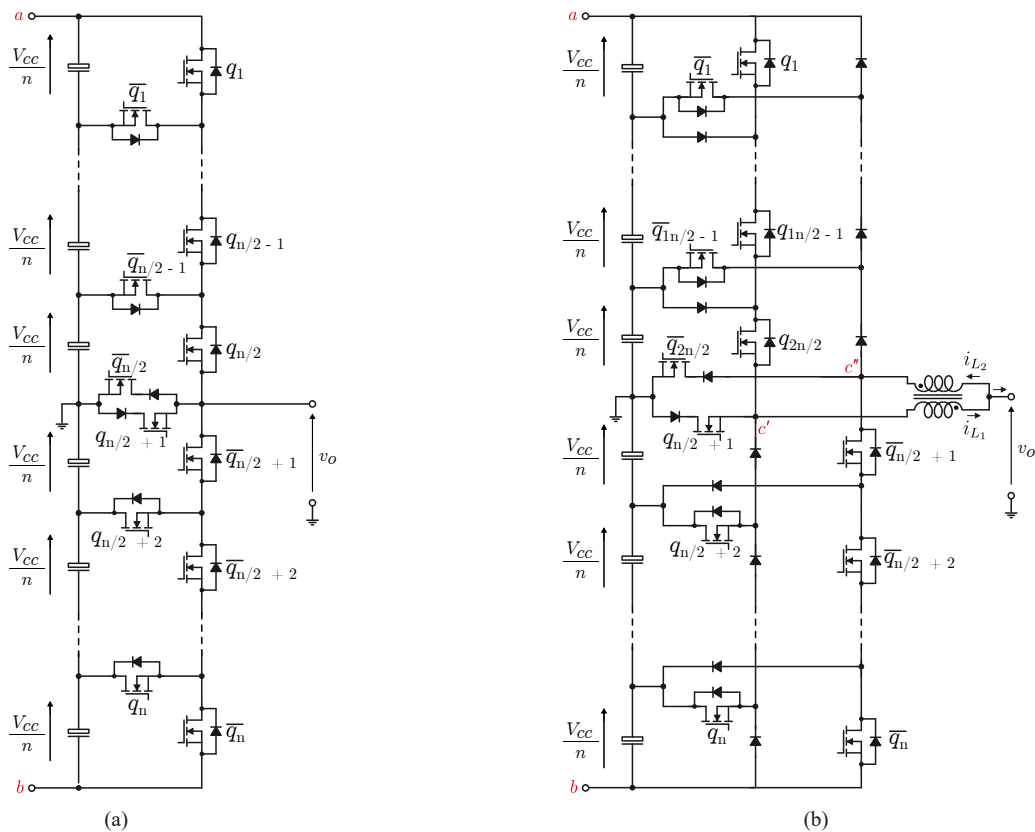
Tabela 5 – Estresses de tensão nas chaves para cada estado topológico para o conversor de cinco níveis.

Estado	$v_{q_1}$	$v_{\bar{q}_1}$	$v_{q_2}$	$v_{\bar{q}_2}$	$v_{q_3}$	$v_{\bar{q}_3}$	$v_{q_4}$	$v_{\bar{q}_4}$
I	$V_{cc}/4$	0	$V_{cc}/4$	0	0	$V_{cc}/4$	0	$V_{cc}/4$
II	$V_{cc}/4$	0	0	$V_{cc}/4$	0	$2V_{cc}/4$	0	$V_{cc}/4$
III	0	$V_{cc}/4$	0	$2V_{cc}/4$	0	$3V_{cc}/4$	0	$V_{cc}/4$
IV	$V_{cc}/4$	0	$2V_{cc}/4$	0	$V_{cc}/4$	0	0	$V_{cc}/4$
V	$V_{cc}/4$	0	$3V_{cc}/4$	0	$2V_{cc}/4$	0	$V_{cc}/4$	0

Tabela 6 – Estresses de tensão nos diodos para cada estado topológico para o conversor de cinco níveis.

Estado	$v_{D_1}$	$v_{\bar{D}_1}$	$v_{D_2}$	$v_{\bar{D}_2}$	$v_{D_3}$	$v_{\bar{D}_3}$	$v_{D_4}$	$v_{\bar{D}_4}$
I	$V_{cc}/4$	0	$V_{cc}/4$	0	0	$V_{cc}/4$	0	$V_{cc}/4$
II	$V_{cc}/4$	0	0	0	$V_{cc}/4$	$2V_{cc}/4$	0	$V_{cc}/4$
III	0	$V_{cc}/4$	0	0	$2V_{cc}/4$	$3V_{cc}/4$	0	$V_{cc}/4$
IV	$V_{cc}/4$	0	$2V_{cc}/4$	$V_{cc}/4$	0	0	0	$V_{cc}/4$
V	$V_{cc}/4$	0	$3V_{cc}/4$	$2V_{cc}/4$	0	0	$V_{cc}/4$	0

Figura 28 – Comparação entre o conversor tipo-T de  $n + 1$  níveis tradicional (a) e o proposto com indutores separados (b).



Fonte: Autoria própria



## Capítulo 5

---

### *Resultados de Simulação*

---

Neste capítulo serão apresentados os dados extraídos do conversor proposto.

Antes dos resultados experimentais e seus dados serem coletados, foram realizadas simulações em *softwares* para uma confirmação prévia e se ter uma melhor garantia do seu funcionamento.

#### 5.1 Funcionamento normal do circuito de três níveis em malha aberta

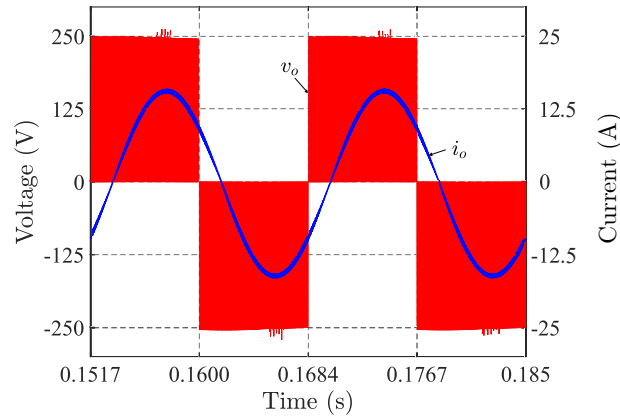
Duas simulações do conversor Tipo-T monofásico de três níveis em malha aberta foram feitas na plataforma PSIM<sup>TM</sup>. Uma com indutâncias maiores, de modo que ambos os indutores estejam sempre conduzindo, e outra com valores de indutância menores, fazendo com que apenas um indutor conduza de cada vez. A tabela 7 lista alguns parâmetros de simulação utilizados. O valor de tensão do barramento CC foi escolhido adequadamente, assim como valores de uma carga RL que simulam a potência entregue do conversor. A Figura 29 mostra os resultados de simulação da tensão de saída e corrente.

Na Figura 30, as correntes nos indutores divididos são mostradas, assim como a corrente de saída. As condições de operação são as mesmas para ambos os casos, a única diferença foi a indutância. Foram utilizados indutores de 100  $\mu\text{H}$  na simulação que gerou as formas de onda da figura 30(a), e 10  $\mu\text{H}$  para produzir a Figura 30(b).

A plataforma LTSPICEXVII<sup>TM</sup> possui capacidade de simular elementos reais, como chaves com elementos parasitas e várias de suas características não-ideais, apresentando curvas de tensão e corrente mais próximas da realidade.

Dito isto, nesta também foram realizadas duas simulações, uma delas com indu-

Figura 29 – Resultados de simulação. Corrente e tensão de três níveis de saída.

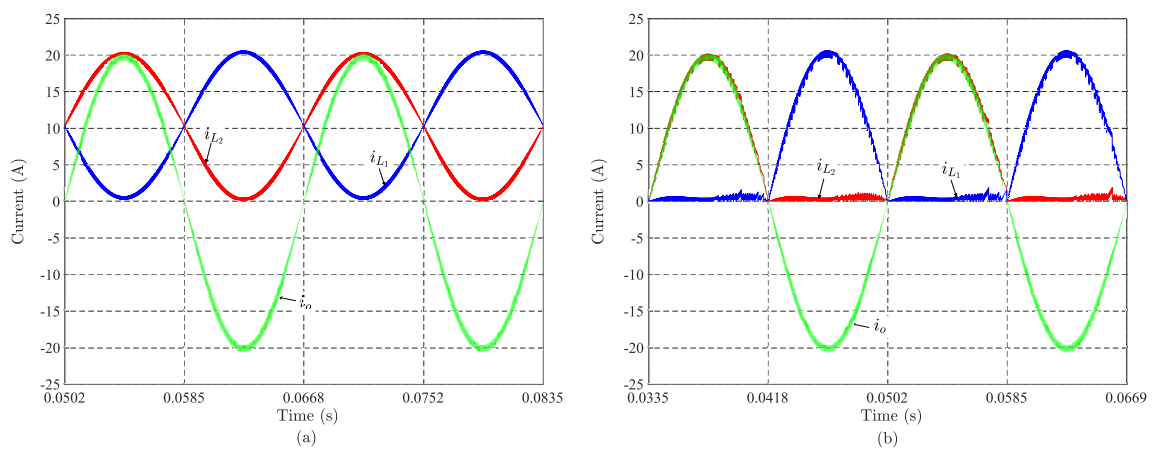


Fonte: Autoria própria

Tabela 7 – Parâmetros de simulação do conversor de três níveis.

Parâmetro	Valor
Tensão CC	500 V
Carga RL	10 $\Omega$ 2 mH
Indutância dividida	100 $\mu$ H (ambos indutores conduzindo) 10 $\mu$ H (um indutor conduzindo)
Indutância mútua	90 $\mu$ H (ambos indutores conduzindo) 9 $\mu$ H (um indutor conduzindo)

Figura 30 – Resultados de simulação. Correntes para cada um dos indutores divididos e carga: dois indutores conduzindo (a), e um indutor conduzindo (b).



Fonte: Autoria própria

Tabela 8 – Comparação de eficiência ao se utilizar de indutores divididos de valores diferentes.

$L_1 = L_2 = 1 \text{ pH}$	$P_i = 930,11 \text{ W}$	$\eta = 85,00\%$
	$P_o = 790,61 \text{ W}$	
$L_1 = L_2 = 10 \text{ }\mu\text{H}$	$P_i = 821,44 \text{ W}$	$\eta = 96,67\%$
	$P_o = 794,02 \text{ W}$	

Tabela 9 – Comparação de eficiência entre as topologias tradicional e com indutores divididos.

Conventional	$P_i = 946,05 \text{ W}$	$\eta = 85,07\%$
	$P_o = 804,95 \text{ W}$	
Indutores divididos	$P_i = 831,37 \text{ W}$	$\eta = 96,82\%$
	$P_o = 804,95 \text{ W}$	

tâncias consideráveis, e outra com indutâncias desprezíveis, para se observar melhor seu impacto em características como eficiência, estresse de tensão e oscilações. na tabela 8, observa-se que houve uma melhoria na eficiência total de 85% para 96,67% apenas ao se utilizar indutores divididos.

Outra simulação foi realizada para comparar a performance do conversor convencional com o que utiliza os indutores divididos. Os resultados desta análise comparativa são apresentados na Tabela 9. Ela destaca a diferença na eficiência entre eles. Nota-se que os valores de eficiência são bastante similares aos da comparação feita na Tabela 8, sugerindo que a eficiência do conversor tradicional e com indutores divididos de baixa indutância é similar.

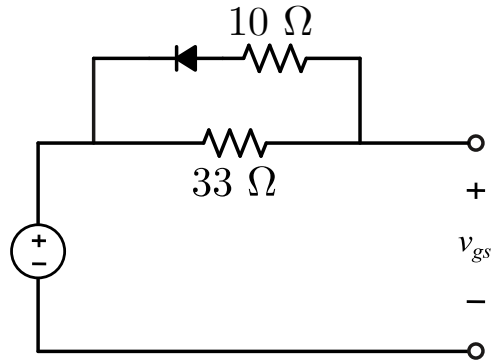
### 5.1.1 Simulações para análise de oscilações parasitárias do conversor de três níveis

A nível de simulação, o sinal da porta dos MOSFETs foi gerado utilizando o circuito de *driver* visto na Figura 31.

Para a análise das oscilações parasitárias, as chaves  $q_1$  e  $\bar{q}_1$  alternaram de estado, enquanto que  $q_2$  permaneceu sempre fechada e  $\bar{q}_2$  sempre aberta.

Dito isso, uma simulação foi feita utilizando-se da plataforma LTSPICEXVII<sup>TM</sup>, com indutâncias divididas desprezíveis de apenas 1 pH cada. Ao se abaixar o valor das indutâncias divididas, o conversor irá funcionar de forma bastante similar à topologia tradicional, apresentando formas de onda de transitório bem próximas nos dois casos. Na figura 32(a), as tensões de *gate* a *source* das chaves podem ser vistas durante o momento de transição.

Figura 31 – Modelo de *driver* utilizado na simulação.

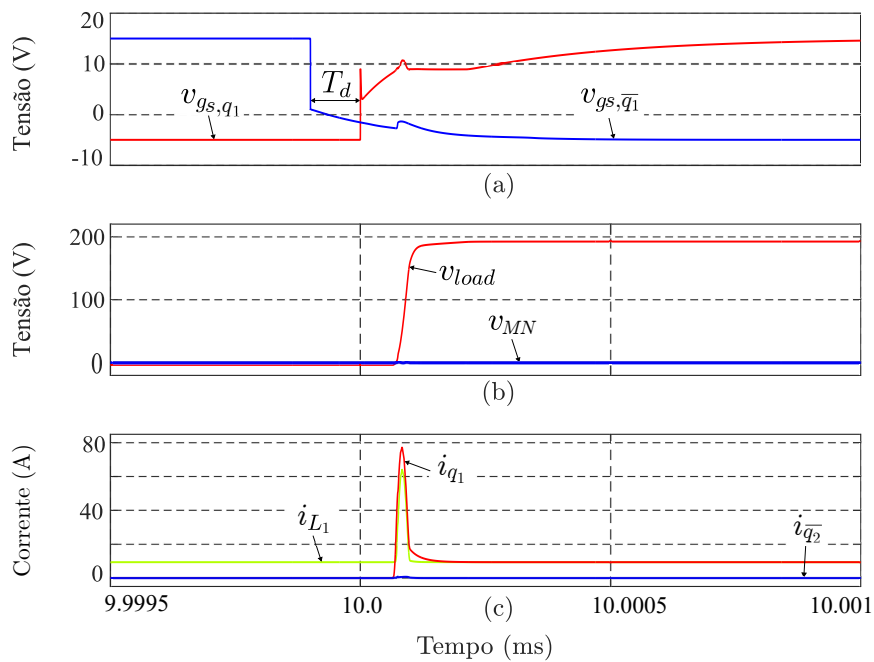


Fonte: Autoria própria

Na figura 32(b), percebe-se que a tensão na carga assemelha-se a um degrau durante a transição de estados, e a tensão entre os pontos médios dos braços não se altera.

Finalmente, na figura 32(c), percebe-se que a corrente  $i_{q_1}$  da chave superior do primeiro braço apresenta um sobressinal bastante elevado, chegando a se aproximar de 80 A. É interessante notar que a corrente no indutor também teve um pico relevante, já que pode ser considerado um fio ideal devido à sua baixa indutância. A corrente na chave do outro braço  $i_{\bar{q}_2}$  teve uma pequena oscilação, mesmo sem seus estados terem sido alterados.

Figura 32 – Resultados de simulação. Análise das oscilações parasitárias com indutores de 1 pH.



Fonte: Autoria própria

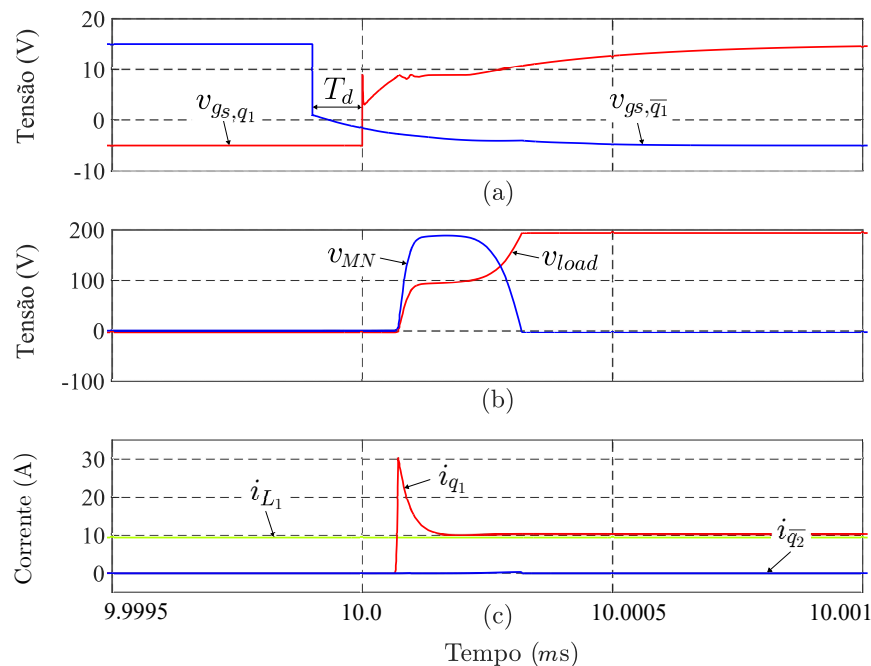
Ao se adicionar indutores divididos de  $10\ \mu\text{H}$  cada, algumas formas de onda sofrem uma alteração relevante. Vistas na figura 33(a), as tensões de *gate* são similares às tensões para o caso anterior com indutâncias de  $1\ \text{pH}$ .

Na figura 33(b), nota-se que a tensão na carga demorou um pouco mais para atingir o valor  $+V_{cc}/2$ , passando por um patamar intermediário, e durante o mesmo intervalo de tempo, a tensão entre os braços  $v_{MN}$  sofreu um pulso, fenômeno que não foi observado no caso anterior.

De acordo com (YAN et al., 2017), o fato da tensão na carga apresentar um  $dv/dt$  mais baixo no conversor de saída dividida pode levar à redução de interferência eletromagnética. Além disso, o mesmo estudo complementa que, para aplicações em acionamento de máquinas, este tipo de característica pode aliviar os estresses de tensão em alta frequência, se baseando em (BOGLIETTI; CAVAGNINO; LAZZARI, 2005).

Finalmente, as correntes de interesse são observadas na Figura 33(c). A corrente  $i_{q_1}$  teve seu *overshoot* bastante reduzido com relação ao caso anterior, com seu pico tendo diminuído de  $80\ \text{A}$  para  $30\ \text{A}$ . Já que a presença do indutor neste caso é bastante mais influente, a corrente que passa pelo mesmo se manteve praticamente constante durante todo o estado de observação. A corrente  $i_{\bar{q}_2}$  não apresentou mudanças notáveis com relação ao caso anterior.

Figura 33 – Resultados de simulação. Análise das oscilações parasitárias com indutores de  $10\ \mu\text{H}$ .



Fonte: Autoria própria

Quando  $v_{gs_1}$  está próximo de atingir o valor nominal de *gate* da chave modelada, a

tensão na carga  $v_{load}$  inicia sua transição de 0 para  $+V_{cc}/2$ . Durante este tempo de subida de  $v_{load}$ , a tensão entre os braços  $v_{MN}$  irá apresentar um *spike*, relacionada ao pico de corrente da chave  $s_1$   $i_{s_1}$ .

### 5.1.2 Simulação de transição de estados topológicos do conversor de três níveis

Na subseção 3.4.1, foi descrito e analisado o processo de abrimento da chave  $\bar{q}_1$  e fechamento da chave  $q_1$ . Para melhor corroborar o que foi descrito, uma simulação na plataforma do LTSPICEXVII<sup>TM</sup> foi realizada. Os mesmos parâmetros que a tabela 7 foram utilizados.

Na Figura 34 são apresentados os resultados de simulação para as correntes dos diodos. A corrente  $i_{D_1}$  sofre uma mudança de nível suave após a transição, referente à corrente que vem da carga para o barramento CC nesse estado.

Já a corrente  $i_{D_2}$  sofre um transitório mais repentino: em um intervalo prévio à mudança de chaveamento, o diodo  $D_2$  conduz. Este comportamento mais súbito se deve ao fato do indutor tentar manter o nível de corrente, e como houve uma mudança na configuração das chaves, ela escoou pelo diodo.

A corrente  $i_{\bar{D}_2}$  indica que este diodo conduz reversamente com uma amplitude mínima durante o pequeno intervalo em questão.  $i_{\bar{D}_1}$  possui como característica um pulso mais lento e de intensidade mais alta que o de  $i_{\bar{D}_2}$ , porém ainda relativamente baixo, já que normalmente o diodo não conduz.

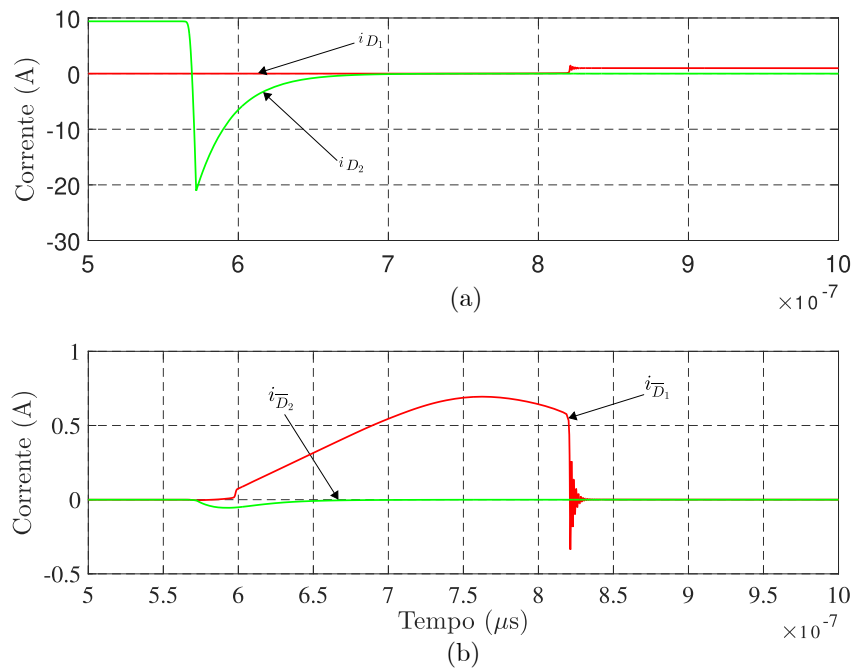
Na Figura 35 são mostradas as formas de onda das correntes das chaves. A corrente  $i_{q_1}$  apresenta um comportamento em degrau, com um certo pico durante o período de transição, estabilizando-se em um valor constante no próximo estado. Este valor de pico será limitado também pelo valor da indutância dividida.

A corrente  $i_{q_2}$  também irá apresentar um comportamento similar a  $i_{q_1}$ , porém com o sinal invertido. Inicialmente, ela irá conduzir devido à configuração inicial das chaves. Após a mudança de estado das chaves, a corrente irá ter um pico negativo, para depois se estabilizar em um valor nulo. Possui o mesmo formato que o diodo  $D_2$ , já que estes dois dispositivos estão em série.

Já que o diodo  $\bar{D}_1$  está em série com a chave  $\bar{q}_1$ , ambos terão as suas correntes com o mesmo formato de onda e amplitude. A corrente  $i_{\bar{q}_2}$  também apresenta um crescimento mais leve durante o período de transição graças aos seus elementos parasitas, mesmo com esta chave mantendo seu estado de aberta.

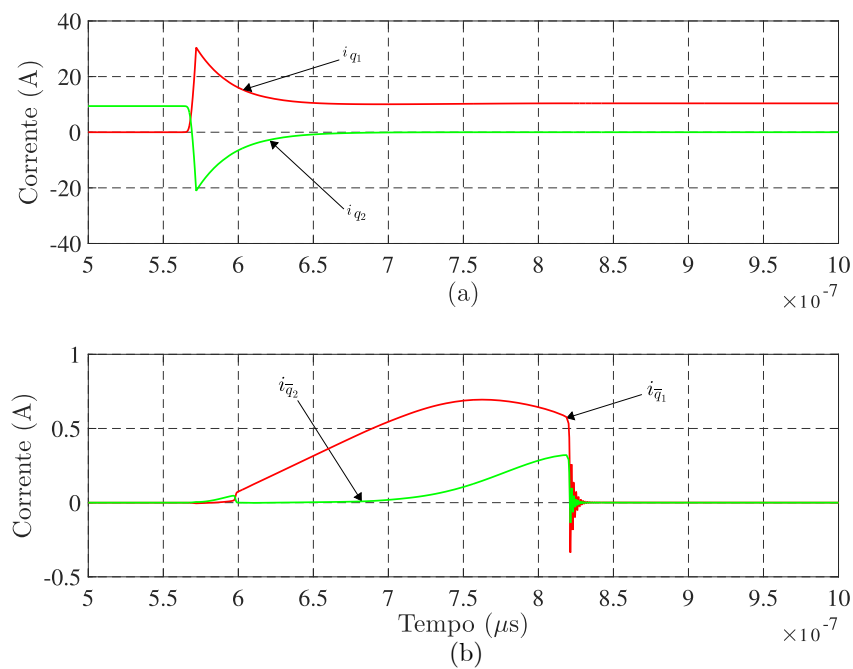
Outra explicação que reforça a existência das oscilações de baixa frequência pode ser a interação das indutâncias parasitas, geradas pela disposição das trilhas de cobre nas

Figura 34 – Resultados de simulação. Análise das oscilações parasitárias das correntes nos diodos do conversor de três níveis durante a transição de estados.



Fonte: Autoria própria

Figura 35 – Resultados de simulação. Análise das oscilações parasitárias das correntes nas chaves do conversor de três níveis durante a transição de estados.



Fonte: Autoria própria

placas de circuito impresso e os cabos para conexão da mesma com o a carga ou outros elementos, com outras capacitâncias parasitas.

Ao se aumentar o valor da indutância deste circuito LC formado, por meio da conexão dos indutores divididos, o carregamento e descarregamento das capacitâncias parasitas pode ser mais limitado, explicando a redução de algumas oscilações através do uso de indutores divididos.

## 5.2 Simulação para análise de tempo morto

Foi feita outra simulação dentro do ambiente LTSPICEXVII<sup>TM</sup>, com o objetivo de comparar a corrente na chave que acaba de ser acionada, variando-se a duração do tempo morto e as indutâncias divididas.

Na Figura 36 é feita uma comparação de  $i_{q1}$  para vários pontos de operação. Percebe-se que, ao comparar as Figuras 36(a) e 36(c), a diminuição da duração do tempo morto não afeta o *overshoot* de corrente na chave  $q_1$ , já que foi utilizada uma indutância dividida de 10  $\mu\text{H}$ . Porém, ao se comparar as Figuras 36(b) e 36(d), nas quais são usados apenas 1 nH, percebe-se um *overshoot* bastante elevado ao se diminuir drasticamente o tempo morto.

## 5.3 Simulação do conversor de cinco níveis

Para o conversor monofásico de cinco níveis, também foram feitas algumas simulações para comprovar seu funcionamento em malha aberta. Na plataforma LTSPICEXVII<sup>TM</sup>, os dados expostos na Tabela 10 foram utilizados:

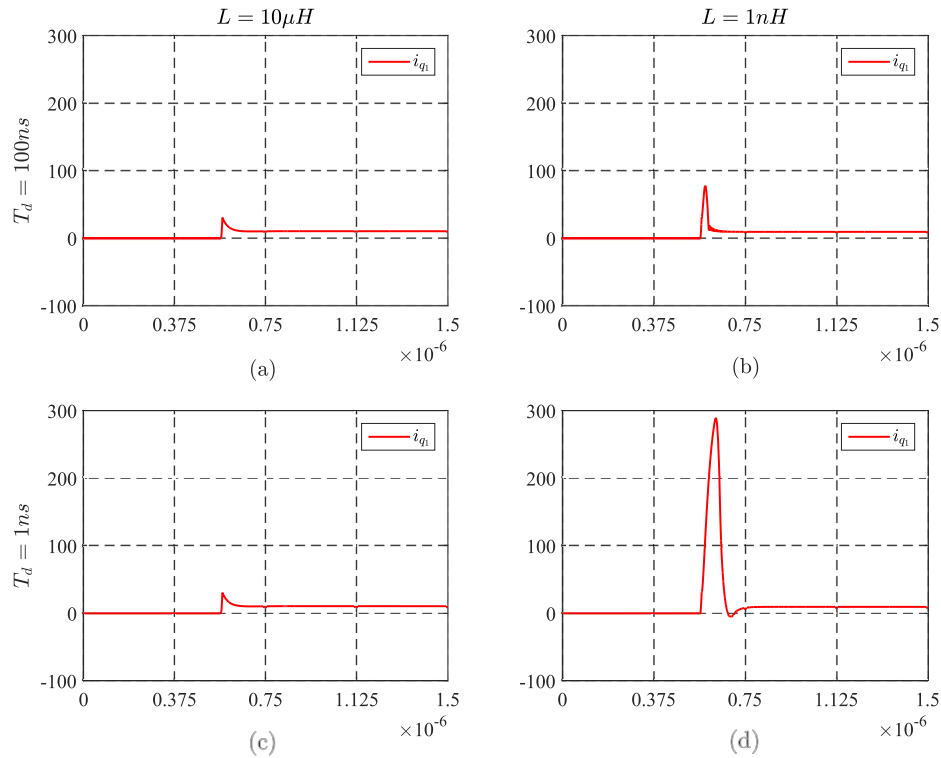
Tabela 10 – Parâmetros de simulação do conversor de cinco níveis.

Parâmetro	Especificação
Tensão CC	400 V
Carga RL	10 $\Omega$ 20 mH
Indutância dividida	10 $\mu\text{H}$
Modelo de chaves utilizadas	R6020PNJ
Modelo de diodos utilizados	VS-ESPH3012

Inicialmente, são apresentadas na Figura 37 a tensão de cinco níveis sobre a carga, bem como a corrente que passa pela mesma. A corrente se encontra levemente defasada em razão da carga com alto valor de indutância.



Figura 36 – Resultados de simulação. Análise comparativa da corrente  $i_{q1}$  ao se variar o tempo morto.



Fonte: Autoria própria

### 5.3.1 Simulação para análise das oscilações parasitárias no conversor de cinco níveis

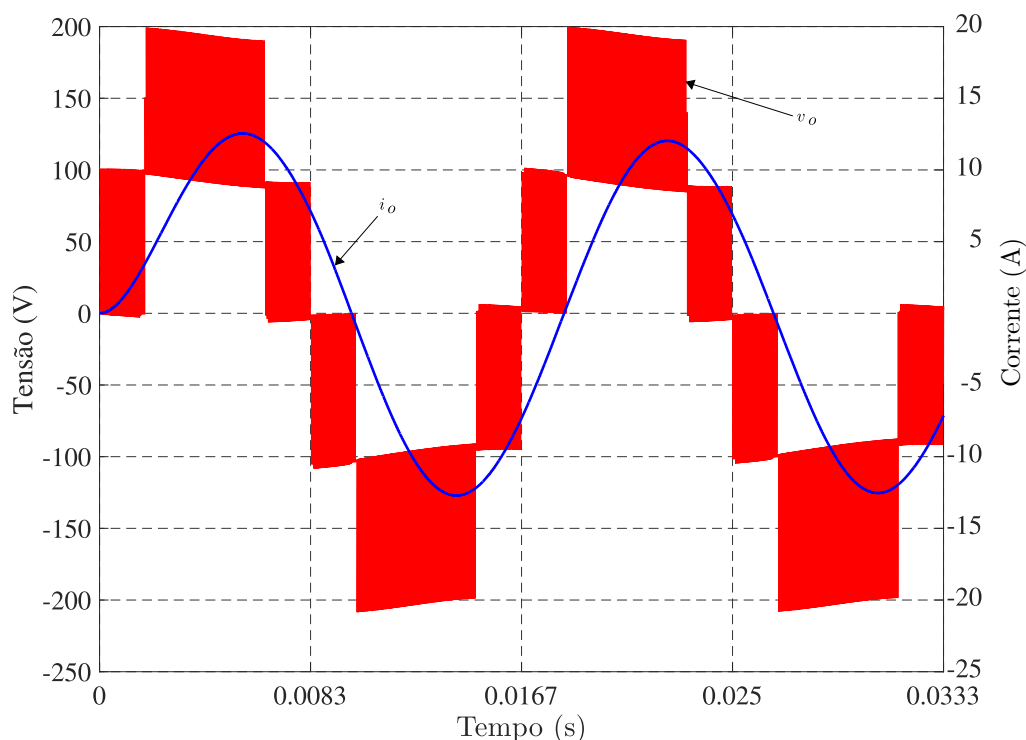
Assim como no caso do conversor de três níveis, algumas simulações para a análise das oscilações parasitárias foram realizadas na plataforma LTSPICEXVII<sup>TM</sup> para o conversor de cinco níveis. A indutância utilizada na carga continua sendo bastante elevada, com valor de 20 mH.

Na Figura 38 são apresentados algumas formas de onda para o caso em que se utilizam indutores divididos de 1 pH, para simular o caso em que nenhuma indutância é utilizada, ou em que há a presença de valores de indutância desprezíveis.

Para a análise das oscilações parasitárias, as chaves  $q_3$  e  $\bar{q}_3$  mudaram de estado entre si, com um pequeno tempo morto, enquanto que  $q_1$  e  $q_2$  permaneceram sempre abertas e  $q_4$  sempre fechada, como visto na Figura 38(a).

Assim como no caso do conversor de três níveis, na Figura 32(b), percebe-se que a tensão na carga assemelha-se a um degrau durante a transição de estados, e a tensão entre os pontos médios  $v_{MN}$  permanece constante, sem alterações consideráveis.

Figura 37 – Resultados de simulação. Tensão e corrente de saída para o conversor de cinco níveis.



Fonte: Autoria própria

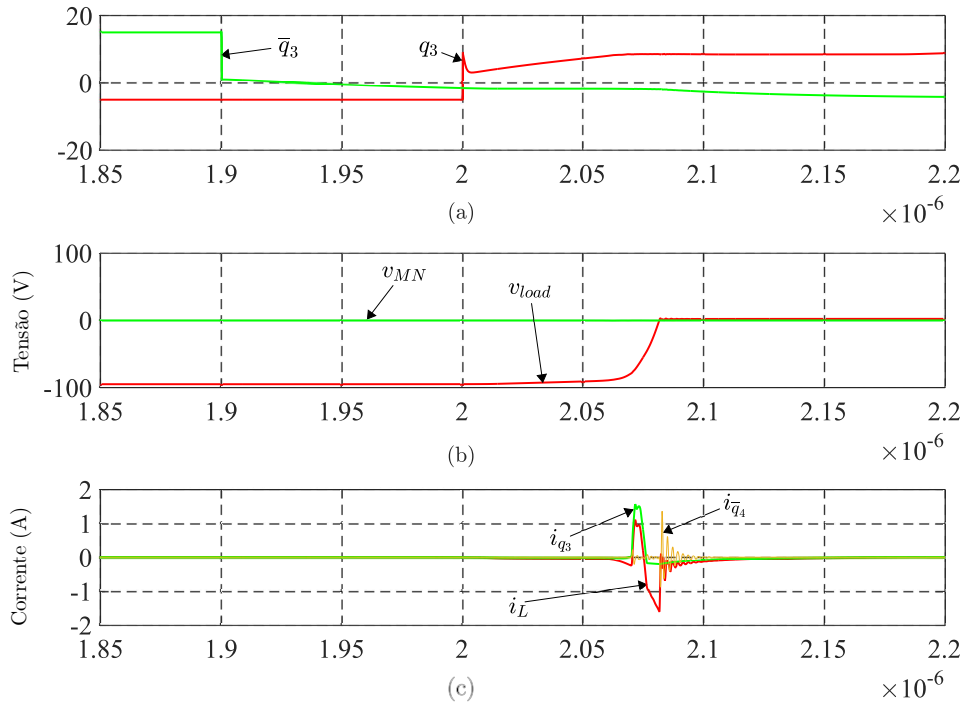
E por fim, na Figura 38(c), percebe-se que a corrente  $i_{q_3}$  possui um sobressinal mais elevado, chegando a se aproximar de 1,5 A. A corrente no indutor também mostra um pico relevante, já que pode ser considerado um fio ideal devido à sua baixa indutância. A corrente na chave do outro braço  $i_{\bar{q}_4}$  teve uma certa oscilação de alta frequência, mesmo sem a alternância de seus estados.

No caso em que indutores divididos de 10  $\mu\text{H}$  cada são adicionados, algumas formas de onda sofrem alterações importantes. Vistas na figura 39(a), as tensões aplicadas nas portas são mostradas.

Na figura 39(b), são mostradas a tensão na carga e durante o mesmo intervalo de tempo, a tensão entre os braços  $v_{MN}$ . Esta sofreu ondulações que não estavam presentes no caso em que não foram utilizados os indutores divididos.

Finalmente, dentre as correntes observadas na Figura 39(c),  $i_{q_3}$  teve seu *overshoot* bastante reduzido com relação ao caso anterior, com seu pico diminuindo de 1,5 A para aproximadamente 0,6 A. Já que a presença do indutor neste caso exerce mais influência que no caso citado anteriormente, a corrente que passa pelo mesmo se manteve praticamente constante durante o intervalo em questão. A corrente  $i_{\bar{q}_2}$  não apresentou mudanças notáveis com relação ao caso anterior.

Figura 38 – Resultados de simulação. Formas de onda para o conversor de cinco níveis ao se utilizar um indutor dividido de 1 pH



Fonte: Autoria própria

A corrente  $i_{q_4}$  continua a apresentar sua ondulação de alta frequência mesmo após a introdução de indutores divididos no conversor, reforçando a ideia de que os indutores divididos podem ser ineficazes quanto à mitigação de certas ondulações de alta frequência, como citado previamente em (YAN et al., 2017).

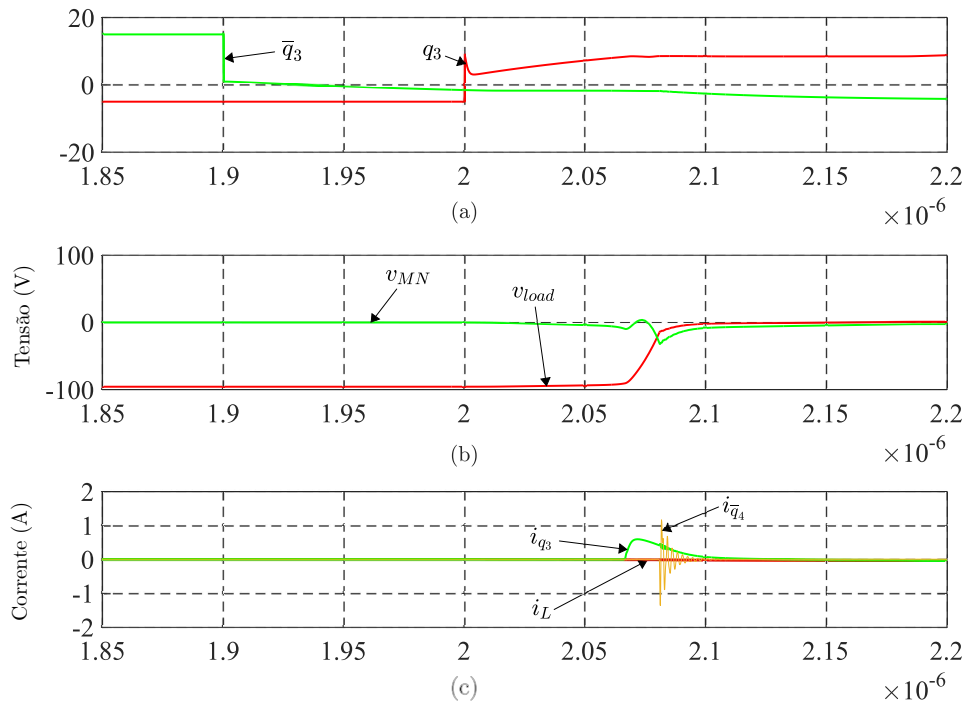
Para o conversor de cinco níveis, uma simulação no LTSPICEXVII<sup>TM</sup> também foi realizada, com o propósito de se obter resultados mais próximos da realidade.

As Figuras 40-53 mostram as formas de onda para os demais componentes ativos. Apesar da maioria dos elementos se manter inalterado, apresentam algum tipo de perturbação na forma de onda de corrente, mesmo que de mínima amplitude e duração, assim como no caso do conversor de três níveis.

A corrente  $i_{D_1}$  sofre uma oscilação de amplitude muito baixa, com ordem de grandeza desprezível, apesar de teoricamente um diodo não permitir uma corrente negativa. A corrente  $i_{D_4}$  também apresenta um comportamento similar.

Já a corrente que passa pelo seu diodo complementar,  $i_{D_1}$ , apresenta um pico negativo de amplitude ligeiramente maior, porém ainda de valor não muito significativo. A corrente  $i_{D_3}$  também apresenta um comportamento similar.

Figura 39 – Resultados de simulação. Formas de onda para o conversor de cinco níveis ao se utilizar um indutor dividido de  $10\ \mu\text{H}$



Fonte: Autoria própria

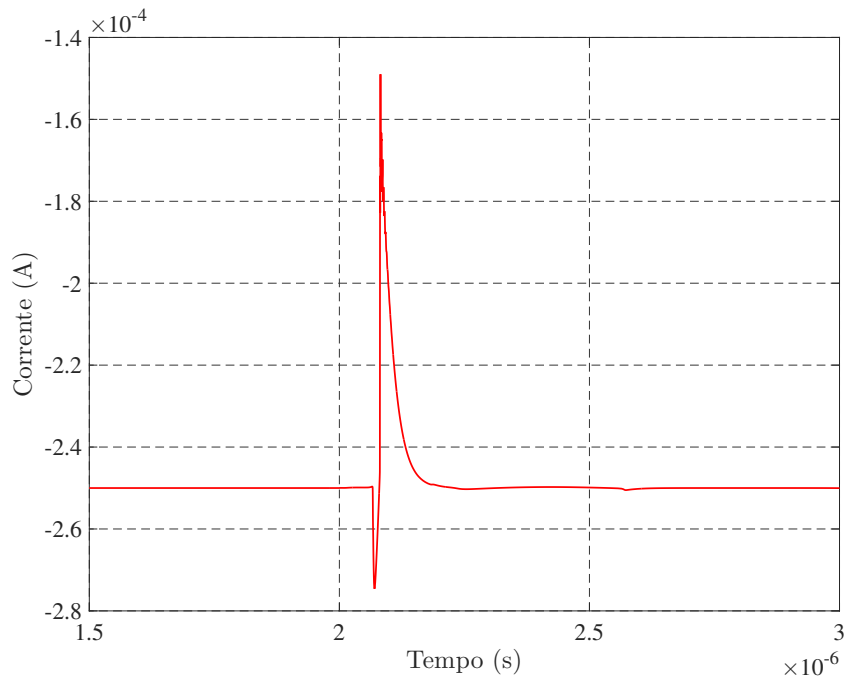
De forma similar aos casos anteriores, a corrente  $i_{D_2}$  apresenta uma pequena oscilação de amplitude de uma notabilidade baixa.

A corrente  $i_{\bar{D}_2}$  sofre um degrau brusco, com oscilações de alta frequência, como visto na Figura 43. Os pico máximo excedeu em aproximadamente  $6,2\ \text{A}$ , enquanto o regime permanente é de cerca de  $4,7\ \text{A}$ . Dito isto, esta corrente possui um sobressinal relevante.

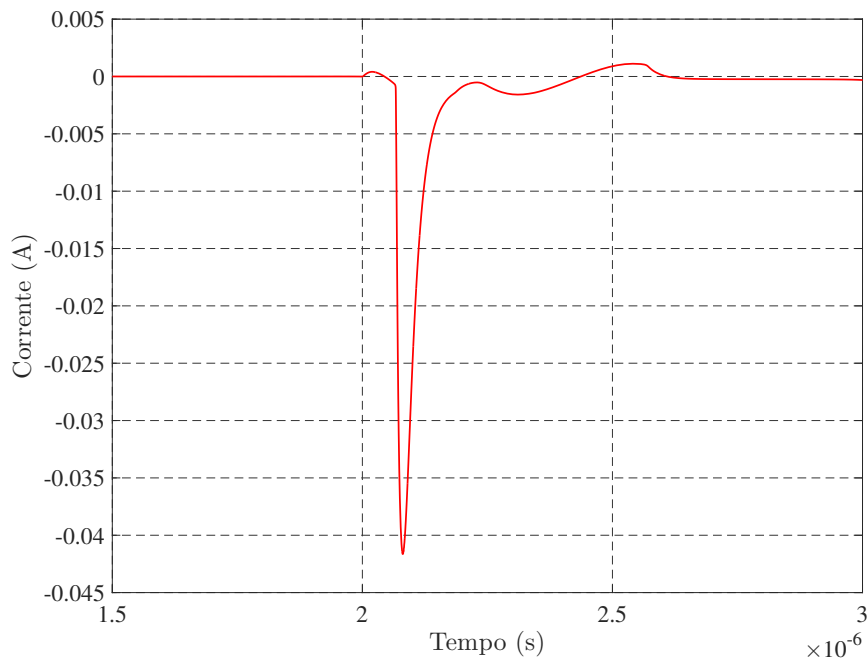
A corrente  $i_{D_3}$  apresenta uma variação mais considerável que nos primeiros casos, chegando a valores próximos de  $0,6\ \text{A}$ , aproximando-se do valor nominal de corrente quando em condução.

O diodo  $D_4$  possui uma corrente com comportamento relevante: sua oscilação parasitária apresenta valores de amplitude elevados. Ao alternar entre um estado de condução para bloqueio, a corrente oscila com alta frequência, chegando a atingir  $-2\ \text{A}$  antes de se estabilizar em um valor nulo.

As chaves que compõem o conversor de cinco níveis não são exceção quanto à presença de oscilações de transitório. A corrente  $i_{q_1}$  apresenta uma oscilação de amplitude mínima, similar ao caso da corrente  $i_{D_1}$ .

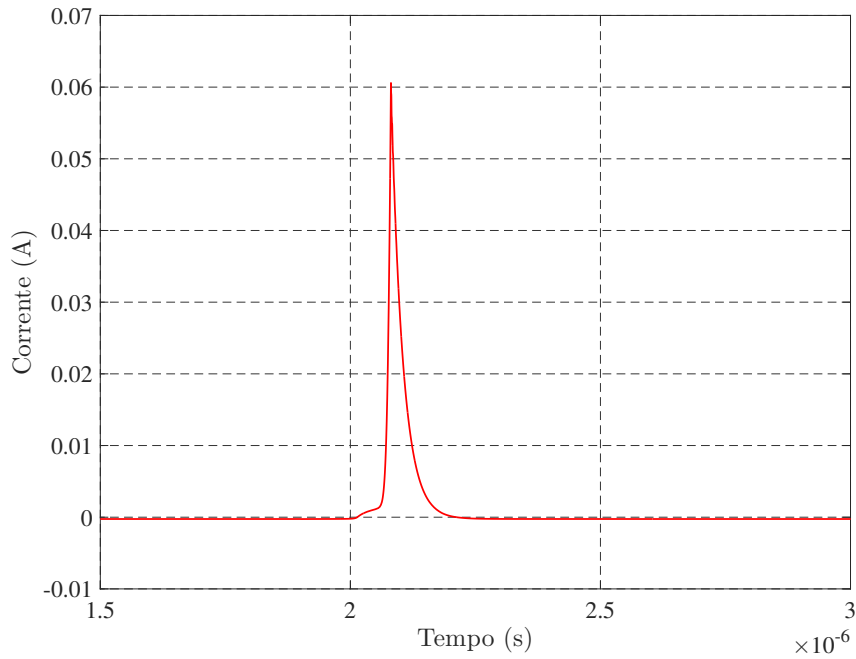
Figura 40 – Resultados de simulação. Forma de onda de corrente  $i_{D_1}$ .

Fonte: Autoria própria

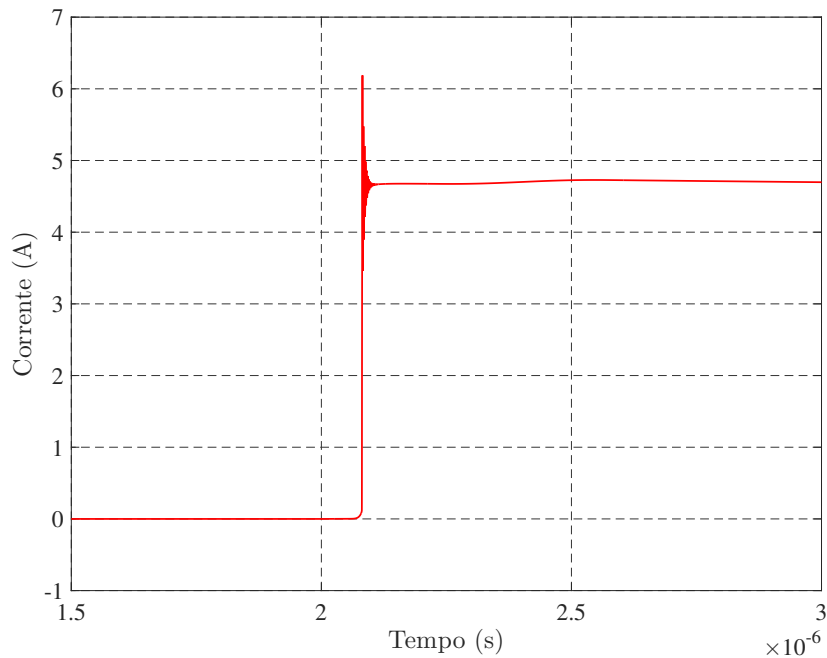
Figura 41 – Resultados de simulação. Forma de onda de corrente  $i_{\overline{D}_1}$ .

Fonte: Autoria própria

Por estarem em série no estado em que o conversor foi configurado nesta simulação, o diodo  $D_2$  e a chave  $\overline{q}_1$  apresentam a mesma forma de onda.

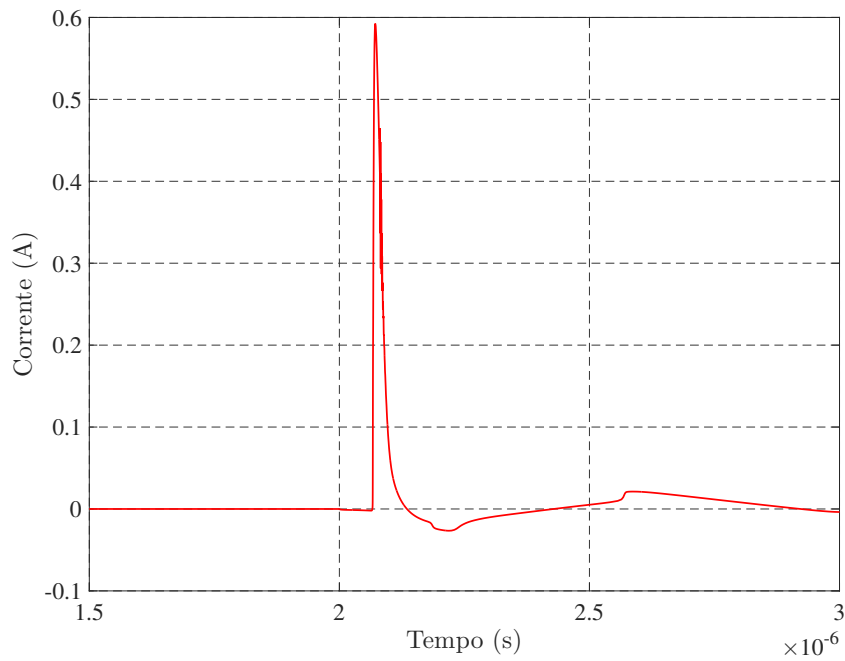
Figura 42 – Resultados de simulação. Forma de onda de corrente  $i_{D_2}$ .

Fonte: Autoria própria

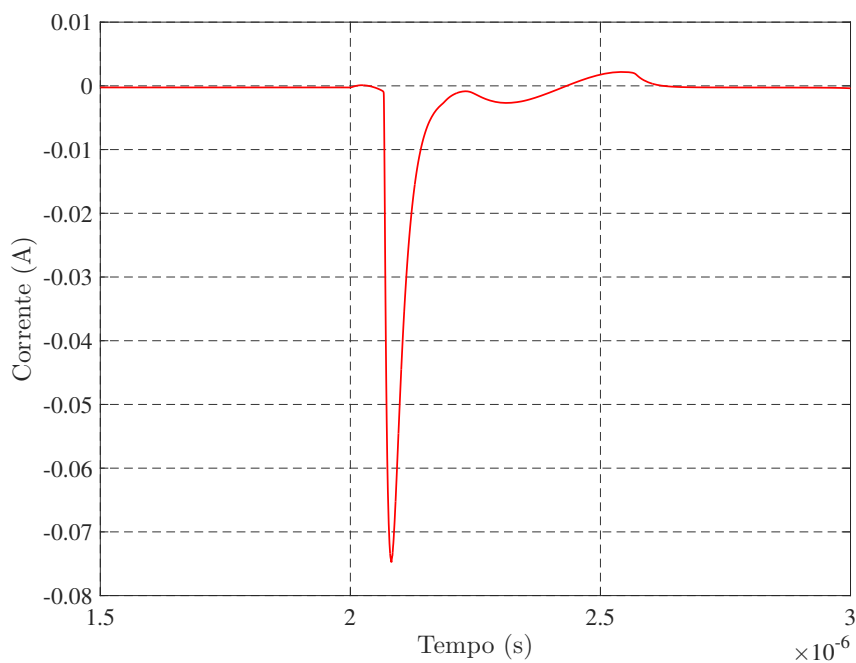
Figura 43 – Resultados de simulação. Forma de onda de corrente  $i_{\overline{D}_2}$ .

Fonte: Autoria própria

As chaves  $q_1$  e  $q_2$  apresentam uma forma de onda bastante similar, por também estarem em série neste caso. Apresentam um sobressinal de aproximadamente 60 mA, não

Figura 44 – Resultados de simulação. Forma de onda de corrente  $i_{D_3}$ .

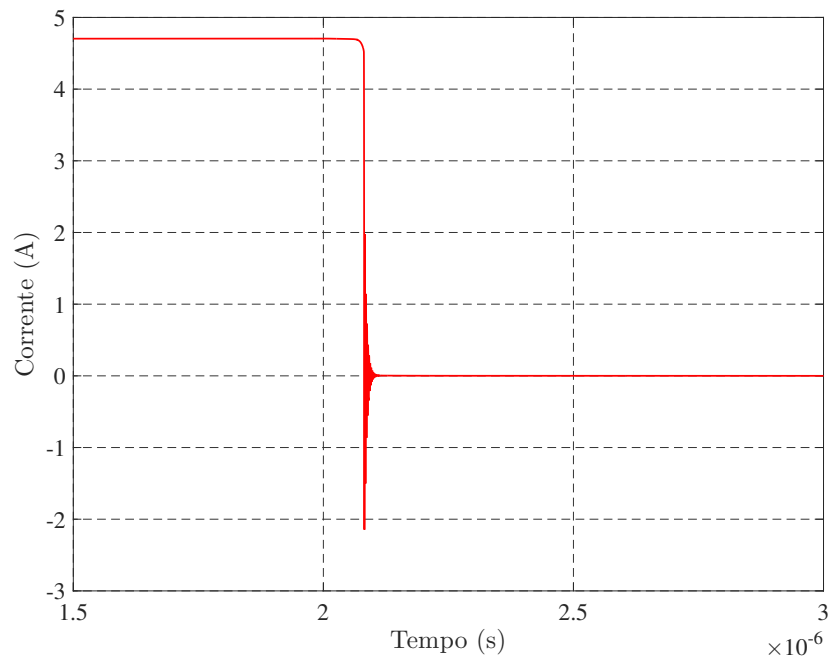
Fonte: Autoria própria

Figura 45 – Resultados de simulação. Forma de onda de corrente  $i_{\overline{D}_3}$ .

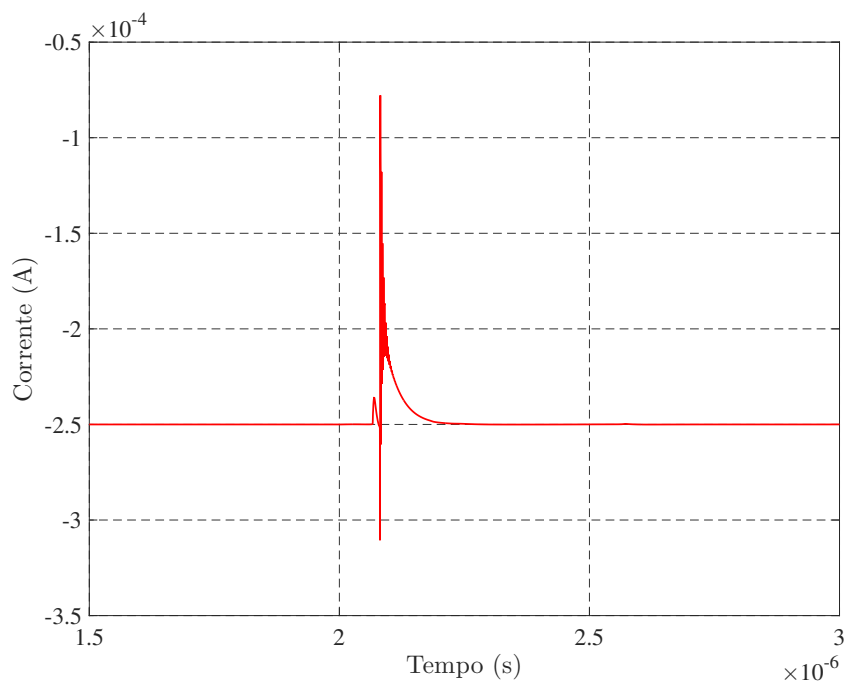
Fonte: Autoria própria

sendo tão relevante.

A corrente  $i_{\overline{q}_2}$  apresenta uma oscilação de alta frequência no momento de sofrer

Figura 46 – Resultados de simulação. Forma de onda de corrente  $i_{D_4}$ .

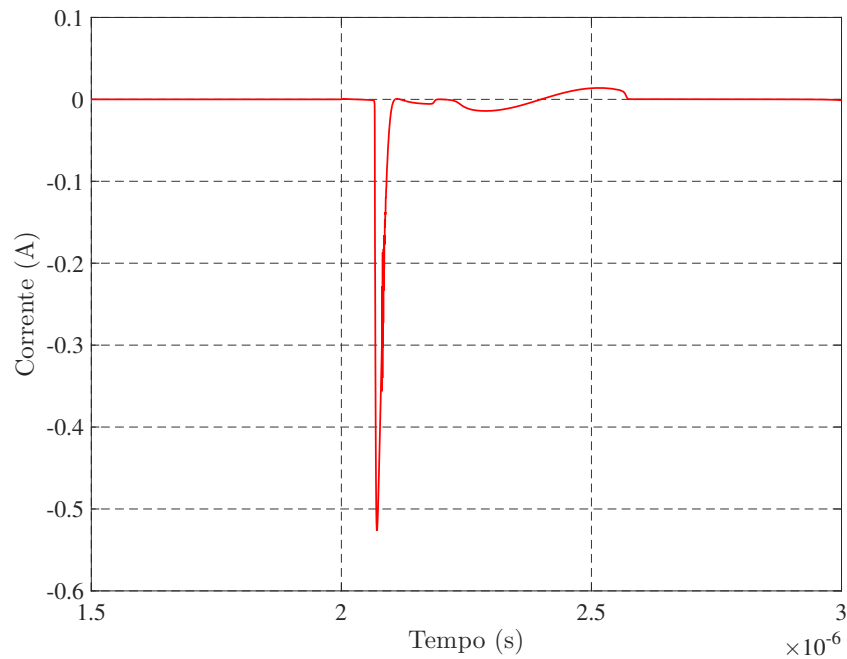
Fonte: Autoria própria

Figura 47 – Resultados de simulação. Forma de onda de corrente  $i_{\overline{D}_4}$ .

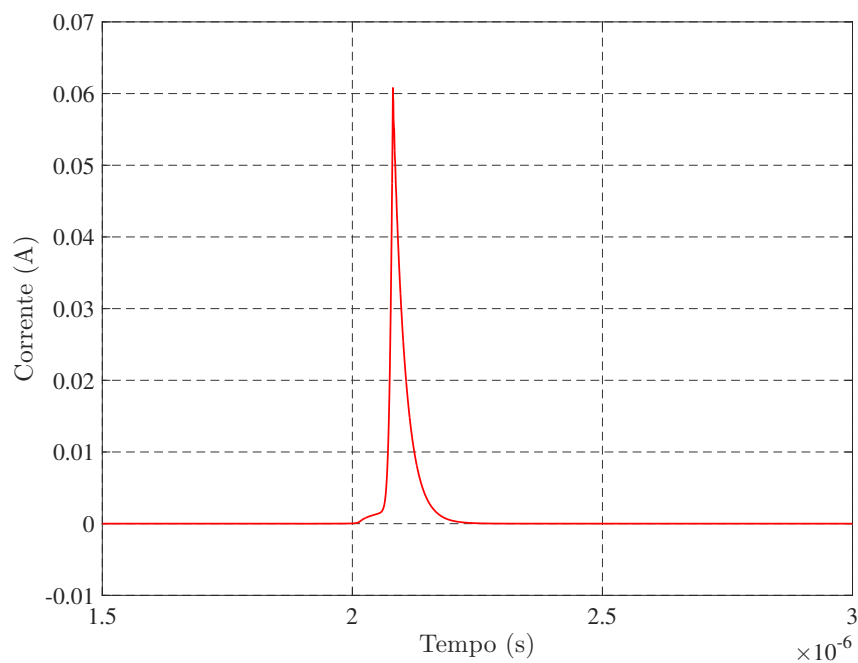
Fonte: Autoria própria

um degrau, caso já visto nos diodos  $D_4$  e  $\overline{D}_2$ .  $i_{\overline{q}_3}$  apresenta um comportamento similar, porém com um degrau negativo, pois para de conduzir.



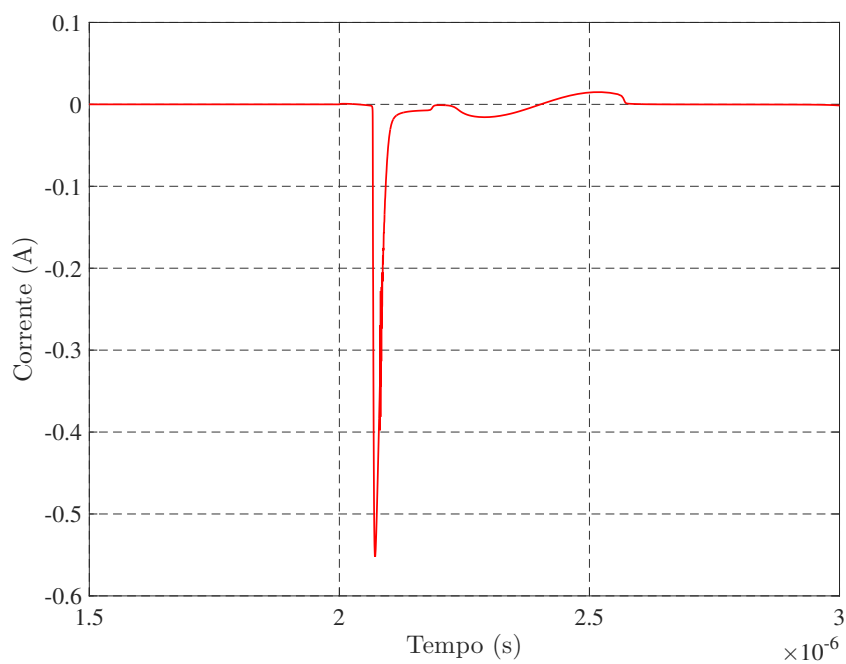
Figura 48 – Resultados de simulação. Forma de onda de corrente  $i_{q_1}$ .

Fonte: Autoria própria

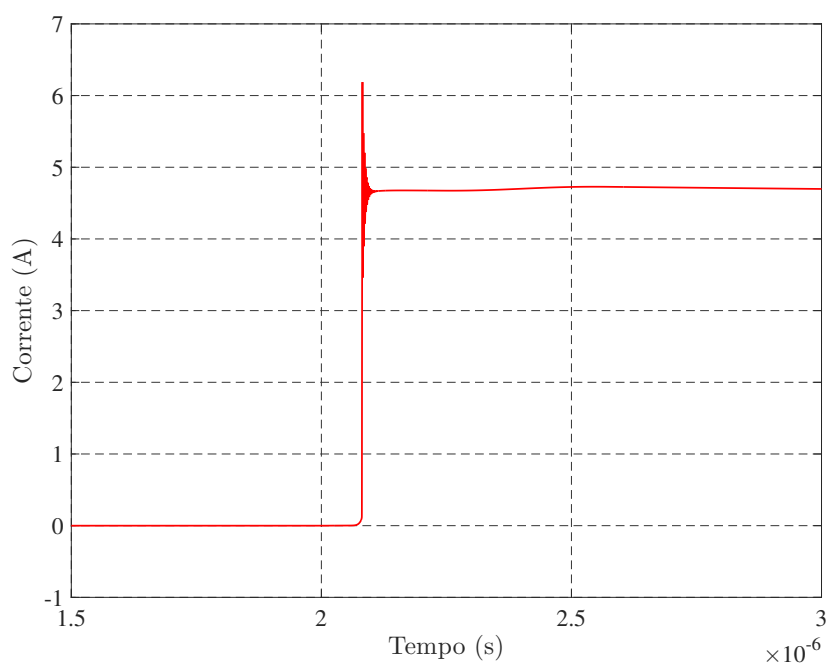
Figura 49 – Resultados de simulação. Forma de onda de corrente  $i_{\bar{q}_1}$ .

Fonte: Autoria própria

A chave  $q_4$  apresenta uma corrente com um comportamento similar ao caso do diodo  $\bar{D}_3$ , com sua oscilação tendo um pico de aproximadamente  $-0,07$  A, depois variando

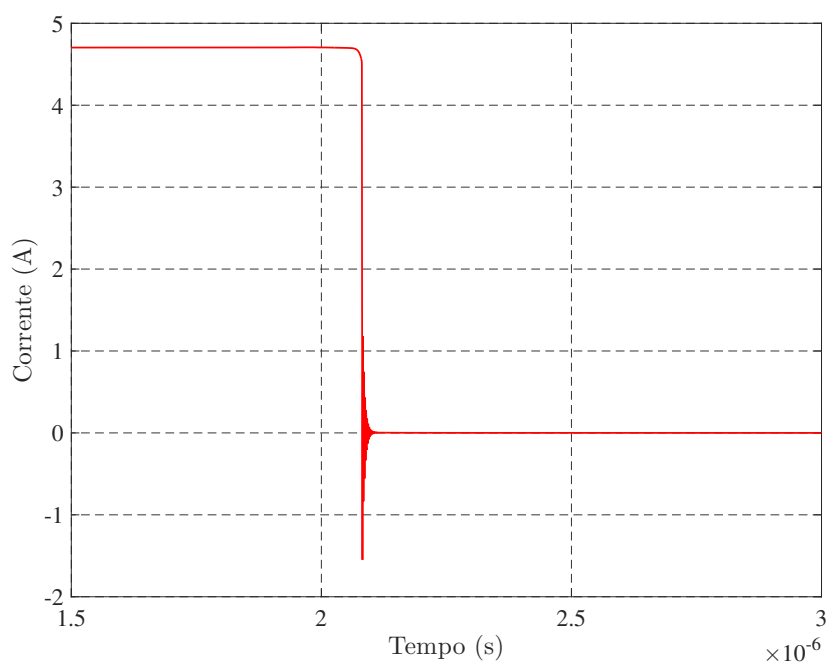
Figura 50 – Resultados de simulação. Forma de onda de corrente  $i_{q2}$ .

Fonte: Autoria própria

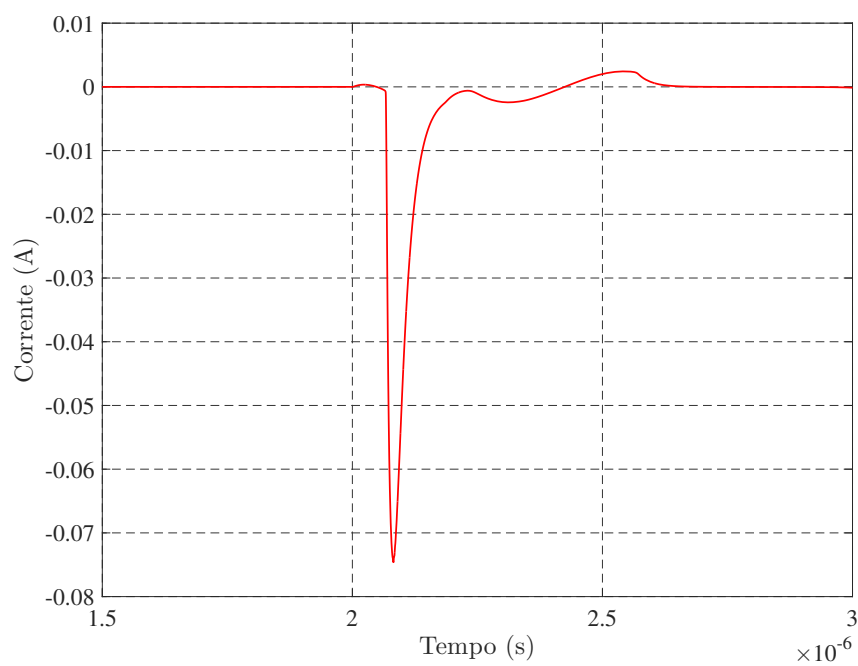
Figura 51 – Resultados de simulação. Forma de onda de corrente  $i_{\bar{q}2}$ .

Fonte: Autoria própria

mais um pouco até se estabilizar em um valor nulo.

Figura 52 – Resultados de simulação. Forma de onda de corrente  $i_{\bar{q}_3}$ .

Fonte: Autoria própria

Figura 53 – Resultados de simulação. Forma de onda de corrente  $i_{q_4}$ .

Fonte: Autoria própria

## Capítulo 6

---

### *Resultados Experimentais*

---

Nesta seção, os dados obtidos que confirmam a precisão das simulações de circuitos elétricos realizadas anteriormente serão apresentados por meio de valores medidos experimentalmente.

A concordância direta entre os resultados experimentais e as simulações valida os modelos utilizados e confirma que as previsões teóricas sobre o comportamento dos conversores são confiáveis e aplicáveis na prática.

Os componentes que serão utilizados podem ser consultados na Tabela 11.

Tabela 11 – Lista de componentes utilizados para confeccionar a placa.

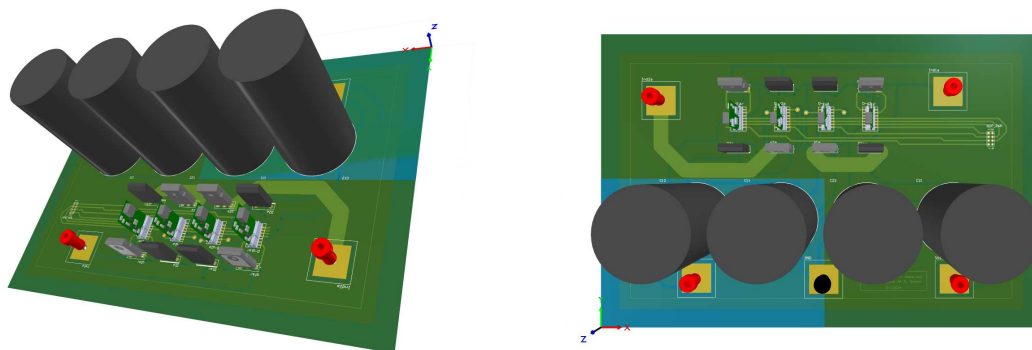
Componente	Tipo	Modelo
Chave	SicFET	C3M0065090D
Diodo	Schottky	STPSC30G12WLY
Capacitor	CC	B32320I4207K000

Uma versão monofásica do conversor foi construída para a extração de resultados experimentais. Seu projeto foi realizado no *software* Altium<sup>TM</sup>. Algumas vistas da placa podem ser vistas na Figura 54. Mais detalhes sobre a placa confeccionada podem ser vistas nos apêndices A e B.

A montagem completa do experimento para comprovar os resultados coletados por meio de simulações é mostrada na Figura 55, onde é possível observar a disposição dos equipamentos como fontes e instrumentos de medição. Já na Figura 56, é mostrada a placa confeccionada de um ponto de vista mais próximo.

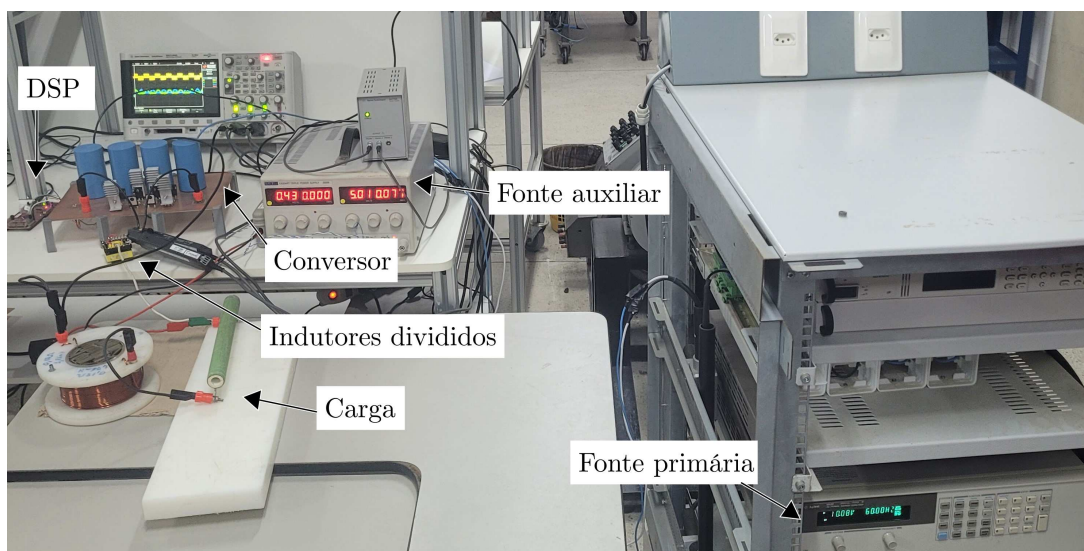
Na Figura 57, a tensão de três níveis na carga, as correntes dos indutores divididos e a corrente na carga podem ser visualizados. Percebe-se que as correntes estão no modo de condução descontínuo, já que a indutância possui valor de apenas 30  $\mu\text{H}$ .

Figura 54 – Placa monofásica confeccionada para a extração de resultados experimentais sob diferentes vistas.



Fonte: Autoria própria

Figura 55 – Montagem realizada da placa com os equipamentos auxiliares e de medição.



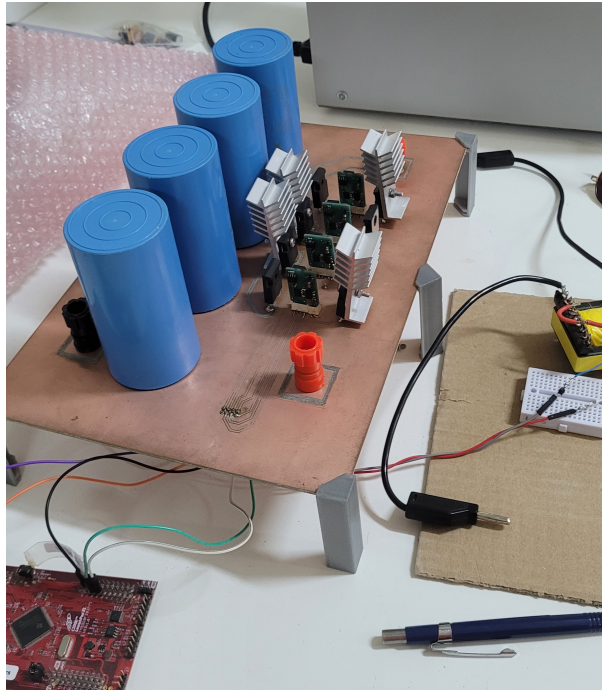
Fonte: Autoria própria

Na Figura 58, as curvas indicam a ocorrência apenas de oscilações de baixa amplitude. O valor máximo de sobressinal observado foi de 240 mA, demonstrando a efetividade do indutor em minimizar o *ringing* e estabilizar o fluxo de corrente, ao se comparar com os resultados em que não há o acoplamento do indutor dividido.

Por outro lado, a Figura 59 apresenta os resultados experimentais das curvas para o caso em que não há o uso de indutores divididos. A sua ausência leva a um significativo sobressinal de corrente de aproximadamente 820 mA.

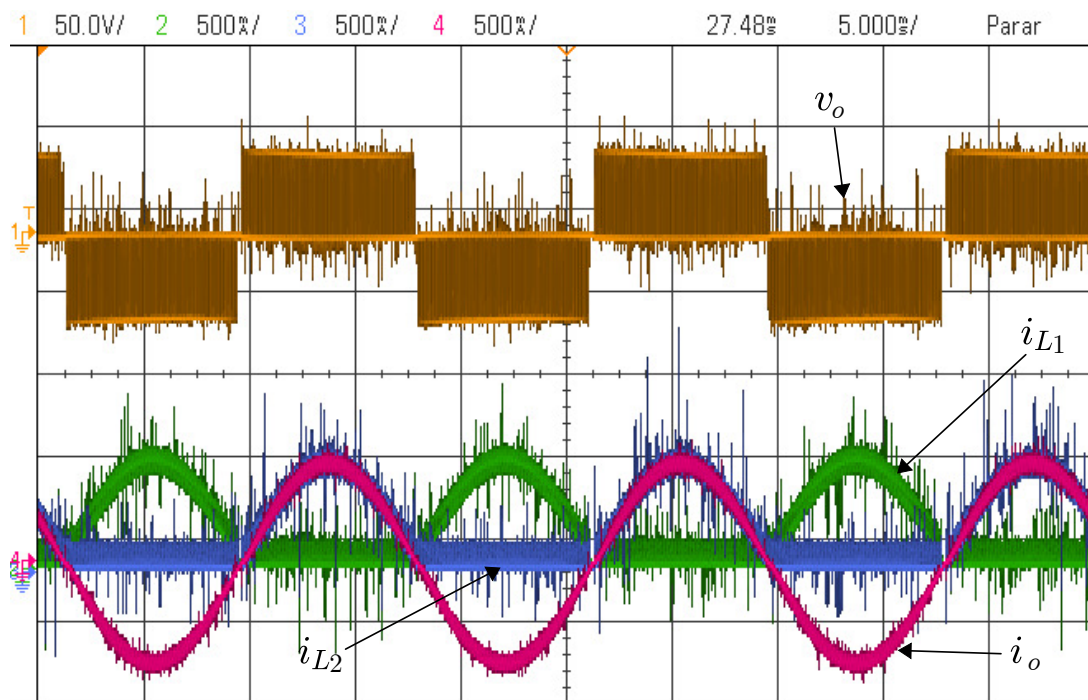
Este aumento perceptível na amplitude do transitório da corrente enfatiza a importância dos indutores divididos em mitigar as oscilações parasitárias. Os resultados experimentais reforçam as afirmações feitas pelas simulações prévias, destacando ainda mais o papel crítico das indutâncias em limitar o sobressinal de corrente.

Figura 56 – Placa confeccionada para a extração de resultados experimentais.



Fonte: Autoria própria

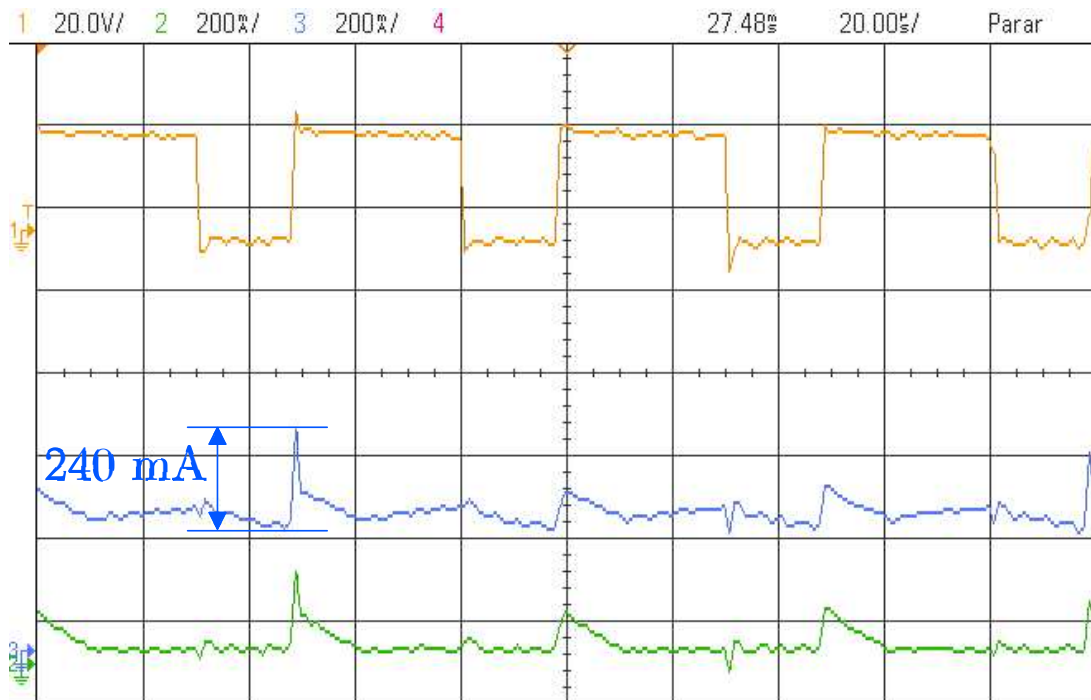
Figura 57 – Resultados experimentais extraídos do conversor monofásico. CH1:  $v_o$ , CH2:  $i_{L1}$ , CH3:  $i_{L2}$  e CH4:  $i_o$ .



Fonte: Autoria própria

A influência da indutância dividida também foi analisada através da medição da corrente na chave  $\bar{q}_2$ . Na Figura 60, são mostradas a corrente  $i_{\bar{q}_2}$ , a tensão de saída e a

Figura 58 – Resultados experimentais. Tensão de saída de três níveis e correntes dos indutores divididos para  $L_s = 30\mu\text{H}$ . CH1:  $v_o$ , CH2:  $i_{L_1}$  e CH3:  $i_{L_2}$ .



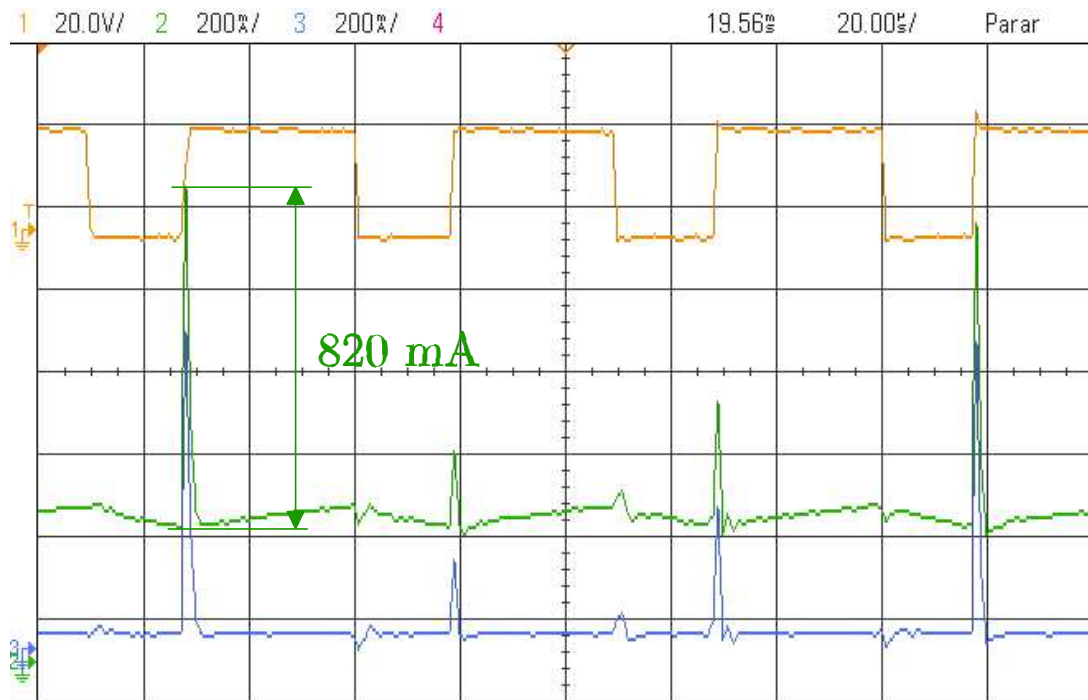
Fonte: Autoria própria

corrente na carga, ao se utilizar os indutores divididos de  $30\mu\text{H}$ . Já na Figura 61, no lugar dos indutores, foram realizadas ligações diretas com a carga.

Assim como na comparação realizada anteriormente, entre as correntes nos casos em que há ou não a presença de indutores divididos, o exemplo da corrente nas chaves não é diferente. No caso em que há o uso dos indutores, o sobressinal de corrente foi de cerca de 230 mA, em contraste com o caso do sobressinal de 1,4 A no caso em que a indutância foi removida e alterada por uma ligação direta.

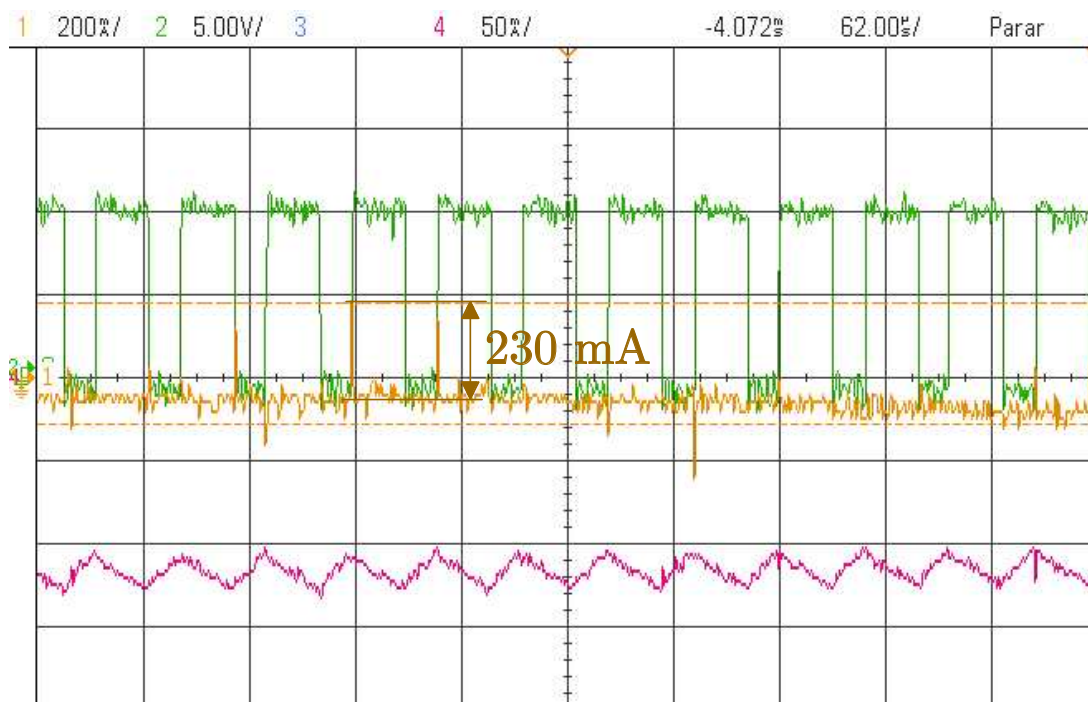
Assim como nas simulações realizadas, os resultados experimentais também apresentaram uma redução das oscilações parasitárias de corrente nos indutores e chaves ao se acoplar os indutores divididos.

Figura 59 – Resultados experimentais. Tensão de saída de três níveis e correntes nos indutores divididos sem valores de indutância relevantes. CH1:  $v_o$ , CH2:  $i_{L_2}$  e CH3:  $i_{L_1}$ .



Fonte: Autoria própria

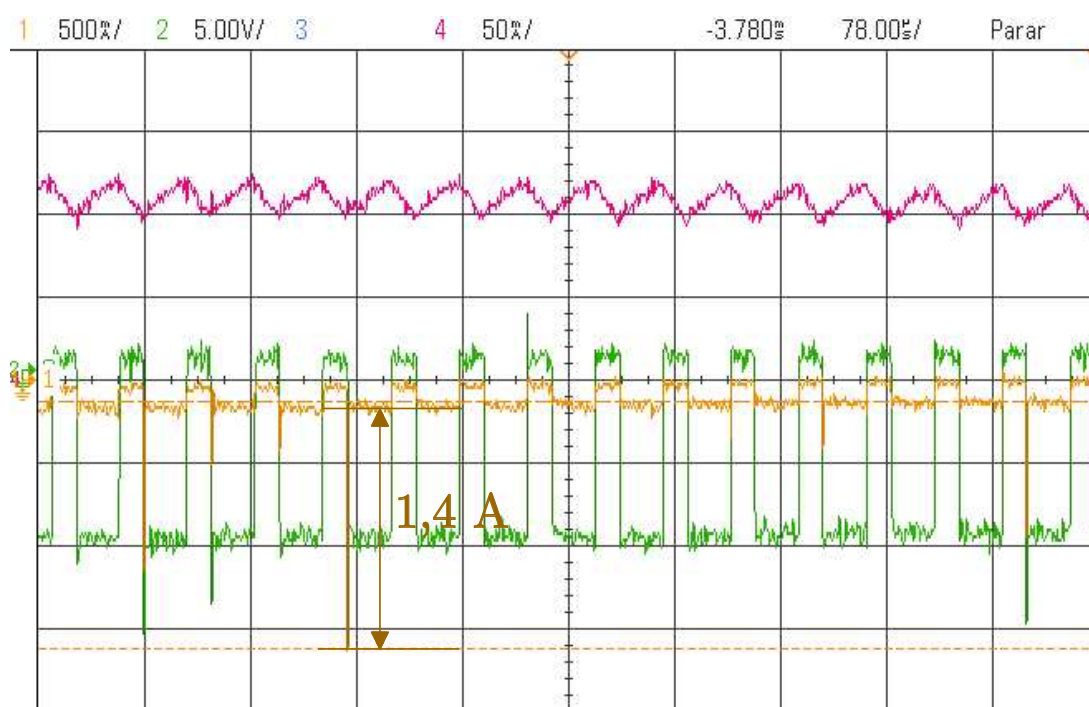
Figura 60 – Resultados experimentais. Tensão de saída de três níveis, corrente na carga e na chave  $\bar{q}_2$ , utilizando os indutores divididos. CH1:  $i_{\bar{q}_2}$ , CH2:  $v_o$  e CH4:  $i_o$ .



Fonte: Autoria própria



Figura 61 – Resultados experimentais. Tensão de saída de três níveis, corrente na carga e na chave  $\bar{q}_2$ , sem utilizar indutores divididos. CH1:  $i_{\bar{q}_2}$ , CH2:  $v_o$  e CH4:  $i_o$ .



Fonte: Autoria própria

## *Capítulo 7*

---

### *Conclusões Gerais*

---

Neste estudo, uma nova topologia do tipo-T que utiliza indutores divididos é proposta, com imunidade à corrente de perforação, e tem como uma das vantagens a redução da necessidade de tempo morto, ao custo do uso de um maior número de componentes em relação à topologia tradicional, como diodos e indutores, diminuindo de forma considerável a densidade de potência. Os estados topológicos para diferentes modos de operação bem como a análise de suas formas de onda de interesse e resultados de simulação foram apresentados.

Outra parte de grande importância desta dissertação foi a discussão das oscilações parasitárias no conversor, principalmente na versão de três níveis. Nela, foram comentados alguns motivos da existência dessas oscilações.

Além do aumento no volume total do conversor, outra desvantagem é a utilização de um circuito não planar para a construção do conversor proposto, aumentando a complexidade para a confecção de uma placa de circuito impresso.

Algumas análises menores, como a análise do estresse de tensão e influência da duração do intervalo de tempo morto também foram apresentadas.

Nas simulações, onde foram utilizadas diversas plataformas, como o PSIM<sup>TM</sup>, LTSPICEXVII<sup>TM</sup> e PLECS<sup>TM</sup>, foi verificada uma melhoria na eficiência e supressão das oscilações parasitárias através do uso de indutores. Esta etapa também ajudou a um melhor projeto de dimensionamento dos diversos componentes na etapa de montagem e extração de resultados experimentais.

Resultados experimentais também foram obtidos para dar uma melhor robustez na comprovação da topologia de estudo, uma vez que uma placa de circuito impressa foi confeccionada para a extração dos resultados. Nestes, uma comprovação mais sólida e próxima da realidade foi obtida de que os indutores divididos podem ajudar a mitigar as

oscilações parasitárias.

## 7.1 Trabalhos futuros

Além do que foi apresentado nesta dissertação, pode-se realizar também futuramente:

- Realizar a análise teórica das oscilações parasitárias dos vários componentes das versões de cinco níveis,
- Realizar a conexão do conversor com a rede, por meio de uma malha de controle e de rastreamento de fase,
- Confeccionar uma versão trifásica da topologia estudada,
- Vislumbrar possíveis análises das outras versões do conversor e submeter trabalhos relacionados aos mesmos em periódicos.

---

## *Referências*

---

- BALIGA, B. **Fundamentals of Power Semiconductor Devices**. Springer US, 2010. ISBN 9780387473147. Disponível em: <<https://books.google.com.br/books?id=UiqrUWrYZXkC>>. Citado na página 19.
- BELKHODE, S.; SHUKLA, A.; DOOLLA, S. **Split-Output Hybrid Active Neutral-Point-Clamped Converter for MV Applications**. *IEEE Journal of Emerging and Selected Topics in Industrial Electronics*, v. 2, n. 2, p. 184–195, 2021. Citado 4 vezes nas páginas 7, 8, 9 e 15.
- BOGLIETTI, A.; CAVAGNINO, A.; LAZZARI, M. **Experimental high frequency parameter identification of AC electrical motors**. In: *IEEE International Conference on Electric Machines and Drives, 2005*. [S.l.: s.n.], 2005. p. 5–10. Citado na página 46.
- FARAJI, F. et al. **A Split-Inductor Flying Capacitor Converter for Medium-Voltage Application**. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 11, n. 1, p. 754–774, 2023. Citado 2 vezes nas páginas 10 e 30.
- GUO, C. et al. **Review of the calculation of DC-link capacitor current**. *Frontiers in Energy Transaction*, v. 11, 2023. Citado na página 22.
- KHAN, A. A. et al. **Improved NPC Inverters Without Short-Circuit and Dead-Time Issues**. *IEEE Transactions on Power Electronics*, v. 37, n. 2, p. 2180–2190, 2022. Citado 2 vezes nas páginas 6 e 15.
- LEE, M. Y. **Three-level Neutral-point-clamped Matrix Converter Topology**. Tese (Doutorado) — University of Nottingham, 2009. Citado na página 5.
- LI, Y. et al. **A Hybrid Model Predictive Control With Integrated Phase-Disposition and Phase-Shifted PWM for an Inner-Interleaved Hybrid Multilevel Converter**. *IEEE Transactions on Power Electronics*, v. 37, n. 9, p. 10412–10427, 2022. Citado 2 vezes nas páginas 10 e 15.
- LIU, M.; HONG, F.; WANG, C. **A novel flying-capacitor dual buck three-level inverter**. In: *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2013. p. 502–506. Citado 2 vezes nas páginas 7 e 15.
- MIRZA, A. B. et al. **A Comprehensive Analysis of Current Spikes in a Split-Phase Inverter**. In: *2022 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2022. p. 1580–1585. Citado 3 vezes nas páginas 11, 13 e 16.

- MIRZA, A. B. et al. **Split Inductor Design Considerations for Split-Phase Three-Phase Inverter**. In: 2023 IEEE Energy Conversion Congress and Exposition (ECCE). [S.l.: s.n.], 2023. p. 2377–2382. Citado 2 vezes nas páginas 13 e 16.
- MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power Electronics: Converters, Applications, and Design**. 3<sup>a</sup>. ed. [S.l.]: John Wiley & Sons, Inc., 2002. ISBN 9780471226932,0471429082. Citado na página 20.
- SANTOS, E. dos; SILVA, E. da. **Advanced Power Electronics Converters: Pwm converters processing ac voltages**. Wiley, 2014. (IEEE Press Series on Power and Energy Systems). ISBN 9781118880944. Disponível em: <[https://books.google.com.br/books?id=GO\\_sBQAAQBAJ](https://books.google.com.br/books?id=GO_sBQAAQBAJ)>. Citado na página 19.
- SEDRA, A.; SMITH, K. da. **Microeletrônica**. 5<sup>a</sup>. ed. [S.l.]: Oxford University Press, 2007. ISBN 978-8576050223. Citado na página 23.
- VITORINO, M. A. **Eletrônica de Potência: Fundamentos, Conceitos e Aplicações**. 1<sup>a</sup>. ed. Curitiba, Brasil: Editora Appris, 2019. Citado 2 vezes nas páginas 4 e 6.
- WANG, X. et al. **A Highly Reliable Three-Level Neutral-Point-Clamped Inverter With Anti-Shoot-Through Capability**. IEEE Transactions on Industrial Electronics, v. 70, n. 4, p. 3899–3908, 2023. Citado 3 vezes nas páginas 8, 10 e 16.
- WANG, X. et al. **A Novel Modulation Strategy for Split-Inductor Active NPC Inverter With Loss Distribution Balancing and Thermal Stress Reduction**. IEEE Transactions on Power Electronics, v. 38, n. 6, p. 7296–7307, 2023. Citado 4 vezes nas páginas 7, 8, 9 e 15.
- XU, S.; ZHANG, J.; HANG, J. **Investigation of a fault-tolerant three-level T-type inverter system**. In: 2015 IEEE Energy Conversion Congress and Exposition (ECCE). [S.l.: s.n.], 2015. p. 1632–1638. Citado 2 vezes nas páginas 6 e 15.
- YAN, Q. et al. **Performance Evaluation of Split Output Converters With SiC MOSFETs and SiC Schottky Diodes**. IEEE Transactions on Power Electronics, v. 32, n. 1, p. 406–422, 2017. Citado 6 vezes nas páginas 10, 11, 12, 16, 46 e 52.
- YAZDANI, R. I. A. **Voltage-sourced converters in power systems: modeling, control, and applications**. [S.l.]: IEEE Press/John Wiley, 2010. ISBN 0470521562,9780470521564. Citado na página 20.
- ZARGARI, N.; ZIOGAS, P.; JOOS, G. **A two-switch high-performance current regulated DC/AC converter module**. IEEE Transactions on Industry Applications, v. 31, n. 3, p. 583–589, 1995. Citado 2 vezes nas páginas 7 e 15.

# Apêndices

## *Capítulo A*

---

### *Esquemático do Projeto da Placa do Conversor Utilizado*

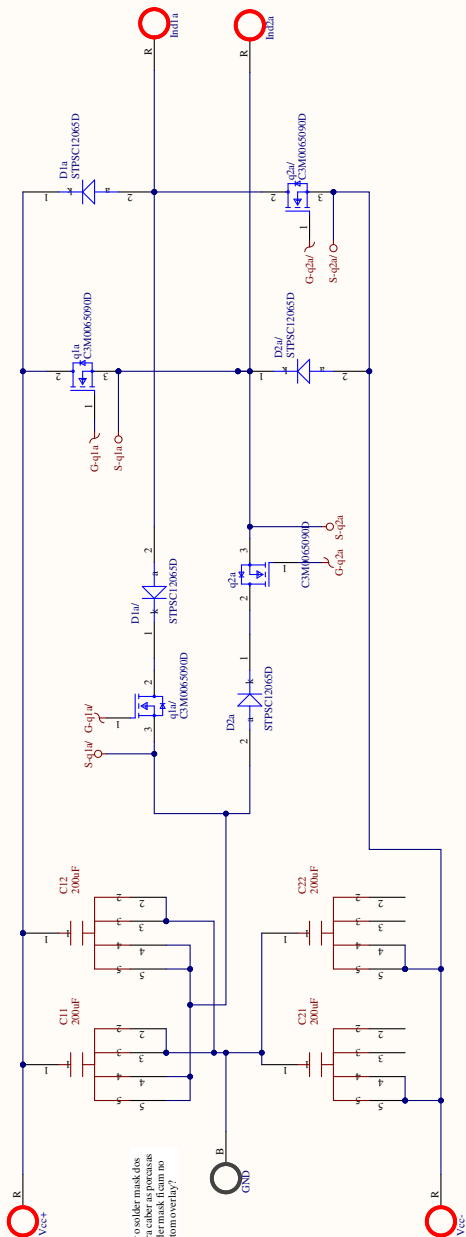
---

Aqui se encontra o esquemático para o projeto da PCB. O projeto completo consiste no circuito de potência, explicado no capítulo 3, em quatro *drivers* para gerar o sinal de chaveamento das chaves, e na parte de comunicação externa, para a conexão dos pinos do DSP à placa.

# Inversor Tipo-T Multinível com Indutores Divididos

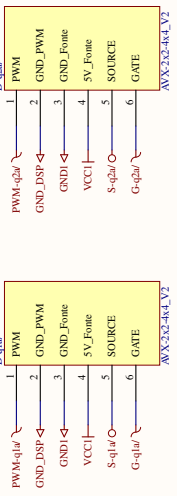
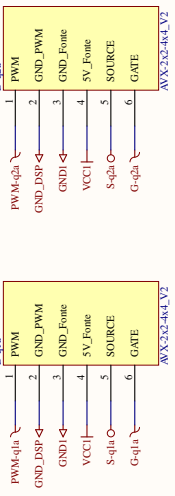


## Circuito de Potência



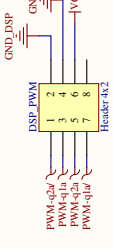
Adaptar o soldador mask dos bornes para caber as porcas as novas soldador mask, fitam no top ou bottom overlay?

## Drivers



- \* PIN1: Sinal PWM do DSP;
  - \* PIN2: GND do DSP;
  - \* PIN3: GND da Fonte de 5V;
  - \* PIN4: O VCC1=5V da Fonte de 5V;
  - \* PIN5: Sinal de Gate;
  - \* PIN6: Gate
- (está de cabeça para baixo)

## DSP-PWM Header



A alimentação do DSP se dá por VCC1 e GND1

Title		Placa do Tipo-T com indutor dividido	
Size	Number		Revision
A3			
Doc:	E0237004	Sheet of	8
File:	C:\Users\BMC_A_S\Documents	Drawn By:	Lucas Araújo



## *Capítulo B*

---

### *Projeto das Trilhas da Placa do Conversor Utilizado*

---

Aqui é apresentado o projeto das trilhas para o conversor de três níveis utilizado para a extração dos resultados experimentais deste estudo, bem como das publicações científicas utilizadas.



# Anexos

## Capítulo A

---

### *Equações de Transitório de Tensão e Corrente de Topologias Similares*

---

Equações referentes à Figura 9:

- Equações de Kirchhoff para o circuito da Figura 9:

$$\begin{aligned}
 & -C_{gd}sV_{ds}(s) + \left( C_{gd}s + \frac{1}{R_g} + C_{gs}s \right) V_{gs}(s) \\
 & \quad = \frac{1}{R_g}V_g(s) + \frac{V_{gs}(0_-)}{s}C_{gs}s \\
 & \left( \frac{1}{2L_s s} + C_{ds}s + C_{gd}s + C_{SD}s \right) V_{ds}(s) - C_{gd}sV_{gs}(s) \\
 & \quad = \frac{1}{2L_s s}V_s(s) + \left[ V_{dc}(s) - \frac{V_{SD}(0_-)}{s} \right] C_{SD}s \\
 & \quad I_L(s) = \frac{V_s(s) - V_{ds}(s)}{2L_s s}
 \end{aligned} \tag{A.1}$$

Onde:

- $C_{gd}$  é a capacitância parasita entre a porta e o dreno;
- $C_{gs}$  é a capacitância parasita entre a porta e a fonte;
- $C_{SD}$  é a capacitância parasita entre a fonte e o dreno;
- $V_{ds}$  é a tensão entre o dreno e a fonte;
- $V_{gs}$  é a tensão entre a porta e a fonte;
- $V_g$  é a tensão da porta, levando-se em consideração a resistência externa da porta e a resistência de saída do *driver* em estado desligado;
- $R_g$  Resistência da porta.

- Expressão das tensões  $V_{gs}$  e  $V_{ds}$ :

$$\begin{aligned}
 V_{gs}(s) &= \frac{\frac{1}{2L_s s} V_s(s) + \left(\frac{1}{2L_s s} + C_{ds}s + C_{gd}s + C_{SD}s\right) \left(\frac{1}{R_g} + C_{gs}s\right) \frac{1}{C_{gd}s} V_g(s)}{\left(\frac{1}{2L_s s} + C_{ds}s + C_{gd}s + C_{SD}s\right) \left(C_{gd}s + \frac{1}{R_g} + C_{gs}s\right) \frac{1}{C_{gd}s} - C_{gd}s} \\
 V_{ds}(s) &= \frac{1}{C_{gd}s} \left[ \left(C_{gd}s + \frac{1}{R_g} + C_{gs}s\right) V_{gs}(s) - \left(\frac{1}{R_g} + C_{gs}s\right) V_g(s) \right]
 \end{aligned} \tag{A.2}$$

Onde:

- $L_s$  é o valor de indutância dividida.

- Equações relacionadas à Figura 10(b):

$$\begin{aligned}
 t_{r1} &= \frac{L_{s2} iL_{s2}(0^-)}{V_{DC}/2} \\
 V_{Ls2} &= \frac{\left(\frac{V_{DC}}{2} - iL_{s2}R_{DS}\right) L_S^2 - (iL_{s2}R_{DS} + V_D)L_S L}{L_S^2 + 2L_S L} \\
 iL_{s2}(0^-) > 0 &\rightarrow V_{Ls2} > 0, L_S > \frac{(iL_{s2}R_{DS} + V_D)L}{\left(\frac{V_{DC}}{2} - iL_{s2}R_{DS}\right)} \\
 iL_{s2}(0^-) < 0 &\rightarrow V_{Ls2} < 0, L_S < \frac{(iL_{s2}R_{DS} + V_D)L}{\left(\frac{V_{DC}}{2} - iL_{s2}R_{DS}\right)}
 \end{aligned} \tag{A.3}$$

Onde:

- $t_{r1}$  é a divisão da primeira parte do intervalo de tempo de transição de chaveamento, quando  $iL_{s2}$  é menor que zero;
  - $t_{r2}$  é a divisão da segunda parte do intervalo de tempo de transição de chaveamento, quando  $iL_{s2}$  é maior que zero;
  - $L_{s2}$  é o valor das indutâncias divididas;
  - $iL_{s2}(0^-)$  é o seu valor de corrente no tempo inicial;
  - $V_{DC}$  é a tensão do barramento CC;
  - $R_{DS}$  é a resistência dreno-fonte;
  - $L$  é a indutância da carga conectada ao conversor;
  - $V_D$  é a tensão no ponto do dreno do transistor.
- Equações relacionadas à Figura 10(c)

$$\begin{aligned}
\Delta i_{L_{s22}} &= \frac{(C_{DS2} + C_{D1})V_{DC}}{2} \left( \frac{2L + L_s}{L_s + L} \right) \sqrt{\frac{L_s + L}{(L_s^2 + 2L_sL)}} \sin \left( \left( \sqrt{\frac{L_s + L}{(L_s^2 + 2L_sL)}} \right) t_r \right) \\
\Delta I_{L_{s12}} &= \frac{1}{L_s} \int_0^{t_{r2}} v_s(t) - v_o(t) \cdot dt \\
t_{r2} &= \cos^{-1} \frac{\left( -\frac{L_s}{L_s + L} \right)}{\sqrt{\frac{L_s + L}{(L_s^2 + 2L_sL)(C_{DS2} + C_{D1})}}}
\end{aligned} \tag{A.4}$$

Onde:

- $t_r = t_{r1} + t_{r2}$ ;
- $C_{DS2}$  é a capacitância de saída da chave  $S_2$ ;
- $C_{D1}$  é a capacitância de saída do diodo  $D_1$ .