

GERAÇÃO SISTEMÁTICA DE INTEGRADORES A CAPACITORES CHAVEADOS  
COM APLICAÇÃO EM SISTEMAS DE TELECOMUNICAÇÕES

Carlos A. F. da Rocha e José Carlos M. Bermudez

Laboratório de Instrumentação Eletrônica - LINSE  
Departamento de Engenharia Elétrica  
Universidade Federal de Santa Catarina  
Caixa Postal 476 - 88.049 - Florianópolis - SC

**RESUMO:** Este trabalho apresenta um método sistemático para a geração de circuitos integradores a capacitores chaveados. Os circuitos gerados pelo método proposto são insensíveis a capacitâncias parasitas e apresentam baixa sensibilidade de sua resposta em frequência ao valor do ganho DC do amplificador operacional. Cinco estruturas são obtidas, quatro das quais ainda não apresentadas na literatura.

**ABSTRACT:** This work presents a systematic method for the generation of switched-capacitor integrators. The circuits obtained through the proposed method are stray insensitive and present low transfer function sensitivities to the value of the op-amp DC gain. Five structures are obtained herewith, four of which represent new contributions.

## 1. INTRODUÇÃO

Desde o final da década de 70, a área de telecomunicações tem sido intensamente inovada pela tecnologia de circuitos integrados, os quais estão presentes em praticamente qualquer sistema moderno de telecomunicações [1]. Devido a esta demanda, que atualmente consome de 25% a 30% da produção mundial de circuitos integrados, muita pesquisa tem sido ultimamente direcionada para o projeto de sistemas integrados com aplicação específica em telecomunicações. Tais sistemas dedicados incorporam, na maioria dos casos, circuitos analógicos e digitais integrados em um mesmo "chip". Como exemplos, podem-se citar os circuitos de interface com o enlace do assinante em transmissão de voz e/ou de dados, CODECs, filtros, canceladores de eco, MODEMs e telefones digitais, entre outros [2]. As partes analógicas dos circuitos integrados para telecomunicações são, em geral, implementadas utilizando redes a capacitores chaveados. Como são completamente integráveis em tecnologia MOS, que é largamente utilizada na fabricação de processadores digitais, os circuitos a capacitores chaveados oferecem uma opção altamente atrativa para a integração, em um mesmo "chip", de sistemas mistos (analógicos e digitais).

Devido as especificações restritas existentes em sistemas de telecomunicações, tais subsistemas analógicos devem ser implementados com alta precisão, o que requer técnicas especiais de projeto. Um dos problemas existentes no projeto de filtros a capacitores chaveados para telecomunicações, especialmente para aplicações em frequências elevadas, é o baixo ganho dos amplificadores operacionais (amp-ops) MOS. Como a maioria dos filtros é implementada através de redes contendo integradores, a minimização dos efeitos de um ganho

finito dos amplificadores operacionais MOS em tais circuitos torna-se um tópico de grande importância no projeto de circuitos analógicos para telecomunicações [3 a 10].

Estes efeitos consistem no deslocamento dos polos da função de transferência do filtro para frequências mais baixas por um fator inversamente proporcional ao ganho dos amp-ops [1,5]. Este problema não é especialmente crítico para filtros passa-baixas na banda de voz, porque, nestes casos, os polos geralmente apresentam fatores de qualidade (Q's) menores que 10 e os amplificadores, ganhos maiores que 1000. No entanto, o efeito pode ser significativo em filtros passa-faixa de alto Q, particularmente quando implementados em altas frequências (amp-ops projetados para operar em altas frequências possuem ganhos mais baixos - ganhos menores que 100 são comuns).

Recentemente, um considerável esforço tem sido direcionado para pesquisas visando a obtenção de integradores a capacitores chaveados cujas respostas em frequência apresentem baixa sensibilidade ao ganho finito dos amp-ops [3 a 10]. Portanto, em face de sua grande aplicabilidade, torna-se altamente desejável a obtenção de um método sistemático para a geração de integradores com esta característica.

Este trabalho apresenta um método sistemático para a geração de integradores a capacitores chaveados com baixa sensibilidade ao ganho finito dos amp-ops. O novo método proposto garante a implementação dos integradores com redes insensíveis a capacitâncias parasitas, propriedade esta imprescindível a qualquer sistema moderno a capacitores chaveados [2].

Na obtenção das redes são estabelecidas condições que garantem a minimização dos erros de fase nas funções de transferência dos integradores.

Para satisfazer estas condições, no entanto, não são impostas igualdades ou proporcionalidades entre capacitâncias, o que acarretaria uma maior complexidade na implementação. Cinco integradores são obtidos por este método. Destes, apenas um foi apresentado na literatura. Os outros quatro constituem novas estruturas. É apresentada uma tabela contendo as redes obtidas, suas funções de transferência para amp-ops ideais e os erros de magnitude e de fase das respostas em frequência para amp-ops com ganho finito.

## 2. CONDIÇÕES PARA A OBTENÇÃO DE CIRCUITOS INTEGRADORES

O estudo sistemático proposto neste trabalho é baseado na rede geral de primeira ordem, insensível a capacitâncias parasitas, apresentada em [11], acrescida dos capacitores  $C_{25}$  a  $C_{28}$ . Esta rede geral é mostrada na Fig. 1.

A completa caracterização das relações entrada/saída de uma rede a capacitores chaveados bifásica genérica requer um conjunto de duas equações; uma para cada fase do "clock". Estas relações podem ser expressas da seguinte forma:

$$V_2^e(z) = H_{11}(z)V_1^e(z) + H_{12}(z)V_1^o(z) \quad (1)$$

$$V_2^o(z) = H_{21}(z)V_1^e(z) + H_{22}(z)V_1^o(z) \quad (2)$$

Na geração de integradores, está-se interessado em obter funções de transferência para entrada e saída tomadas em fases específicas. Para se estudarem todos os casos possíveis, evitando redundâncias, serão consideradas, sem perda de generalidade, as funções relativas a entrada na fase "e". A saída, no entanto, será estudada em ambas as fases. Nestas condições, a situação mais geral consiste em assumir que o sinal de entrada muda sua amplitude somente na fase "e". Matematicamente, esta condição de "sample-and-hold" pode ser expressa, no domínio  $z$ , pela igualdade:

$$V_1^o(z) = z^{-1/2}V_1^e(z) \quad (3)$$

Substituindo (3) em (1) e (2), o seguinte conjunto de equações é obtido:

$$V_2^e(z) = [H_{11}(z) + z^{-1/2}H_{12}(z)]V_1^e(z) \quad (4)$$

$$V_2^o(z) = [H_{21}(z) + z^{-1/2}H_{22}(z)]V_1^e(z) \quad (5)$$

Convém notar que as redes para as quais  $H_{12}(z)=0$  e/ou

$H_{22}(z)=0$  se enquadram como casos particulares deste estudo. Assim, as funções de transferência possíveis são:

$$H^{ee}(z) = V_2^e(z)/V_1^e(z) \quad (6)$$

$$H^{oe}(z) = V_2^o(z)/V_1^e(z) \quad (7)$$

Na implementação de redes a capacitores chaveados, as funções de transferência mais empregadas para a realização de integradores e, portanto, consideradas neste trabalho, são as seguintes:

$$H_1(z) = \frac{\pm K_1}{1 - z^{-1}} \quad (8)$$

$$H_2(z) = \frac{\pm K_2 z^{-1}}{1 - z^{-1}} \quad (9)$$

$$H_3(z) = \frac{\pm K_3 z^{-1/2}}{1 - z^{-1}} \quad (10)$$

Estes integradores, quando apropriadamente interconectados, possibilitam a realização de qualquer função de transferência no domínio  $z$ . A análise da rede da Fig. 1, considerando o ganho finito do amp-op e o uso de um "sample-and-hold" na entrada, mostra que:

$$H^{oe}(z) = H_1^{oe}(z) \cdot E^{oe}(z) \quad (11)$$

$$H^{ee}(z) = H_1^{ee}(z) \cdot E^{ee}(z) \quad (12)$$

onde  $H_1(z)$  é a função de transferência considerando o amp-op ideal e  $E(z)$ , o fator de erro introduzido pela utilização de um amp-op com ganho finito igual a  $A$ . Suas expressões são dadas por:

$$H_1^{oe}(z) = \frac{\alpha_8[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}] + (\alpha_5 - \alpha_{11}z^{-1})[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}]}{\gamma} z^{-1/2} \quad (13)$$

$$H_1^{ee}(z) = \frac{\alpha_{13}[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}] + (\alpha_9 - \alpha_{10}z^{-1})[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}]}{\alpha_8[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}] + (\alpha_5 - \alpha_{11}z^{-1})[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}]} \quad (14)$$

$$H_1^{ee}(z) = \frac{(\alpha_6 - \alpha_{16}z^{-1})[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}] + \alpha_7 z^{-1}[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}]}{\gamma} \quad (15)$$

$$E^{ee}(z) = \frac{1 + \mu \frac{\alpha_{13}[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}] + (\alpha_{14} - \alpha_{15}z^{-1})[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}]}{\alpha_7 z^{-1}[(\alpha_4 - \alpha_2) + \alpha_{17}z^{-1}] + (\alpha_6 - \alpha_{16}z^{-1})[-\alpha_1 + (\alpha_3 + \alpha_{12})z^{-1}]}}{\delta} \quad (16)$$

onde

$\mu = 1/A$  e  $A$  é o ganho do amp-op

$$\alpha_1 = C_1 + C_3 + C_5 + C_6 + C_{20} + C_{21} + C_{27}$$

$$\alpha_2 = C_1 + C_4 + C_8 + C_{10} + C_{22} + C_{24} + C_{28}$$

$$\alpha_3 = C_1 + C_3 + C_8 + C_9 + C_{23} + C_{24}$$

$$\alpha_4 = C_1 + C_4 + C_5 + C_7 + C_{19} + C_{21}$$

$$\alpha_5 = C_2 + C_{15} + C_{16} + C_{18} + C_{23} + C_{24} + C_{25}$$

$$\alpha_6 = C_2 + C_{11} + C_{13} + C_{17} + C_{19} + C_{21} + C_{26}$$

$$\alpha_7 = C_2 + C_{12} + C_{13} + C_{18} + C_{20} + C_{21}$$

$$\alpha_8 = C_2 + C_{14} + C_{16} + C_{17} + C_{22} + C_{24}$$

$$\alpha_9 = C_1 + C_2 + C_3 + C_5 + C_6 + C_8 + C_9 + C_{12} + C_{13} + C_{15} +$$

$$C_{16} + C_{18} + C_{20} + C_{21} + C_{23} + C_{24} + C_{25} + C_{27}$$

$$\alpha_{10} = C_{25} + C_{27}$$

$$\alpha_{11} = C_{25}$$

$$\alpha_{12} = C_{27}$$

$$\alpha_{13} = C_1 + C_2 + C_5 + C_8 + C_{13} + C_{16} + C_{21} + C_{24}$$

$$\alpha_{14} = C_1 + C_2 + C_4 + C_5 + C_7 + C_8 + C_{10} + C_{11} + C_{13} + C_{14} +$$

$$C_{16} + C_{17} + C_{19} + C_{21} + C_{22} + C_{24} + C_{26} + C_{28}$$

$$\alpha_{15} = C_{26} + C_{28}$$

$$\alpha_{16} = C_{26}$$

$$\alpha_{17} = C_{28}$$

$$\gamma = (\alpha_5 - \alpha_{11}z^{-1})(\alpha_6 - \alpha_{16}z^{-1}) - \alpha_7 \alpha_8 z^{-1}$$

$$\delta = 1 + \frac{1}{\gamma} \{ \mu [(\alpha_5 - \alpha_{11}z^{-1})(\alpha_{14} - \alpha_{15}z^{-1}) + (\alpha_9 - \alpha_{10}z^{-1})(\alpha_6 - \alpha_{16}z^{-1}) -$$

$$- \alpha_{13}(\alpha_8 + \alpha_7)z^{-1}] + \mu^2 [(\alpha_9 - \alpha_{10}z^{-1})(\alpha_{14} - \alpha_{15}z^{-1}) - \alpha_{13}^2 z^{-1}] \}$$

É interessante notar que os fatores de erro podem ser escritos na forma geral:

$$E(z) = \frac{1 + \mu \cdot F_1(z)}{1 + \mu \cdot F_2(z) + \mu^2 \cdot F_3(z)} \quad (17)$$

Inicialmente, considerando o amp-op ideal ( $\mu=0$ ), podem-se extrair de (13) e (15) as condições a serem impostas sobre os diversos  $\alpha_i$ 's, de forma a se obterem as funções de transferência (8), (9) e (10) dos integradores. Estas condições são apresentadas na Tabela I. É importante ressaltar que  $\alpha_5$  e  $\alpha_6$  não podem ser anulados, a fim de garantir um caminho de

realimentação negativa para o amp-op durante cada uma das fases.

### 3. ERRO DE MAGNITUDE E ERRO DE FASE

Uma análise detalhada dos integradores a capacitores chaveados mostra que o ganho finito do amp-op resulta em erros de magnitude e de fase em suas funções de transferência. A resposta em frequência de um integrador não ideal pode ser expressa [2] como:

$$H(e^{j\omega T}) = H(e^{j\omega T}) \frac{1}{1 - m(\omega) - j\theta(\omega)} \quad (18)$$

Se  $m(\omega) \ll 1$  e  $\theta(\omega) \ll 1$ , pode-se reescrever (18) como [2,3]:

$$H(e^{j\omega T}) = H(e^{j\omega T}) \cdot [1 + m(\omega)] \cdot e^{\theta(\omega)} \quad (19)$$

onde  $m(\omega)$  e  $\theta(\omega)$  são, respectivamente, os erros de magnitude e de fase.

Mostra-se que, na maioria dos casos, os erros de magnitude nas respostas dos integradores ocasionam apenas pequenos deslocamentos na resposta em frequência dos filtros. Já os erros de fase afetam os fatores de qualidade (Q's) dos polos do filtro, tanto em implementações por cascata de "biquads" como por redes "ladder" [2]. Assim, mesmo pequenos erros de fase no integrador podem resultar em grandes erros de magnitude e de fase nas respostas em frequência de filtros seletivos. Comparando as equações (17), com  $z=e^{j\omega T}$ , e (18), vê-se que os circuitos integradores terão erro de fase proporcional a  $\mu^2$  se  $F_1(z)$  e  $F_2(z)$  em  $E(z)$  forem independentes da variável  $z$ . Desta forma, os circuitos integradores com baixa sensibilidade ao ganho finito dos amp-ops serão obtidos combinando esta condição com aquelas imposta pela Tabela I. Além disso, será estabelecido que tais condições devam ser satisfeitas sem a imposição de quaisquer igualdades ou proporcionalidades entre capacitâncias. Esta restrição levará a obtenção de redes de implementação mais simples. O uso dessa técnica de projeto é mais bem ilustrada por meio de um exemplo.

### 4. EXEMPLO ILUSTRATIVO

Para ilustrar a aplicação da técnica proposta, apresenta-se aqui o desenvolvimento detalhado referente a condição C3 da Tabela I. Esta condição estabelece que:

$$\alpha_1 = 0 \Rightarrow C_1 = C_3 = C_5 = C_6 = C_{20} = C_{21} = C_{27} = 0$$

$$\alpha_3 + \alpha_{12} = 0 \Rightarrow C_1 = C_3 = C_8 = C_9 = C_{23} = C_{24} = C_{27} = 0$$

$$\alpha_{17} = 0 \Rightarrow C_{28} = 0$$

$$\alpha_{16} = 0 \Rightarrow C_{26} = 0$$

$$\alpha_6(\alpha_5 - \alpha_{11}) = \alpha_7 \alpha_8 \Rightarrow (C_2 + C_{11} + C_{13} + C_{17} + C_{19})(C_2 + C_{15} + C_{16} + C_{18}) = (C_2 + C_{12} + C_{13} + C_{18})(C_2 + C_{14} + C_{16} + C_{17} + C_{22})$$

Na obtenção da última igualdade, os capacitores anulados pelas condições anteriores foram automaticamente desconsiderados. Para satisfazer a esta última condição sem igualar capacitores, existem duas possibilidades, a saber:

(i)  $C_{11} = C_{12} = C_{14} = C_{15} = C_{17} = C_{19} = C_{22} = 0$ ; o que reduz a igualdade para

$$(C_2 + C_{16})(C_2 + C_{13}) = (C_2 + C_{13})(C_2 + C_{16})$$

(ii)  $C_{11} = C_{12} = C_{13} = C_{14} = C_{15} = C_{16} = C_{19} = C_{22} = 0$ ; o que reduz a igualdade para

$$(C_2 + C_{18})(C_2 + C_{17}) = (C_2 + C_{18})(C_2 + C_{17})$$

Neste ponto, prosseguir-se-á o exemplo considerando a opção (i) acima, por ser mais ilustrativa e por levar a melhores resultados. Eliminando os capacitores que foram anulados, os novos valores dos  $\alpha_i$ 's serão dados por:

$$\alpha_1 = \alpha_3 = \alpha_{12} = \alpha_{15} = \alpha_{16} = \alpha_{17} = 0$$

$$\alpha_8 = C_2 + C_{16}$$

$$\alpha_2 = C_4 + C_{10}$$

$$\alpha_9 = C_2 + C_{13} + C_{16} + C_{25}$$

$$\alpha_4 = C_4 + C_7$$

$$\alpha_{10} = C_{25}$$

$$\alpha_5 = C_2 + C_{16} + C_{25}$$

$$\alpha_{11} = C_{25}$$

$$\alpha_6 = C_2 + C_{13}$$

$$\alpha_{13} = C_2 + C_{13} + C_{16}$$

$$\alpha_7 = C_2 + C_{13}$$

$$\alpha_{14} = C_2 + C_4 + C_7 + C_{10} + C_{13} + C_{16}$$

Assim, as expressões (15) e (16) ficam reduzidas a:

$$H_i^{ee}(z) = \frac{\alpha_7(\alpha_4 - \alpha_2)z^{-1}}{\alpha_5 \alpha_6 (1 - z^{-1})} \quad (20)$$

$$E^{ee}(z) = \frac{1 + \mu \frac{\alpha_{13}}{\alpha_7}}{1 + \frac{1}{\alpha_5 \alpha_6 (1 - z^{-1})} \{ \mu [\alpha_{14}(\alpha_5 - \alpha_{11})z^{-1} + \alpha_6(\alpha_9 - \alpha_{10})z^{-1}] - \alpha_{13}(\alpha_7 + \alpha_8)z^{-1} + \mu^2 [\alpha_{14}(\alpha_9 - \alpha_{10})z^{-1} - \alpha_{13}^2 z^{-1}] \}} \quad (21)$$

Note-se que  $F_1(z) = \frac{\alpha_{13}}{\alpha_7} j\hat{a}$  é independente de z. Para que

$F_2(z)$  também o seja a condição abaixo deve ser satisfeita:

$$\alpha_{14}(\alpha_5 - \alpha_{11}) + \alpha_6(\alpha_9 - \alpha_{10}) = \alpha_{13}(\alpha_7 + \alpha_8)$$

Substituindo agora cada  $\alpha_i$  pelo seu valor respectivo, tem-se:

$$(C_4 + C_7 + C_{10})(C_2 + C_{16}) = 0$$

Como  $\alpha_4 - \alpha_2 = C_7 - C_{10}$  deve ser diferente de zero para não anular  $H_i^{ee}(z)$ , deve-se ter:

$$C_2 = C_{16} = 0$$

Neste caso, as equações (20) e (21) serão dadas por:

$$H_i^{ee}(z) = \frac{[(C_7 - C_{10})/C_{25}]z^{-1}}{1 - z^{-1}} \quad (22)$$

$$E^{ee}(z) = \frac{1 + \mu}{1 + \mu \left[ 2 + \frac{C_4}{C_{13}} + \frac{C_7}{C_{13}} + \frac{C_{10}}{C_{13}} + \frac{C_{13}}{C_{25}} \right] + \mu^2 \left\{ \frac{(C_4 + C_7 + C_{10} + C_{13})(C_{13} + C_{25}) - [C_{25}(C_4 + C_7 + C_{10} + C_{13}) + C_{13}^2]z^{-1}}{C_{13} C_{25} (1 - z^{-1})} \right\}}$$

Fazendo as substituições  $z^{-1} = e^{j\omega T}$  e  $1 - z^{-1} = j2e^{-j\omega T/2} \sin \frac{\omega T}{2}$  em (23), resulta:

$$E^{ee}(z) = \frac{1 + \mu}{1 + \mu \left[ 2 + \frac{C_4}{C_{13}} + \frac{C_7}{C_{13}} + \frac{C_{10}}{C_{13}} + \frac{C_{13}}{C_{25}} \right] + \mu^2 \left[ (1 + \frac{C_4}{C_{13}} + \frac{C_7}{C_{13}} + \frac{C_{10}}{C_{13}}) (2 + \frac{C_{13}}{C_{25}}) + \frac{C_{13}}{C_{25}} - j \mu^2 \frac{(C_4 + C_7 + C_{10})}{C_{25}} \frac{1}{2 \tan \frac{\omega T}{2}} \right]}$$

Comparando (24) com (18) e considerando  $\mu \ll 1$  tem-se

$$-m(\omega) \approx \mu \left[ 2 + \frac{C_7}{C_{13}} + \frac{C_{10}}{C_{13}} + \frac{C_{13}}{C_{25}} \right]$$

$$\theta(\omega) = \mu^2 \frac{(C_7 + C_{10})}{C_{25}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$$

onde  $C_4$  foi eliminado, uma vez que contribuiria apenas para o acréscimo dos erros sem introduzir nenhum novo grau de liberdade ao processo de geração. De (22), vê-se que, anulando  $C_{10}$ , se obtém um integrador não inversor, enquanto que, anulando  $C_7$ , a rede resultante realizará um integrador inversor. Os dois casos estão apresentados na Tabela II sob os números 4 e 5, respectivamente. O estudo da opção (ii) mostra não ser possível, neste caso, eliminar a dependência de  $F_2(z)$  da variável  $z$ .

Repetindo o procedimento descrito acima para os demais casos da Tabela I, chega-se ao conjunto completo de integradores mostrado na Tabela II. Destes, o de número 3 foi proposto em [7]. Os demais integradores constituem novas estruturas. Como todas as estruturas apresentam erros de fase proporcionais a  $\mu^2$ , a decisão sobre a melhor rede para uma dada aplicação dependerá de fatores outros, tais como sensibilidade, função de transferência desejada ou compatibilidade entre entrada e saída de diferentes estágios.

Convém ressaltar que os integradores números 1, 2, 3 e 4 não requerem, na realidade, uma entrada do tipo "sample-and-hold". Isto ocorre devido ao fato de que  $H_{12}(z)$  e/ou  $H_{22}(z)$  foram anulados no processo de geração, o que confirma a afirmação feita de que o caso estudado engloba todas as possibilidades.

## 5. CONCLUSÃO

Neste trabalho foi apresentado um método sistemático para a geração de integradores a capacitores chaveados. O método proposto garante a insensibilidade a capacitâncias parasitas e minimiza o erro de fase na resposta em frequência do integrador devido ao ganho finito do amp-op. Quatro novas estruturas foram obtidas desta forma, além de uma quinta já apresentada na literatura. Devido a sua baixa sensibilidade ao valor do ganho dos amp-ops, tais estruturas apresentam grandes vantagens, em relação as redes convencionais, na implementação de filtros para frequências elevadas.

## 6. REFERÊNCIAS

[1] - Y. Tividis e P. Antognetti, "Design of MOS VLSI circuits for telecommunications", (Prentice-Hall, 1985)  
 [2] - R. Gregorian e G. C. Temes, "Analog MOS integrated circuits for signal processing", (Wiley, New York, 1986)  
 [3] - K. Martin e A. S. Sedra, "Effects of the op-amp finite gain and bandwidth on the performance of switched capacitor filter", 1980 ISCAS, pp. 321-325  
 [4] - G. Fischer e G. S. Moschytz, "SC integrator for high-frequency applications", Electronics Letters, june 1983, Vol.19, No.13, pp. 495-496  
 [5] - A. S. Sedra, R. B. Datar e M. W. Chomik, "High-frequency switched-capacitor filters: performance limitations and design considerations", 1984 ISCAS, pp. 646-650

[6] - G. C. Temes e K. Haug, "Improved offset-compensation schemes for switched-capacitor circuits", Electronics Letters, june 1984, Vol.20, No.12, pp.508-509  
 [7] - K. Haug, F. Maloberti e G. C. Temes, "Switched-capacitor circuits with low op-amp gain sensitivity", 1986 ISCAS, pp.797-800  
 [8] - K. Nagaraj, K. Singhal, T. R. Viswanathan e J. Vlach, "Switched-capacitor circuits with reduced sensitivity to finite amplifier gain", 1986 ISCAS, pp. 618-621  
 [9] - G. Fischer e G. S. Moschytz, "SC filters for high frequencies with compensation for finite gain amplifiers", IEEE Trans. Circuits Syst., Vol. CAS-32, No.10, october 1985  
 [10] - K. Nagaraj, J. Vlach, T. R. Viswanathan e K. Singhal, "Switched-capacitor integrator with reduced sensitivity to amplifier gain", Electronics Letters, october 1986, Vol.22, No.21, pp. 1103-1105  
 [11] - J. C. M. Bermudez e B. B. Bhattacharyya, "Generation, classification and design of single OA SC networks", 1985 ISCAS, pp.773-776

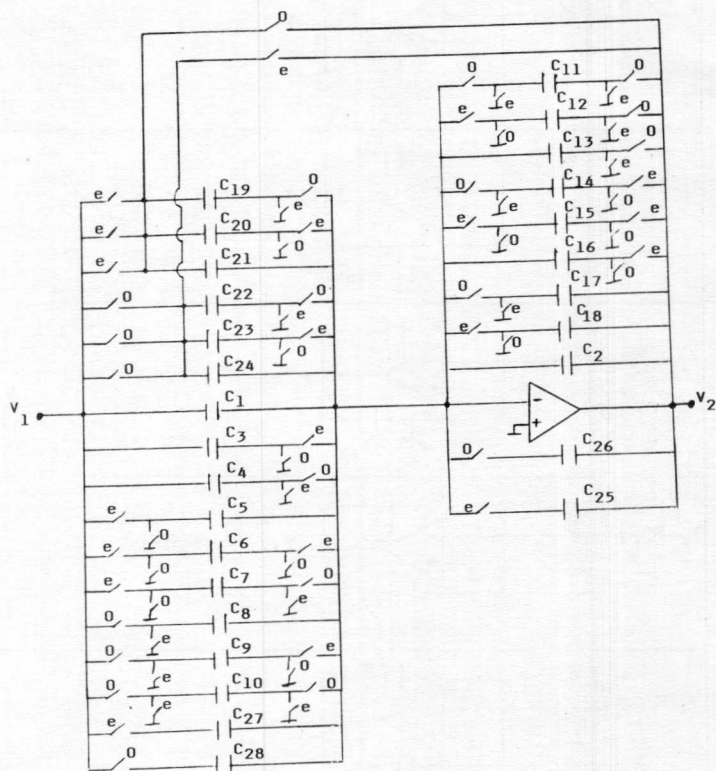


FIG. 1

TABELA I

F. T. DO INTEGRADOR	CONDIÇÕES NECESSÁRIAS
$H_i^{oe}(z) = \frac{az^{-1/2}}{1-z^{-1}}$	A1) $\alpha_{11} = 0$ $\alpha_{17} = 0$ $\alpha_3 + \alpha_{12} = 0$ $\alpha_5(\alpha_6 - \alpha_{16}) = \alpha_7\alpha_8$
$H_i^{ee}(z) = \frac{a}{1-z^{-1}}$	B1) $\alpha_{16} = 0$ $\alpha_3 + \alpha_{12} = 0$ $\alpha_7 = 0$ $\alpha_5 = \alpha_{11}$
$H_i^{ee}(z) = \frac{az^{-1}}{1-z^{-1}}$	C1) $\alpha_1 = 0$ $\alpha_7 = 0$ $\alpha_{16} = 0$ $\alpha_5 = \alpha_{11}$

TABELA II

REDES	F. T.	$\theta(\omega)$	$-m(\omega)$	CONDIÇÃO
1)	$H_i^{oe}(z) = \frac{-(C_6/C_{26})z^{-1/2}}{1-z^{-1}}$	$\mu^2 \frac{C_6}{C_{26}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$	$\mu \left( 2 + \frac{C_{16}}{C_{26}} + \frac{C_6}{C_{16}} \right)$	A1
2)	$H_i^{oe}(z) = \frac{(C_5/C_{26})z^{-1/2}}{1-z^{-1}}$	$\mu^2 \frac{C_5}{C_{26}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$	$\mu \left( 2 + \frac{C_5}{C_{26}} + \frac{C_5}{C_{18}} \right)$	A2
3)	$H_i^{ee}(z) = \frac{-(C_5/C_{25})}{1-z^{-1}}$	$\mu^2 \frac{C_5}{C_{25}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$	$\mu \left( 2 + \frac{C_5}{C_{25}} + \frac{C_5}{C_{17}} \right)$	B1
4)	$H_i^{ee}(z) = \frac{(C_7/C_{25})z^{-1}}{1-z^{-1}}$	$\mu^2 \frac{C_7}{C_{25}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$	$\mu \left( 2 + \frac{C_7}{C_{13}} + \frac{C_{13}}{C_{25}} \right)$	C3
5)	$H_i^{ee}(z) = \frac{-(C_{10}/C_{25})z^{-1}}{1-z^{-1}}$	$\mu^2 \frac{C_{10}}{C_{25}} \times \frac{1}{2 \tan \frac{\omega T}{2}}$	$\mu \left( 2 + \frac{C_{10}}{C_{13}} + \frac{C_{13}}{C_{25}} \right)$	C3