

IMPLEMENTAÇÃO DE UM SISTEMA MCPD PARA SINAL DE TV PAL-M

Marcelo Gilli
Yuzo Yano
Roberto Petry
Rosivaldo Ferrarezi
Élio Pithon Sarno Filho

Centro de Pesquisa e Desenvolvimento - CPqD/TELEBRÁS
KM 118,5 Rodovia Campinas - Mogi Mirim (SP-340)
Caixa Postal 1579 CEP 13085 - Campinas - SP

RESUMO

O Centro de Pesquisa e Desenvolvimento da TELEBRÁS vem desenvolvendo atividades de P&D em vários campos da área de processamento digital de sinais; um desses campos trata especificamente da digitalização de sinais de TV comercial segundo o padrão brasileiro PAL/M. No presente trabalho os autores apresentam um sistema para codificação de sinais de TV usando a modulação por código de pulsos diferencial.

I. CONSIDERAÇÕES INICIAIS

Para digitalizar o sinal de TV em cores PAL-M, usando-se 8 bit/amostra, e uma frequência de amostragem de 10 MHz, temos uma taxa de bits de 80 Mbit/s.

Essa taxa é grande em relação àquela necessária para a transmissão de sinais digitalizados de voz.

É, pois, desejável a redução da taxa de bits para o sinal digitalizado de TV, mantendo uma qualidade aceitável da imagem reproduzida.

Os vários métodos empregados para isso procuram eliminar as informações redundantes e as informações irrelevantes do sinal original da fonte.

A técnica empregada por nós com este fim foi o MCPD, ou seja, Modulação por Código de Pulsos Diferencial.

II. OBJETIVOS

O objetivo deste trabalho é apresentar as características do sistema MCPD tal como está sendo implementado no CPqD - TELEBRÁS.

Esse sistema é parte de um sistema de codificação de sinais de TV que, num primeiro estágio de implementação, atingirá a taxa correspondente a 2 feixes do sistema de 3ª hierarquia MCP, ou seja, 2 x 34 Mbit/s, preservando a qualidade subjetiva da imagem. Numa etapa posterior, pretende-se atingir a taxa de 34 Mbit/s.

III. FUNÇÕES NECESSÁRIAS NO SISTEMA MCPD

A figura III.1 mostra o diagrama em blocos do sistema MCPD.

O conversor A/D uniforme amostra o sinal de vídeo a uma taxa de $(8/3) f_{sc} \approx 9,53$ MHz, onde "fsc" é a frequência de subportadora de cor; este conversor fornece uma saída paralela de 9 bits no caso do sistema de 2 x 34 Mbit/s, e 8 bits no caso do sistema de 34 Mbit/s; esta saída alimenta o codificador MCPD propriamente dito. Este compõe-se basicamente de um somador "SOM", um subtrator "SUB", um quantizador "Q", um preditor "P", dois armazenadores de dados "F₁" e "F₂", um conversor de código "CC" e circuitos lógicos de controle "C", como mostra a Figura III.1.

Nessa figura, "F₁" e "F₂" são blocos de armazenamento de dados, constituídos de flip-flops tipo "D". Os blocos do quantizador "Q" e do conversor de código "CC" podem ser realizados usando-se memórias "PROM". O somador "SOM" e o subtrator "SUB" são realizados com elementos lógicos e aritméticos disponíveis no mercado na forma de CI's.

O preditor "P" contém na sua forma mais geral memórias RAM e PROM, elementos aritméticos, "buffers" e conjuntos de flip-flops. Naturalmente, dependendo do algoritmo de predição escolhido, pode-se fazer uma implementação mais simples do que a geral.

IV. QUANTIZADOR "Q"

O quantizador é o principal responsável pela redução da taxa de bits. Os quantizadores propostos neste trabalho são baseados em estudos realizados em trabalho anterior [1] .

O quantizador está associado a duas leis de quantização: a lei principal e a lei forçada. Na maior parte do tempo, é a lei principal que é usada. No entanto, quando a taxa de bits ameaçar ultrapassar a taxa nominal da linha, chaveia-se para a lei forçada. Esta lei degrada mais a qualidade do sinal do que a outra, mas é necessária para manter a taxa de saída dentro da taxa meta de 34 M. Após o fim do campo atual, chaveia-se de novo para a lei principal.

As leis de quantização escolhidas tiveram como ponto de partida leis lineares com passos não-uniformes. Uma característica comum às leis escolhidas é o fato de que a quantização é praticamente uniforme (1:1) em torno da origem, e é mais grosseira à medida que o valor da diferença aumenta. Essa opção tende a minimizar a degradação do sinal, já que a maior parte das diferenças entre o sinal de entrada e o sinal previsto no sistema MCPD se concentram em torno do zero. A codificação com comprimento de palavra variável utiliza-se desse fato para reduzir a taxa de bits. Às menores diferenças são atribuídas palavras de comprimentos menores. A atribuição de palavras-código a cada nível de saída do quantizador é efetuada no bloco "CC".

Levando-se em conta a estrutura de quadro digital, chega-se à conclusão de que, para manter a taxa de saída do sistema em 34 Mbit/s, o número de bits por amostra médio na saída de "CC" deve ser 4,02 bit/amostra. Para a taxa de 2 x 34 Mbit/s, esse número deve ser 8,1 bits/amostra.

Para o sistema de 34 Mbit/s escolheu-se uma lei principal com comprimentos de palavra 2 e 8 bits e uma lei forçada com comprimento de palavra único igual a 4 bits. Já para o sistema de 2 x 34 Mbit/s, optou-se por uma única lei usando um único comprimento de palavra igual a 8 bits.

As tabelas IV.1 e IV.2 mostram essas leis de quantização somente para diferenças positivas, posto que as leis são simétricas.

V. PREDITOR "P"

O preditor é o principal responsável pela qualidade de imagem obtida. Os preditores propostos neste trabalho são baseados em estudos

realizados em trabalhos anteriores [1, 2, 3] .

No caso geral, os preditores usados neste trabalho são na verdade compostos de 4 preditores lineares chaveados conforme a posição da amostra a ser prevista em relação à amostra de cruzamento de zero da onda "cos ω_sct " onde " ω_s " é a subportadora de cor ($2\pi \times 3,57561149$ MHz).

Seja então a enumeração das amostras dada como mostra a Figura V.1.

Q902028		Q958004	
n=0, m=2, k=8		n=m=0, k=4	
Níveis de	Valores	Níveis de	Valores
decisão	quantizados	decisão	quantizados
0,5	0	2,5	0
2,5	2	8,5	6
4,5	4	18,5	14
6,5	6	33,5	26
8,5	8	59,5	47
10,5	10	98,5	79
13,5	12	159,5	129
16,5	15	255,5	208
19,5	18		
23,5	22		
27,5	26		
31,5	30		
36,5	34		
41,5	39		
46,5	44		
52,5	50		
58,5	56		
65,5	62		
72,5	69		
80,5	77		
88,5	85		
97,5	93		
106,5	102		
116,5	112		
127,5	122		
139,5	134		
152,5	146		
166,5	160		
181,5	174		
197,5	190		
214,5	206		
233,5	224		
255,5	245		

Tab. IV.1 - Quantizadores Principal e Forçado para o Sistema 34 Mbit/s

Q500008			
n=m=0, k=8; APG = 1,03			
Níveis de	Valores	Níveis de	Valores
decisão	quantizados	decisão	quantizados
0,5	0	126,5	125
1,5	1	129,5	128
.	.	133,5	132
.(1:1)	.	137,5	136
.	.	141,5	140
36,5	36	145,5	144
38,5	38	150,5	148
39,5	39	154,5	153
40,5	40	158,5	157
41,5	41	163,5	161
43,5	43	168,5	166
44,5	44	173,5	171
45,5	45	178,5	176
46,5	46	183,5	181
48,5	48	189,5	187
49,5	49	194,5	192
50,5	50	200,5	198
52,5	52	206,5	204
53,5	53	212,5	210
55,5	55	218,5	216
56,5	56	225,5	222
58,5	58	232,5	229
60,5	60	238,5	236
61,5	61	246,5	242
63,5	63	253,5	250
65,5	65	260,5	257
67,5	67	268,5	265
69,5	69	276,5	273
71,5	71	284,5	281
73,5	73	293,5	289
75,5	75	301,5	298
77,5	77	310,5	306
79,5	79	320,5	316
82,5	81	329,5	325
84,5	84	339,5	335
86,5	86	349,5	345
89,5	88	359,5	355
91,5	91	370,5	365
94,5	93	381,5	376
97,5	96	393,5	388
100,5	99	404,5	399
103,5	102	416,5	411
106,5	105	429,5	423
109,5	108	442,5	436
112,5	111	455,5	449
115,5	114	468,5	462
119,5	118	482,5	476
122,5	121	497,5	490
		511,5	505

Assim, o preditor bidimensional linear total envolvendo as linhas atual, a primeira e a segunda linhas prévias, é dado por

$$\hat{X}_{i+z, j} = \sum_{n=0}^2 \sum_{k=-2}^7 G_{nkz} x_{i+k, j+n} \quad (V.1)$$

$G_{okz}, k \geq z + 1$

onde $z = 0, 1, 2, 3$ e "i", "j", "k" e "n" são números inteiros. Os coeficientes " G_{okz} ", " G_{1kz} " e " G_{2kz} " se referem às amostras usadas para predição que pertencem às linhas atual, primeira e segunda prévias, respectivamente. A notação $G_{okz}, K \geq z + 1$ indica que na linha atual só podem ser usadas amostras prévias àquela que está sendo prevista, ou seja, apenas amostras passadas a partir de $k \geq z + 1$.

Na eq. (V.1), $x_{i, j}$ representa uma amostra no cruzamento de zero da onda "cos ω_{sct} ", enquanto que $\hat{x}_{i+z, j}$ representa o valor previsto de $x_{i+z, j}$. Além disso, $x_{i+k, j+n}$ é o valor da amostra na linha "j + n", na posição "i + k".

Constatou-se que é muito difícil, com os componentes de que dispomos atualmente, obter um circuito para a malha do MCPD que processe uma amostra em T_a , sendo que:

$$T_a = (3/8) T_{sc} \quad (V.2)$$

$$T_{sc} = 1/f_{sc} \quad (V.3)$$

Por essa razão, decidimos usar um preditor que não use a primeira amostra prévia; dessa forma, o tempo disponível para fechar o ciclo é aumentado para " $2T_a$ ". A Tab. V.1 mostra as equações de predição para dois preditores com bons desempenhos nas simulações.

Alguns resultados de simulações em computador com preditores e quantizadores promissores são dados nas Figs. V.2 e V.3 para 34 Mbit/s e na Tab. V.2 para 2 x 34 Mbit/s. A relação S/N usada é a de valor RMS e as imagens são padrões da SMPTE ou sinais de testes padronizados pela CCIR.

O circuito do preditor usa RAMs para armazenar as amostras passadas. Um diagrama de blocos simplificado do preditor é dado na Fig. V.4.

Tab. IV.2 - Quantizador para o sistema de 2 x 34 Mbit/s

P8058	$\hat{x}_{i+3, j} = x_{i+5, j} + x_{i+1, j+1} - x_{i+3, j+1}$
	$\hat{x}_{i+2, j} = x_{i+4, j} + x_{i+2, j+1} - x_{i+4, j+1}$
	$\hat{x}_{i+1, j} = x_{i+1, j+1}$
	$\hat{x}_{i, j} = -x_{i+2, j} + x_{i, j+1} + x_{i+2, j+1}$
P8038	$\hat{x}_{i+3, j} = x_{i+5, j} + x_{i+1, j+1} - x_{i+3, j+1}$
	$\hat{x}_{i+2, j} = x_{i+4, j} + x_{i+2, j+1} - x_{i+4, j+1}$
	$\hat{x}_{i+1, j} = x_{i-1, j+1} + x_{i+1, j+1} - x_{i-1, j+1}$
	$\hat{x}_{i, j} = -x_{i+2, j} + x_{i, j+1} + x_{i+2, j+1}$

Tab. V.1 - Equação de predição para dois preditores

IMAGEM DE ENTRADA	RELAÇÃO S/N (dB) DE X' PARA x
SMPTE 02	51,4
SMPTE 04	51,8
SMPTE 15	51,9
SST02 = BARRAS COLORIDAS	52,3
SST09 = CCIR.I	55,3
SST10 = CCIR.II	51,2

Tab. V.2 - Resultados de simulações para o sistema de 2 x 34 Mbit/s, usando o P8058 e o Q500008, APG = 1.03.

VI. LIMITADORES E LATCHES

Devido à existência de erro de quantização, o sinal x' na saída do somador pode eventualmente ser maior que 511 ou menor que 0, que são os valores máximo e mínimo respectivamente do sinal de entrada x , quando o conversor A/D tem 9 bits (estamos supondo o sistema de 2 x 34 Mbit/s, para exemplificar). Decidimos então introduzir na saída do somador um circuito limitador que atribui 511 aos valores de x' maiores que 511 e 0 aos valores desta variável menores que 0. Na saída do preditor, existe um outro limitador, com a mesma função.

Para sincronizar as operações no MCPD e evitar interferências de resultados de uma operação em outra operação simultânea, concluiu-se serem necessários latches depois dos limitadores.

VII. CONCLUSÕES

O sistema MCPD apresentado neste trabalho está em fase de montagem no CPqD-TELEBRÁS no presente momento; ele fará parte de um CODEC para sinal de TV que transmitirá em 2 x 34 Mbit/s.

O projeto do circuito envolveu algumas questões que não puderam ser discutidas neste trabalho, devido à concisão exigida do mesmo.

O próximo passo na implementação, após o teste do circuito inicial com vários preditores e quantizadores previamente selecionados através de simulações, será a otimização do circuito para o par preditor-quantizador que apresente os melhores resultados.

VIII. BIBLIOGRAFIA

- [1] . Yuzo Yano, Normonds Alens, João B.T. Yabu-Uti, Afonso de O. Alonso, Luiz C. Martini - "Codificação Digital Composta de Sinais de TV usando um Sistema MCPD" 5º SBT, Set/87, UNICAMP, Campinas, SP.
- [2] . Yuzo Yano, Afonso de O. Alonso, João B.T. Yabu-Uti, Luiz C. Martini, Normonds Alens - "Sistema MCPD Exploratório para Codificação Composta do Sinal de TV PAL-M" 1º SBT, Set/83, PUC, Rio de Janeiro, RJ.
- [3] . Afonso de O. Alonso, João B.T. Yabu-Uti, Luiz C. Martini, Normonds Alens, Yuzo Yano - "Redução da Taxa de Bits para Transmissão do Sinal de TV Composto PAL-M", 1º SBT, Set/83, PUC, Rio de Janeiro, RJ.

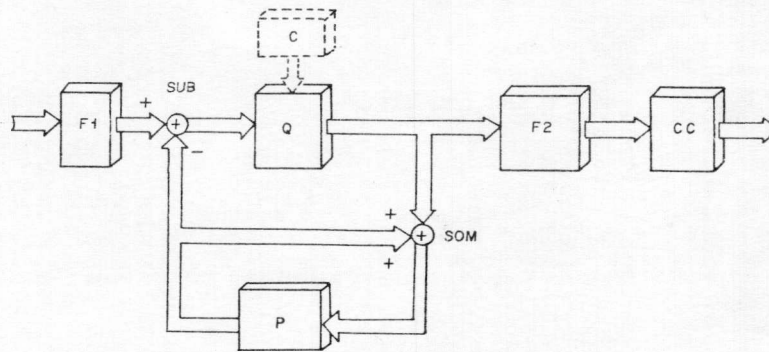


Fig. III.1 - Esquema do MCPD

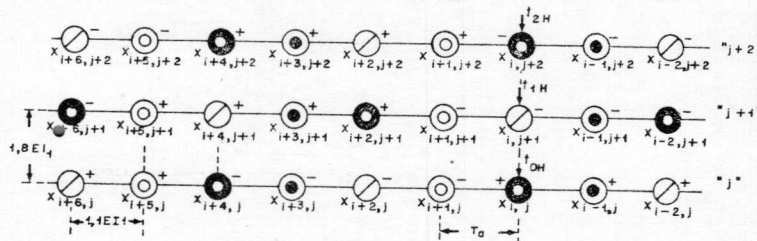


Fig. V.1 - Convenção para Enumeração das Amostras com $(8/3)f_{sc}$

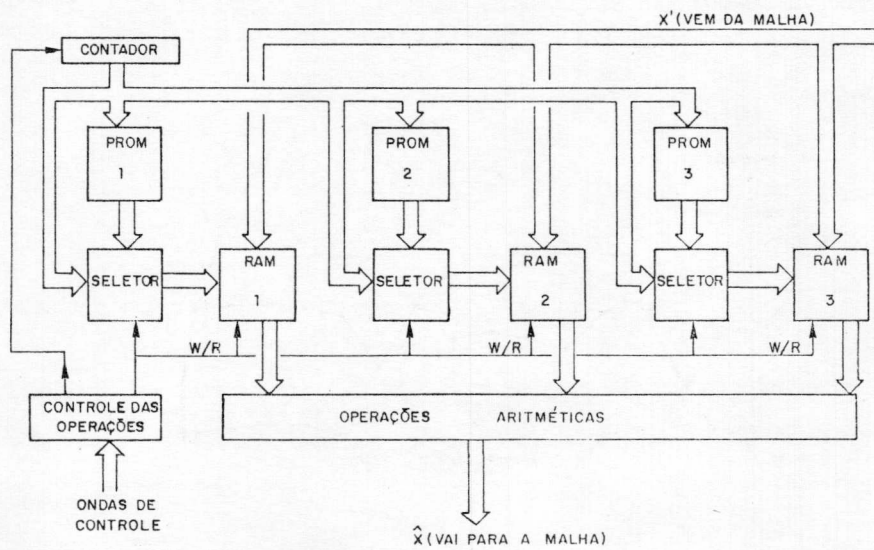


Fig. V.4 - Diagrama em blocos simplificado do preditor.

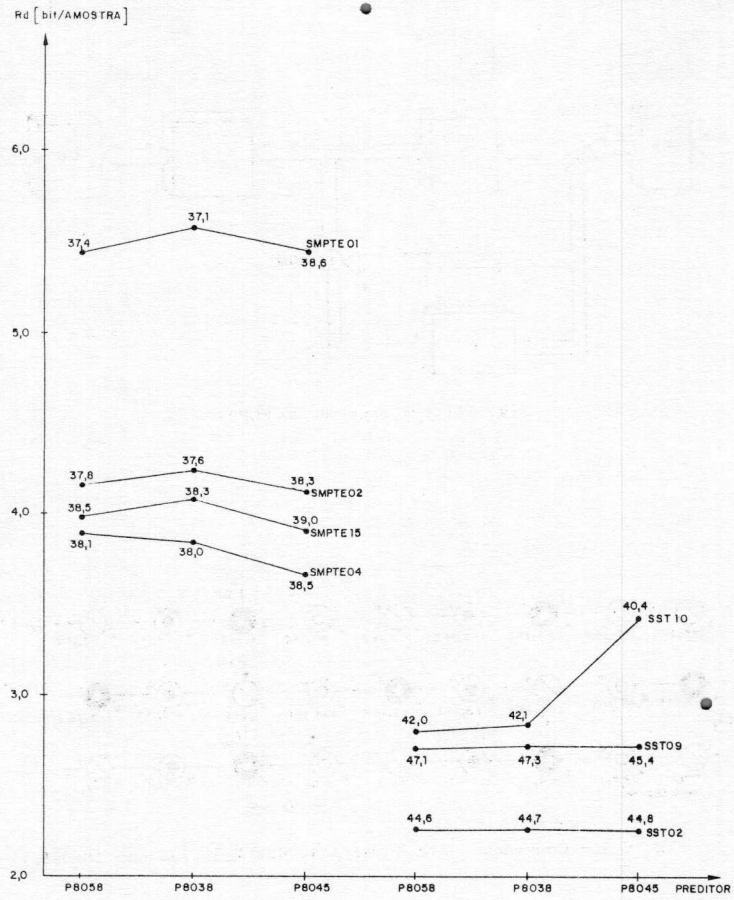


Fig. V.2 - Resultados de simulações usando o quantizador Q902028 e o preditor P8058

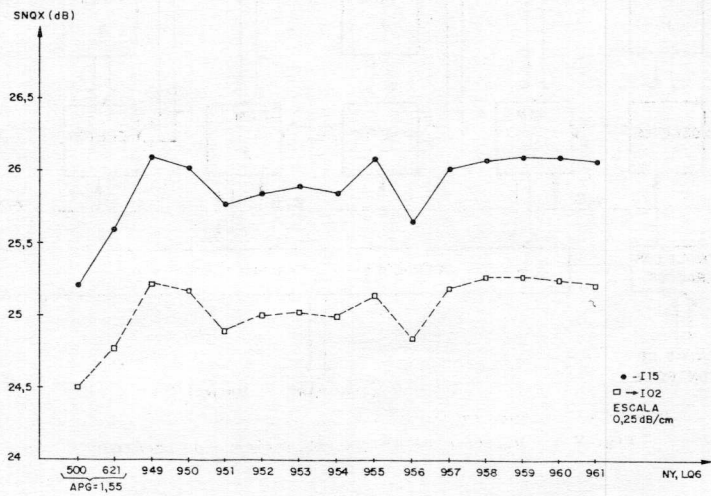


Fig. V.3 - Resultados de simulações usando quantizadores de 4 bits e o preditor P8058 (sistema 34 Mbit/s).