

CIRCUITO INTEGRADO APLICADO À SISTEMAS MICROPROCESSADOS  
EM TEMPO REAL PARA IMPLEMENTAÇÃO DE ESTADO DE BAIXO  
CONSUMO DE POTÊNCIA EM TERMINAIS RDSI

Maurício A. de Moura Peres

José Maria de Carvalho

CPqD - TELEBRÁS  
C. P. 1579 - Campinas - SP

- SUMÁRIO -

Os terminais de usuário para a RDSI devem seguir as especificações do CCITT no tocante a interfaces, sinalização e serviços. A especificação da interface S limita a potência que cada terminal de usuário pode consumir tanto no estado ativo como desativado. Um terminal de usuário RDSI com serviço de voz, alimentado pela interface S, pode ser considerado um sistema em tempo real, que possui microprocessadores e outros circuitos que devem conviver com estas limitações de consumo de potência. Neste trabalho é descrito um circuito integrado em desenvolvimento no CPqD TELEBRÁS que além de funções de controle de interrupções de periféricos, "watchdog timer" e controle de teclado, implementa também um estado de baixo consumo num terminal RDSI.

1 - INTRODUÇÃO

À TELEBRÁS e as empresas operadoras dos serviços de telecomunicações no Brasil, com o objetivo de colocar em teste os novos equipamentos envolvidos e a reação dos usuários aos novos serviços oferecidos, realizarão uma Experiência Piloto RDSI Brasileira (EPB-RDSI) em 1990 da qual participarão os fabricantes do TRÓPICO RA e os demais fabricantes de centrais públicas instalados no Brasil.

O CPqD TELEBRÁS está desenvolvendo a família INTELITEL de equipamentos de usuário para EPB-RDSI(1).

A implementação da família INTELITEL implicará no desenvolvimento de circuitos integrados com funções voltadas para os novos requisitos impostos pelo conceito de RDSI. Inicialmente foram identificados dois circuitos integrados a serem desenvolvidos: um circuito controlador da camada 2 do protocolo do canal D (TB22) (2) e um circuito integrado (CIP) com várias funções associadas à interrupções de periféricos e funções de implementação do estado "terminal em baixo consumo", onde o consumo de potência deve ser mantido num valor mínimo.

O CIP foi especificado para utilização em terminais de usuário RDSI, entretanto ele pode ser considerado um periférico de uso em terminais microprocessados que necessita

implementar um estado de baixo consumo no qual o microprocessador fique apenas a espera de eventos externos que o ativem.

2 - CONSIDERAÇÕES DE CONSUMO DE POTÊNCIA EM TERMINAIS RDSI

Neste ítem serão apresentadas as limitações de consumo que está submetido um terminal de usuário RDSI que extrai sua potência da interface S.

O CCITT especifica a conexão de até 8 terminais de usuário à interface S do acesso básico (3). A configuração da interface S para a alimentação dos terminais de usuário é mostrada na figura 1. A tensão de alimentação para os terminais é fornecida em modo fantasma pelo TR-1 através dos pares de fios de transmissão e recepção da interface S. O valor da tensão disponível para cada ET1 na interface S é de  $40 V_{cc} + 5\% - 40\%$ .

Em operação normal o TR1 deve prover a potência para operação dos terminais conectados à interface S extraíndo energia da rede local 110/220 Vca. No caso de falta de energia na rede local o TR-1 deve operar em estado de emergência, extraíndo potência diretamente da central pública através dos dois fios da interface U. Durante o estado de emergência o TR1 poderá alimentar somente um dos terminais conectados na interface S. O TR1 indica o estado

de emergência para os terminais através da inversão da polaridade da tensão de alimentação na interface S. O terminal que permanece operando durante o estado de emergência é denominado "Terminal Designado".

Os terminais de usuário alimentados pela interface S, quando operando como terminal designado, possuem dois estados de operação: o estado terminal em baixo consumo e o estado terminal ativo. O terminal se encontra no estado terminal em baixo consumo quando não houver nenhuma chamada ativa na instalação do usuário e nem houver nenhuma ação local sendo efetuada pelo usuário no terminal. O terminal se encontra no estado terminal ativo quando houver alguma chamada ativa na instalação do usuário ou quando houver alguma ação local do usuário.

Na tabela 1 são mostrados valores máximos de consumo de potência especificados para os terminais de usuário para a EPB-RDSI. Como pode ser verificado, o consumo máximo de 25 mW no estado baixo consumo em operação de emergência é o menor valor de consumo dos terminais RDSI que são alimentados pela interface S. Neste estado o terminal poderá estar com todas as suas funções desativadas, entretanto deve reagir a qualquer evento externo vindo tanto do usuário como da rede através da interface S.

	Operação Normal	Oper. em Emergência
Estado Terminal Ativo	= < 1 W	= < 100mW
Estado Terminal Desativado (baixo consumo)	= < 380 mW	= < 25mW

TABELA 1 - Consumo de Potência dos terminais de usuário RDSI

O CIP provê as funções que possibilitam a um terminal RDSI, a implementação de um estado terminal em baixo consumo que garanta um consumo mínimo dentro dos valores especificados.

### 3 - ARQUITETURA DO HARDWARE DA FAMÍLIA INTELITEL

O hardware da família INTELITEL possui uma arquitetura modular que divide o terminal em dois subsistemas:

SCS - Subsistema de Controle da Interface S

SDA - Subsistema de Aplicação

O hardware do SCS reúne as funções básicas relacionadas à interface S além das funções comuns a todos os terminais da família INTELITEL.

O hardware do SDA reúne as funções específicas a cada tipo de terminal que de modo geral estão associadas à interface com o usuário.

Na figura 3 é mostrado o diagrama de blocos do hardware de um terminal INTELITEL. O SCS é composto por circuitos integrados comerciais e dedicados que executam as funções da camada 1 associadas a interfaces S (SBC - S BUS CONTROLLER - SIEMENS), funções de camada 2 (TB22), controle geral do sistema e programação de todos os periféricos (microcontrolador 80C31 - INTEL), controlador de interrupções de periféricos (CIP), decodificadores de endereço para memórias, memórias RAM e EPROM, circuitos geradores de sinal de relógio e Power-on Reset e um circuito gerador de sinal de Emergência.

O dispositivo de camada 1 (SBC) se conecta ao TB22 pela interface IOM (ISDN ORIENTED MODULAR) onde circulam as informações de sinalização e controle do/para o microcontrolador do terminal. A interface IOM além de transferir informações de controle e sinalização, também transporta os canais de voz B1 e B2 entre os componentes de camada 1 e 2.

O CI TB22 (2) com funções de camada 2 possui uma interface para conexão de dispositivos que acessem o canal B. Na família INTELITEL, esta porta é utilizada para conectar um Codec (codificador/decodificador PCM) para a conversão A/D e D/A do sinal de voz. O Codec se interfaceia com o monofone e circuitos de viva-voz através do bloco Interface Analógica. O TB22 também se conecta por esta interface ao bloco Adaptador de Terminais de dados. Este bloco provê as funções de adaptação da interface R para o canal B a 64 Kbit/s.

Os terminais INTELITEL utilizam como processador, o microcontrolador de 8 bits 80C31. Devido à incorporação de periféricos à sua arquitetura, estes microcontroladores possibilitam a implementação de terminais compactos, de baixo custo e dentro das limitações de potência especificadas pelo CCITT para os terminais RDSI.

O microcontrolador 80C31 possui estado de

baixo consumo de potência que é acessado através de programação de um bit interno ao microcontrolador. Quando este bit é acessado pelo software o microcontrolador entra incondicionalmente no estado de baixo consumo. Neste estado o sinal de relógio é desativado internamente ao 80C31 até que o sinal de RESET seja recebido. Com o microcontrolador e os demais circuitos do terminal nesta condição o terminal está no estado de baixo consumo de potência.

As especificações do circuito integrado CIP levaram em consideração as características do estado de baixo consumo de potência do terminal permitindo um controle tanto da entrada como saída do terminal no estado de baixo consumo.

O CIP realiza o interfaceamento dos eventos externos vindos da central e do usuário, tanto com o microcontrolador no estado ativo como no estado de baixo consumo. No estado ativo o CIP informa os eventos por interrupção. No estado de baixo consumo o CIP gera um sinal de RESET e um sinal de interrupção ao microcontrolador. Nos dois estados o microcontrolador identifica o evento através de um registro de interrupção do CIP.

Na família INTELITEL, os eventos que fazem o CIP gerar interrupção ao microcontrolador são: a retirada e a colocação do monofone do gancho, a indicação de solicitação de ativação da interface serial de dados (ETD pronto), indicação de situação de emergência, indicação de tecla pressionada, indicação de "power-on reset" e sinal de indicação da ocorrência de ativação da camada 1 pela central.

Quando o terminal está desativado, qualquer evento externo pode ativar o CIP automaticamente através de procedimentos hardware internos que geram um sinal de RESET e Interrupção ao microcontrolador avisando-o dessa ocorrência, além de notificar o evento através dos vetores de interrupção. Dessa forma, o CIP pode assumir a sua função de controlador de interrupções programável.

#### 4 - CIRCUITO INTEGRADO CIP

O CIP é um circuito integrado gate-array CMOS com 40 pinos especificado no CPqD e desenvolvido em conjunto com uma indústria nacional. A complexidade do CIP é equivalente a um circuito digital com cerca de 4200 gates equivalentes.

O CIP pode ser utilizado com

microprocessadores INTEL das famílias MCS-85, MCS-48, MCS-51, MCS-86 e MCS-88 ou com quaisquer microprocessadores com características semelhantes.

Os valores do consumo de potência para o CIP são compatíveis com a sua principal função: manter um baixo consumo no terminal quando este estiver no estado de baixo consumo de potência. No estado ativo o CIP consumirá no máximo 30 mW e no estado desativado consumirá no máximo 1 mW.

O CIP é constituído por 6 blocos internos bem definidos (4) como mostrados na figura 2, os quais citamos:

- . Interface com o Microprocessador,
- . Interface com o Teclado,
- . Controle de Interrupções Externas,
- . Gerador Programável de Frequências,
- . Lógica de Reset,
- . Circuito de Watchdog-Timer.

Funcionalmente, o CIP associa funções de um controlador de interrupções, temporizador, controlador automático de teclado e gerador programável de frequências, além do fato de implementar um estado de baixo consumo de potência no sistema.

O CIP informa o microprocessador sobre a ocorrência de eventos internos e externos que geram estados de interrupção, através de registradores (vetores de interrupção) que podem ser lidos pelo microprocessador.

Os demais registradores do CIP são definidos para assumir funções de modo (REG. MDR), de comando (REG. CMR) e de dados (dados para programação de frequência, para uso do teclado, para programação de máscaras de interrupções, etc).

Nos itens seguintes serão descritas as funções e o interrelacionamento dos blocos do CIP.

#### 4.1 INTERFACE COM O MICROPROCESSADOR

O bloco Interface com microprocessador possui 18 registradores dos quais 9 são de escrita programáveis pelo microprocessador e os 9 restantes são de leitura.

Estes blocos têm a função de interfacear o CIP com o barramento multiplexado de microprocessadores de 8 ou 16 bits padrão INTEL. O CIP possui internamente um latch controlado

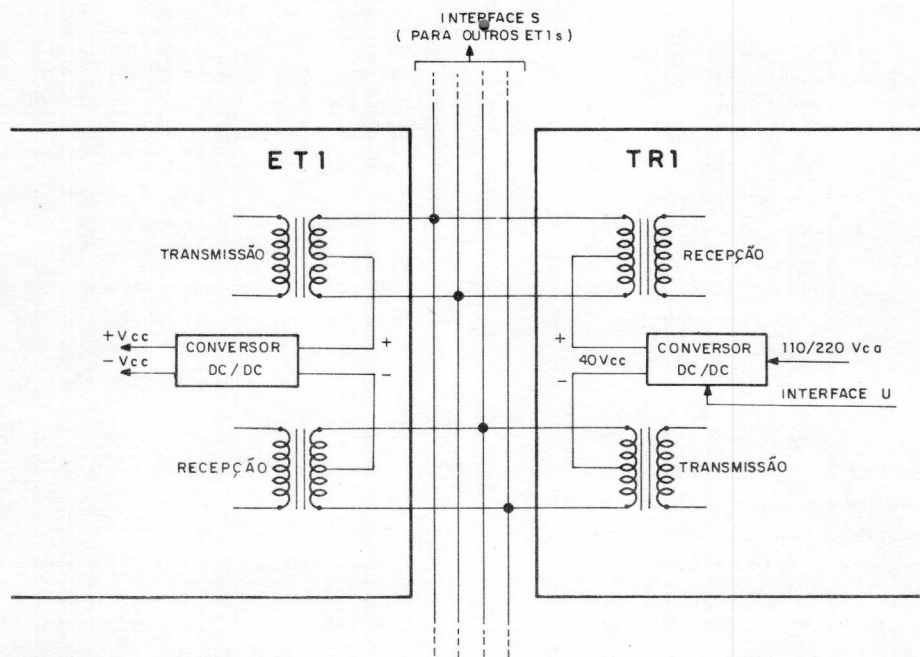


FIG.1- CONFIGURAÇÃO DA DISTRIBUIÇÃO DE ALIMENTAÇÃO NA INTERFACE S

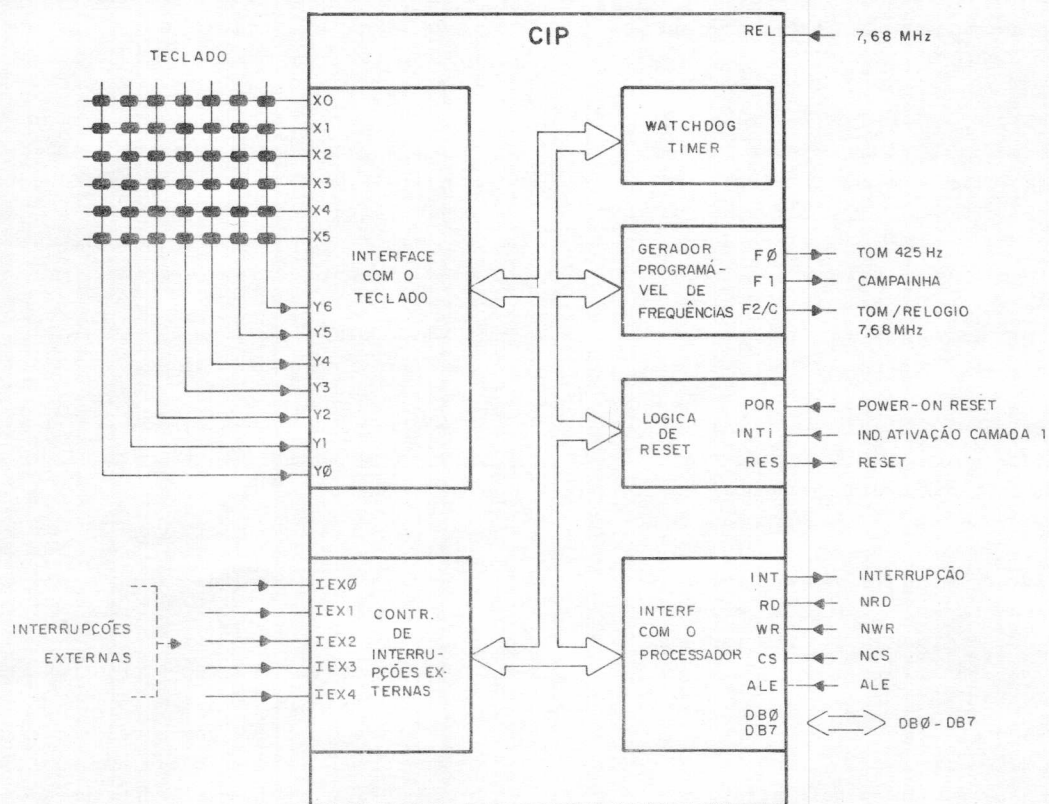


FIG. 2 - DIAGRAMA DE BLOCOS DO CIRCUITO INTEGRADO CONTROLADOR DE INTERRUÇÕES DE PERIFERICOS

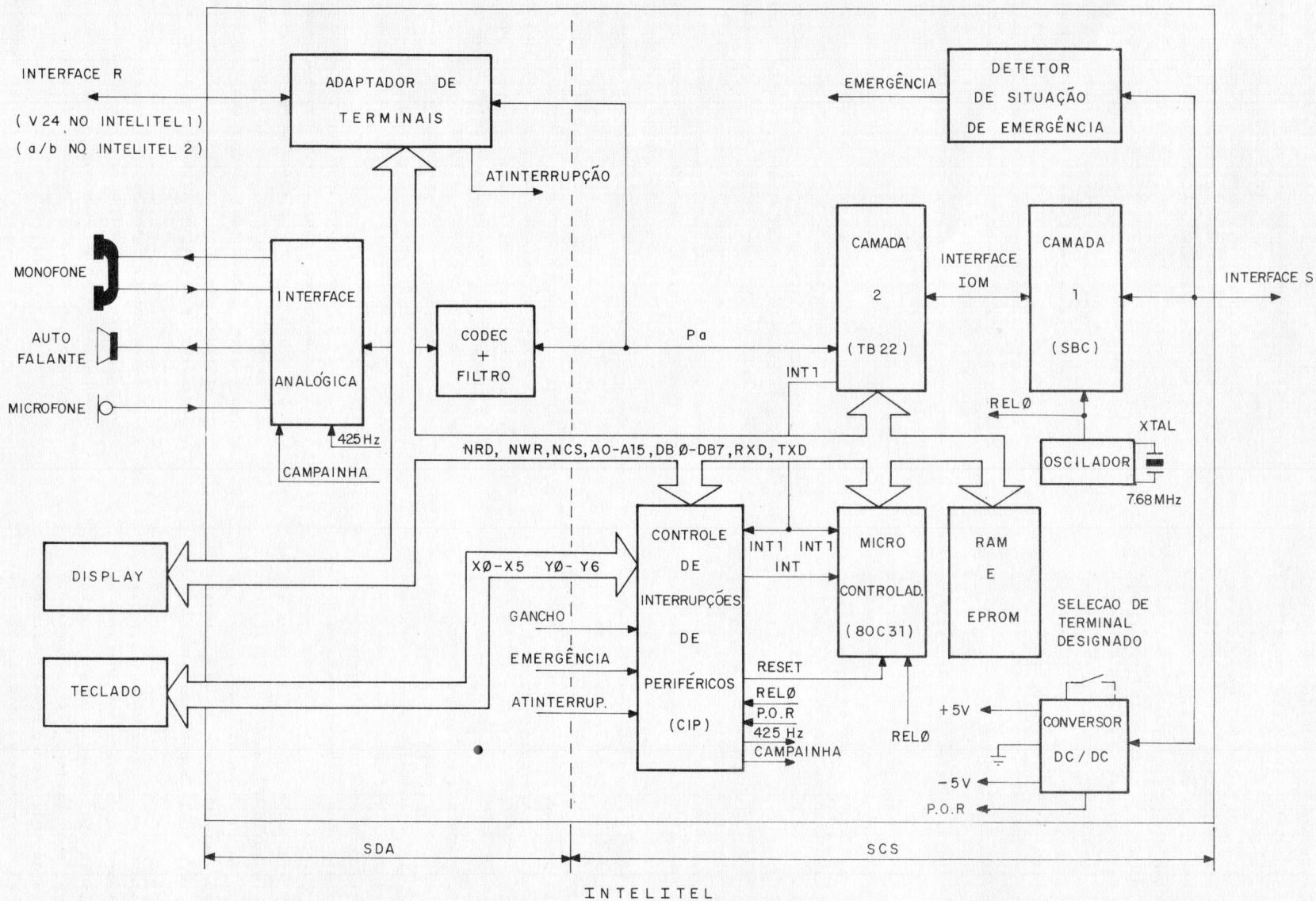


FIG. 3 - DIAGRAMA DE BLOCOS DO INTELITEL

pelo sinal de ALE (ADDRESS LATCH ENABLE) proveniente do microprocessador para armazenar o byte relativo ao endereço presente de forma multiplexada no barramento.

Essa interface possui também, um circuito decodificador dos endereços dos registradores internos que é ativado apenas se o sinal NCS de seleção do CIP estiver em nível lógico zero.

Além desses circuitos básicos, a interface com microprocessador faz todo o controle e geração do sinal INT de interrupção. Este sinal é gerado através de um circuito que analisa os registradores de máscara de interrupção e todos os sinais internos provenientes dos blocos que sinalizam os estados de interrupção.

#### 4.2 LÓGICA DE RESET

Este bloco é responsável pela geração do sinal de RESET para o microprocessador. A geração desse sinal é realizada sob o comando do sinal de power-on reset da placa, dos demais blocos internos do CIP e a partir da detecção de ativação da camada 1 (interface S) informada através do sinal recebido no pino INTI do CIP.

O estado terminal em baixo consumo de potência possui características que dão ao CIP, a possibilidade de "acordar" o microprocessador da placa nos momentos em que determinados eventos externos ocorrem. Durante este estado o CIP gera o sinal de RESET quando detecta os seguintes eventos: tecla pressionada, sinal de interrupção externa (linhas IEXO-IEX4) e detecção de ativação da camada 1. No estado ativo o sinal de RESET é gerado pelo CIP somente em caso de estouro de temporização do Watchdog Timer.

Para que o CIP entre em estado de baixo consumo de potência, o microprocessador deverá executar um comando. A partir desse momento, todos os sinais de relógio internos ao CIP ficam desativados, neste estado apenas circuitos combinatórios estáticos podem detectar possíveis eventos externos que deverão fazer com que o CIP "acorde" o microprocessador do sistema.

#### 4.3 CIRCUITO DE WATCHDOG TIMER

O circuito de Watchdog Timer existente no CIP permite a implementação de um mecanismo de proteção para o sistema durante o processamento do software em tempo real. Em aplicações onde não for previsto a utilização de Watchdog Timer, ele pode ser programado para ser utilizado como um temporizador de uso geral, ou até ser

desabilitado.

Esse circuito é programável pelo microprocessador e associados a ele temos um registrador de dados (reg. WDTR) utilizado para programação da temporização e um bit no registrador de comando (bit RESW) utilizado para se efetuar um reset com "reload" automático no circuito temporizador.

O microprocessador pode dar início a uma temporização do watchdog timer de duas maneiras: através de escrita do valor da temporização no registrador de dados ou através de um comando no bit RESW (registro de comando - CMR).

Esse circuito pode ser programado de três formas distintas através de 2 bits existentes no registrador de modo (bit WDCO e bit WDCl): operação como temporizador simples, como temporizador Watchdog Timer (maneira usada no terminal RDSI) e pode ser desativado internamente.

Caso for programado como temporizador simples, se houver um estouro do temporizador será gerada somente uma interrupção ao microprocessador. Se estiver programado como temporizador Watchdog Timer, nos casos de estouro do temporizador serão gerados para o microprocessador, uma interrupção e um sinal de RESET. Se a lógica estiver desabilitada nenhum sinal será gerado e o temporizador estará inativo.

A temporização máxima para relógio externo de 7,68MHZ é de 34 miliseg, e é obtida pelo carregamento do valor máximo (FF hexadecimal) de temporização no registro WDTR. A temporização mínima é de 133 microseg, e é obtida pelo carregamento do valor mínimo (01 hexadecimal) de temporização no registro WDTR.

#### 4.4 CONTROLE DE INTERRUPÇÕES EXTERNAS

Este bloco é responsável pela realização da detecção de transições de nível lógico nos cinco sinais de entrada IEXO-IEX4. A detecção de uma transição em um dos sinais externos é validada por circuitos internos de DEBOUNCE do CIP. Esses circuitos de DEBOUNCE podem detectar transições positivas e transições negativas nos sinais IEXn e gerar sinais de interrupção para a interface com o microprocessador.

A informação de transição nos sinais IEXn é passada ao microprocessador através de vetores de interrupção e são sinalizadas através dos 10

bits PTOI - PT04 e NTOI - NT4I onde, PT = transição positiva e NT = transição negativa. Os números de 0 a 4 indicam em qual das linhas de entrada externa foi detectada a transição.

O CIP realiza um DEBOUNCE de aproximadamente 10 ms para os sinais IEXn, ou seja, caso alguma transição não se estabilizar em 10 ms, ou alguma transição existir e voltar ao estado inicial em menos de 10 ms, o circuito de DEBOUNCE não irá gerar um sinal de interrupção para a interface com o microprocessador, pois isso significa uma transição não válida.

#### 4.5 GERADOR PROGRAMÁVEL DE FREQUÊNCIAS

Este bloco tem como função principal, a de um gerador de frequências programável pelo microprocessador. Essas frequências são ondas quadradas fornecidas nos pinos de saída F0, F1 e F2/C do CIP.

O CIP possui registradores de dados para programação da frequência a ser gerada (FR0, FR1 e FR2) e existem bits no registrador de comando (CF0, CF1 e CF2) que permitem a habilitação ou desabilitação da geração das frequências em cada pino de saída separadamente.

O pino F2/C pode ser utilizada para a função F2, neste modo o pino F2/C fornece um sinal com características semelhantes aos pinos F0 e F1 do CIP. Quando programado para a função C este pino é usado para gerar o sinal de relógio para o microprocessador permitindo a implementação do estado de "baixo consumo" em sistemas que utilizem microprocessadores diferentes da família 80C31 (ex. 8088, 8085, etc). Sempre após um sinal de Power-on-Reset, o pino F2/C do CIP assume a função C (geração de relógio C para o microprocessador). Caso o microprocessador utilizado seja da família 80C31, ele poderá utilizar a função F2 do pino F2/C do CIP por já possuir internamente a capacidade de implementar o estado de baixo consumo de potência. O CIP é notificado de qual microprocessador está sendo utilizado no sistema através de um bit do registrador de modo (bit MTB - registro MDR).

Em sistemas que utilizem a função de geração de relógio C do pino F2/C do CIP, quando o microprocessador manda o CIP para o estado de "baixo consumo" através de acesso ao bit PDP, o CIP além de entrar no estado de baixo consumo desativa o sinal de relógio presente no pino F2/C colocando também o microprocessador no estado de baixo consumo. Após a detecção de algum evento externo o CIP ativa o sinal de relógio no

pino F2/C gerando ao mesmo tempo um sinal de RESET e de Interrupção para o microprocessador, informando o evento ocorrido nos vetores de interrupção.

A frequência nos pinos F0, F1 e F2/C (no modo F2) pode ser programada na faixa de 30Hz a 7500Hz sendo submúltiplos da frequência 7500 Hz (Para relógio externo de 7.68MHz).

#### 4.6 INTERFACE COM O TECLADO

Esta interface permite o controle de um teclado de 42 teclas numa matriz de 6 linhas (linhas X0 - X5) por 7 colunas (colunas Y0 - Y6).

A interface com o teclado permite dois modos básicos de controle do teclado quando o CIP estiver em estado ativo: O modo de controle automático por hardware e o modo de controle via software por microprocessador. Além disso, essa interface com o CIP em estado baixo consumo permite a detecção de transições na colunas Y0-Y6 nos dois modos de controle do teclado.

No caso do CIP estar no estado ativo, o controle software é programado quando o microprocessador do sistema vai realizar toda a varredura do teclado, ou seja, ele vai escrever o valor das linhas X0 - X5 através de um registrador de dados programável, e vai ler as colunas de retorno Y0 - Y6 através de um registrador de leitura. Com isso, o processador consegue descobrir qual é a tecla pressionada.

No modo de controle hardware, o microprocessador não realiza a varredura do teclado. Agora, toda a varredura é de responsabilidade de um hardware interno ao CIP. Esses circuitos internos, realizam a varredura das linhas e das colunas automaticamente e geram internamente, um código de tecla que pode ser lido pelo microprocessador através de um registro de leitura. Neste modo, toda a vez que uma tecla pressionada for detectada, o CIP interrompe o microprocessador para que este execute a leitura do código de tecla gerado num registro de leitura, verificando assim, qual foi a tecla pressionada.

Os registradores pertencentes a essa interface são de dois tipos: registradores de dados (KDR - Keyboard Data Register e SKR - Switched Key Register), e um bit no registrador de modo (bit KBC - reg. modo). O registrador KDR é um registro de escrita e pode ser programado pelo microprocessador. O seu conteúdo é colocado

diretamente nas linhas X0 - X5 do teclado. O registrador SKR é um registro de leitura que reflete totalmente o conteúdo das colunas de retorno Y0 - Y6 do teclado e é usado também como registrador de código de tecla pressionada no modo de controle hardware.

O CIP programado no modo de controle hardware do teclado, quando colocado no estado de baixo consumo, as linhas X0-X5 irão assumir automaticamente o valor lógico 0 para poder detectar tecla pressionada através de um circuito combinatório que analisa as colunas Y0-Y6 de retorno do teclado. Se o modo de controle programado for o modo software, o próprio microprocessador deve escrever o valor lógico 0 nas linhas X0-X5 antes de executar o comando para o CIP entrar em estado de baixo consumo. No estado de baixo consumo a interface com o teclado gerará sinal de RESET e Interrupção para o microprocessador quando uma tecla for pressionada, independente do modo de controle ser hardware ou software.

Uma outra aplicação para as linhas de saída X0-X5 e de entrada Y0-Y6 do CIP quando este estiver programado para realizar controle do teclado via software por processador é a possibilidade dessas linhas serem utilizadas como portas de entrada e saída de propósito geral. Para que este modo possa ser utilizado, a interrupção de tecla pressionada tem que ser mascarada para que o microprocessador não seja interrompido e resetado durante o estado de baixo consumo no instante em que um nível lógico zero for detectado em alguma das linhas de entrada Y0-Y6. Nesta aplicação a escrita nas linhas X0-X5 é feita pelo registro KDR e a leitura das linhas Y0-Y6 é feito no registro SKR.

#### 4.7 CARACTERÍSTICAS GERAIS

O CIP possui uma característica importante relacionada aos seus procedimentos hardware internos. Quando no estado de baixo consumo todo o circuito interno fica com o sinal de relógio desabilitado, minimizando assim o consumo dos circuitos internos neste estado.

Como o CIP possui a função de um controlador de interrupções programável, somente eventos externos fazem com que ele passe do estado de baixo consumo para o estado ativo. Para que o CIP entre no estado de baixo consumo é necessário que o microprocessador programe um bit (bit PDP) no registrador de comando.

Esses procedimentos basicamente fazem com que todos os sinais de relógio internos ao CIP sejam cortados durante o estado de baixo consumo, de tal forma que os eventos externos que podem ativar o terminal sejam tratados estáticamente através de circuitos combinatórios.

Esses circuitos combinatórios detectam qualquer tipo de transição nas entradas IEX0 - IEX4, nas linhas de retorno do teclado e na entrada INTI. Ao detectar uma transição, o sinal de relógio interno é liberado para os circuitos que validam as transições. Se houver uma transição não válida na entrada em questão, o sinal de relógio interno volta para o estado desativado sem que o microprocessador seja notificado. Se a transição existente foi validada, então, o microprocessador é notificado através de sinal de Interrupção, sendo que os vetores de interrupção indicam a entrada na qual ocorreu a transição.

Dessa forma, o CIP consegue implementar o estado de baixo consumo de potência no terminal toda vez que este não estiver ativo, fazendo com que o microprocessador fique "dormindo" até que qualquer evento externo ative o CIP e este, ative o microprocessador através de um sinal de RESET.

#### 5 - CONCLUSÕES

Embora o CIP tenha sido especificado para utilização na família INTELITEL de equipamentos terminais RDSI em desenvolvimento no CPqD, as suas características principais de controle de teclado, interrupções e a função Watchdog Timer permitem a sua utilização em outras aplicações.

A função principal do CIP é a otimização do consumo de potência nos terminais RDSI, entretanto, como o CIP provê as funções de outros CIs periféricos, ele possibilitará uma otimização no custo dos terminais INTELITEL, um aumento na confiabilidade e diminuição na complexidade do sistema.

O CIP está sendo desenvolvido inicialmente em tecnologia "gate-array" que agiliza a implementação do circuito integrado. A principal aplicação do CIP a curto prazo será nos terminais de usuário na EPB-RDSI onde a demanda de terminais não será grande. Após a validação dos terminais na Experiência Piloto e antes da fase comercial da RDSI planeja-se a implementação de circuito "full custom" que substitua de modo pino a pino compatível o CIP,



permitindo uma otimização dos custos dos terminais de usuário na fase em que a demanda de terminais RDSI for maior.

REFERÊNCIAS BIBLIOGRÁFICAS:

- (1) José Maria de Carvalho, "FAMÍLIA INTELITEL DE EQUIPAMENTOS TERMINAIS DE USUÁRIO PARA A EPB - RDSI"; ANAIS DO 6º SIMPÓSIO BRASILEIRO DE TELECOMUNICAÇÕES, 1988.
- (2) Eugenio Benito Jr., Luis R. Ferreira, Mauricio A. M. Peres, "A CAMADA DE ENLACE DA RDSI - UMA SOLUÇÃO VLSI"; ANAIS DO 5º SIMPÓSIO BRASILEIRO DE TELECOMUNICAÇÕES, 1987.
- (3) RECOMENDAÇÃO I.430 do CCITT.
- (4) "ESPECIFICAÇÕES TÉCNICAS DO CIRCUITO INTEGRADO CIP"; documentação do projeto INTELITEL, 1988.