



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Departamento de Engenharia Elétrica

Julia Thais Batista Gomes

Relatório de Estágio Integrado

Campina Grande, Paraíba, Brasil
17 de maio de 2024

Julia Thais Batista Gomes

Relatório de Estágio Integrado

Relatório de Estágio Integrado submetido à Coordenação de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Bacharel em Engenharia Elétrica.

Supervisor de Estágio: Felipe Murcia

Área de Concentração: Eletrônica

Orientador: Prof. Gutemberg Gonçalves dos Santos Júnior, Dr.

Campina Grande, Paraíba, Brasil

17 de maio de 2024

Julia Thais Batista Gomes

Relatório de Estágio Integrado

Relatório de Estágio Integrado submetido à Coordenação de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Bacharel em Engenharia Elétrica.

Aprovado em: 16/05/2024

Prof. Gutemberg Gonçalves dos Santos Júnior, Dr.
Orientador

Prof. Marcos Ricardo Alcântara Morais, Dr.
Avaliador

Campina Grande, Paraíba, Brasil
17 de maio de 2024

Agradecimentos

Agradeço ao meu primo, Vinicius Santos, que facilitou minha adaptação inicial no estado de São Paulo, fornecendo o suporte que eu precisava. Também agradeço às minhas tias (Dery, Raquel, Lucileide e Zezinha) pelo apoio emocional diante de todos os percalços que sucederam o início dessa fase.

Agradeço aos engenheiros do time de analógico da empresa Lumentum pela oportunidade do estágio, o conhecimento, os desafios e o *feedback*. Também a todos os integrantes da área de DSP pela recepção e amabilidade, em especial a Shiroma, Luís, Vinícius, Érico e Hadassa.

Por fim, agradeço ao professor Doutor Gutemberg Gonçalves dos Santos Júnior pela orientação tanto no desenvolvimento desse processo quanto nas perspectivas futuras do mercado de trabalho.

Resumo

Durante o estágio na Lumentum, uma empresa líder em tecnologia de comunicações ópticas, foi possível mergulhar nos desafios e oportunidades da microeletrônica analógica, destacando-se o projeto de circuitos integrados utilizando a tecnologia FinFET. Além do desenvolvimento técnico, houve um foco na comunicação eficaz em um ambiente internacional, refletindo a cultura organizacional centrada na inovação e excelência. A experiência proporcionou um aprimoramento das habilidades técnicas e comportamentais, contribuindo para soluções tecnológicas avançadas e uma compreensão mais profunda do papel da microeletrônica analógica na indústria de comunicações ópticas.

Palavras-chaves: Estágio, Lumentum, Tecnologia de comunicações ópticas, Microeletrônica analógica, FinFET, Habilidades técnicas, Habilidades comportamentais.

Abstract

During the internship at Lumentum, a leading company in optical communications technology, it was possible to delve into the challenges and opportunities of analog microelectronics, highlighting the design of integrated circuits using FinFET technology. In addition to technical development, there was a focus on effective communication in an international environment, reflecting the organizational culture centered on innovation and excellence. The experience provided an improvement in technical and behavioral skills, contributing to advanced technological solutions and a deeper understanding of the role of analog microelectronics in the optical communications industry.

Key-words: Internship, Lumentum, Optical communications technology, Analog microelectronics, FinFET, Technical skills, Behavioral skills.

Lista de abreviaturas e siglas

ADC	Analog-to-Digital Converter
ALU	Arithmetic Logic Unit
API	Application Interface Programming
ASIC	Application-Specific Integrated Circuit
ATE	Automatic Test Equipment
CEEI	Centro de Engenharia Elétrica e Informática
CISC	Complex Instruction Set Computing
CMOS	Complementary Metal-Oxide Semiconductor
DAC	Digital-to-Analog Converter
DEE	Departamento de Engenharia Elétrica
DFT	Design for Testability
DLL	Delay-Locked Loop
DRC	Design Rule Check
DSP	Digital Signal Processor
EDA	Electronic Design Automation
ESD	Electrostatic Discharge
EVB	Evaluation Board
IC	Integrated Circuit
LPF	Low-Pass Filter
LVS	Layout versus Schematic
MAS	Micro-Architectural Specification
PD	Phase Detector
PLL	Phase-Locked Loop

PVT	Process Voltage Temperature
RH	Recursos Humanos
RISC	Reduced Instruction Set Computing
SPI	Serial Peripheral Interface
TI	Tecnologia da Informação
UAEE	Unidade Acadêmica de Engenharia Elétrica
UFCG	Universidade Federal de Campina Grande
VCO	Voltage Controlled Oscillator
VCDL	Voltage Controlled Delay Line
VLSI	Very Large Scale Integration

Lista de ilustrações

Figura 1 – Logo da empresa Lumentum	3
Figura 2 – Valores da Lumentum	4
Figura 3 – Organograma	6
Figura 4 – Diagrama de Mosfet e FinFET	8
Figura 5 – Estrutura do (a)FinFET SOI e (b) FinFET Bulk	9
Figura 6 – Fluxo do Projeto de Chip	11
Figura 7 – Processo de fabricação de chips - parte 1	15
Figura 8 – Topologia da PLL	17
Figura 9 – Alterando a frequência do VCO para eliminar a diferença de fase	17
Figura 10 – Topologia da DLL	18
Figura 11 – Topologia da DLL	19
Figura 12 – Diagrama de Bloco do DAC	20
Figura 13 – Diagrama de Bloco do ADC	20
Figura 14 – Topo do clocks buffers da PLL	23
Figura 15 – Circuito da unidade do clock buffer	24
Figura 16 – Esquemático original com pcaps para modelar o comportamento do <i>layout</i>	25
Figura 17 – (A) Caminho inicial (B) Atualização do caminho dos clock buffers	27
Figura 18 – Circuito de teste para simulação de Clock Buffers da PLL	28
Figura 19 – Contribuição de IR drop considerando net vdd	33
Figura 20 – IR drop na Via 0 dos clock buffers	34
Figura 21 – IR drop na Via 0 (zoom na parte esquerda do design dos clock buffers)	34
Figura 22 – IR drop na camada AP	35
Figura 23 – Contribuição de IR drop considerando net vss	35
Figura 24 – IR drop na camada n_odtap_fb8	36
Figura 25 – IR drop na camada n_odtap_fb8 (zoom)	36
Figura 26 – Esquemático do ESD	37
Figura 27 – Layout do ESD	38
Figura 28 – Blocos ATP distribuídos na parte de transmissão do chip	39
Figura 29 – Circuito de teste do ATP	39
Figura 30 – Saída do ATP da DLL	40
Figura 31 – Saída do ATP do DAC	40
Figura 32 – Diferença de tensão entre a fonte e a saída do chip	42

Lista de tabelas

Tabela 1 – Comparação entre os resultados de simulação do <i>layout</i> e do modelo	26
Tabela 2 – Resultados dos sinais após atualização do esquemático	27
Tabela 3 – Capacitância Parasita	31
Tabela 4 – Resistência Parasita	32
Tabela 5 – Correntes de <i>layout</i> dos clock buffers para vdd (FF @ 95°C).	32
Tabela 6 – Correntes de layout dos clock buffers para vss (FF @ 95°C).	33

Sumário

1	INTRODUÇÃO	1
1.1	Justificativa	1
1.2	Objetivos	1
1.2.1	Objetivo geral	1
1.2.2	Objetivos específicos	1
1.3	Organização do Documento	2
2	CONTEXTO DA EMPRESA	3
2.1	Setor e Indústria	3
2.2	Localização e Estrutura Física	4
2.3	Cultura	4
2.4	Estrutura Organizacional	5
2.5	Desafios e Oportunidades	6
2.6	Considerações Finais	7
3	FINFET	8
3.1	Necessidade do FinFET	8
3.2	Básico do FinFET	9
3.3	Considerações Finais	10
4	FLUXO DE DESENVOLVIMENTO DE UM CHIP	11
4.1	Especificação do Sistema e Projeto da Arquitetura	11
4.2	Projeto Funcional	12
4.3	Projeto Lógico	12
4.4	Projeto do Circuito	12
4.4.1	Projeto analógico	13
4.4.2	<i>Backend</i>	13
4.4.3	Verificação do projeto físico	13
4.5	Fabricação do Chip	14
4.6	Teste do Chip	15
4.7	Considerações Finais	15
5	CIRCUITOS ANALÓGICOS ABORDADOS DURANTE O ESTÁGIO	17
5.1	PLL	17
5.2	DLL	17
5.3	Conversão de Dados	18

5.3.1	DAC	19
5.3.2	ADC	19
5.4	Considerações Finais	20
6	ATIVIDADES REALIZADAS	22
6.1	Integração com a Empresa	22
6.2	Atualização do Esquemático dos Clock Buffers	23
6.2.1	Comportamento atual do circuito	24
6.2.2	Estratégia para otimização do circuito	25
6.2.2.1	Criação de modelo	25
6.2.2.2	Modificação do esquemático	26
6.3	Simulação dos Clock Buffers	28
6.3.1	Circuito de teste	28
6.3.2	Maestro	29
6.3.3	<i>Probes</i> para medição de grandezas elétricas dos terminais dos transistores	29
6.4	Extração de Parasitas dos Clocks Buffers	30
6.5	Análise de IR Drop dos Clock Buffers	30
6.5.1	Correntes do topo do bloco	32
6.5.2	IR drop considerando a fonte vdd	32
6.5.3	IR drop considerando a fonte vss	35
6.6	Roteamento de Bloco ESD	36
6.7	Simulação do Bloco ATP e Teste do Chip	39
6.7.1	Circuito de teste e resultados de simulação	39
6.7.2	Teste dos sinais analógicos do chip	40
6.8	Considerações Finais	42
7	CONCLUSÕES	44
	REFERÊNCIAS	45

1 Introdução

Este capítulo serve de introdução ao relatório de estágio, expondo a justificativa do estágio e os seus objetivos. Além disso, fornece uma visão geral da estrutura e organização dos capítulos e seções seguintes deste documento.

1.1 Justificativa

Na estrutura curricular do Curso de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande (UFCG), o estágio é uma disciplina obrigatória. A Universidade acredita que ele deve ser conduzido seguindo um plano de atividades definido, que integra a formação do futuro engenheiro, proporcionando a conciliação entre teoria e prática.

A Universidade possibilita a realização tanto do Estágio Supervisionado quanto do Estágio Integrado. O estágio integrado é realizado de modo que o aluno permaneça em tempo integral em seu local de estágio e o estagiário dispõe de um professor orientador do departamento designado pela Coordenação de Estágios da Unidade Acadêmica de Engenharia Elétrica (UAEE).

Para obter o grau de Bacharel em Ciências no Domínio da Engenharia Elétrica e consolidar seus conhecimentos em *design* de circuitos integrados analógicos, Julia Thais Batista Gomes, aluna do curso de Engenharia Elétrica da UFCG, realizou estágio na empresa Lumentum, sediada no Brasil, na área de processamento de sinal digital (DSP, do inglês *Digital Signal Processing*), integrando o time de Microeletrônica Analógica. O estágio foi orientado pelo Professor Doutor Gutemberg Gonçalves dos Santos Júnior e teve duração em torno de 1960 horas, iniciando em 2 de maio de 2023 e encerrando em 1 de maio de 2024.

1.2 Objetivos

1.2.1 Objetivo geral

O objetivo geral deste trabalho é documentar a experiência de estágio em Microeletrônica Analógica na empresa Lumentum.

1.2.2 Objetivos específicos

Os objetivos específicos deste relatório incluem:

- Descrever as principais responsabilidades e tarefas realizadas durante o estágio.
- Analisar a aplicação das competências adquiridas no curso no ambiente de trabalho.
- Refletir sobre os desafios enfrentados e as estratégias de resolução.
- Avaliar o impacto do estágio no desenvolvimento profissional.

1.3 Organização do Documento

Este relatório está organizado em seis seções distintas, cada uma com um foco específico, a fim de fornecer uma visão abrangente do estágio e suas implicações:

1. **Introdução:** na primeira seção, é apresentada uma visão geral do relatório, incluindo a justificativa, os objetivos e a estrutura do documento.
2. **Contexto da Empresa:** a segunda seção descreve o ambiente de estágio, explorando o setor, a infraestrutura física e a cultura organizacional.
3. **Fundamentação Teórica:** a seção de Fundamentação engloba os capítulos 3 a 5, abordando sobre as características do transistor FinFET, o fluxo geral de desenvolvimento de um chip e o funcionamento de alguns circuitos analógicos, proporcionando uma base conceitual para entendimento das atividades realizadas no estágio.
4. **Atividades Realizadas:** na sexta seção, são detalhadas as atividades executadas durante o estágio, os desafios enfrentados e as soluções desenvolvidas para resolvê-los.
5. **Considerações Finais:** o Capítulo 7 oferece reflexões e considerações finais, avaliando o impacto global do estágio na formação profissional.
6. **Referências:** na seção de Referências, são listadas todas as fontes e recursos utilizados ao longo do relatório.

2 Contexto da Empresa

O estágio integrado ocorreu na empresa Lumentum, situada no Brasil. Neste capítulo, serão abordados aspectos fundamentais relacionados ao contexto da empresa, incluindo a análise do setor em que a organização está inserida, a descrição de sua infraestrutura física, a exploração de sua cultura empresarial e a análise da estrutura organizacional que a define.

2.1 Setor e Indústria

A Lumentum [Fig. 1] é uma empresa que atua no setor de tecnologia de comunicações ópticas. Ela é especializada na fabricação de dispositivos e componentes ópticos avançados usados em redes de comunicação, lasers de alta potência para aplicações industriais e sistemas de iluminação a laser (1).

Figura 1 – Logo da empresa Lumentum



Fonte: Site oficial da Lumentum

A Lumentum tem sua sede em San Jose, Califórnia, e mantém escritórios de pesquisa e desenvolvimento, produção e vendas em diversos países ao redor do mundo. Entre esses locais, encontra-se uma filial no Brasil, onde ocorreu a realização do estágio em microeletrônica analógica (1).

A criação do escritório da Lumentum no Brasil ocorreu como resultado da aquisição da empresa brasileira Idea! Eletronic Systems. Essa transação foi efetivada em agosto de 2022.

2.2 Localização e Estrutura Física

No Brasil, a Lumentum está localizada na Av. Cambacicas, 610 - módulo 7 - Parque Rural Fazenda Santa Cândida, 13097-160, Campinas - SP. O escritório possui dois pavimentos: térreo e 1º andar.

No térreo, os visitantes são recebidos na área de recepção, enquanto os funcionários têm acesso ao refeitório para refeições e momentos de descanso. Além disso, o térreo abriga um laboratório de testes e validação, onde a equipe de engenharia realiza análises para garantir a qualidade dos produtos.

No primeiro andar, encontram-se vários setores fundamentais da empresa, incluindo engenharia, financeiro, recursos humanos e tecnologia da informação. Também é nesse andar que se localizam os escritórios da diretoria e diversas salas de reunião para facilitar a colaboração e a tomada de decisões.

2.3 Cultura

A Lumentum baseia-se em cinco princípios orientadores: inovar, engajar, entregar, excelência e vencer [Fig. 2]. Esses fundamentos impulsionam a cultura organizacional da empresa, criando um ambiente onde a inovação é a norma, e todos são encorajados a buscar novas e criativas maneiras de enfrentar desafios (1).

Figura 2 – Valores da Lumentum



Fonte: Site oficial da Lumentum

O ambiente de trabalho na Lumentum é projetado para promover comunicação transparente e aprendizado contínuo. Além disso, há um comprometimento com o desenvolvimento de uma força de trabalho diversificada que se sinta valorizada, inclusa e que contribua significativamente para a sociedade (1).

Na Lumentum, cultiva-se um senso de responsabilidade para entregar resultados e cumprir compromissos. A empresa busca constantemente a excelência em suas operações e produtos, mantendo uma mentalidade de ‘zero defeito’. É promovida a paixão pelo sucesso, com um espírito competitivo que coloca a justiça e a integridade no centro de todas as ações (1).

A visão da empresa é ‘liberar o poder da luz para criar um futuro mais brilhante’. Esse lema reflete o compromisso em reproduzir as propriedades da luz, que são a base de todas as suas inovações (1).

2.4 Estrutura Organizacional

O site da Lumentum no Brasil abrange três grandes áreas: DSP, que engloba o *design* e teste de chips; BRPhotonics, especializada em lasers e módulos; e PiTec, que se concentra na tecnologia de Raio X. O estágio foi realizado especificamente na área de *design* de circuitos integrados analógicos, que faz parte do domínio DSP.

A Figura 3 representa o organograma da equipe de Microeletrônica Analógica do Site Brasil, composta por três engenheiros, uma estagiária e um gerente. O engenheiro Nelson Andrade iniciou sendo o supervisor de estágio, mas depois da sua saída da companhia, o gerente Felipe Murcia assumiu essa posição.

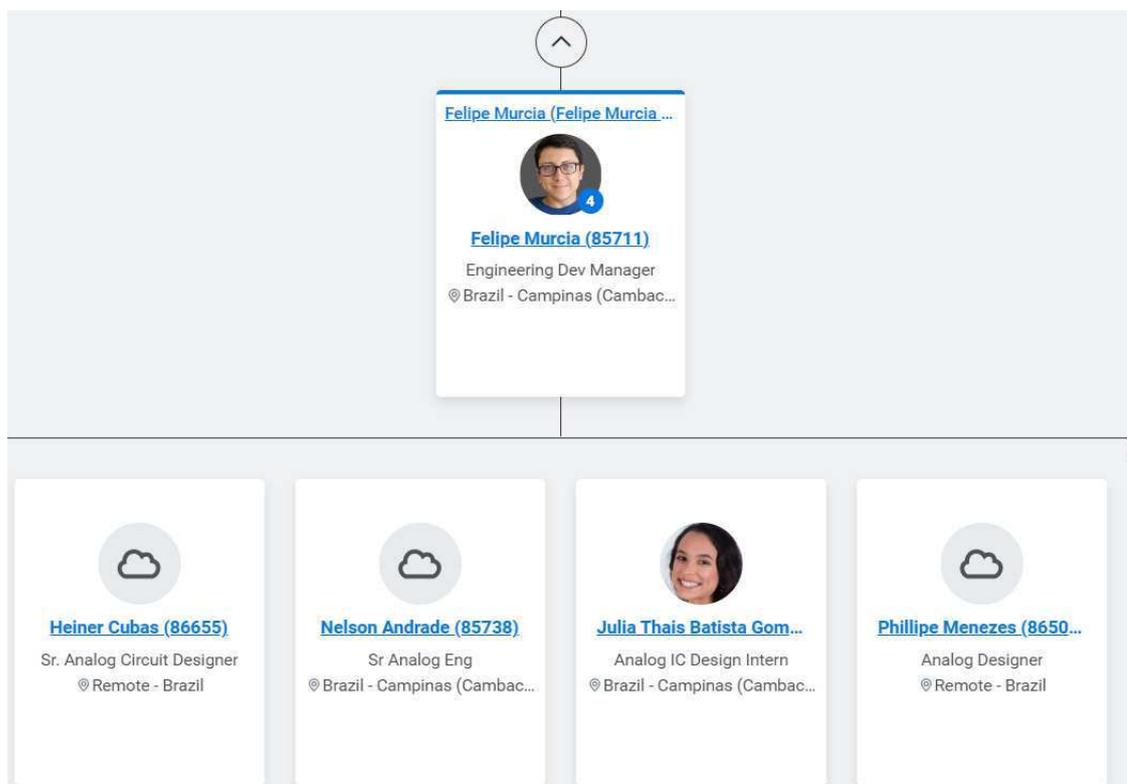
O estágio teve uma carga horária de 40 horas semanais, com uma duração total de 1960 horas. Dois dias por semana podiam ser realizados de forma remota, e os horários de início do expediente ofereciam uma certa flexibilidade.

Durante o estágio foram disponibilizados os seguintes recursos para o desenvolvimento do trabalho: mesa, cadeira, monitor, notebook, mouse, teclado e headset. Além disso, acesso a artigos do IEEE e cursos da Cadence.

Por motivos de segurança, na empresa não é permitido acessar sites de Inteligência Artificial (IA) ou usar Rede privada virtual (VPN) de outras instituições utilizando e-mail ou a rede da empresa. Adicionalmente, a inserção de dispositivos USB nos equipamentos também não é permitida.

A relação entre os colaboradores é acolhedora e a comunicação com a liderança é acessível. Para alcançar os resultados planejados, a empresa busca oferecer uma infraestrutura de trabalho adequada e incentivar o engajamento dos profissionais.

Figura 3 – Organograma



Fonte: Site oficial da Lumentum

2.5 Desafios e Oportunidades

Durante o estágio, foram enfrentados desafios significativos, envolvendo tanto *hard skills* quanto *soft skills*. Destacam-se dois desafios técnicos e um desafio comportamental.

O primeiro desafio técnico envolveu a complexidade de realizar o *design* de circuitos integrados analógicos utilizando a tecnologia FinFET, abaixo de 10 *nm* e acima de 5 *GHz*. Buscava-se técnicas de *layout* que minimizassem a capacitância e resistência parasita, exigindo um profundo entendimento das nuances dessa tecnologia.

O segundo desafio técnico residiu na compreensão do processo de desenvolvimento de um chip, compreendendo o funcionamento dos circuitos analógicos que o compõem e a integração entre a parte analógica e a digital.

O estágio também proporcionou um significativo desafio comportamental. O uso constante do inglês, seja para desenvolver relatórios, ler artigos, utilizar ferramentas e participar de cursos, seja para a comunicação regular com o time de San Jose da Lumentum - ocorrendo obrigatoriamente uma vez por semana nos seis primeiros meses do estágio, e com maior frequência, dependendo das atividades em curso - exigiu um aprimoramento contínuo da habilidade linguística e uma adaptação eficaz à comunicação internacional.

2.6 Considerações Finais

A Lumentum opera em um setor altamente especializado de tecnologia de comunicações ópticas, fornecendo dispositivos e componentes avançados para redes de comunicação, aplicações industriais e sistemas de iluminação a laser. Sua presença global, incluindo uma filial no Brasil, destaca sua importância no mercado internacional.

A infraestrutura física da Lumentum no Brasil reflete um ambiente de trabalho bem equipado e organizado, projetado para facilitar a colaboração e o desempenho eficiente das equipes. Com áreas dedicadas a diferentes funções e atividades, a empresa demonstra um compromisso com a qualidade e a eficácia operacional.

A cultura organizacional da Lumentum é definida por seus princípios orientadores, que enfatizam a inovação, a excelência e o compromisso com resultados. A empresa promove uma cultura de transparência, aprendizado contínuo e responsabilidade, buscando constantemente maneiras de melhorar e superar desafios.

A estrutura organizacional da Lumentum no Brasil é delineada em torno de áreas específicas de atuação, com uma equipe dedicada ao *design* de circuitos integrados analógicos. A colaboração e a comunicação eficaz são incentivadas, permitindo que os funcionários enfrentem desafios técnicos e comportamentais de forma colaborativa e produtiva.

Durante o estágio, foram enfrentados desafios técnicos significativos, exigindo habilidades avançadas e um profundo entendimento da tecnologia envolvida. Além disso, o uso constante do inglês como língua de trabalho destacou a importância da comunicação internacional e a necessidade de adaptação contínua.

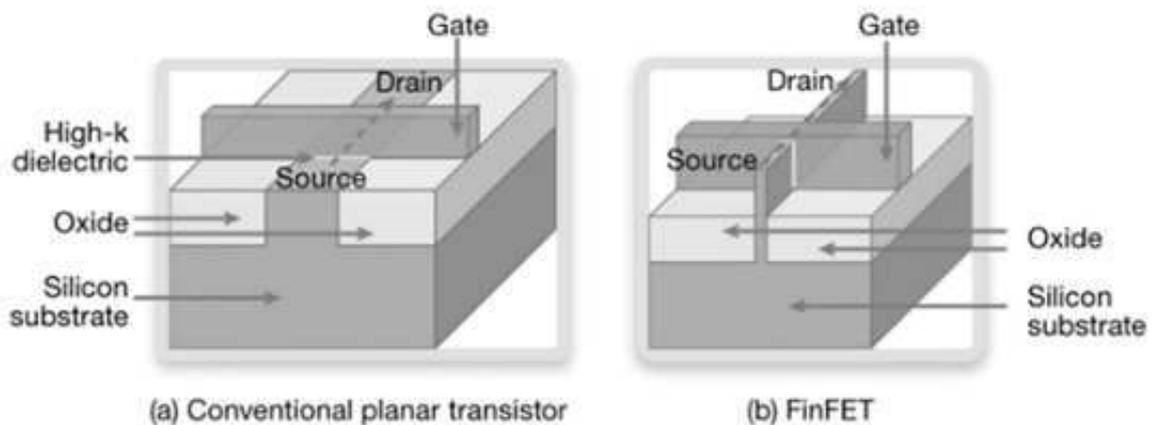
A experiência de estágio na Lumentum proporcionou a oportunidade de desenvolver habilidades técnicas e profissionais, mas também de mergulhar em uma cultura empresarial dinâmica e inovadora. O aprendizado e os desafios enfrentados durante o estágio contribuíram significativamente para o crescimento pessoal e profissional, preparando para futuras oportunidades no campo da tecnologia de comunicações ópticas.

3 FinFET

Na era da computação inteligente, quase 85-90% da área é capturada por memórias em *designs* digitais. A fim de reduzir a dissipação de energia e melhorar o desempenho geral dos circuitos lógicos digitais, a tecnologia MOSFET convencional pode ser substituída pela tecnologia FinFET (10).

FinFETs são a melhor escolha como alternativa para a tecnologia MOSFET abaixo de 32 nm, já que os efeitos de canal curto abaixo de 32 nm podem apresentar mais problemas. Com baixo vazamento e baixo consumo de energia, a tecnologia FinFET se torna muito popular e amplamente utilizada em vez do MOS convencional em quase todos os circuitos digitais (10). A Figura 4 representa a diferença básica entre a estrutura MOSFET e FinFET.

Figura 4 – Diagrama de Mosfet e FinFET



Fonte: (10)

3.1 Necessidade do FinFET

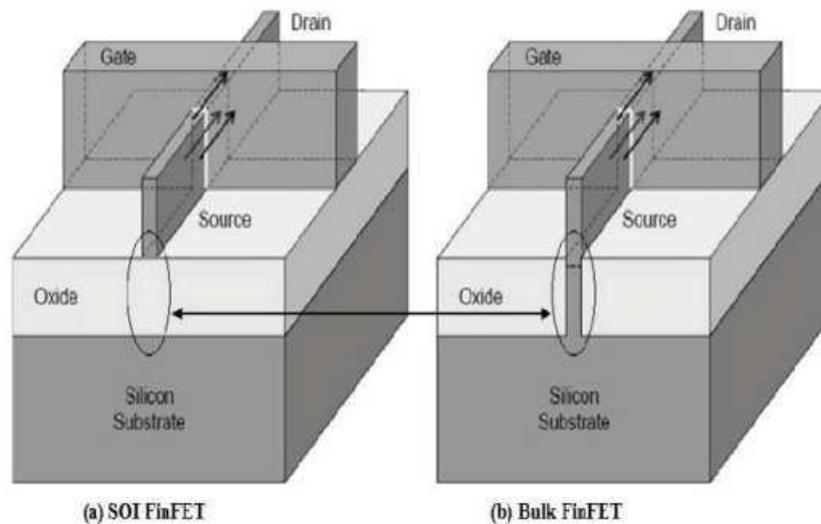
O comprimento do canal (L) do MOSFET tem sido continuamente reduzido para fabricar dispositivos compactos e de alta velocidade. À medida que o comprimento do canal é reduzido, os efeitos do canal curto tornam-se mais proeminentes, destacando-se a variação na tensão limite e restrição nas características dos desvios de elétrons do canal (10),

3.2 Básico do FinFET

FinFET é um transistor que possui mais de uma porta fabricada em um único dispositivo. No FinFET, o canal condutor se forma devido a uma fina película de silício enrolada no corpo. A partir da estrutura 3D do FinFET, o canal condutor enrolado se parece com um ‘fin’, então o nome deriva de FinFET (10).

À medida que a porta do FinFET é enrolada, ela reduz a corrente de fuga e, portanto, aumenta a eficácia. No MOSFET planar, o comprimento do canal (L) é medido a partir da distância entre as junções do dreno e da fonte. Mas no transistor de porta dupla não planar, o comprimento do canal é estimado e determinado pela espessura do dispositivo. Dependendo da base do dispositivo, os transistores de porta dupla podem ser dois tipos: SOI FinFET e FinFET Bulk (10) [Fig. 5].

Figura 5 – Estrutura do (a) FinFET SOI e (b) FinFET Bulk



Fonte: (10)

Dispositivos FinFET podem ser usados para aumentar o desempenho geral, reduzindo a corrente de fuga e a potência, já que ambos os terminais de porta podem ser controlados de forma independente ou simultaneamente. A largura mínima dos fins é determinada pela altura dos fins de duas portas que estão interligadas, W (mínimo) é definido como,

$$W_{min} = 2H_{fin} + t_{si} \quad (3.1)$$

Onde, H_{Fin} é a altura dos fins, e t_{si} é a espessura do corpo. Os efeitos de canal curto são reduzidos mantendo a altura dos fins acima de sua espessura. Os recursos importantes do FinFET incluem redução na corrente de fuga ligada e desligada, aumento na corrente de estado ligado, menor consumo de energia e redução nos efeitos de canal curto (10).

3.3 Considerações Finais

A tecnologia FinFET é uma alternativa à tecnologia MOSFET convencional, especialmente em aplicações abaixo de 32 nm . A necessidade do FinFET surge da contínua busca por dispositivos mais compactos e de alta velocidade, onde os efeitos do canal curto se tornam cada vez mais problemáticos com a redução do comprimento do canal no MOSFET.

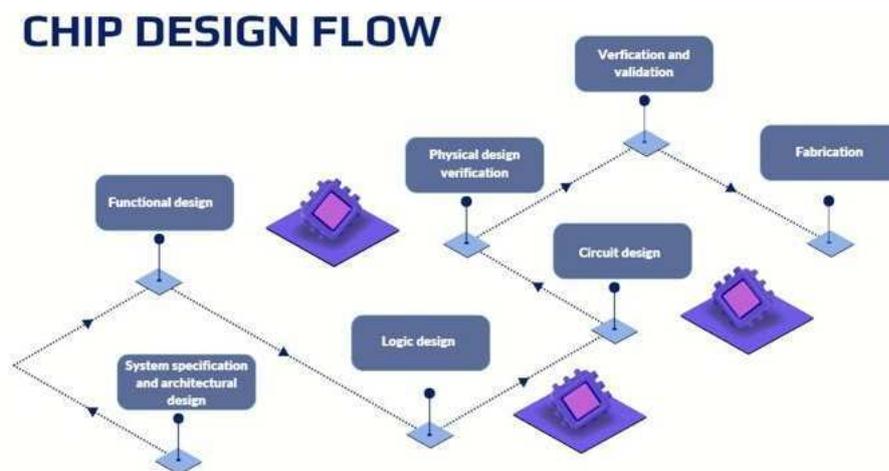
Além disso, a redução da corrente de fuga e a maior eficiência energética também demonstram sua posição como uma tecnologia essencial para impulsionar o desempenho e a eficiência dos circuitos digitais modernos. Essas características favorecem sua escolha em aplicações onde a minimização do consumo de energia e a maximização do desempenho são essenciais.

4 Fluxo de Desenvolvimento de um Chip

Um chip é um dispositivo eletrônico que executa uma determinada função. A partir da tecnologia VLSI (do inglês *Very Large Scale Integration*), um chip pode ser constituído por milhões de transistores, o que colabora para o desenvolvimento de processadores e dispositivos de memória de alto desempenho que são usados em computadores ou telefones celulares (4).

O processo de projeto de *design* de chips envolve diferentes etapas, desde as especificações iniciais do sistema até a fabricação [Fig. 6]. Nesta seção será abordada uma visão geral do fluxo de projeto de um chip. Esses estágios incluem especificações do sistema, projeto arquitetônico, projeto funcional, projeto lógico, projeto de circuito, verificação de projeto físico e fabricação (4).

Figura 6 – Fluxo do Projeto de Chip



Fonte: (4)

4.1 Especificação do Sistema e Projeto da Arquitetura

A primeira etapa de desenvolvimento de um chip é a determinação do tipo de produto. Caso a aplicação seja voltada para a área de telecomunicações, focando em alta velocidade e pequenos dispositivos, que foi o caso do tipo de chip desenvolvido no estágio, então o dispositivo é determinado como ASIC (do inglês *Application-Specific Integrated Circuit*) (4).

Com a escolha do produto, a função do circuito é determinada assim como suas características mecânicas, ambientais, de segurança e custo (3). Esses requisitos podem ser usados como entrada no projeto da arquitetura do produto (4). Os blocos digitais

dessa arquitetura são descritos por linguagens que podem ser entendidas por softwares de computadores para mapeamento dos transistores; já nos blocos analógicos, os transistores são projetados individualmente a partir das equações que descrevem o seu funcionamento (3).

Algumas decisões são realizadas nessa etapa de arquitetura: escolha entre RISC (do inglês *Reduced Instruction Set Computing*) ou CISC (do inglês *Complex Instruction Set Computing*), determinação do número de ALUs (do inglês *Arithmetic Logic Unit*) necessárias, decisão sobre a estrutura e o número de pipelines, a seleção do tamanho do cache e outros fatores (4).

4.2 Projeto Funcional

O próximo passo no processo é o *design* funcional. Envolve definir a funcionalidade e o comportamento do chip. Isso inclui a criação de uma descrição de alto nível dos requisitos do sistema e o projeto dos algoritmos e do fluxo de dados necessários para atender a esses requisitos. O objetivo desta etapa é criar uma especificação funcional que possa ser usada como modelo para o restante do processo de *design* (4).

4.3 Projeto Lógico

Esta etapa envolve a criação dos circuitos lógicos digitais necessários para implementar a funcionalidade definida na etapa de projeto funcional. Esta etapa inclui a criação de um projeto lógico usando uma linguagem de descrição de hardware (HDL) e a verificação da correção do projeto por meio de simulações (4).

4.4 Projeto do Circuito

Esta etapa envolve o projeto do circuito físico do chip, incluindo a seleção de transistores, resistores, capacitores e outros componentes. A etapa de projeto do circuito também envolve o projeto da rede de alimentação e distribuição de *clock* do chip (4).

Atualmente, existem duas formas principais de desenvolver o projeto do chip: 1) *Full Custom Design*, em que é desenhado transistor por transistor, personalizado completamente o projeto, e 2) Síntese lógica, em que uma ferramenta desenhará o circuito a partir de uma descrição do hardware (VHDL ou Verilog) (3).

No circuito *full custom*, o projetista tem total controle do projeto porque desenhará cada terminal do transistor, e poderá adaptá-lo para atingir determinado desempenho. Entretanto, é um fluxo que leva mais tempo e maior complexidade para implementação

ou alteração. Já um projeto de síntese de linguagem de descrição de hardware se adapta em circuitos digitais, onde é demandada uma grande quantidade de transistores (3).

O projeto de CI iniciou com uma visão a nível físico, depois para uma visão intermediária de função e atualmente está em nível alto de sua visão comportamental do circuito. Entretanto, ainda é necessário fazer *full custom* em circuitos que precisam de muito controle dos parâmetros do projeto, como os circuitos analógicos, que precisam que cada transistor seja muito bem controlado para que se tenha a função correta do circuito (3).

4.4.1 Projeto analógico

O mundo é analógico e a quantidade de dados que ele fornece é infinita. Entretanto, um computador não possui memória ou poder de processamento infinito. Para que seja possível tratar essas informações, a solução é a conversão para o domínio digital (0 ou 1) (3).

Essa conversão acontece a partir do processo de amostragem, em que são selecionados alguns pontos do sinal contínuo, e convertido em valores que o processador consiga entender. Para restituir o sinal, os pontos são ligados, representando o mundo real, sem consumir uma quantidade infinita de memória (3).

4.4.2 Backend

Após concluída a etapa de desenvolvimento e verificação, é passada para uma etapa de *backend* que vai realizar a geração do chip, recebendo o projeto e realizando sua finalização, adicionado camadas de metal, células de espera e fazendo verificações para garantir que o processo de fabricação tenha êxito. Ao final do fluxo de *backend* são geradas todas as máscaras que vão para a fábrica para finalmente iniciar a fabricação do chip para serem geradas as primeiras rodadas de *wafers* para validação do projeto (3).

4.4.3 Verificação do projeto físico

A verificação do projeto físico é o processo de verificação do *layout* físico de um chip. Isto envolve identificar quaisquer problemas de *design* e garantir que o chip seja fabricado corretamente. Nesta etapa, o projeto do *layout* do circuito integrado é verificado por meio de ferramentas de software EDA (do inglês *Electronic Design Automation*), como simuladores lógicos, analisadores lógicos, e várias técnicas, como *Design Rule Check* (DRC), *Layout versus Schematic* (LVS) e análise de tempo e potência para garantir funcionalidade elétrica e lógica correta e capacidade de fabricação (4).

Todos os blocos precisam ser simulados para testar seu funcionamento pelo time de verificação, que tem a função de garantir que o chip funcionará no mundo real conforme

foi pensado no papel (3). Depois que o chip é projetado e verificado, um arquivo .GDS é enviado à fundição para fabricação (4).

4.5 Fabricação do Chip

Muitos transistores avançados são agora construídos átomo por átomo. Alguns dos menores têm 50 nm de altura - e ligam e desligam milhões de vezes por segundo. Seu *design* e formato 3D, ao contrário de seus antecessores “planares” ou planos, permitem que sejam compactados de maneira densa. Apenas um milímetro quadrado pode abrigar 200 milhões de transistores, com dezenas de bilhões em um chip (2).

Fios de metal ultra minúsculos e bem compactados conectam esses transistores, bem como todos os outros elementos que compõem o circuito integrado do chip. Múltiplas camadas dessas interconexões permitem que diferentes partes do chip se comuniquem entre si e também forneçam energia. Alguns chips podem conter quase 500 km de fiação (2).

Vários chips são construídos dessa forma em um *wafer* de silício – a base sobre a qual são construídos todos os circuitos integrados que alimentam os dispositivos. Um *wafer* típico de 30 cm pode abrigar trilhões de transistores em milhares de chips individuais (2).

A base do chip é feita com uma substância simples e comum chamada silício, extraída de areia ou quartzo e purificado. Em seguida, é adicionado a um cadinho e aquecido até derreter [Fig. 7.1]. O cadinho é girado em alta velocidade enquanto um pedaço sólido de “semente” de silício é puxado para cima usando uma haste [Fig. 7.2] (2).

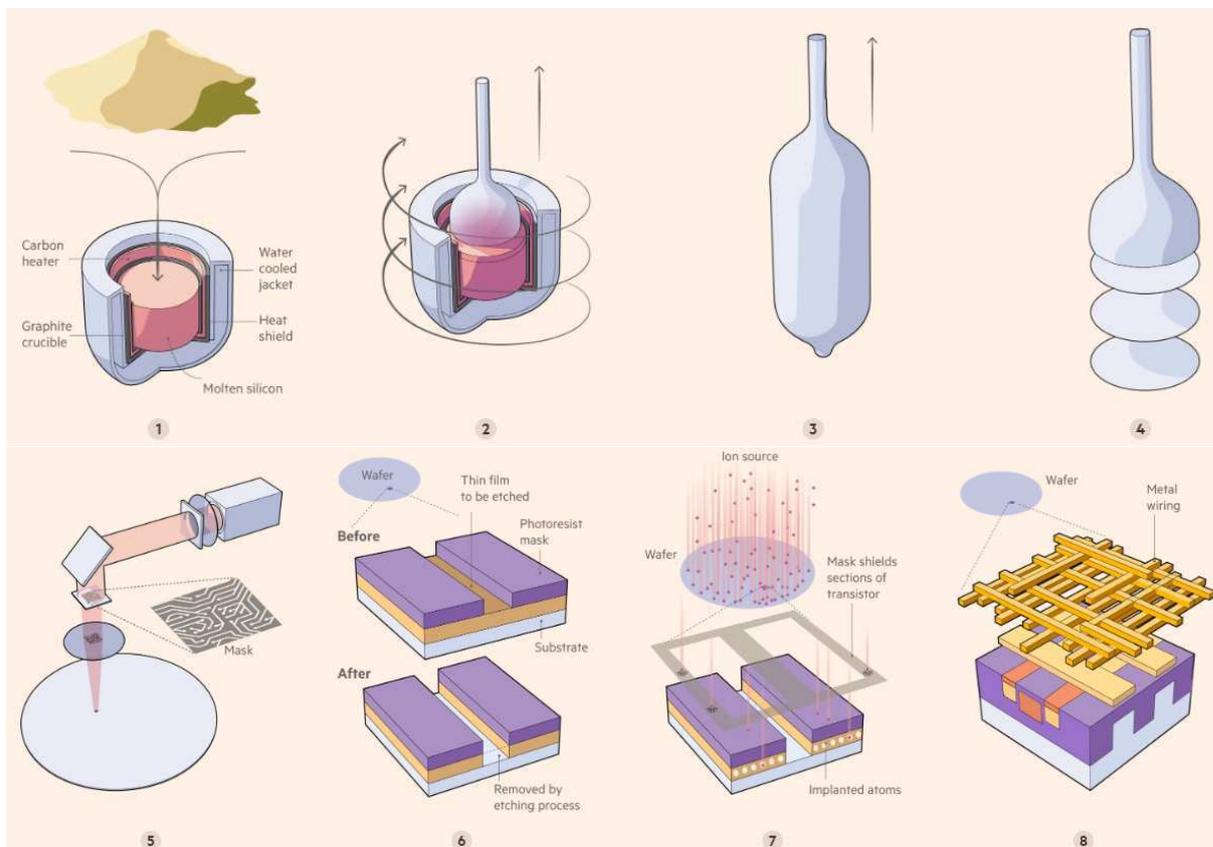
O resultado é um ‘lingote’ ou ‘boule’ de silício. Os maiores têm diâmetro de 300 mm [Fig. 7.3]. O boule de silício é cortado em discos, conhecidos como *wafers*, e polido até obter um acabamento liso e espelhado (2) [Fig. 7.4].

A luz ultravioleta, projetada através de um estêncil, transfere pequenos padrões para o *wafer* [Fig. 7.5]. Muitas películas finas de materiais são adicionadas e gravadas usando esses padrões intrincados como guia (2) [Fig. 7.6].

O *wafer* é atingido por íons, ou átomos carregados, para tornar as áreas mais condutoras ou isolantes [Fig. 7.7]. Centenas de estágios de camadas constroem os componentes do chip. Fiação metálica completa o circuito (2) [Fig. 7.8].

A criação de pequenos componentes para os circuitos de um chip requer equipamentos de última geração: máquinas que podem transferir padrões microscópicos para cada *wafer* usando um processo chamado fotolitografia (2).

Figura 7 – Processo de fabricação de chips - parte 1



Fonte: (2)

4.6 Teste do Chip

Um aspecto importante no fluxo de desenvolvimento do chip é o seu teste, pois é necessário garantir que tudo esteja implementado como deveria. Para isso, há uma equipe própria, distinta da equipe de projeto (3).

Diferente dos componentes discretos, os projetistas dependem dos simuladores para saber que estão indo no caminho certo. Portanto, se depois de fabricado e testado for identificado algum erro no chip, será necessário iniciar o projeto novamente (3).

O teste do chip é dividido em dois estágios. O primeiro testa o *wafer*, filtrando os chips ruins antes do *packaging*, de modo a economizar o custo da embalagem. O segundo é o teste final, que consiste em testar o chip antes de ser embalado (8).

4.7 Considerações Finais

Cada fase do fluxo de desenvolvimento de um chip, desde a especificação do sistema até a fabricação final do chip, desempenha um papel crucial na garantia de que o produto atenda aos requisitos de desempenho, qualidade e confiabilidade.

Ao longo do processo, várias decisões são tomadas, desde a escolha da arquitetura até a seleção dos componentes físicos do circuito. A integração de elementos analógicos e digitais, juntamente com a consideração dos requisitos de projeto específicos da aplicação, é essencial para o sucesso do projeto.

Além disso, o teste do chip é importante em várias fases do processo de fabricação. Esses testes garantem que o produto final esteja livre de defeitos e atenda às especificações de projeto. A distinção entre o teste de *wafers* e o teste final ressalta a abordagem necessária para garantir a qualidade do chip em todas as etapas do processo.

O fluxo de desenvolvimento de um chip é um processo complexo e multifásico que requer uma abordagem metódica e cuidadosa em todas as etapas, desde a concepção até a produção. A integração eficaz de todas as etapas e a realização de testes abrangentes são fundamentais para o sucesso e a qualidade do produto final.

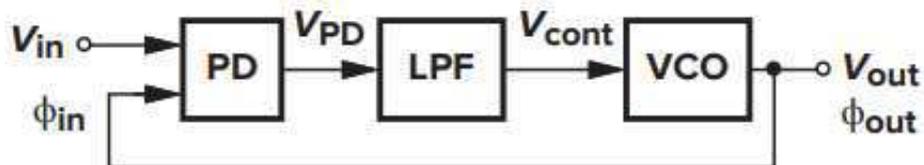
5 Circuitos Analógicos Abordados Durante o Estágio

Nesta seção será abordado o princípio de funcionamento de alguns circuitos analógicos vistos no estágio, como DAC (do inglês *Digital-to-Analog Converter*) e PLL (do inglês *Phase-Locked Loop*).

5.1 PLL

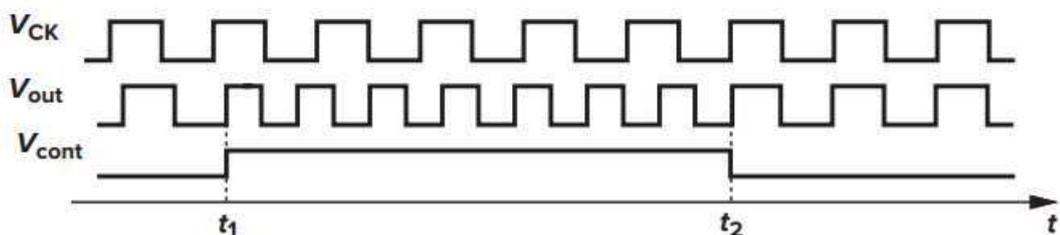
A PLL (do inglês *Phase-Locked Loop*) é um sistema de *feedback* amplamente utilizado na geração precisa de sinais de clock em microprocessadores, sistemas de comunicação e uma variedade de outros dispositivos eletrônicos (5). Sua topologia básica é composta por três elementos principais: o detector de fase (PD), o filtro passa-baixas (LPF) e o oscilador controlado por tensão (VCO), conforme ilustrado na Figura 8.

Figura 8 – Topologia da PLL



Fonte: (5)

Figura 9 – Alterando a frequência do VCO para eliminar a diferença de fase



Fonte: (5)

5.2 DLL

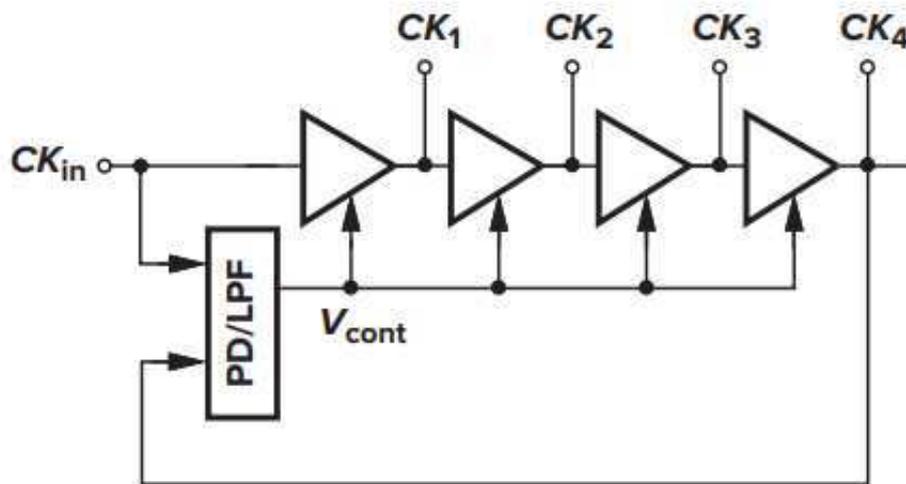
A DLL (do inglês *Delay-Locked Loop*) é um circuito fundamental em sistemas de comunicação e outras aplicações que exigem o alinhamento preciso de sinais. Funciona

como uma variação da PLL, ajustando o atraso de um sinal de saída em relação a um sinal de referência. Os principais componentes de uma DLL incluem o PD, LPF, Linha de Atraso Controlada por Tensão (VCDL) e estágios de atraso (5).

Na operação da DLL, o sinal de erro é gerado pelo PD, que compara o sinal de *feedback* com o sinal de referência. Esse sinal de erro é então processado pelo LPF para remover componentes de alta frequência e gerar uma tensão média proporcional (V_{cont}). O controlador de atraso ajusta a linha de atraso com base em V_{cont} , permitindo que o atraso do sinal de *feedback* seja ajustado para minimizar a diferença de fase em relação ao sinal de referência (5).

A Figura 10 ilustra a topologia básica de uma DLL, onde cada componente desempenha um papel crucial no funcionamento do circuito. Essa abordagem permite que a DLL seja usada em uma variedade de aplicações, incluindo sistemas de comunicação de alta velocidade, processadores de sinais digitais e muito mais, onde o alinhamento preciso de sinais é essencial para o desempenho do sistema.

Figura 10 – Topologia da DLL



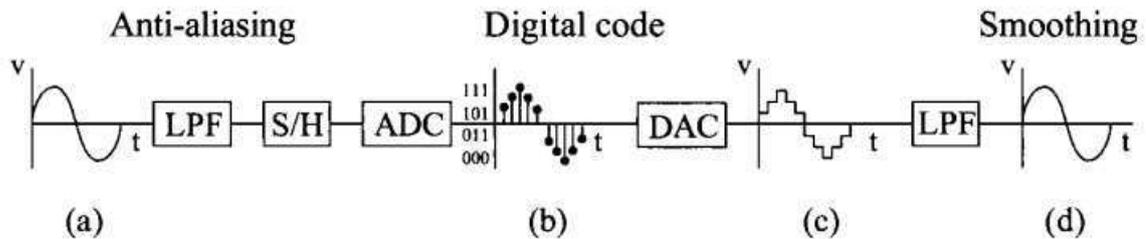
Fonte: (5)

5.3 Conversão de Dados

Conversores de dados são circuitos que transformam sinais analógicos em representações digitais ou vice-versa e desempenham um papel importante em um contexto de processamento digital. À medida que mais produtos realizam cálculos no domínio do tempo digital ou discreto, conversores de dados vem traduzindo os dados digitais do e para um contexto analógico (9).

Conversores analógico-digitais (ADC, do inglês *Analog-to-Digital Converter*) convertem sinais analógicos em tempo discreto ou sinais digitais. DACs realizam a operação reversa (9). A Figura 11 ilustra essas duas operações.

Figura 11 – Topologia da DLL



Fonte: (9)

O sinal analógico original (a) é filtrado por um filtro *anti-aliasing* para remover quaisquer componentes de alta frequência que possam causar um efeito conhecido como *aliasing*. O sinal é amostrado e retido e então convertido em um sinal digital (b). Em seguida, o DAC converte o sinal digital novamente em um sinal analógico (c). Um filtro passa-baixa retorna o sinal analógico à sua forma original mais a mudança de fase introduzida nas conversões, após eliminar os componentes do sinal de ordem superior causados pela conversão.

5.3.1 DAC

Um diagrama de blocos de um DAC é representado na Figura 12. Uma palavra digital de N bits é mapeada em uma única tensão analógica. Normalmente, a saída do DAC é uma tensão que é alguma fração de uma tensão (ou corrente) de referência, tal que

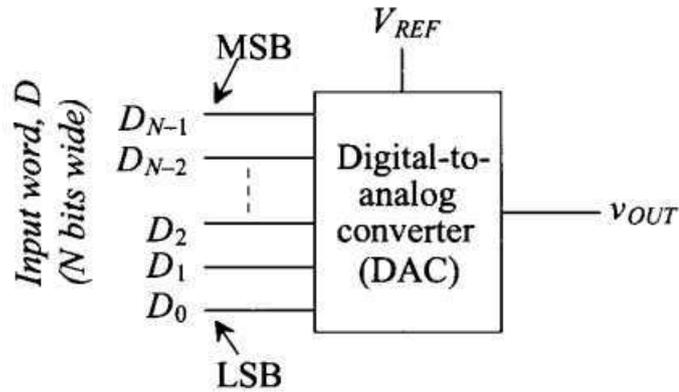
$$v_{out} = FV_{REF}, \quad (5.1)$$

onde v_{out} é a saída de tensão analógica, V_{REF} é a tensão de referência e F é a fração definido pela palavra de entrada D, de N bits de largura. O número de combinações de entrada representadas pela palavra de entrada D está relacionado ao número de bits na palavra por 2^N .

5.3.2 ADC

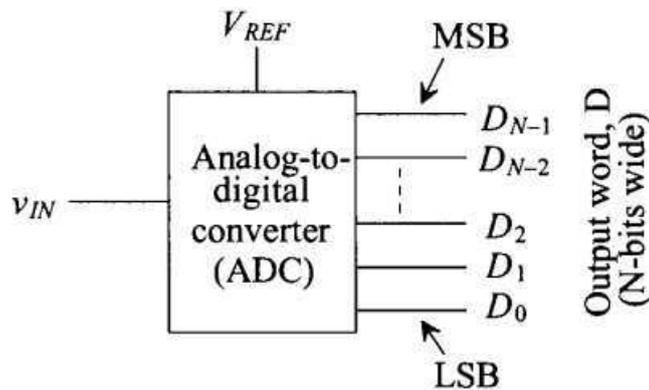
No ADC, a entrada é um sinal analógico com um número infinito de valores, que então deve ser quantizado em uma palavra digital de N bits [Fig. 13]. O ADC promove uma quantização no sinal analógico de valor infinito em muitos segmentos para que a quantidade de níveis de quantização seja igual a 2^N .

Figura 12 – Diagrama de Bloco do DAC



Fonte: (9)

Figura 13 – Diagrama de Bloco do ADC



Fonte: (9)

5.4 Considerações Finais

A exploração dos circuitos analógicos apresentados nesta seção fornece uma compreensão abrangente de algumas das tecnologias fundamentais que impulsionam muitos dispositivos eletrônicos modernos. Os sistemas de controle de fase, como os PLLs e DLLs, desempenham um papel essencial na geração precisa de sinais de *clock* e no alinhamento de sinais em uma ampla gama de aplicações, desde microprocessadores até sistemas de comunicação de alta velocidade.

Os PLLs, com sua capacidade de manter a fase e a frequência de saída sincronizadas com uma entrada de referência, são amplamente utilizados em sistemas onde a estabilidade do clock é crítica. Por outro lado, as DLLs oferecem um método eficaz para ajustar o atraso de um sinal de saída em relação a um sinal de referência, sendo essenciais em aplicações que exigem alinhamento preciso de sinais, como em sistemas de comunicação de alta

velocidade.

Além disso, os conversores de dados desempenham um papel vital na interface entre o mundo analógico e digital. Os ADCs convertem sinais analógicos em formatos digitais, enquanto os DACs realizam o inverso, permitindo que informações sejam processadas e transmitidas de maneira eficiente entre diferentes domínios de sinal.

Portanto, compreender o funcionamento desses circuitos analógicos é fundamental para projetar e desenvolver sistemas eletrônicos modernos que atendam aos requisitos de desempenho e precisão cada vez mais exigentes do mercado atual.

6 Atividades Realizadas

A fase do estágio ocorreu no processo de *Tapeout* de um chip desenvolvido pela área de DSP, que atuará em *data centers* no processamento e melhoria da qualidade da transmissão dos dados. Essa etapa corresponde ao resultado final do processo do *design* dos circuitos integrados antes de serem enviados para fabricação.

Tanto a parte de transmissão quanto a de recepção do chip contém uma estrutura analógica, responsável pela conversão de sinais, geração de *clock*, aumento de frequência, *bufferização* e amplificação do sinal. O estágio foi realizado no time de analógico da Lumentum Brasil, que foi responsável pela parte de transmissão do chip.

As atividades desenvolvidas abrangeram simulações de blocos, incluindo o desenvolvimento de circuitos de testes e interpretação dos resultados, extração de parasitas para análise de melhores formas de otimização do *layout*, análise de *IR drop* para averiguação da qualidade de *power grid* do sistema, desenvolvimento de *scripts* para o processo de teste do chip, e atividades de *layout* utilizando tecnologia FinFET abaixo de 10 *nm*.

As disciplinas cursadas na graduação tiveram importância para a realização das atividades do estágio. A disciplina Introdução à Programação foi útil no desenvolvimento de *scripts* para automatização de tarefas e testes do chip. As disciplinas Circuitos Lógicos, Dispositivos eletrônicos, Circuitos Elétricos, Eletrônica, Eletrônica de Potência, Análise de Sinais e Sistemas e Controle Analógico foram importantes como base de entendimento da área de Microeletrônica. Assim como a disciplina Princípios de Comunicações foi uma base interessante para o conhecimento da aplicação que a microeletrônica foi inserida no ambiente do estágio, que é a área de comunicação óptica.

Este relatório destaca o trabalho realizado na simulação dos clock buffers da PLL (do inglês, *Phase-Locked Loop*), que abrangeu todo o fluxo de simulação e extração de parasitas. Assim como o teste de sinais analógicos e o *layout* do roteamento do bloco de proteção contra descarga eletrostáticas do chip.

6.1 Integração com a Empresa

No início do estágio, houve um processo de *onboarding* por meio da interação com as equipes de Recursos Humanos (RH) e Tecnologia da Informação (TI). Nessa fase inicial, foi apresentada uma visão da estrutura organizacional da empresa, sua cultura e as normas de conduta profissional esperadas. Além disso, o acesso aos sistemas da empresa, ao e-mail corporativo e aos equipamentos de trabalho foram concedidos.

Posteriormente, ocorreu um encaminhamento à equipe de Analógico, onde foi apre-

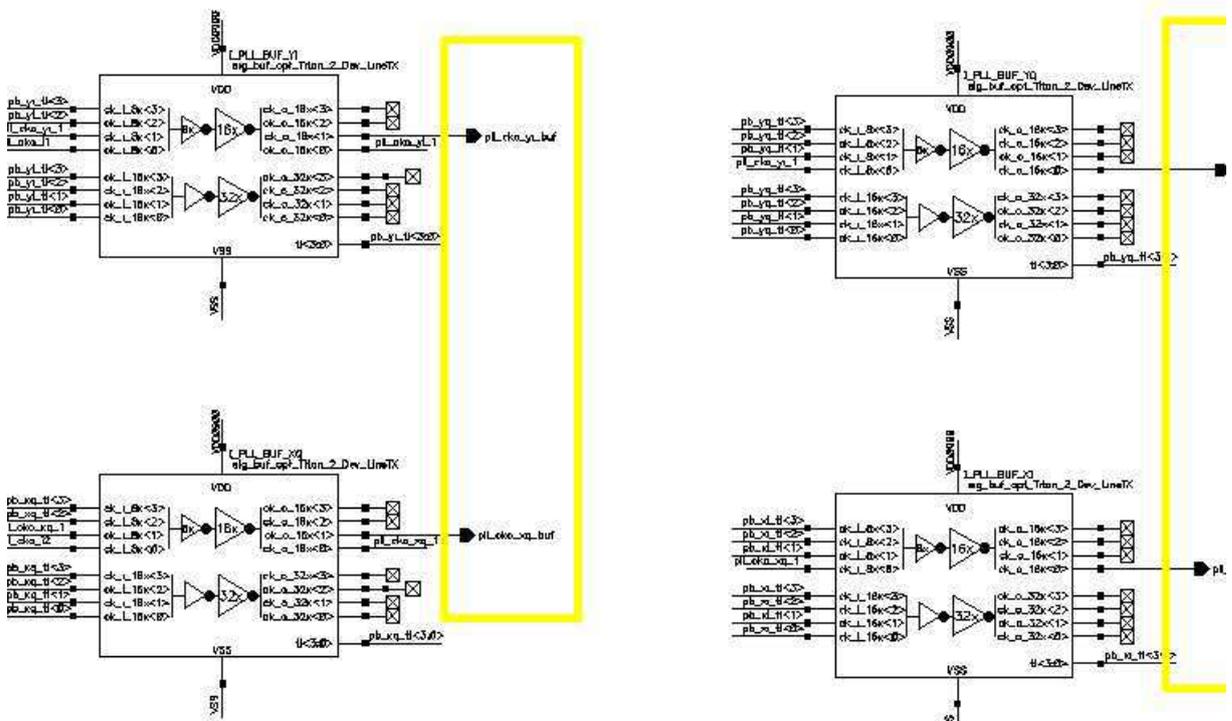
sentado o fluxo de trabalho inicial. Também houve participação em diversas sessões de treinamento, englobando tópicos como ética empresarial, segurança da TI, conscientização sobre privacidade e o código de conduta.

6.2 Atualização do Esquemático dos Clock Buffers

Na parte de transmissão do chip, há um bloco de PLL que desempenha um papel crítico na geração e distribuição precisa dos sinais de *clock* para vários componentes do circuito integrado. Essa tarefa é realizada com o auxílio dos clock buffers [Fig. 14], cuja função principal é *bufferizar* o sinal gerado pela PLL e encaminhá-los para quatro canais, garantindo que tenha força e qualidade adequadas. Sem eles, o desempenho, a funcionalidade e operação do chip não é possível. Por isso a importância de validá-los e averiguar se seu funcionamento está de acordo com o esperado.

A Figura 14 representa o topo do circuito de clock buffers. Os blocos que estão com a saída destacada são clock buffers que *bufferizam* o sinal de *clock* para ser encaminhado para os conversores digital-analógico (DAC, do inglês *Digital-Analog Converter*) presentes na parte de transmissão do chip.

Figura 14 – Topo do clocks buffers da PLL



Fonte: Autoria própria

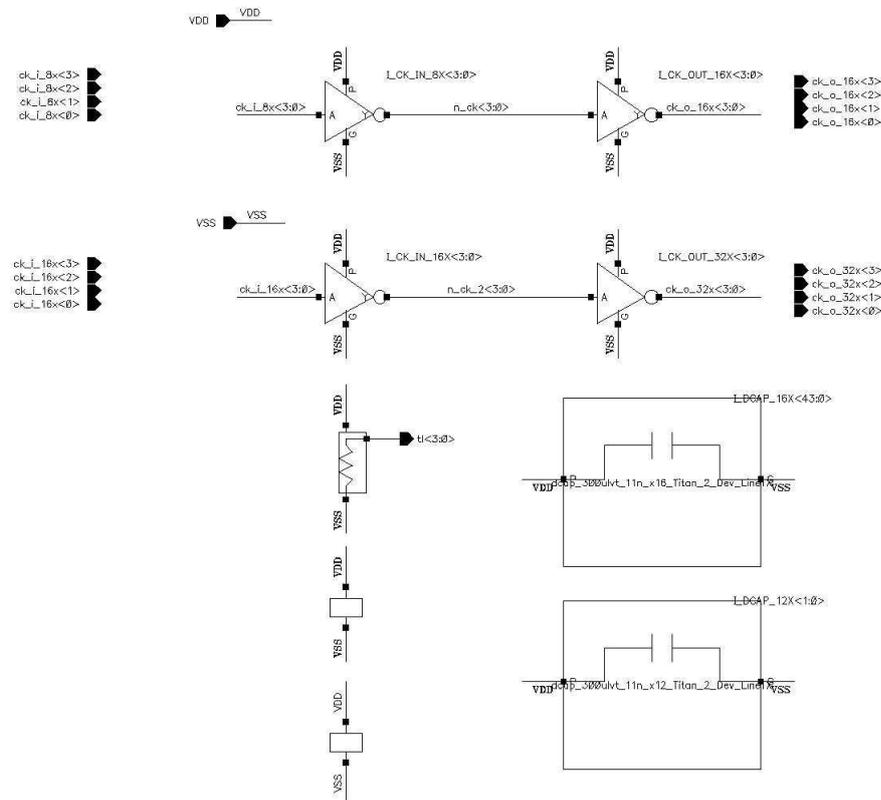
Um aspecto importante no *design* da PLL é a conformidade com as especificações de ciclo de trabalho e níveis de tensão do sinal de *clock*. O ciclo de trabalho é a relação entre o tempo em que o sinal está em nível alto e o tempo total do ciclo. Para um

funcionamento adequado do chip, a PLL deve manter o ciclo de trabalho dentro das especificações, geralmente próximo a 50% com uma tolerância especificada.

6.2.1 Comportamento atual do circuito

A unidade do clock buffer é ilustrada na Figura 15. A representação do primeiro bloco é relacionado a um inversor 8x, que é encaminhado para outro inversor 16x, que se conecta ao próximo que está ligado ao último inversor 32x. Esses valores indicam o fortalecimento do sinal quando passam por esses componentes. Os dois caminhos do sinal foram desenvolvidos para que esse bloco pudesse ser adaptado em outros contextos. Mas, para esta aplicação, apenas o caminho superior é utilizado, com a capacidade de impulsionar corrente do inversor 16x.

Figura 15 – Circuito da unidade do clock buffer



Fonte: Autoria própria

Durante a fase de simulação de *layout* de *corners*, foi identificado que o sinal de *clock* da PLL não estava atendendo às especificações de ciclo de trabalho (50% ± 0,5%). O ciclo de trabalho mínimo encontrado foi 48,05 % e o máximo 52,05 %, ambos fora das especificações.

A causa raiz desse problema foi atribuída à baixa capacidade dos clock buffers em fornecer uma saída de sinal de alta qualidade, conhecida como força de drive. Essa

grandeza refere-se à capacidade do *buffer* de impulsionar o sinal de saída através de suas portas sem degradar significativamente a qualidade do sinal, evitando atenuação ou atraso.

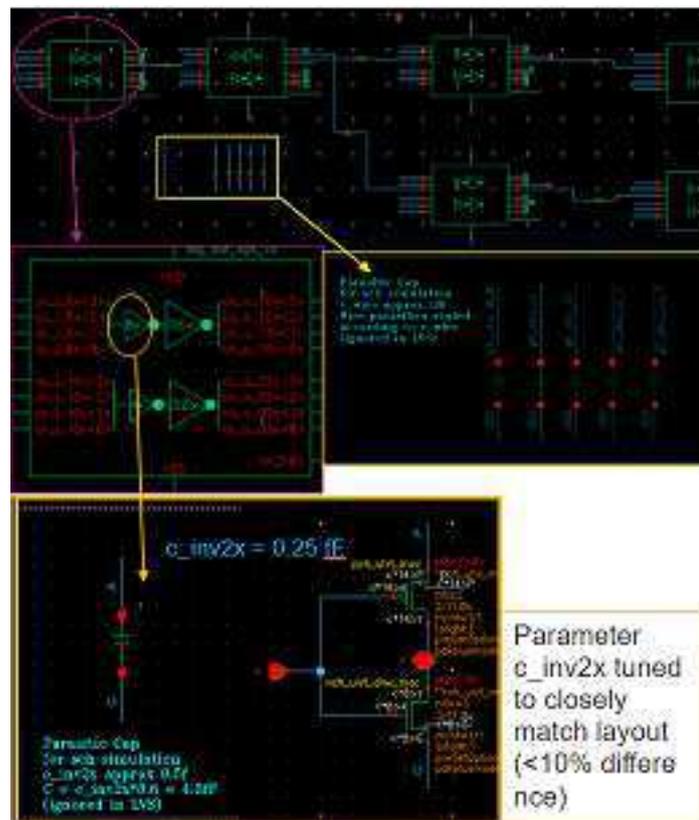
6.2.2 Estratégia para otimização do circuito

Com o objetivo de aproximar os valores de ciclo de trabalho da especificação, foi elaborada uma estratégia para atualização do *design* a partir da geração de um modelo que simulasse o comportamento do *layout*, mas com um menor tempo de simulação.

6.2.2.1 Criação de modelo

O modelo foi desenvolvido inserindo resistência e capacitância parasitas no esquemático, baseadas na análise de acoplamento capacitivo e extração de resistência do *layout*, utilizando a ferramenta ParagonX. Entretanto, o modelo que apresentou as formas de onda mais próximas das simulações de *layout* foi com a inserção apenas de capacitância parasita entre os buffers [Fig.16] e entre os terminais de porta e dreno dos transistores.

Figura 16 – Esquemático original com pcaps para modelar o comportamento do *layout*



Fonte: Autoria própria

Ciclo de trabalho, tempo de transição e *jitter* randômico de cada sinal de saída destacado na Figura 14 foram os parâmetros investigados para criação do modelo. Cada saída é encaminhada para um conversor (YI YQ XI XQ) da parte de transmissão do chip.

Tabela 1 – Comparação entre os resultados de simulação do *layout* e do modelo

95 °C	Duty cycle YI [%]		Max(rt,ft) YI [ps]		Random jitter YI [fs]	
	Original	Modelo	Original	Modelo	Original	Modelo
TT	51,65	51,7	8,544	7,126	57,61	56,04
SS	51,65	51,7	8,544	7,126	57,61	56,04
FF	51,74	51,56	6,525	5,252	-	-
FS	51,37	51,43	7,701	6,304	55,27	54,23
SF	51,95	51,84	7,26	5,934	50,25	-

95 °C	Duty cycle YQ [%]		Max(rt,ft) YQ [ps]		Random jitter YQ [fs]	
	Original	Modelo	Original	Modelo	Original	Modelo
TT	51,73	51,89	8,513	7,187	57,66	56,23
SS	51,73	51,89	8,513	7,187	57,66	56,23
FF	51,79	51,64	6,699	5,275	-	-
FS	51,39	51,62	7,891	6,361	53,52	53,43
SF	51,99	51,91	7,443	5,957	51,85	-

95 °C	Duty cycle XQ [%]		Max(rt,ft) XQ [ps]		Random jitter XQ [fs]	
	Original	Modelo	Original	Modelo	Original	Modelo
TT	51,7	51,83	8,566	7,128	56,78	56,23
SS	51,7	51,83	8,566	7,128	56,78	56,47
FF	51,88	51,59	6,6538	5,256	-	-
FS	51,25	51,54	7,715	6,307	53,38	51,07
SF	52,09	51,87	7,277	5,938	51,51	-

95 °C	Duty cycle XI [%]		Max(rt,ft) XI [ps]		Random jitter XI [fs]	
	Original	Modelo	Original	Modelo	Original	Modelo
TT	51,85	52,03	8,657	7,189	56,73	55,99
SS	51,85	52,03	8,657	7,189	56,73	55,99
FF	51,92	51,67	6,684	5,278	-	-
FS	51,35	51,74	7,87	6,364	55,37	51,77
SF	52,14	51,96	7,426	5,961	52	-

Fonte: Autoria própria

A Tabela 1 apresenta um comparativo entre os resultados de simulação encontrados no modelo com relação aos resultados de simulação do *layout*, com um erro percentual máximo em torno de 20%. A cor verde indica que os resultados estão dentro da especificação (jitter: < 100 fs, tempo de transição: < 6 ps, 49,5% $<$ ciclo de trabalho < 50 , 5%).

6.2.2.2 Modificação do esquemático

Para corrigir o ciclo de trabalho inadequado, foi proposta uma modificação nos caminhos dos sinais dos Clock Buffers com o propósito de aumentar a força dos buffers. A Figura 17 representa a alteração do caminho dos sinais em um dos buffers da PLL, que inicialmente percorria os inversores 8x e 16x [Fig. 15], para agora passar pelos inversores

Tabela 2 – Resultados dos sinais após atualização do esquemático

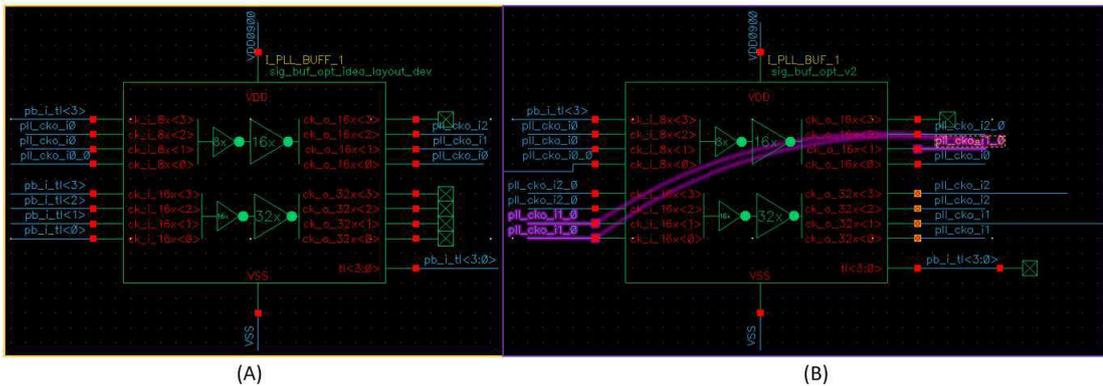
95	Ciclo de Trabalho [%]				Max(rt,ft) XI [ps]				Random jitter XI [fs]			
	YQ	YI	XQ	XI	YQ	YI	XQ	XI	YQ	YI	XQ	XI
TT	49,8	49,8	49,78	49,78	3,61	3,609	3,611	3,611	41	41,53	42,47	43,13
SS	49,8	49,8	49,78	49,78	3,61	3,609	3,611	3,611	41	41,53	42,47	43,13
FF	49,66	49,66	49,63	49,63	2,787	2,787	2,789	2,789	39,19	38,34	35,89	36,21
FS	49,73	49,73	49,71	49,71	3,119	3,119	3,121	3,12	38,44	38,96	39,66	40,33
SF	49,72	49,72	49,69	49,69	3,237	3,237	3,239	3,239	41,16	40,58	38,03	38,47

Fonte: Autoria própria

16x e 32x.

Outra alteração foi a substituição do inversor *inv_8x*, com força pull-up (P) e pull-down (N) correspondente, pelo inversor 11x encontrado no bloco single-to-differential (s2d) (mesmo número de transistor P/N), que faz parte dos conversores utilizados na parte de transmissão do chip, para melhorar o desempenho temporal de propagação para as saídas.

Figura 17 – (A) Caminho inicial (B) Atualização do caminho dos clock buffers



Fonte: Autoria própria

Embora o modelo de esquemático não seja perfeito, os resultados mostram as seguintes tendências: modificar o caminho para aumentar a força do buffer e substituir o *inv_8x* pelo inversor 11x do s2d melhorou o desempenho dos clock buffers da PLL. Os resultados da simulação com caminho modificado + *inv_11x* extraído de s2d apresentou o melhor desempenho até o momento [Tabela 2].

Com as sugestões de modificações validadas, demonstrando uma melhora no parâmetro de ciclo de trabalho e qualidade necessária para o funcionamento adequado do circuito integrado, o esquemático original foi atualizado. A modificação do *layout* só não foi desenvolvida na atividade do estágio devido a limitação de tempo.

6.3 Simulação dos Clock Buffers

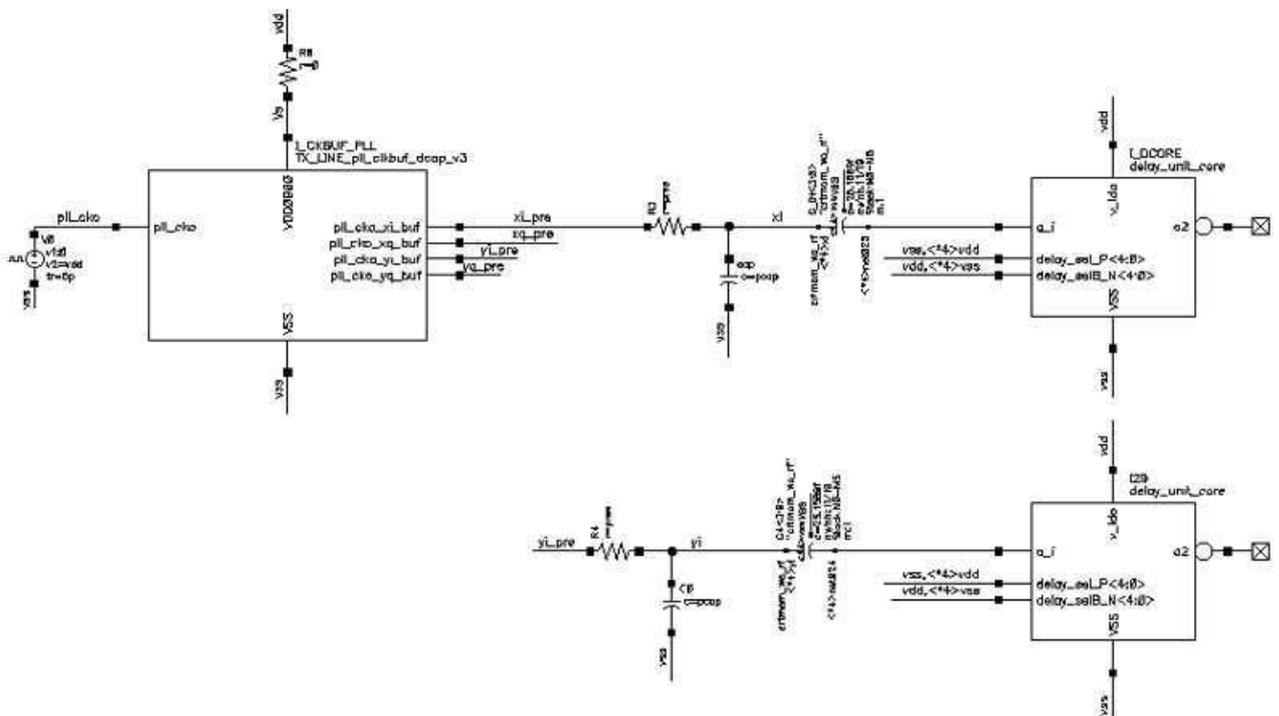
Os resultados analisados nas seções anteriores foram obtidos a partir de simulações realizadas na ferramenta Assembler, do software Cadence Virtuoso. Essas simulações foram realizadas seguindo duas etapas principais: desenvolvimento de um circuito de teste, ou seja, um ambiente de simulação para verificação e validação do funcionamento do circuito, e configuração do cenário de simulação considerando processo, tensão e temperatura de acordo com os requisitos do teste.

6.3.1 Circuito de teste

Montar um circuito de teste envolve a criação de um ambiente de simulação que permite testar e depurar o *design*, identificando erros e garantindo que o sistema funcione conforme o esperado, antes de fabricá-lo.

O circuito de teste desenvolvido para simulação dos clocks buffers está representado na Figura 18. A Alimentação utilizada para a simulação foi abaixo de 1 V e não foi considerado componente indutivo ou senoidal à fonte de alimentação.

Figura 18 – Circuito de teste para simulação de Clock Buffers da PLL



Fonte: Autoria própria

Os sinais de *clock* da PLL apresentam frequência superior a 5 GHz e são encaminhados para DACs. Entretanto, para que o sinal alcance uma frequência ainda maior, uma DLL (do inglês, *Delay Locked Loop*) é implementada após esses *buffers* para receber os sinais e gerar fases a partir do período de *clock*. Por isso, a carga do circuito de teste

representa o circuito da DLL. A resistência e capacitância inseridas na saída do circuito também fazem parte do modelo dessa carga.

Depois que o *design* do circuito de teste está completo, configurações do ambiente de simulação são realizadas na vista do Maestro.

6.3.2 Maestro

Na vista de Maestro é possível especificar condições de processo, tensão e temperatura (PVT) de acordo com os requisitos do teste. Como também, analisar formas de onda e comportamento do circuito.

A simulação dos clocks buffers da PLL considerou diferentes modos de operação de dispositivos semicondutores: typic-typic, slow-slow, fast-fast, slow-fast e fast-slow. As temperaturas foram configuradas para atingir $25^{\circ}C$ e $95^{\circ}C$.

O tipo de simulação foi transiente, considerando 10 *ns* a 25 *ns* de tempo para captura do sinal no período de convergência. Neste cenário, a simulação transiente ajuda a validar o funcionamento do circuito em diferentes cenários e condições de operação.

Outra ferramenta utilizada na vista do maestro foram a inserção de *probes* para captura precisa de tensão da entrada do circuito, ou seja, da tensão de porta do transistor, e o uso da ferramenta Calculator para análise de prâmetros de desempenho (ciclo de trabalho, tempo de transição e jitter) do circuito.

6.3.3 *Probes* para medição de grandezas elétricas dos terminais dos transistores

Na entrada dos circuitos analógicos há um pino conectado a porta do transistor. Nesse caminho, entre o pino e a porta, há a presença de parasitas que podem influenciar no comportamento do sinal. O uso de *probes* possibilita a captura do nó de entrada do circuito, obtendo uma aproximação real do sinal de entrada, sem tanta interferência parasita.

Isso é possível a partir da geração de um arquivo com extensão *.scs*, que nesse contexto é um arquivo de *script* de simulação, contendo a especificação dos terminais dos transistores que devem ser salvos. Esse arquivo automatiza o processo de salvar dados de simulação para análise de tensão ou corrente do terminais.

A captura dos nós de entrada dos clocks buffers da PLL foi realizada com a geração de um arquivo de *probes* que foi utilizado no simulador Spectre no cadence Virtuoso. Uma parte dos comandos utilizados nesse *script* estão descritos abaixo:

```
simulator lang=spectre insensitive=yes
```

```
save I_CKBUF_PLL.XI_PLL_BUF_*\XI_CK_IN_8X\ < * \ > \M* \ :  
g
```

A primeira linha especifica o simulador a ser utilizado (Spectre) e define a sensibilidade de maiúsculas e minúsculas como “insensitive”, o que significa que os nomes de sinais serão tratados como insensíveis a maiúsculas e minúsculas durante a simulação. O comando da segunda linha indica para salvar os resultados de simulação para todas as instâncias do tipo XI_PLL_BUF_* onde o nome do sinal corresponde a XI_CK_IN_8X. O * é um curinga que corresponde a qualquer sequência de caracteres, e g está relacionado ao terminal de porta do transistor.

6.4 Extração de Parasitas dos Clocks Buffers

A extração de parasitas do *layout* é um processo essencial no *design* de circuitos integrados que envolve a análise e modelagem dos efeitos parasitas que surgem devido à geometria física dos componentes e conexões no *layout* do circuito.

Com o objetivo de garantir a precisão e o desempenho dos clock buffers da PLL, permitindo a identificação e resolução de potenciais problemas de desempenho e otimização do *layout*, foi realizado fluxo de extração de resistência e capacitância parasitas utilizando a ferramenta ParagonX.

A capacitância parasita [Tabela 3] dos clock buffers foi obtida para cada net do circuito, considerando todos os possíveis agressores para a formação desses parasitas. Para a extração da resistência parasita [Tabela 4] foram determinados dois nós para a net analisada.

6.5 Análise de IR Drop dos Clock Buffers

A análise de IR drop, ou queda de tensão por resistência, é um procedimento essencial no *design* para garantir o desempenho confiável e eficiente dos circuitos integrados, permitindo a identificação de problemas de queda de tensão que possam afetar negativamente o funcionamento do circuito.

A análise de IR drop nos clock buffers da PLL foi do tipo estática e realizada na ferramenta ParagonX. Na análise estática de queda de IR é necessário gerar um arquivo de definição de bloco contendo os valores de corrente até a hierarquia que se deseja analisar a queda. O corner FF com temperatura de 95°C foi escolhido por apresentar a maior corrente média do bloco.

A análise de queda de IR é cumulativa. Primeiro, a ferramenta analisa a última camada do *design*, vê a quantidade de queda de IR, depois passa para a camada abaixo

Tabela 3 – Capacitância Parasita

Net	Aggressors net	Parasitic coupling capacitance [F]
clkinp	*	1.9279e-15
pll_cko_pre2	*	6.9902e-15
Xsigbuf1/n_ck<1>	*	4.6709e-15
pll_cko	*	1.6545e-14
XI_PLL_BUF_0/n_ck<1>	*	4.6675e-15
int2	*	3.8348e-14
XI10/n_ck<1>	*	3.8348e-14
clk	*	3.2801e-13
XI15/n_ck<1>	*	4.6578e-15
clkp<3>	*	9.7318e-15
XI24/n_ck<1>	*	4.6572e-15
clkp<2>	*	9.7322e-15
XI27/n_ck<1>	*	4.6685e-15
clkp<1>	*	9.7392e-15
XI36/n_ck<1>	*	4.6555e-15
clkp<0>	*	9.7193e-15

OD - M1 [F]	M2 - M8 [F]	M9 - last [F]
1.64242e-14	2.8548e-16	-
5.9792e-15	1.01105e-15	-
4.6709e-15	-	-
1.02848e-14	3.42197e-15	3.40701e-15
4.6675e-15	-	-
2.777127e-14	8.73533e-15	1.8414e-15
3.8348e-14	-	-
5.131145e-14	1.658527e-14	2.6011328e-13
4.6578e-15	-	-
8.04335e-15	1.68845e-14	-
4.6572e-15	-	-
8.04024e-15	1.69196e-15	-
4.6685e-15	-	-
8.03775e-15	1.70145e-15	-
4.6555e-15	-	-
8.02981e-15	1.68949e-15	-

Fonte: Elaborado pelo autor

Tabela 4 – Resistência Parasita

Net	Start point	End point	Effective resistance [ohm]
pll_cko_pre2	*:d	*:g	135.91
Xsigbuf1/n_ck<1>	*:d	*:g	84.586
pll_cko	*:d	*:g	235.92
XI_PLL_BUF_0/n_ck<1>	*:d	*:g	84.304
int2	*:d	*:g	77.91
XI10/n_ck<1>	*:d	*:g	101.98
clk	X10/*:d	X15/*:g	175.39
XI15/n_ck<1>	*:d	*:g	84.905
clkp<3>	*:d	clkp<3>	32.205
clk	X10/*:d	XI24/*:g	175.39
clkp<2>	*:d	clkp<2>	32.205
clk	X10/*:d	XI27/*:g	175.78
clkp<1>	*:d	clkp<1>	32.205
clk	X10/*:d	XI36/*:g	175.9
clkp<0>	*:d	clkp<0>	32.001

Fonte: Elaborado pelo autor

Tabela 5 – Correntes de *layout* dos clock buffers para vdd (FF @ 95°C).

Corner	FF
T [°C]	95
current_vdd_BUF_0 [A]	510.6591e-6
current_vdd_BUF_1 [A]	1503.5202e-6
current_vdd_BUF_YI [A]	1379.9604e-6
current_vdd_BUF_YQ [A]	836.1633e-6
current_vdd_BUF_XQ [A]	1379.9604e-6
current_vdd_BUF_XI [A]	836.1633e-6

Fonte: Autoria Própria

e adiciona à quantidade de queda anterior.

6.5.1 Correntes do topo do bloco

As Tabela 5 e 6 apresentam os valores de corrente de *layout* considerando a net vdd e vss. Os valores dessas correntes foram as maiores encontradas na simulação.

6.5.2 IR drop considerando a fonte vdd

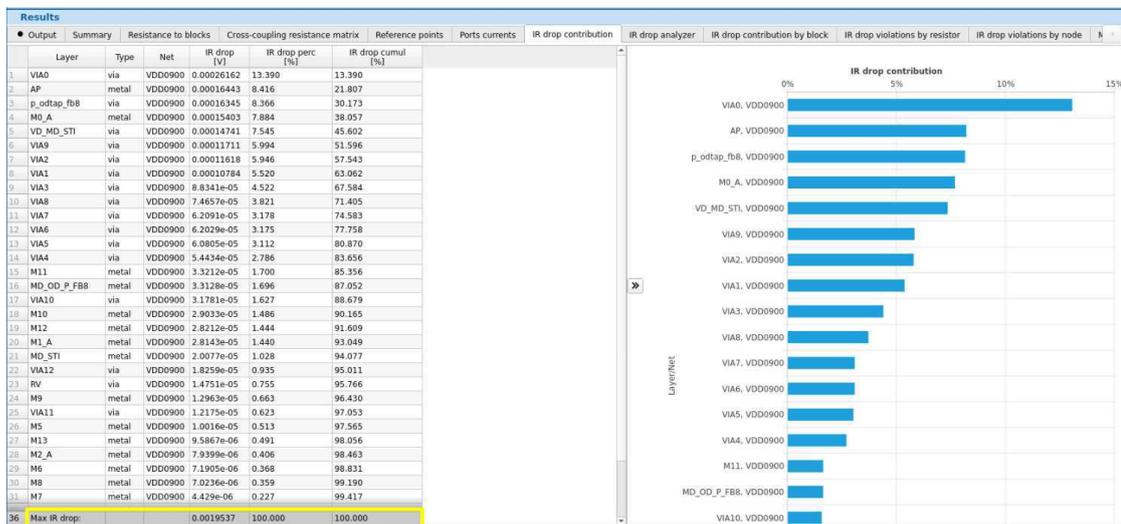
A Figura 19 representa a contribuição da camada para a queda máxima de IR drop considerando a net vdd. Sua queda máxima é de 1,9537 mV, que equivale a menos que 1% do vdd, e está dentro das especificações em torno de 5% a 10%.

Tabela 6 – Correntes de layout dos clock buffers para vss (FF @ 95°C).

Corner	FF
T [°C]	95
current_vss_BUF_0 [A]	510.6843e-6
current_vss_BUF_1 [A]	1499.7948e-6
current_vss_BUF_YI [A]	1330.0266e-6
current_vss_BUF_YQ [A]	791.553e-6
current_vss_BUF_XQ [A]	1330.0245e-6
current_vss_BUF_XI [A]	791.553e-6

Fonte: Autoria Própria

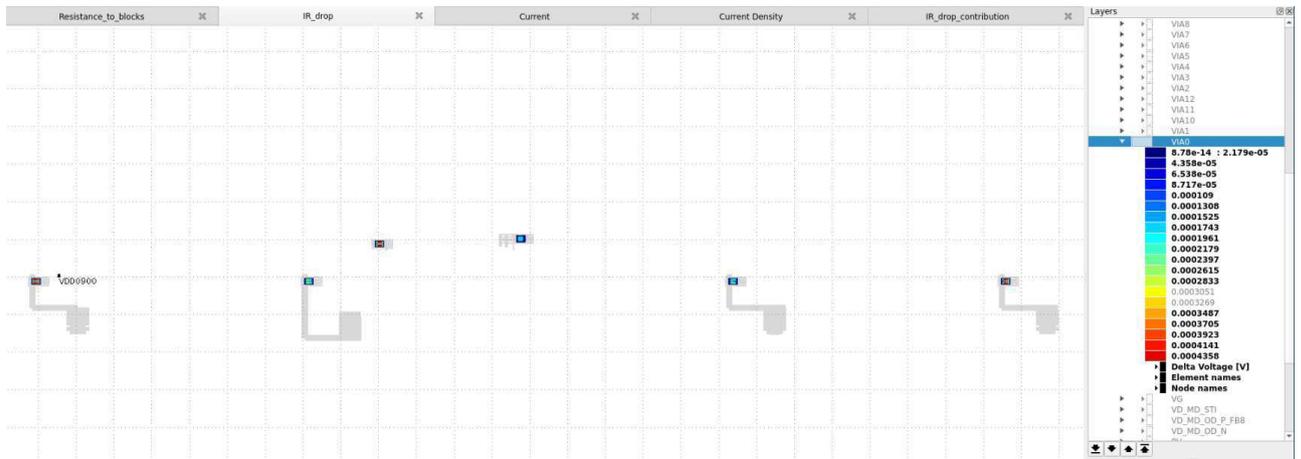
Figura 19 – Contribuição de IR drop considerando net vdd



Fonte: Autoria própria

A camada que apresenta maior queda de IR é a VIA0, com 13,39% da queda máxima (1,9537 mV) [Figs. 20 e 21]. Provavelmente isso ocorre por se tratar de uma camada resistiva, podendo gerar uma alta queda de tensão.

Figura 20 – IR drop na Via 0 dos clock buffers



Fonte: Autoria própria

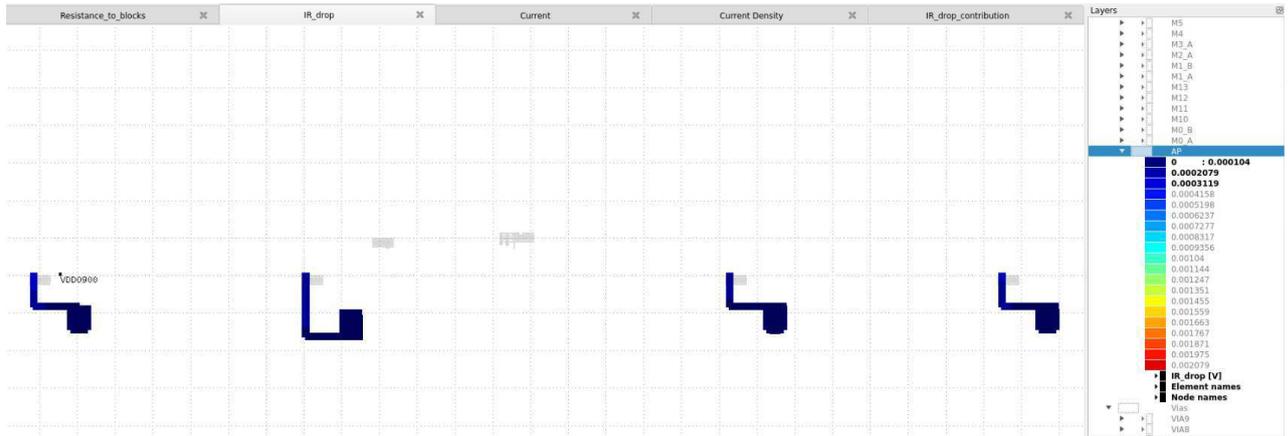
Figura 21 – IR drop na Via 0 (zoom na parte esquerda do design dos clock buffers)



Fonte: Autoria própria

A camada AP foi a segunda que apresentou maior queda de tensão [Fig. 22] em relação à queda máxima de IR. Mesmo essa camada sendo menos resistiva, ela possui um *design* extenso, o que acaba aumentando sua resistência. Além disso, a corrente total passa por ela. As demais camadas estão aparentemente bem distribuídas por todo o *design*.

Figura 22 – IR drop na camada AP

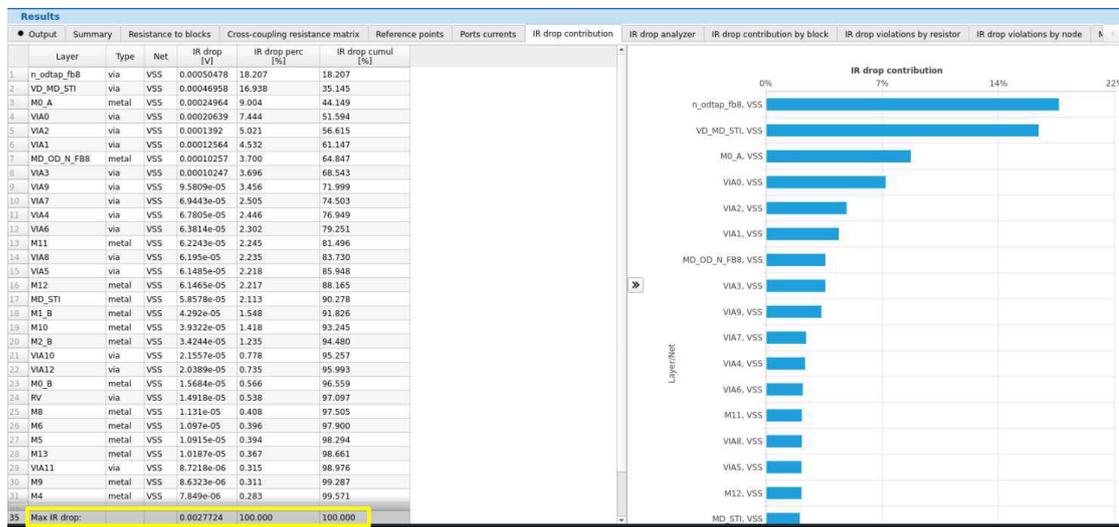


Fonte: Autoria própria

6.5.3 IR drop considerando a fonte vss

A contribuição das camadas para a queda máxima de IR considerando a net vss está representada na Figura 23. Sua queda máxima de IR é 2,7724 mV. Esse valor está dentro dos limites aceitáveis para esse contexto.

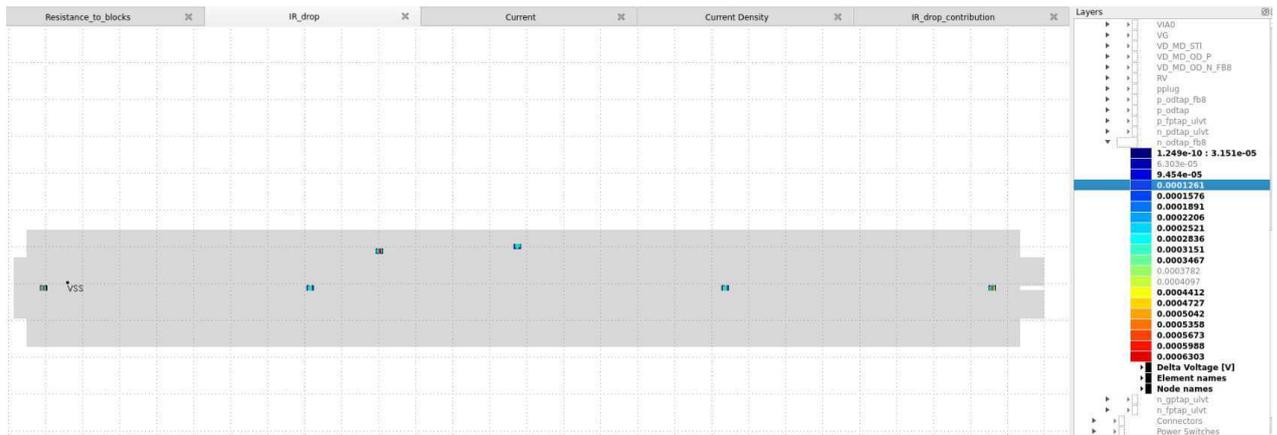
Figura 23 – Contribuição de IR drop considerando net vss



Fonte: Autoria própria

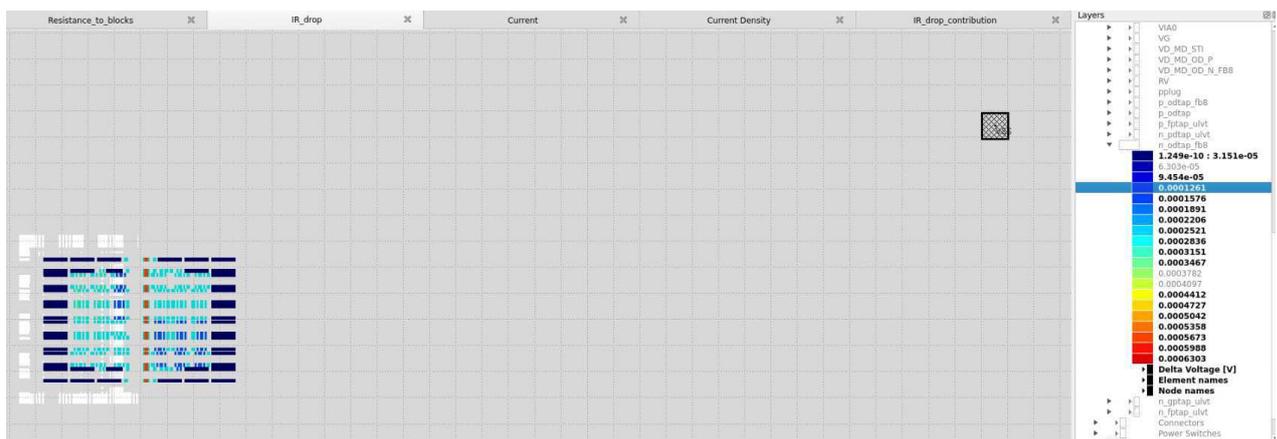
A camada que apresenta maior queda de IR é a n_odtap_fb8, com 18,207% da queda máxima [Figs. 24 e 25]. Esta camada é um ramo da camada difusão que surge devido à variação de *Fin Boundary*. Provavelmente houve uma queda de IR maior porque essa camada é altamente resistiva.

Figura 24 – IR drop na camada n_odtap_fb8



Fonte: Autoria própria

Figura 25 – IR drop na camada n_odtap_fb8 (zoom)



Fonte: Autoria própria

A camada VD_MD_STI foi a segunda que apresentou maior queda de tensão em relação à queda máxima de IR. Esta via é composta por camadas mais baixas, portanto apresenta alta resistência.

6.6 Roteamento de Bloco ESD

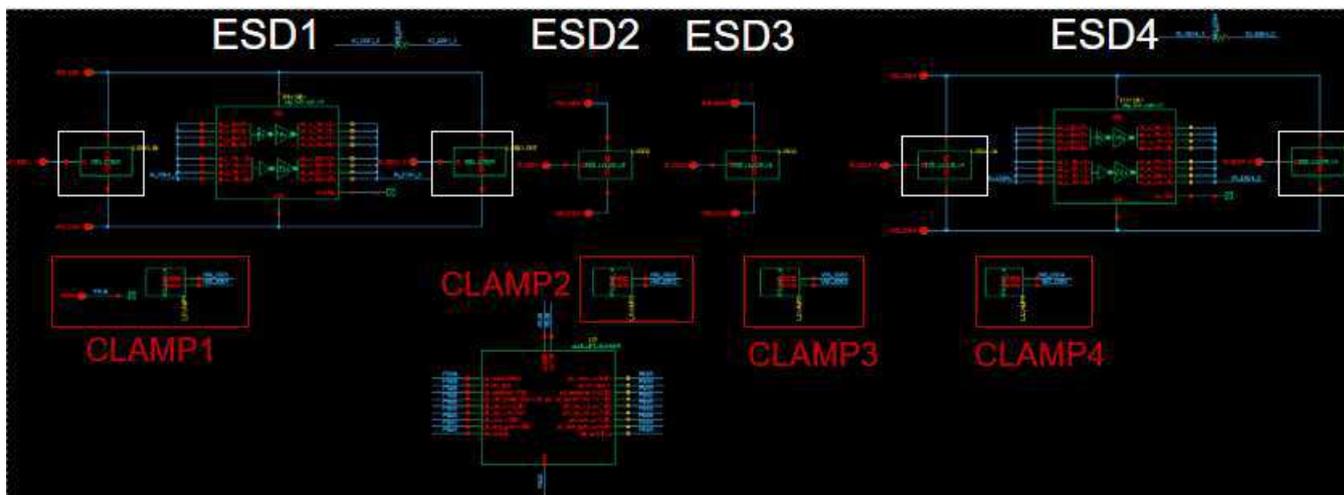
Nos terminais de entrada e saída de um chip são necessários dispositivos de proteção contra descargas eletrostáticas (ESD, do inglês *Electrostatic Discharge*) para protegê-lo de aumentos súbitos e potencialmente prejudiciais de tensão ou carga, que podem ocorrer ao manuseá-lo ou conectá-lo a outros dispositivos.

Esses dispositivos de proteção são geralmente constituídos por diodos de proteção, que são conectados entre os terminais e o terra. Quando ocorre uma descarga eletrostática,

os diodos de proteção entram em ação. Se a tensão ultrapassar o limite de tensão do diodo, ele começa a conduzir, desviando a corrente de ESD para o terra e protegendo assim o chip. A condução do diodo de proteção permite que a corrente flua de forma controlada, impedindo que a tensão excessiva danifique os componentes sensíveis do chip.

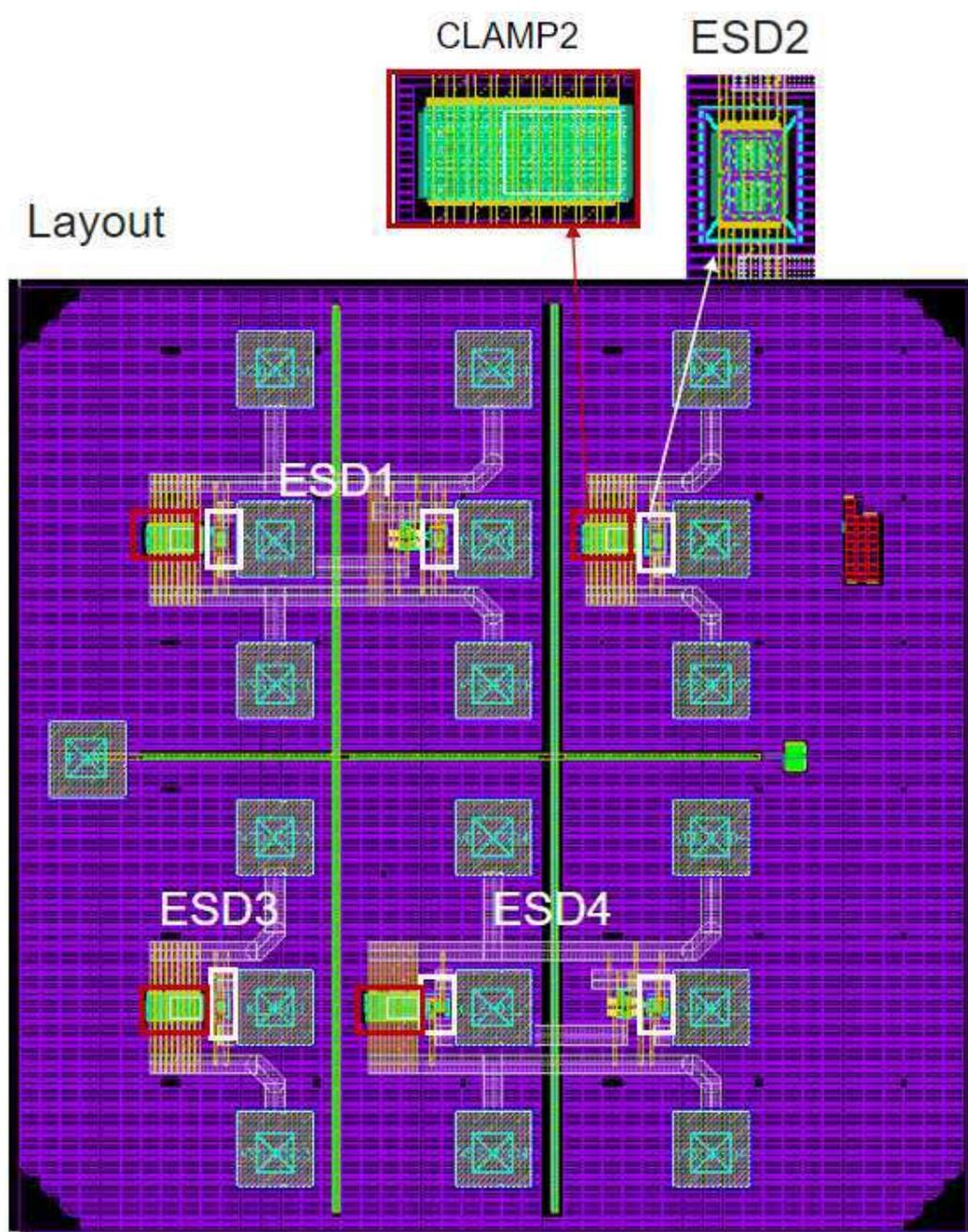
Quatro diferentes blocos de proteção de descarga eletrostática [Esquemático na Fig. 26 e *layout* na Fig. 27] (ESD1 a ESD4) deverão passar por teste de bancada para analisar qual apresenta o melhor desempenho para ser aplicado aos terminais analógicos do chip, com a inserção de ponta de prova de *power*, *ground* e sinal. Entretanto, antes do teste, foi necessário desenvolver o *power grid* dessas instâncias, a partir do metal 0 até o metal AP (última camada da tecnologia FinFET < 10 nm).

Figura 26 – Esquemático do ESD



Fonte: Autoria própria

Figura 27 – Layout do ESD



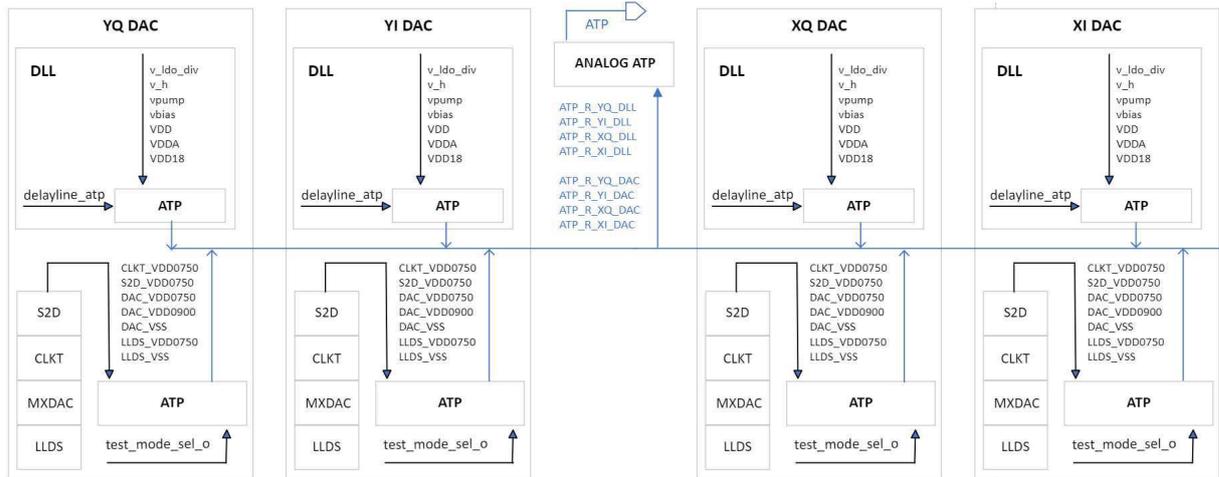
Fonte: Autoria própria

Os blocos ESD1 e ESD4 são repetidos para testes de entrada e saída. ESD2 e ESD3 estão isolados devido à limitação de espaço. Cada ponto de teste (Pad) é projetado para facilitar a medição de sinais elétricos em um contexto de medição e possuem uma fonte isolada com grameamento de alimentação associado.

6.7 Simulação do Bloco ATP e Teste do Chip

A parte de transmissão do chip desenvolvido tem 4 canais, cada canal sendo representado por DAC. Em cada canal há dois blocos de ponto de teste analógico (ATP) [Fig. 28], que são utilizadas para leitura das tensões analógicas no pino de saída do bloco. Desta forma, é possível olhar alguns pontos internos do circuito para analisar seu funcionamento.

Figura 28 – Blocos ATP distribuídos na parte de transmissão do chip

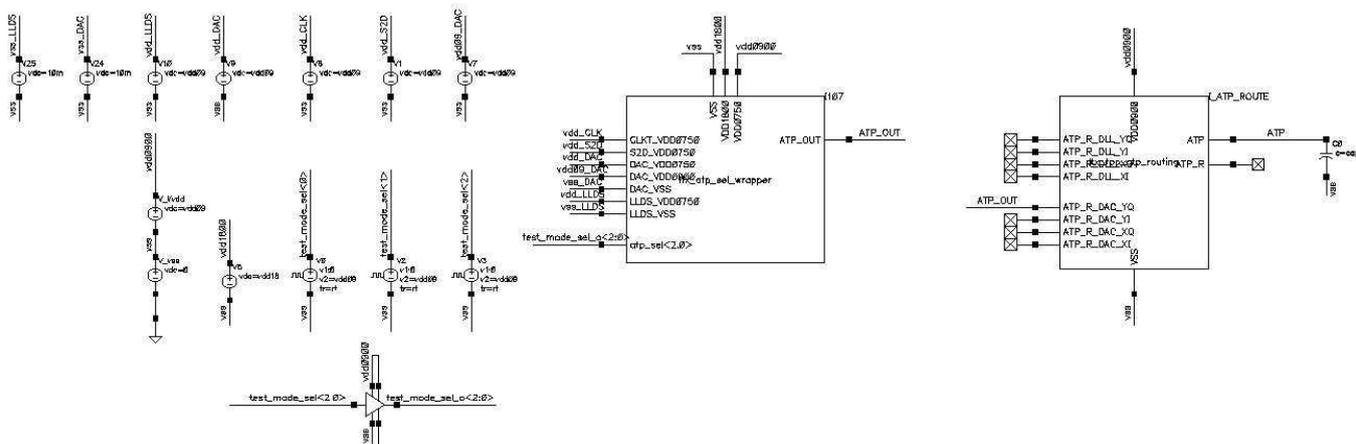


Fonte: Autoria própria

6.7.1 Circuito de teste e resultados de simulação

Com o objetivo de simular o comportamento dos ATPs, foram realizadas simulações para capturar o efeito dos parasitas nos sinais DC que vão do pad do ATP (dc probes) até o pad do chip. O circuito de teste é visualizado na Figura 29, contendo um modelo de decodificador responsável pela seleção do sinal que será lido.

Figura 29 – Circuito de teste do ATP



Fonte: Autoria própria

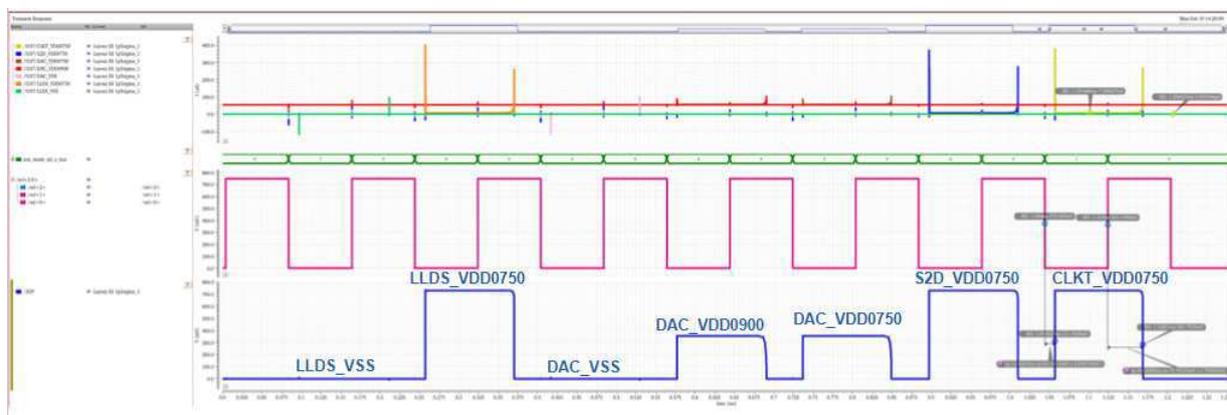
Os resultados de simulação são observados nas Figuras 30 e 31. A partir dessas simulações foram analisadas as saídas do ATP a partir da seleção do decodificador, assim como constatado os tempos necessários para que os sinais sejam estabilizados e possam ser lidos como também a necessidade dos ATPs precisarem serem desligados para que outro sinal possa ser selecionado para leitura.

Figura 30 – Saída do ATP da DLL



Fonte: Autoria própria

Figura 31 – Saída do ATP do DAC



Fonte: Autoria própria

6.7.2 Teste dos sinais analógicos do chip

Com o objetivo de integrar o chip desenvolvido pela equipe de DSP a um determinado módulo, o chip precisa passar por várias etapas de teste em diferentes EVBs (Embedded Virtual Boards). Inicialmente, o processo envolve a recepção do wafer (uma fina fatia de material semiconductor contendo os dies), seguido pelo corte e encapsulamento dos chips.

No que diz respeito aos testes de placa, o chip passa primeiro pelo ATE (Automatic Test Equipment), também conhecido como *Load board*. Esses testes são essenciais para

garantir uma confiança mínima na qualidade do chip e incluem testes DFT (Design for Testability).

Em seguida, o chip deve ser conectado a uma EVB elétrica. E posteriormente a uma EVB óptica. Por fim, é possível ocorrer a integração com o módulo.

Durante o estágio, as atividades de teste foram realizadas utilizando uma API (Application Programming Interface) em conjunto com uma EVB. A comunicação entre a API e as EVB ocorreu por meio do protocolo de comunicação SPI (Serial Peripheral Interface).

O uso da API permitiu abstrair a complexidade do hardware para facilitar seu controle. Por meio dela, foi possível escrever e ler nos registradores do chip, viabilizando a leitura dos sinais.

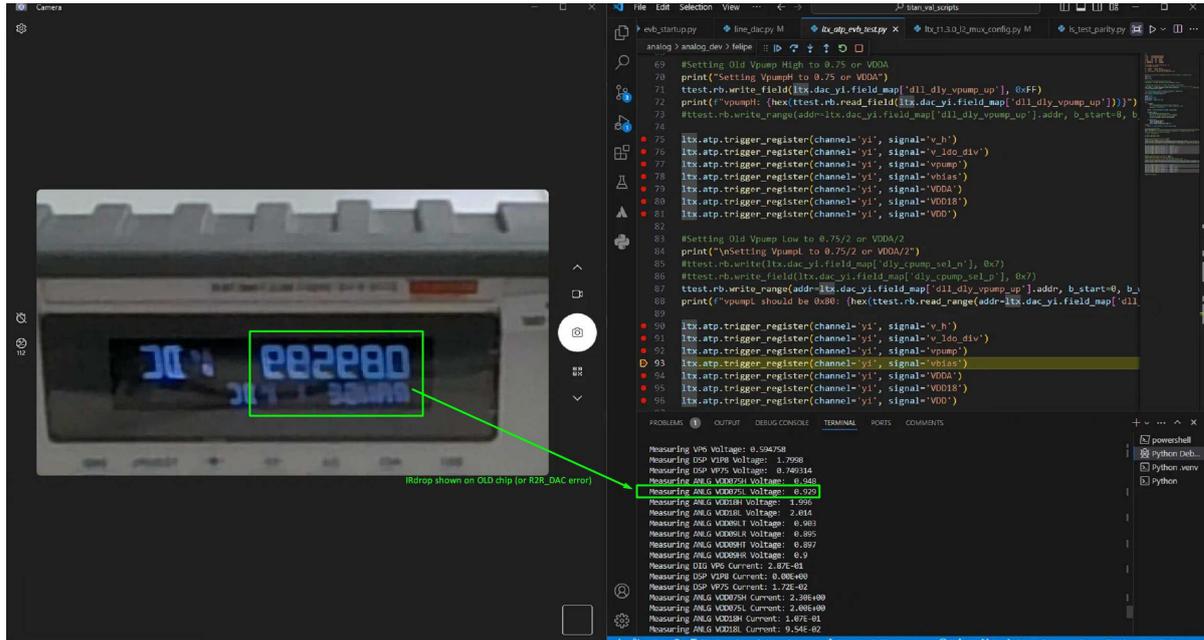
No contexto analógico, blocos de teste foram inseridos em partes estratégicas do chip. Sinais de interesse foram direcionados para esses blocos e, através de um decodificador, foram encaminhados para a saída do bloco, que é um pino analógico. Isso possibilitou a leitura e análise dos sinais para determinar se estavam dentro dos níveis de tensão adequados.

Para o desenvolvimento do script de teste, foi necessário considerar o comportamento desses sinais ao passarem pelo bloco e serem selecionados pelo decodificador. Foram inseridos também tempos de espera para permitir que os sinais estabilizassem antes da leitura.

Também foram elaboradas documentações detalhadas descrevendo o funcionamento do bloco, seu desenvolvimento, resultados e análises de simulação. Além da descrição dos registradores e bit fields associados aos sinais para facilitar na compreensão dos testes.

A Figura 1 apresenta a leitura de uma tensão analógica. No osciloscópio é visualizada uma tensão de $0,892\text{ V}$ na saída do chip, enquanto que a tensão da fonte está em $0,929\text{ V}$, apresentando uma queda de tensão de aproximadamente $0,037\text{ V}$. O osciloscópio aparece invertido na imagem pois está sendo visualizado a partir de uma câmera.

Figura 32 – Diferença de tensão entre a fonte e a saída do chip



Fonte: Autoria própria

6.8 Considerações Finais

O estágio ocorreu no processo de *Tapeout* de um chip desenvolvido pela área de DSP para *data centers*. Esse chip era responsável pelo processamento e melhoria da qualidade da transmissão de dados. O foco do estágio foi na parte de transmissão do chip, especificamente no time de analógico da Lumentum Brasil.

As atividades envolveram simulações de blocos, desenvolvimento de circuitos de teste e interpretação dos resultados, extração de parasitas para otimização do *layout*, análise de *IR drop* para verificar a qualidade da *power grid*, desenvolvimento de *scripts* para teste do chip e atividades de *layout* utilizando tecnologia FinFET abaixo de 10 nm.

As disciplinas cursadas na graduação foram cruciais para as atividades do estágio. Introdução à Programação ajudou no desenvolvimento de *scripts* para automatização de tarefas, enquanto disciplinas como Circuitos Lógicos, Dispositivos Eletrônicos e Eletrônica foram importantes para entender Microeletrônica. Além disso, Princípios de Comunicações deu uma base para entender a aplicação da microeletrônica na área de comunicação óptica.

Um destaque do trabalho foi na simulação dos clock buffers da PLL, onde foi desenvolvido uma estratégia para otimizar o *design* e atualização do esquemático para melhorar o ciclo de trabalho. Também houveram participações do processo de *onboarding* na empresa, onde foi passado sobre a estrutura organizacional e as normas de conduta.

Além disso, houveram trabalhos na integração do chip com uma EVB elétrica, desenvolvendo *scripts* para teste dos sinais analógicos do chip e documentando detalhadamente o processo. Ao longo do estágio, foram aplicados conhecimentos teóricos da Universidade em um ambiente de trabalho prático, o que resultou em uma experiência importante para o desenvolvimento profissional.

7 Conclusões

Durante o período de estágio na empresa Lumentum foram vivenciadas experiências enriquecedoras e desafiadoras que contribuíram significativamente para o desenvolvimento pessoal e profissional.

O estágio proporcionou uma oportunidade de aplicar os conhecimentos adquiridos ao longo da graduação em um ambiente de trabalho real. A integração com a equipe de Microeletrônica Analógica permitiu compreender melhor os desafios enfrentados na indústria de tecnologia de comunicações ópticas e desenvolver soluções inovadoras para problemas complexos.

Durante o estágio, foi possível aprimorar diversas competências técnicas, como o *design* de circuitos integrados analógicos utilizando a tecnologia FinFET, assim como a compreensão do processo de desenvolvimento de um chip. Além disso, as habilidades de comunicação e trabalho em equipe foram fortalecidas, especialmente devido à necessidade de interação constante em inglês com colegas internacionais.

O estágio na Lumentum teve um impacto significativo no desenvolvimento profissional, proporcionando uma visão abrangente das práticas e tendências da indústria de tecnologia de comunicações ópticas. A oportunidade de aplicar os conhecimentos teóricos em um ambiente prático, aliada à cultura organizacional e aos desafios enfrentados, contribuiu significativamente para a formação de um engenheiro mais completo e preparado para os desafios do futuro.

Referências

- 1 Site oficial da Lumentum. Disponível em: <<https://www.lumentum.com/>>. Acesso em: 10 de out. de 2023. 3, 4, 5
- 2 RODGERS, L; CLARK, D; JOINER, S; HASLETT, B.; ARENAS, I; LEARNER, S; **Financial Times**, 2024. Inside the miracle of modern chip manufacturing. Disponível em: <<https://ig.ft.com/microchips/>>. Acesso em: 04 de mai. de 2024. 14, 15
- 3 Bobsien. Como são projetados os Chips? YouTube, 09 de set. de 2020. Disponível em: <<https://www.youtube.com/watch?v=9R4UB3BHrFg>>. Acesso em: 06 de mai. de 2024. 11, 12, 13, 14, 15
- 4 NANDANWAR, A. An Outline of the Semiconductor Chip Design Flow. **Design & Reuse**. Disponível em: <<https://www.design-reuse.com/articles/54033/an-outline-of-the-semiconductor-chip-design-flow.html>>. Acesso em: 07 de mai. de 2024. 11, 12, 13, 14
- 5 Razavi, B. Design of Analog CMOS Integrated Circuits. **Oxford Series in Electrical and Computer Engineering**. McGraw-Hill, 2017. 17, 18
- 6 S. Su and M. S. -W. Chen. High-Speed Digital-to-Analog Converter Design Towards High Dynamic Range. **IEEE Custom Integrated Circuits Conference (CICC)**, Newport Beach, CA, USA, 2022, pp. 1-8, doi: 10.1109/CICC53496.2022.9772809.
- 7 KESTER, W. Analog-Digital Conversion. EUA: **Analog Devices**, 2004.
- 8 LEE, W. W. 3 mins to know chip test and Package test. **LinkedIn**. Disponível em: <<https://www.linkedin.com/pulse/3-mins-know-chip-test-package-william-li/>>. Acesso em: 08 de mai. de 2024. 15
- 9 Baker, J. Circuit Design, Layout, and Simulation. 3 ed. Canada: **IEEE Pres Series on Microelectronic Systems**, 2010. 18, 19, 20
- 10 JAIN, Prashant U.; TOMAR, V. K. FinFET technology: as a promising alternatives for conventional MOSFET technology. In: 2020 International Conference on Emerging Smart Computing and Informatics (ESCI). IEEE, 2020. p. 43-47. 8, 9