

Nayara Ingrid Lisboa Santos

**Conversores Trifásicos Multiníveis
Fonte de Corrente com Reduzido
Número de Dispositivos
Semicondutores e/ou Indutores**

Campina Grande, Paraíba, Brasil

Setembro 2023

Nayara Ingrid Lisboa Santos

**Conversores Trifásicos Multiníveis Fonte de Corrente
com Reduzido Número de Dispositivos
Semicondutores e/ou Indutores**

Tese de Doutorado apresentada à Coordenação do Curso de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências no domínio da Engenharia Elétrica.

Universidade Federal de Campina Grande

Centro de Engenharia Elétrica e Informática

Programa de Pós-Graduação em Engenharia Elétrica

Orientadores: Maurício Beltrão de Rossitêr Corrêa
Montiê Alves Vitorino

Campina Grande, Paraíba, Brasil

Setembro 2023

S237c

Santos, Nayara Ingrid Lisboa.

Conversores trifásicos multiníveis fonte de corrente com reduzido número de dispositivos semicondutores e/ou indutores / Nayara Ingrid Lisboa Santos – Campina Grande, 2023.

165 f.

Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2023.

"Orientação: Prof. Dr. Maurício Beltrão de Rossiter Corrêa, Prof. Dr. Montê Alves Vitorino."

Referências.

1. Conversores Multiníveis 2. Processamento de Energia. 3. Fonte de Corrente. 4. Conversores Trifásicos. 5. Reduzido Número de Dispositivos Semicondutores. 6. Modulação Vetorial Espacial. I. Corrêa, Maurício Beltrão de Rossiter. II. Vitorino, Montê Alves. III. Título.

CDU 621.314(043)

Conversores Trifásicos Multiníveis Fonte de Corrente com Reduzido Número de Dispositivos Semicondutores e/ou Indutores

NAYARA INGRID LISBOA SANTOS

TESE APROVADA EM 12/09/2023

MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Orientador(a)

MONTIÊ ALVES VITORINO, D.Sc., UFCG
Orientador(a)

CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Examinador(a)

ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador(a)

MARCELO LOBO HELDWEIN, Dr., UFSC
Examinador(a)

NADY ROCHA, D.Sc., UFPB
Examinador(a)

CAMPINA GRANDE - PB

Processo:

23096.072586/2023-92

Documento:

3816152



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
POS-GRADUACAO EM ENGENHARIA ELETRICA
Rua Aprígio Veloso, 882, - Bairro Universitario, Campina Grande/PB, CEP 58429-900

REGISTRO DE PRESENÇA E ASSINATURAS

ATA DA DEFESA PARA CONCESSÃO DO GRAU DE DOUTOR EM CIÊNCIAS, NO DOMÍNIO DA ENGENHARIA ELÉTRICA, REALIZADA EM 12 DE SETEMBRO DE 2023 (Nº368)

CANDIDATA: **NAYARA INGRID LISBOA SANTOS**. COMISSÃO EXAMINADORA: ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG, Presidente da Comissão e Examinador interno, MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG, MONTIÊ ALVES VITORINO, D.Sc., UFCG, Orientadores, CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG, Examinador interno, MARCELO LOBO HELDWEIN, Dr., UFSC, NADY ROCHA, D.Sc., UFPB, Examinadores externos. TÍTULO DA TESE: Conversores Trifásicos Multiníveis Fonte de Corrente com Reduzido Número de Dispositivos Semicondutores e/ou Indutores. ÁREA DE CONCENTRAÇÃO: Processamento da Energia. HORA DE INÍCIO: **09h00** – LOCAL: **Sala Virtual, conforme Art. 5º da PORTARIA SEI Nº 01/PRPG/UFCG/GPR, DE 09 DE MAIO DE 2022**. Em sessão pública, após exposição de cerca de 45 minutos, a candidata foi arguida oralmente pelos membros da Comissão Examinadora, tendo demonstrado suficiência de conhecimento e capacidade de sistematização, no tema de sua tese, obtendo conceito APROVADO. Face à aprovação, declara o presidente da Comissão, achar-se a examinada, legalmente habilitada a receber o Grau de Doutora em Ciências, no domínio da Engenharia Elétrica, cabendo à Universidade Federal de Campina Grande, como de direito, providenciar a expedição do Diploma, a que a mesma faz jus. Na forma regulamentar, foi lavrada a presente ata, que é assinada por mim, Filipe Emmanuel Porfírio Correia, e os membros da Comissão Examinadora presentes. Campina Grande, 12 de Setembro de 2023.

Filipe Emmanuel Porfírio Correia
Secretário

ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Presidente da Comissão e Examinador interno

MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Orientador

MONTIÊ ALVES VITORINO, D.Sc., UFCG
Orientador

MARCELO LOBO HELDWEIN, Dr., UFSC
Examinador externoNADY ROCHA, D.Sc., UFPB
Examinador externoNAYARA INGRID LISBOA SANTOS
Candidata

2 - APROVAÇÃO

2.1. Segue a presente Ata de Defesa de Tese de Doutorado da candidata **NAYARA INGRID LISBOA SANTOS**, assinada eletronicamente pela Comissão Examinadora acima identificada.

2.2. No caso de examinadores externos que não possuam credenciamento de usuário externo ativo no SEI, para igual assinatura eletrônica, os examinadores internos signatários **certificam** que os examinadores externos acima identificados participaram da defesa da tese e tomaram conhecimento do teor deste documento.



Documento assinado eletronicamente por **FILIFE EMMANUEL PORFIRIO CORREIA, ASSISTENTE EM ADMINISTRACAO**, em 22/09/2023, às 10:35, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MONTIE ALVES VITORINO, PROFESSOR 3 GRAU**, em 22/09/2023, às 13:35, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **MAURICIO BELTRAO DE ROSSITER CORREA, PROFESSOR(A) DO MAGISTERIO SUPERIOR**, em 22/09/2023, às 15:42, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **ALEXANDRE CUNHA OLIVEIRA, PROFESSOR 3 GRAU**, em 22/09/2023, às 16:40, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **Nady Rocha, Usuário Externo**, em 24/09/2023, às 17:46, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **Nayara Ingrid Lisboa Santos, Usuário Externo**, em 06/10/2023, às 15:41, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



Documento assinado eletronicamente por **CURSINO BRANDAO JACOBINA, PROFESSOR 3 GRAU**, em 07/10/2023, às 09:46, conforme horário oficial de Brasília, com fundamento no art. 8º, caput, da [Portaria SEI nº 002, de 25 de outubro de 2018](#).



A autenticidade deste documento pode ser conferida no site <https://sei.ufcg.edu.br/autenticidade>, informando o código verificador **3816152** e o código CRC **18860668**.

Referência: Processo nº 23096.072586/2023-92

SEI nº 3816152

*Dedico este trabalho à minha avó, Maria Ferreira, e
ao meu esposo Khelvin Gleyk.*

Agradecimentos

Agradeço, em primeiro lugar, a Deus pela minha vida e pela dádiva da perseverança, que me proporcionou o discernimento necessário para concluir este trabalho.

Agradeço imensamente à minha avó, Maria Ferreira, pelo apoio incansável e pelo estímulo constante aos meus estudos. Sua dedicação em proporcionar-me a melhor educação foi crucial para alcançar esta vitória.

Ao meu querido esposo, Khelvin Gleyk, expresso minha profunda gratidão. Sua presença constante, apoio inabalável e suporte essencial foram fundamentais em minha jornada.

Ao meu pai, Noé Pereira, por sempre me incentivar e acreditar em mim. E à minha mãe, Maria do Socorro, que infelizmente não está mais entre nós, pelo amor incondicional que me deu. Agradeço também à minha irmã Tássia, com quem compartilho lembranças inestimáveis da infância. À minha irmã Ana Paula e ao meu sobrinho Ilu, agradeço por serem luzes em meus dias e por trazerem alegria e leveza à minha vida durante este período.

Minha gratidão se estende a toda a minha família. Seja pelo carinho, apoio ou incentivo, cada um de vocês desempenhou um papel fundamental na minha jornada. Agradeço especialmente às minhas tias Corrinha e Noelma, cujas influências foram pilares essenciais na minha formação. Agradeço de coração ao meu sogro José Bosco e à minha sogra Luciene, que sempre estiveram ao meu lado, oferecendo apoio incondicional.

Agradeço aos professores Montie e Maurício, por todo o ensinamento, pelas orientações concebidas, pela oportunidade de trabalho e confiança durante todos esses anos. Aos professores, Alexandre Cunha, Cursino Brandão, Marcelo Lobo e Nady Rocha pelas valiosas sugestões e correções apontadas durante a defesa de qualificação.

A todos os meus amigos, que de alguma forma fizeram presentes e contribuirão para minha formação. Agradeço às minhas amigas Michele, Emanuela, Núbia, Paula e Niebla, por todos os momentos compartilhados e conselhos valiosos. Agradeço às minhas amigas Amanda Pereira e Nayara Brandão, por serem não apenas colegas de trabalho, mas também amigas de vida. Aos meus amigos, Djair, Gabriel, Helon, João Paulo, André Queiroz, Rodrigo Pereira e Sydeney, agradeço por nossa amizade duradoura e pelo apoio desde os tempos de graduação. Agradeço a Louelson, por seu apoio, ensinamentos e orientações durante o trabalho. Agradeço à minha amiga Stefânia, por ser exemplo de força e dedicação, e por todo aprendizado. Aos amigos Ailton, André Wild, Jean, Reuben,

Bruna, Ruan, Vinícius, Alan e Filipe Vieira minha gratidão pela amizade e suporte ao longo desses anos de pesquisa. O apoio de todos vocês nos momentos mais desafiadores foi inestimável.

Agradeço à Coordenação de Pós-Graduação em Engenharia Elétrica, pelo suporte dado neste trabalho, e aos técnicos do LEIAM, Wellington e Paulo, que sempre estiveram à disposição. Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) por ter fornecido suporte financeiro para realização desta pesquisa. E a todos os professores e funcionários da Universidade Federal de Campina Grande, pela formação e contribuição na realização deste trabalho.

*"A educação é a arma mais poderosa que você pode usar para mudar o mundo."
Nelson Mandela.*

Resumo

Este trabalho visa propor, caracterizar, analisar e implementar novas topologias trifásicas e multiníveis de conversores fonte de corrente, que podem ser aplicáveis, por exemplo, em sistemas de energias renováveis. Três grupos de conversores que operam de maneira similar às topologias convencionais são propostos apresentando menor número de componentes. O primeiro grupo consiste em topologias assimétricas com barramento compartilhado, conectáveis em paralelo ou série, que retiram do conversor o conjunto de chaves superiores ou inferiores. O segundo grupo aborda as topologias convencionais e assimétricas, porém com redução de diodos em série com as chaves. Essas topologias têm como objetivo reduzir custos e tornar os conversores fonte de corrente mais acessíveis. Além disso, elas são completamente bidirecionais, operando tanto como inversores quanto como retificadores. O terceiro grupo incorpora o conversor de duplo barramento, substituindo metade das chaves por diodos, reduzindo perdas e custos, porém, opera somente como retificador. Todas as topologias, convencionais e propostas, são analisadas em termos de operação e estratégia de modulação vetorial. Resultados de simulações e experimentais demonstram a viabilidade de implementação dessas topologias, e uma análise comparativa com as topologias convencionais quanto à distorção harmônica, perdas nos semicondutores e custos de implementação avalia as vantagens e desvantagens de cada configuração. De maneira geral, os resultados desta pesquisa têm o potencial de impulsionar o avanço e a adoção de conversores fonte de corrente em aplicações de eletrônica de potência.

Palavras-chave: conversores fonte de corrente, conversores multiníveis, conversores trifásicos, reduzido número de dispositivos semicondutores, modulação vetorial espacial.

Abstract

This work aims to propose, characterize, analyze, and implement new three-phase and multilevel topologies of current source converters, which can be applied, for example, in renewable energy systems. Three groups of converters with fewer components are proposed that operate similarly to conventional topologies. The first group consists of asymmetric topologies with a shared DC-link, connectable in parallel or series, which remove the set of upper or lower switches from the converter. The second group covers conventional and asymmetric topologies with fewer diodes in series with the switches. These topologies aim to reduce costs and make current source converters more accessible. In addition, they are completely bidirectional, operating both as inverters and rectifiers. The third group incorporates the double DC-link converter, replacing half the switches with diodes, reducing losses and costs, but operates only as a rectifier. All topologies, conventional and proposed, are analyzed regarding operation and vector modulation strategy. Simulation and experimental results demonstrate the feasibility of implementing these topologies, and a comparative analysis with conventional topologies in terms of harmonic distortion, semiconductor losses, and implementation costs evaluates the advantages and disadvantages of each configuration. Overall, the results of this research have the potential to drive the advancement and adoption of current source converters in power electronics applications.

Keywords: current source converters, multilevel converters, three-phase converters, reduced number of semiconductor devices, space vector modulation.

Lista de ilustrações

Figura 1 – Topologia convencional com os barramentos CC conectados em paralelo para n níveis (MCSC-P).	7
Figura 2 – Topologia convencional com os barramentos CC conectados em série para n níveis (MCSC-S).	8
Figura 3 – Topologia convencional com múltiplos barramento de n níveis (MCSC-DB).	9
Figura 4 – Representação dos conversores fonte de corrente.	19
Figura 5 – Exemplo de caminho de condução da corrente durante o tempo de sobreposição de um CSC trifásico.	21
Figura 6 – Exemplificação do tempo de sobreposição para as chaves superiores h_a e h_b de um CSC.	21
Figura 7 – Topologias MCSCs.	22
Figura 8 – Espaço vetorial.	24
Figura 9 – Espaço vetorial com a sequência de vetores e os vetores redundantes para MCSC.	25
Figura 10 – Representação das tensões de modo comum do MCSC.	27
Figura 11 – Estados de chaveamento do vetor I_z da região 7.	30
Figura 12 – Estados de comutação do vetor I_x da região 8.	32
Figura 13 – Diagramas de controle do sistema.	34
Figura 14 – Topologias AMCSCs.	36
Figura 15 – Espaço vetorial.	38
Figura 16 – Espaço vetorial com a sequência de vetores e seus redundantes para AMCSC.	39
Figura 17 – Estados de comutação do vetor I_x da região 7.	41
Figura 18 – Diagramas de controle do sistema AMCSC.	43
Figura 19 – Topologias Propostas RMCSC e RAMCSC.	45
Figura 20 – MCSR-DB.	48
Figura 21 – Estados de comutação do vetor I_z da região 7 ($v_{a,max}$ e $v_{b,min}$) do MCSC-DB.	51
Figura 22 – Estados de comutação do vetor I_x da região 8 ($v_b \rightarrow v_c$).	53
Figura 23 – RMCSR-DB.	56
Figura 24 – Espaço vetorial com a sequência de vetores e os vetores redundantes para RMCSR-DB.	57
Figura 25 – Composição das correntes médias geradas por cada conversor.	59

Figura 26	– Estados de comutação do vetor I_z da região 7 ($v_{a,max}$ e $v_{b,min}$).	61
Figura 27	– Estratégia de controle dos retificadores fonte de corrente com duplo barramento MCSR-DB e RMCSR-DB.	63
Figura 28	– Equivalente monofásico do filtro LC.	65
Figura 29	– Corrente do retificador no Setor I.	67
Figura 30	– Circuito equivalente por fase na frequência fundamental.	68
Figura 31	– Circuito equivalente por fase na frequência de chaveamento.	69
Figura 32	– Fluxograma do projeto de filtro CA.	72
Figura 33	– Protótipo MCSC de cinco níveis.	83
Figura 34	– Protótipo RMCS de cinco níveis.	83
Figura 35	– Placa de controle.	84
Figura 36	– Detalhes da implementação do controle DSP e conexão FPGA para AMCS.	86
Figura 37	– Detalhes da modulação SVM em FPGA.	87
Figura 38	– Correntes do barramento CC e de saída CA do AMCSI-P.	95
Figura 39	– Correntes do barramento CC e de saída CA do AMCSI-P (Figura 38 ampliada).	95
Figura 40	– Corrente multinível, de saída CA e de barramento CC do AMCSI-P.	96
Figura 41	– Tensões e corrente de entrada e saída do AMCSI-P.	97
Figura 42	– Corrente do barramento CC e correntes de saída CA para resultados experimentais durante um transitório de carga de 33% do AMCSI-P.	98
Figura 43	– Correntes do barramento CC e de saída CA do AMCSI-S.	98
Figura 44	– Correntes do barramento CC e de saída CA do AMCSI-S (Figura 43 ampliada).	99
Figura 45	– Corrente multinível, de saída CA e de barramento CC do AMCSI-S.	99
Figura 46	– Tensões e corrente de entrada e saída do AMCSI-S.	100
Figura 47	– Corrente do barramento CC e correntes de saída CA para resultados experimentais durante um transitório de carga de 33% do AMCSI-S.	101
Figura 48	– Correntes de barramento CC, de saída e multinível nos resultados de simulações para as topologias trifásicas de cinco níveis propostas e convencionais operando como inversor.	102
Figura 49	– Curva de eficiência das topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S.	103
Figura 50	– Correntes do barramento CC e de entrada CA do AMCSR-P.	105
Figura 51	– Corrente multinível, de entrada CA e do barramento CC do AMCSR-P.	106
Figura 52	– Tensões e corrente de entrada e saída do AMCSR-P.	106

Figura 53	–Tensão do barramento CC e correntes de entrada CA para resultados experimentais durante um transitório de carga do AMCSR-P.	107
Figura 54	–Correntes de barramento CC, de saída e multinível nos resultados de simulações para as topologias trifásicas de cinco níveis proposta e convencional operando como retificador.	108
Figura 55	–Curva de eficiência das topologias MCSR-P e AMCSR-P.	109
Figura 56	–Correntes do barramento CC e de saída CA do RMCSI-P.	111
Figura 57	–Corrente multinível, de saída CA e de barramento CC do RMCSI-P. . .	111
Figura 58	–Tensões e correntes de entrada e saída do RMCSI-P.	112
Figura 59	–Correntes do barramento CC e de saída CA do RAMCSI-P.	113
Figura 60	–Corrente multinível, de saída CA e de barramento CC do RAMCSI-P. .	114
Figura 61	–Tensões e correntes de entrada e saída do RAMCSI-P.	114
Figura 62	–Curva de eficiência topologias MCSI-P, RMCSI-P, AMCSI-P e RAMCSI-P.	116
Figura 63	–Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB.	118
Figura 64	–Corrente do primeiro barramento, corrente multinível e de entrada CA do RMCSR-DB.	119
Figura 65	–Tensão CA e correntes CA do RMCSR-DB.	119
Figura 66	–Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB (Caso 1).	121
Figura 67	–Correntes do primeiro barramento, corrente multinível e entrada CA do RMCSR-DB com cargas diferentes (Caso 1).	121
Figura 68	–Tensão CA e correntes CA do RMCSR-DB com cargas diferentes (Caso 1).	122
Figura 69	–Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB (Caso 2).	123
Figura 70	–Correntes do primeiro barramento, corrente multinível e de entrada CA do RMCSR-DB com cargas diferentes (Caso 2).	124
Figura 71	–Tensão CA e correntes CA do RMCSR-DB com cargas diferentes (Caso 2).	124
Figura 72	–Tensões e correntes dos barramentos CC, correntes trifásicas e multinível e tensão de entrada CA nos resultados da simulação para as topologias propostas e convencional com duplo barramento.	125
Figura 73	–Curva de eficiência das topologias MCSR-DB e RAMCSR-DB.	126
Figura 74	–Espaço vetorial do CSC.	142
Figura 75	–Geração do vetor de referência a partir dos três vetores mais próximos.	143
Figura 76	–Destaque do vetor de referência no Setor I	144

Figura 77 –Modelo dinâmico CC-CC equivalente do CSR.	148
Figura 78 –Modelo dinâmico CC-CC equivalente do CSR.	149
Figura 79 –Modelo de pequenos sinais para circuito equivalente CC-CC do 3LCSR.	153
Figura 80 –Diagrama de blocos das malhas de controle do sistema.	155
Figura 81 –Vista frontal (<i>top layer</i>) MCSC.	158
Figura 82 –Vista posterior (<i>bottom layer</i>) MCSC.	158
Figura 83 –PCB layout do MCSC.	159
Figura 84 –Vista frontal (<i>top layer</i>) RMCSC.	161
Figura 85 –Vista posterior (<i>bottom layer</i>) RMCSC.	161
Figura 86 –PCB layout do RMCSC.	162
Figura 87 –Vista frontal (<i>top layer</i>) da placa de controle.	164
Figura 88 –Vista posterior (<i>bottom layer</i>) da placa de controle.	164
Figura 89 –PCB layout da Placa de Controle.	165

Lista de tabelas

Tabela 1	– Principais características dos CSCs e VSCs.	3
Tabela 2	– Principais Vantagens e Desvantagens dos CSCs e VSCs.	6
Tabela 3	– Estados de I até XI para MCSC (I_{fa}, I_{fb}, I_{fc}).	23
Tabela 4	– Estados de I até XI para MCSC ($I_{f\alpha}, I_{f\beta}, I_f $ e θ_f).	24
Tabela 5	– Tensão máxima e mínima por região e setor.	26
Tabela 6	– Estados de I até XI para MCSC ($v_{cm}, I_f $ e θ_f).	28
Tabela 7	– Vetores redundantes de I_z da região 7.	30
Tabela 8	– Vetores redundantes de I_x da região 8.	31
Tabela 9	– Condições de carregamento e descarregamento para o Setor I.	33
Tabela 10	– Estados de I a XI para AMCS.	38
Tabela 11	– Vetores redundantes de I_x da região 7.	40
Tabela 12	– Condições de carregamento e descarregamento para o Setor I.	41
Tabela 13	– Condições de carregamento e descarregamento para o Setor II.	42
Tabela 14	– Estados de I até XI para MCSC-DB (I_{fa}, I_{fb}, I_{fc}).	49
Tabela 15	– Vetores redundantes de I_z da região 7 para MCSC-DB.	50
Tabela 16	– Vetores redundantes de I_x da região 8 ($v_b \rightarrow v_c$).	52
Tabela 17	– Condições de carregamento e descarregamento para o Setor I do MCSR-DB.	54
Tabela 18	– Estados de I até XI para RMCSR-DB (I_{fa}, I_{fb}, I_{fc}).	56
Tabela 19	– Análise do comportamento das correntes médias de cada conversor.	58
Tabela 20	– Vetores redundantes de I_z da região 7 ($v_{a,max}$ e $v_{b,min}$) para RMCSR-DB.	60
Tabela 21	– Vetores redundantes de I_x da região 8 (azul: $v_{b,min}$ e rosa: $v_{c,min}$) para RMCSR-DB.	61
Tabela 22	– Condições de carregamento e descarregamento para o Setor I do RMCSR-DB.	62
Tabela 23	– Corrente do retificador da fase a por setor.	67
Tabela 24	– Parâmetros para o cálculo do filtro	71
Tabela 25	– Valores esperados e obtidos do projeto do filtro CA para o CSR.	74
Tabela 26	– Valores esperados e obtidos do projeto do filtro CA para o MCSR	76
Tabela 27	– Valores esperados e obtidos do projeto do filtro CA para o AMCSR	77
Tabela 28	– Valores de referência para o dimensionamento dos indutores de barramento CC.	79

Tabela 29	– Cálculo dos indutores por conversor.	80
Tabela 30	– Quantidade total de indutores por conversor.	80
Tabela 31	– Demandas de recursos do DSP e FPGA.	92
Tabela 32	– Parâmetros fixos usados para simulação e resultados experimentais . .	94
Tabela 33	– Parâmetros da topologia AMCSI-P.	94
Tabela 34	– Resumo dos Resultados de Simulação e Experimental para a Topologia AMCSI-P.	97
Tabela 35	– Parâmetros da topologia AMCSI-S.	98
Tabela 36	– Resumo dos Resultados de Simulação e Experimental para a Topologia AMCSI-S.	100
Tabela 37	– Parâmetros utilizados nas topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S para análise comparativa.	101
Tabela 38	– Comparação das topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S em termos de THD, perdas nos semicondutores e eficiência para $P_{cc} =$ 720W.	102
Tabela 39	– Número componentes e vetores para as topologias MCSI e AMCSI com barramento em paralelo e em série.	103
Tabela 40	– Distribuição dos custos pelos dispositivos semicondutores, drivers, sen- sores e indutores para as topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S.	104
Tabela 41	– Parâmetros da topologia AMCSR-P.	105
Tabela 42	– Resumo dos Resultados de Simulação e Experimento para a Topologia AMCSR-P.	107
Tabela 43	– Parâmetros utilizados nas topologias MCSR-P e AMCSR-P para análise comparativa.	107
Tabela 44	– Comparação das topologias MCSR-P e AMCSR-P em termos de THD, perdas nos semicondutores e eficiência para $P_{cc} = 666,67W$	108
Tabela 45	– Número componentes e vetores para as topologias MCSR-P e AMCSR-P.	109
Tabela 46	– Distribuição dos custos pelos dispositivos semicondutores, drivers, sen- sores e indutores para as topologias MCSR-P e AMCSR-P.	110
Tabela 47	– Parâmetros da topologia RMCSI-P.	110
Tabela 48	– Resumo dos Parâmetros de Simulação e Experimental para a Topologia RMCSI-P.	112
Tabela 49	– Parâmetros da topologia AMCSI-P.	112
Tabela 50	– Resumo dos Parâmetros de Simulação e Experimental para a Topologia RMCSI-P.	114

Tabela 51	–Parâmetros utilizados nas topologias MCSI-P, RMCSI-P, AMCSI-P e RAMCSI-P para análise comparativa.	115
Tabela 52	–Comparação das topologias convencionais e com redução de diodos em termos de THD, perdas de semicondutores e eficiência para uma potência de entrada de 720 W.	115
Tabela 53	–Distribuição dos custos pelos dispositivos semicondutores, drivers , sensores e indutores.	117
Tabela 54	–Parâmetros da topologia RMCSR-DB.	117
Tabela 55	–Resumo dos Resultados de Simulação e Experimental para a Topologia RMCSR-DB.	119
Tabela 56	–Parâmetros da topologia RMCSR-DB com cargas diferentes (Caso 1). . .	120
Tabela 57	–Resumo dos Resultados de Simulação e Experimento para a Topologia RMCSR-DB para cargas diferentes (Caso 1).	122
Tabela 58	–Parâmetros da topologia RMCSR-DB com cargas diferentes (Caso 2). . .	122
Tabela 59	–Resumo dos Resultados de Simulação e Experimental para a Topologia RMCSR-DB (Caso 2).	124
Tabela 60	–Parâmetros utilizados nas topologias MCSR-DB, RMCSR-DB para análise comparativa.	125
Tabela 61	–Comparação das topologias MCSC e AMCSC em termos de THD, perdas de semicondutores e eficiência para uma potência CA de 860,00 W.	126
Tabela 62	–Número de chaves, diodos, drives, indutores, sensores de corrente e tensão, e vetores para as topologias MCSR-DB e RMCSR-DB.	127
Tabela 63	–Distribuição dos custos pelos dispositivos semicondutores, drivers , sensores e indutores das topologias MCSR-DB e RMCSR-DB.	127
Tabela 64	–Estados do CSC com $I_{f\alpha}$, $I_{f\beta}$, $ I_f $ e θ_f	142

Lista de abreviaturas e siglas

ADC	Conversor Analógico para Digital (<i>Analog-to-Digital Converter</i>)
AMCSC	Conversor Assimétrico Multinível Fonte de Corrente (<i>Asymmetric Multilevel Current Source Converter</i>)
AMCSI	Inversor Assimétrico Multinível Fonte de Corrente (<i>Asymmetric Multilevel Current Source Inverter</i>)
AMCSI-P	Inversor Assimétrico Multinível Fonte de Corrente com Barramento em Paralelo
AMCSI-S	Inversor Assimétrico Multinível Fonte de Corrente com Barramento em Série
AMCSR	Retificador Assimétrico Multinível Fonte de Corrente (<i>Asymmetric Multilevel Current Source Rectifier</i>)
AMCSR-P	Retificador Assimétrico Multinível Fonte de Corrente com Barramento em Paralelo
ANPC	Conversor com Grampeamento Ativo do Neutro (<i>Active Neutral Point Clamped</i>)
B2B	<i>Back-to-back</i>
CA	Corrente Alternada
CC	Corrente Contínua
CHB	Ponte-H em Cascada (<i>Cascade H-Bridge</i>)
CL	Capacitor-Indutor
CSC	Conversor Fonte de Corrente (<i>Current Source Converter</i>)
CSI	Inversor Fonte de Corrente (<i>Current Source Inverter</i>)
CSR	Retificador Fonte de Corrente (<i>Current Source Rectifier</i>)
DSP	Processador Digital de Sinais (<i>Digital Signal Processor</i>)
EMC	Compatibilidade Eletromagnética (<i>Electromagnetic Compatibility</i>)

EV	Véículos Elétricos (<i>Electric Vehicles</i>)
FCC	Conversor com Capacitor Flutuante (<i>Flying Capacitor Clamped</i>)
FPGA	Matriz de Portas Programáveis (<i>Field Programmable Gate Array</i>)
GaN	Nitrato de Gálio (<i>Gallium Nitride</i>)
GPIO	<i>General Purpose Input/Output</i>
HVDC	Corrente Contínua em Alta Tensão (<i>High Voltage Direct Current</i>)
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos (<i>Institute of Electrical and Electronics Engineers</i>)
IGBT	<i>Insulated-Gate Bipolar Transistor</i>
LC	Indutor-Capacitor
LCL	Indutor-Capacitor-Indutor
M-BDS	(<i>Monolithic Bidirectional Switches</i>)
MCSC	Conversor Multinível Fonte de Corrente (<i>Multilvel Current Source Converter</i>)
MCSC-DB	Conversor Multinível Fonte de Corrente com Duplo Barramento
MCSC-P	Conversor Multinível Fonte de Corrente com Barramento em Paralelo
MCSC-S	Conversor Multinível Fonte de Corrente com Barramento em Série
MCSI-P	Inversor Multinível Fonte de Corrente com Barramento em Paralelo
MCSI-S	Retificador Multinível Fonte de Corrente com Barramento em Série
MCSR-DB	Retificador Multinível Fonte de Corrente com Duplo Barramento
MIMO	Sistemas de Múltiplas Entradas e Saídas (<i>Multiple Input Multiple Output</i>)
MISO	<i>Master Input Slave Output</i>
MMC	Conversor Multinível Modular (<i>Modular Multinível Converter</i>)
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MOSI	<i>Master Output Slave Input</i>

MPC	Modelo de Controle Preditivo (<i>Model Predictive Control</i>)
MPPT	Rastreamento do Ponto de Máxima Potência (<i>Maximum Power Point Tracking</i>)
MVSC	Conversor Multinível Fonte de Corrente (<i>Multilevel Voltage Source Converter</i>)
NPC	Conversor com Grampeamento do Neutro (<i>Neutral Point Clamped</i>)
PCB	Placa de Circuito Impresso (Printed Circuit Board)
PFC	Correção do Fator de Potência (<i>Power Factor Correction</i>)
PHEVs	<i>Plugin Hybrid Electric Vehicles</i>
PI	Proporcional-Integral
PLECS	<i>Piecewise Linear Electrical Circuit Simulation</i>
PLL	<i>Phase Locked Loop</i>
PMSG	Gerador Síncrono de Ímã Permanente (<i>Permanent Magnet Synchronous Generator</i>)
PV	Sistema Fotovoltaico (<i>Photovoltaic System</i>)
PWM	Modulação por Largura de Pulso (<i>Pulse Width Modulation</i>)
RAMCSI	Inversor Multinível Fonte de Corrente com Barramento em Paralelo e Redução de Diodos
RAMCSI-P	Inversor Assimétrico Multinível Fonte de Corrente com Barramento em Paralelo e Redução de Diodos
RB-IGBT	<i>Reverse-Blocking IGBT</i>
RMCSC	Conversor Multinível Fonte de Corrente com Redução de Diodos
RMCSC-P	Conversor Multinível Fonte de Corrente com Barramento em Paralelo e Redução de Diodos
RMCSI-P	Inversor Multinível Fonte de Corrente com Barramento em Paralelo e Redução de Diodos
RMCSR-DB	Retificador Multinível Fonte de Corrente com Duplo Barramento e Redução de Chaves

RMS	Valor Médio Quadrático (<i>Root Mean Square</i>)
SCLK	<i>Serial Clock</i>
SiC	Carbeto de Silício (<i>Silicon Carbide</i>)
SPI	<i>Serial Peripheral Interface</i>
SS	<i>Slave Select</i>
SVM	Modulação Vetorial Espacial (<i>Space Vector Modulation</i>)
THD	Distorção Harmônica Total (<i>Total Harmonic Distortion</i>)
VSC	Conversor Fonte de Tensão (<i>Voltage Source Converter</i>)
VSI	Inversor Fonte de Tensão (<i>Voltage Source Inverter</i>)
VSR	Retificador Fonte de Tensão (<i>Voltage Source Rectifier</i>)
WECS	Sistemas de Conversão de Energia Eólica (<i>Wind Energy Conversion Systems</i>)

Lista de símbolos

θ_{ref}	Ângulo da corrente de referência
C_f	Capacitor de filtro CA
$\tilde{i}_{a,ret}$	Corrente da fase a do retificador na frequência de chaveamento
\tilde{i}_a	Corrente da fase a na frequência de chaveamento
i_{n12}	Corrente de barramento CC nos nós negativos dos barramentos 1 e 2
i_{p12}	Corrente de barramento CC nos nós positivos dos barramentos 1 e 2
$I_{f\beta}$	Corrente de filtro no referencial β
$I_{f\alpha}$	Corrente de filtro no referencial α
$I_{f\gamma}$	Corrente de filtro no referencial γ
I_{ref}	Corrente de referência
I_{cc_n}	Corrente do barramento CC, sendo n a célula correspondente
$I_{a,rms}$	Corrente RMS de fase
I_{cc}	Corrente total do barramento CC
$i_{f_{abc}}$	Correntes de filtro
$I_{f_{abc}}$	Correntes de filtro definida pelos estados de chaveamento
i_{abc}	Correntes trifásicas
ϕ	Defasagem da corrente com relação a tensão
d_{xyz}	<i>Duty cycle</i> de cada vetor \vec{I}_{xyz}
η	Eficiência
u, v, w	Escalares que formam as coordenadas baricêntricas
l_{abc_n}	Estado das chaves Inferiores do CSC, sendo n a célula correspondente
$d_{l_{abc}}$	Estados de condução dos diodos do primeiro conversor da topologia RMCSR-DB

$d_{h_{abc}}$	Estados de condução dos diodos do segundo conversor da topologia RMCSR-DB
f_p	Fator de potência
ω_{ca}	Frequência angular da rede
f_1	Frequência CA da fundamental
f_{ch}	Frequência de chaveamento
f_{ress}	Frequência de ressonância
Z_c	Impedância capacitiva
Z_l	Impedância indutiva
m_i	Índice de modulação
L_f	Indutor de filtro CA
L_{cc_n}	Indutor do barramento CC, sendo n a célula correspondente
$L_{n_{12}}$	Indutores de barramento CC nos nós negativos dos barramentos 1 e 2
$L_{p_{12}}$	Indutores de barramento CC nos nós positivos dos barramentos 1 e 2
n	Número de células CSC
m	Número de níveis
$P_{r,loss}$	Perdas do resistor de amortecimento de filtro
P_D	Perdas nos diodos
P_I	Perdas nos IGBTs
P_M	Perdas nos MOSFETs
P_{tot}	Perdas totais
T_1	Período da componente fundamental
T_{ch}	Período de chaveamento
t_{ha}	Período de tempo em que a chave h_a está ativa
t_{hb}	Período de tempo em que a chave h_b está ativa

P_{ca}	Potência do lado CA do conversor
P_{cc}	Potência do lado CC do conversor
P_{3ph}	Potência trifásica
R_{cf}	Resistência de amortecimento do filtro
R_e	Resistência efetiva
\tilde{I}_{a,rms,T_1}	<i>Ripple</i> da corrente da RMS
t_{sp}	Tempo de sobreposição
T_{xyz}	Tempos de condução de cada vetor \vec{I}_{xyz}
$\tilde{v}_{a,ret}$	Tensão da fase a do retificador na frequência de chaveamento
\tilde{v}_a	Tensão da fase a na frequência de chaveamento
v_{mc}	Tensão de modo comum
V_{cc_n}	Tensão do barramento CC, sendo n a célula correspondente
$v_{a,ret,1}$	Tensão do retificador na frequência fundamental
v_{max}	Tensão máxima por região
v_{min}	Tensão mínima por região
v_{n12}	Tensão nos nós negativos dos barramentos 1 e 2
v_{p12}	Tensão nos nós positivos dos barramentos 1 e 2
$V_{L,rms}$	Tensão RMS de linha
V_{cc}	Tensão total do barramento CC
$v_{f_{abc}}$	Tensões de filtro trifásicas
$v_{mc_{abc}}$	Tensões de modo comum de cada fase
v_{abc}	Tensões trifásicas
$\tilde{I}_{a,ret,rms,T_1}$	Valor analítico do <i>ripple</i> da corrente em um período da fundamental
I_m	Valor de pico da corrente
V_L	Valor de pico da tensão de linha

$I_{a,ret,rms,1}$	Valor RMS da amplitude do sinal da corrente do retificador na frequência fundamental
\tilde{m}_i	Variação do índice de modulação
I_k	Vetor correspondente a cada estado de comutação, sendo k o vetor
$I_{k,grd}$	Vetor grande ($\frac{2I_{cc}}{\sqrt{3}}$), sendo k o vetor
$I_{k,med}$	Vetor médio (I_{cc}), sendo k o vetor
$I_{k,null}$	Vetor nulo, sendo k o vetor
$I_{k,peq}$	Vetor pequeno ($\frac{I_{cc}}{\sqrt{3}}$), sendo k o vetor
$\overrightarrow{I_{xyz}}$	Vetores que formam o triângulo onde a corrente de referência se localiza

Sumário

1	Introdução	1
1.1	Revisão bibliográfica	2
1.1.1	Comparação entre os Conversores Fonte de Tensão e os Conversores Fonte de Corrente	3
1.1.2	Conversores Multiníveis Fonte de Corrente	6
1.1.2.1	Conversor Multinível Fonte de Corrente com Barramento Compartilhado em Paralelo	7
1.1.2.2	Conversor Multinível Fonte de Corrente com Barramento Compartilhado em Série	8
1.1.2.3	Conversor Multinível Fonte de Corrente com Barramentos Separados	9
1.1.3	Aplicações	10
1.1.3.1	<i>Smart Grids</i>	10
1.1.3.2	Sistemas de conversão de energia eólica (WECS)	12
1.1.3.3	Sistemas fotovoltaicos (PV)	13
1.1.3.4	Carregadores rápidos de veículos elétricos	13
1.2	Objetivos e Motivação	14
1.3	Contribuições do trabalho	15
1.4	Organização do Trabalho	16
2	Conversores Multiníveis Fonte de Corrente com Barramento Compartilhado	18
2.1	Princípios básicos	18
2.1.1	Tempo de sobreposição	20
2.2	Conversores Multiníveis Fonte de Corrente	21
2.2.1	Conversores Convencionais - MCSCs	22
2.2.1.1	Balanceamento das Correntes CC	25
2.2.1.2	Estratégia de Controle	34
2.2.2	Conversores Assimétricos - AMCSCs	36
2.2.2.1	Balanceamento das Correntes CC	39
2.2.2.2	Estratégia de Controle	42
2.3	Conversores Multiníveis Fonte de Corrente Com Número Reduzido de Diodos	44
2.4	Conclusões	45

3	Conversores Multiníveis Fonte de Corrente com Duplo Barramento .	47
3.1	Conversor Convencional - MCSC-DB	47
3.1.1	Balanceamento das Correntes CC	50
3.2	Retificador com Número Reduzido de Chaves Ativas - RMCSR-DB	55
3.2.1	Balanceamento das correntes CC	60
3.3	Estratégia de Controle	62
3.4	Conclusões	63
4	Análise e Dimensionamento dos Elementos Reativos	64
4.1	Filtro Passa-Baixa CA	65
4.1.1	Projeto do Filtro para CSC	66
4.1.2	Projeto do Filtro para MCSC	74
4.1.3	Projeto do Filtro para AMCSC	76
4.2	Indutor de Barramento CC	78
4.3	Conclusões	80
5	Construção dos Protótipos e Implementação Digital do PWM	82
5.1	Construção dos Protótipos	82
5.2	Implementação Digital do PWM	84
5.2.1	Bloco SPI	87
5.2.2	<i>Look-Up Table</i>	88
5.2.3	Transformação Alfa-Beta	89
5.2.4	Cálculo dos tempos de condução	89
5.2.5	Geração da Triangular	89
5.2.6	Geração dos sinais PWM	90
5.3	Conclusões	90
6	Resultados de Simulações e Experimentais	93
6.1	Conversores Assimétricos Multiníveis Fonte de Corrente com Barramento Compartilhado	94
6.1.1	Inversor	94
6.1.1.1	AMCSI-P	94
6.1.1.2	AMCSI-S	97
6.1.1.3	Análise comparativa	101
6.1.2	Retificador	104
6.1.2.1	AMCSR-P	104
6.1.2.2	Análise comparativa	107
6.2	Com Número Reduzido de Diodos	109

6.2.1	RMCSI-P	110
6.2.2	RAMCSI-P	112
6.2.3	Análise comparativa	115
6.3	Retificador Multinível Fonte de Corrente com Duplo Barramento e Número Reduzido de Chaves Ativas	117
6.3.1	Cargas Iguais	117
6.3.2	Cargas Diferentes	120
6.3.2.1	Caso 1: $R_1 = 3R_2/4$	120
6.3.2.2	Caso 2: $R_1 = R_2/2$	122
6.3.3	Análise comparativa	125
6.4	Conclusões	128
7	Conclusões Gerais	130
7.1	Trabalhos Futuros	131
	Referências	133
	 Apêndices	 140
	APÊNDICE A Modulação Vetorial Espacial nos Conversores Fonte de Corrente	141
	APÊNDICE B Modelagem do Sistema	147
	APÊNDICE C PCB do MCSC	157
	APÊNDICE D PCB do RMCSC	160
	APÊNDICE E PCB da Placa de Controle	163

Introdução

O avanço da tecnologia e a constante preocupação com o meio ambiente faz com que as pesquisas em soluções inteligentes e menos degradantes estejam cada vez mais em evidência. Energias renováveis, veículos elétricos e híbridos, transmissão de energia, acionamentos de motores, redes inteligentes, entre outras aplicações, trazem a necessidade de estudos mais aprofundados e a busca de sistemas mais eficientes. A eletrônica de potência desempenha um papel fundamental na integração desses sistemas, visando a máxima eficiência e qualidade nos processos de conversão e conexão com a rede.

Conversores eletrônicos de potência podem ser classificados com base no tipo de conversão de corrente, que pode ser alternada (CA) ou contínua (CC), e no tipo de elemento reativo presente ou ausente em seu barramento CC.

Os inversores executam a conversão de CC para CA, enquanto os retificadores realizam a conversão de CA para CC. Conversores que incorporam um barramento capacitivo são conhecidos como conversores fonte de tensão (*Voltage Source Converters* - VSCs), e aqueles que possuem um barramento indutivo são chamados conversores fonte de corrente (*Current Source Converter* - CSCs). Os conversores matriciais (*Matrix Converters*) são aqueles que conectam diretamente a fonte à carga sem a necessidade de elementos de armazenamento de energia intermediários.

Os VSCs são mais difundidos e usados do que os CSCs, pois possuem maior densidade de potência, menores perdas de condução e capacidade de proteção dos semicondutores contra sobretensões, mas sofrem com tempo de vida útil dos capacitores. Os CSCs têm sido principalmente mais utilizados em aplicações de alta potência, tais como em sistemas HVDC (*High-Voltage Direct Current*) e em aplicações de alta frequência de chaveamento. Eles possuem menores perdas de chaveamento e proteção natural contra

curto-circuito, estrutura simples, baixo dv/dt no lado CA e alta confiabilidade (ZHANG; LI, 2018; DAI; XU; WU, 2009; VITORINO et al., 2014; ELGENEDY et al., 2014; GUO et al., 2019; RODRIGUEZ; LAI; PENG, 2002).

Devido à grande demanda de potência dos últimos anos, cada vez mais são necessários sistemas que comportem potências mais altas. Dessa forma, os conversores multiníveis tornam-se tendência, pois ao se trabalhar com vários níveis, as formas de ondas das tensões ou correntes chaveadas se aproximam de uma senoide, reduzindo a distorção harmônica total (*Total Harmonic Distortion* - THD) e possibilitando a redução de filtros CA. No entanto, a sua utilização pode ocasionar aumento nos custos, complexidade de controle e implementação da modulação por largura de pulso (*Pulse Width Modulation* - PWM), entre outros problemas (GNANASAMBANDAM et al., 2017).

Os conversores multiníveis fonte de corrente (*Multilevel Current Source Converters* - MCSCs), possuem uma vasta possibilidade de ideias que podem ser exploradas, visto que, a maior parte dos estudos são em relação aos conversores multiníveis fonte de tensão (*Multilevel Voltage Source Converters* - MVSCs). Assim, alguns artigos abordam as topologias clássicas, propondo novas aplicações e/ou controles (COSSUTTA et al., 2015; DING; LI, 2018). Outras pesquisas estudam novas topologias (GNANASAMBANDAM et al., 2017; COSTA et al., 2021; DING; LI; LI, 2021).

Dessa forma, visando obter um sistema eficiente e com redução de custos e complexidade de controle, devido ao número reduzido de componentes a serem controlados, são propostas e investigadas topologias usando os conversores fonte de corrente multiníveis com número reduzido de dispositivos semicondutores (chaves e/ou diodos) e/ou indutores de barramento CC. Apesar da redução de componentes, espera-se obter resultados tão bons quanto os das topologias multiníveis convencionais. Também será foco do trabalho o estudo das técnicas de PWM e estratégias de controle, cálculos dos elementos reativos, comparação entre as topologias e implementação dos testes experimentais com o projeto de placas de circuito impresso (*Printed Circuit Board* - PCB) e implementação da modulação vetorial espacial (*Space Vector Modulation* - SVM) via FPGA (*Field Programmable Gate Array*) e DSP (*Digital Signal Processor*).

1.1 Revisão bibliográfica

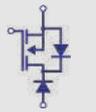
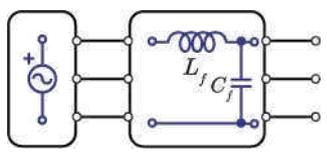
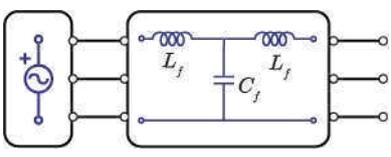
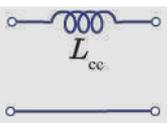
Nesta seção, serão abordados os principais aspectos relacionados aos conversores fonte de corrente, juntamente com as referências bibliográficas associadas. Inicialmente, serão examinadas as diferenças entre os conversores fonte de tensão e os fonte de corrente. Posteriormente, serão discutidas as topologias convencionais dos conversores multiníveis

fonte de corrente, bem como suas aplicações na indústria.

1.1.1 Comparação entre os Conversores Fonte de Tensão e os Conversores Fonte de Corrente

Para ilustrar a dualidade entre os conversores fonte de tensão e os fonte de corrente, a Tabela 1 apresenta as principais características e diferenças entre esses dois tipos. As informações estão organizadas de acordo com o tipo de chave, filtro CA, barramento CC e modo de operação, seja como inversor ou retificador.

Tabela 1 – Principais características dos CSCs e VSCs.

	CSCs	VSCs
Chaves	 IGBT + diodo  MOSFET + diodo  RB-IGBT  IGBT  MOSFET	 IGBT  MOSFET
Filtro CA		
Barramento CC		
Retificador	Abaixador em tensão e elevador em corrente	Elevador em tensão abaixador em corrente
Inversor	Elevador em tensão abaixador em corrente	Abaixador em tensão e elevador em corrente

Nos VSCs, são empregados MOSFETs (*Metal Oxide Semiconductor Field Effect Transistor*) ou IGBTs (*Insulated-Gate Bipolar Transistor*) com um diodo em antiparalelo. O diodo em antiparalelo nos VSCs garante que a chave seja bidirecional em corrente e unidirecional em tensão. A inclusão do diodo em antiparalelo é essencial para garantir um caminho contínuo para a corrente no filtro CA.

Por outro lado, nos CSCs, é adotado um diodo em série com o IGBT ou MOSFET, resultando em uma chave bidirecional em tensão e unidirecional em corrente. Isso assegura que a corrente flua somente em uma direção específica, contribuindo para o comportamento unidirecional característico dos conversores fonte de corrente.

Como a estrutura do IGBT com diodo em série não é intrínseca ao dispositivo, e existem poucas aplicações em que são necessárias, isso torna uma desvantagem nos CSCs, pois ao adicionar um diodo em série ao componente, o tamanho do conversor e as perdas são aumentadas. Porém, com o desenvolvimento de dispositivos de carbeto de silício (*Silicon Carbide* - SiC) e nitrato de gálio (*Gallium Nitride* - GaN) os CSCs podem alcançar alta eficiência (COSTA et al., 2021; WANG; GAO; RUI, 2015). Pesquisas também estão sendo desenvolvidas para chaves bidirecionais, mas especificamente, GaN M-BDS (*Monolithic Bidirectional Switches*) que consiste em uma chave bidirecional de duplo gate com alta tensão de ruptura e permite operação com baixas perdas (FERNÁNDEZ et al., 2017).

A estrutura que combina um IGBT em série com um diodo resulta em um componente conhecido como IGBT com bloqueio reverso (*reverse blocking IGBT* - RB-IGBT), que possibilita uma redução substancial das perdas. No entanto, seu uso é limitado, dado que poucos fabricantes investem nessa tecnologia. (NAITO et al., 2004; CUI et al., 2019).

Os elementos reativos em um conversor de potência são parte essencial da conexão de cargas ou fontes CA e CC. Para a conexão do lado CC do conversor, é utilizado um barramento indutivo para conversores fonte de corrente. Para a conexão da parte CA do conversor, é necessário o uso de um filtro passa-baixa, que permite a passagem de baixas frequências do sinal, atenuando (ou reduzindo) a amplitude das frequências mais significativas que a frequência de corte. Nos CSCs, são utilizados os filtros CL (capacitor-indutor), pois neste caso a modulação é em corrente.

Nos VSCs, a conexão pode ser realizada diretamente com as cargas indutivas ou pode-se adicionar um filtro indutivo para sua conexão do lado CA, o que torna uma vantagem em relação aos CSCs. Porém, geralmente, apenas o filtro indutivo não é suficiente; por ser de primeira ordem, a frequência de chaveamento deve ser consideravelmente alta para que a atenuação do filtro seja suficiente. Assim, costuma-se utilizar o filtro LC (indutor-capacitor) ou LCL (indutor-capacitor-indutor), principalmente o LCL, que é de terceira ordem e produz uma melhor atenuação dos harmônicos, obtendo baixa distorção na corrente e a possibilidade de usar baixa frequência de chaveamento (AHMED; FINNEY; WILLIAMS, 2007). Portanto, o filtro CA acaba ficando ainda mais volumoso nos VSCs.

Outra característica importante ressaltada na Tabela 1 é a capacidade de aumento (*boost*) ou redução (*buck*) de tensão ou corrente. Os retificadores fonte de corrente (*Current Source Rectifiers* - CSRs) exibem características *buck* em relação à tensão e *boost* em relação à corrente. Isso os torna apropriados para aplicações como carregamento de baterias, onde a corrente de saída é maior que a corrente de entrada. Por outro lado, os retificadores fonte de tensão (*Voltage Source Rectifiers* - VSRs) apresentam características *boost* em

tensão e *buck* em corrente.

Os inversores fonte de corrente (*Current Source Inverters* - CSIs) operam em regime de *boost* em relação à tensão e *buck* em relação à corrente. Para aplicações conectadas à rede elétrica, isso elimina a necessidade de um conversor adicional de *boost* para elevar a tensão, como frequentemente ocorre em inversores fonte de tensão (*Voltage Source Inverters* - VSIs), que atuam em *buck* em relação à tensão e *boost* em relação à corrente.

Existem trabalhos dedicados apenas à comparação dos conversores VSCs e CSCs (KANG et al., 2015; SUH; STEINKE; STEIMER, 2005; CUZNER; DREWS; VENKATARAMANAN, 2012), a exemplo de Azmi et al. (2011), que faz uma análise comparativa entre o VSC e CSC para aplicações conectadas à rede. Neste caso, fica claro que as perdas por condução do CSC são maiores que as do VSC, já as perdas por chaveamento do VSC são mais elevadas que a do CSC e cresce de acordo com a frequência. Por fim, é mostrado que as perdas totais do CSC são maiores que o do VSC para frequência de chaveamento de até 10 kHz, já para valores acima dessa frequência, as perdas totais do VSC são maiores.

Em Monteiro et al. (2015b), é apresentada uma comparação entre os CSCs e os VSCs para carregador de bateria de veículo elétrico. Para este tipo de aplicação, utiliza-se normalmente o retificador fonte de tensão (*Voltage Source Rectifier* - VSR) com um conversor CC-CC *buck* para o carregamento da bateria. Como o retificador fonte de corrente já é do tipo *buck* em tensão, não é necessário o conversor adicional CC-CC. Desta forma os autores fazem a comparação entre estes dois tipos em termos da THD e eficiência dos conversores. Em termos da THD da corrente da rede, o CSC possui THD mais baixo para potências abaixo de 15 kW e, em relação à eficiência, ficou comprovado que o CSC tem um melhor rendimento comparado com o VSC para diferentes faixas de operação. Sendo assim, os CSCs possuem um melhor desempenho, em relação às perdas em altas potências e altas frequências de chaveamento, enquanto que os VSCs são preferíveis para aplicações de baixa potência e baixa frequência de chaveamento.

Em resumo, a Tabela 2, apresenta uma comparação detalhada entre os CSCs e os VSCs, destacando suas diferenças em termos de proteção, vida útil de componentes, perdas e desempenho sob diferentes condições.

Nos CSCs, há uma proteção natural contra curto-circuito, devido à limitação do crescimento abrupto da corrente por meio do indutor. Já nos VSCs, essa proteção natural é direcionada contra sobretensões, simplificando o *layout* dos circuitos de comutação. Nos CSCs, é necessário posicionar os capacitores CA o mais próximo possível das chaves para evitar indutâncias parasitas maiores entre as chaves e os capacitores, a fim de evitar picos de tensão que possam prejudicar os componentes.

Tabela 2 – Principais Vantagens e Desvantagens dos CSCs e VSCs.

CSCs	VSCs
Proteção natural contra curto-circuito	Proteção natural contra sobretensões
Maior vida útil dos indutores em relação aos capacitores	Maior densidade de potência
Menores perdas por chaveamento e Maiores perdas por condução	Menores perdas por condução e Maiores perdas por chaveamento
Melhor desempenho às perdas em alta potência e altas frequência de chaveamento	Melhor desempenho às perdas em baixa\média potência e baixas frequências de chaveamento

A vida útil dos indutores é geralmente maior do que a dos capacitores, conferindo aos CSCs uma maior confiabilidade. No entanto, os capacitores têm uma densidade de potência maior em comparação com os indutores, o que significa que eles podem ter um tamanho físico menor para a mesma potência e frequência de operação.

As perdas nos CSCs por chaveamento são menores, mas as perdas por condução são maiores. Nos VSCs, ocorre o inverso. Em cenários de alta potência e frequências de chaveamento elevadas, os CSCs apresentam um melhor desempenho. Por outro lado, os VSCs têm um desempenho superior em situações de baixa a média potência e frequências de chaveamento mais baixas (LI, 2021; COSTA et al., 2020).

1.1.2 Conversores Multiníveis Fonte de Corrente

Conversores multiníveis têm se destacado na eletrônica de potência em aplicações em alta potência, assim como em aplicações que demandam uma alta qualidade na forma de onda da corrente. Eles podem ser classificados como conversores multiníveis fonte de tensão (*Multilevel Voltage Source Converters* - MVSCs) e conversores multiníveis fonte de corrente (*Multilevel Current Source Converters* - MCSCs).

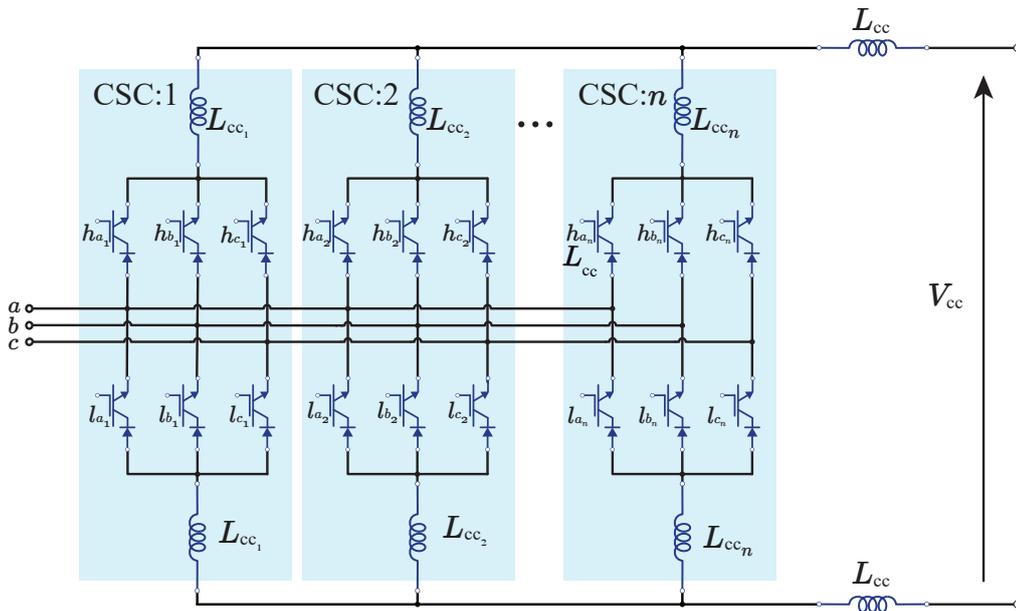
Os MCSCs começaram a ser desenvolvidos no final dos anos 1970, com o pioneiro trabalho de Nabae, Shimamura e Kurosawa (1977). Desde então, diversos estudos e artigos têm explorado as características e aplicações desses conversores (WU; DEWAN; SEN, 1988; ANTUNES; BRAGA; BARBI, 1999). Baseado no princípio da dualidade entre os VSCs e os CSCs, muitos conversores fonte de corrente vêm surgindo a partir dos já desenvolvidos fonte de tensão, como exemplificado em trabalhos como Ding, Li e Li (2021), Li et al. (2019), Costa et al. (2021).

Serão discutidas nas próximas seções as topologias convencionais MCSCs, das quais serão derivadas as topologias propostas desta tese. Mais detalhes dessas topologias podem ser encontradas em Gnanasambandam et al. (2017), Perez et al. (2015), Nami et al. (2015), Suroso e Noguchi (2010), Gao et al. (2009), Kwak e Toliyat (2006) e Xiong et al. (2004).

1.1.2.1 Conversor Multinível Fonte de Corrente com Barramento Compartilhado em Paralelo

A topologia MCSC com barramento compartilhado em paralelo (MCSC-P) recebe essa denominação porque a corrente CC é distribuída igualmente entre os indutores. A topologia MCSC-P é considerada o dual do conversor NPC (*Neutral Point Clamped*) e estrutura-se conectando n conversores trifásicos de três níveis (células) em paralelo, resultando em uma topologia multinível. À medida que mais células são adicionadas em paralelo (n), aumenta a quantidade de níveis gerados, como pode-se ver na Figura 1.

Figura 1 – Topologia convencional com os barramentos CC conectados em paralelo para n níveis (MCSC-P).



Fonte: Elaboração própria.

A corrente dos indutores ($L_{cc_1}, L_{cc_2}, \dots, L_{cc_n}$) irá produzir a forma de onda multinível da corrente, resultando em $m = 2n + 1$ níveis, sendo m o número de níveis. Assim, um único CSC ($n = 1$) gera a forma de onda de três níveis, dois CSCs ($n = 2$) gera uma forma de onda de cinco níveis, e assim por diante. No entanto, com o aumento do número de níveis, o número de chaves, vetores, devido à vasta quantidade de possibilidades de chaveamento, e complexidade do conversor pelo número de elementos é aumentado. A

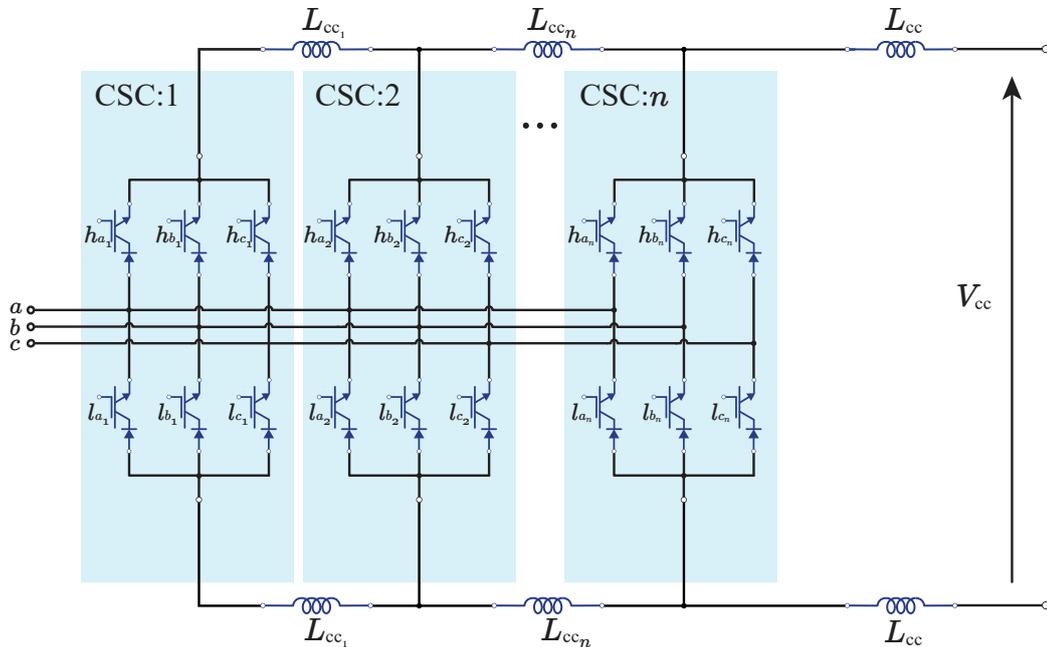
topologia MCSC-P apresenta $6 + 3(m - 3)$ chaves e $m - 1$ indutores de barramento CC acoplados.

Técnicas de modulação vêm sendo estudadas de maneira a balancear as correntes, visto que essa é uma das maiores dificuldades dessa configuração (RIES; HELDWEIN, 2015; CHANDORKAR; DIVAN; LASSETER, 1995; RIES, 2018; BAI et al., 2013).

1.1.2.2 Conversor Multinível Fonte de Corrente com Barramento Compartilhado em Série

A topologia MCSC com barramento compartilhado em série (MCSC-S) recebe essa designação porque a corrente contínua é distribuída de maneira distinta entre os indutores, e os barramentos CC são interligados em série. A topologia MCSC-S é considerada o dual do conversor com capacitor flutuante (*Flying Capacitor Clamped* - FCC) e é construída conectando n conversores trifásicos de três níveis (células) em série, resultando em uma topologia multinível. A versão trifásica dessa topologia foi desenvolvida em Xujiao, Zhengming e Hainan (2001), como ilustrado na Figura 2.

Figura 2 – Topologia convencional com os barramentos CC conectados em série para n níveis (MCSC-S).



Fonte: Elaboração própria.

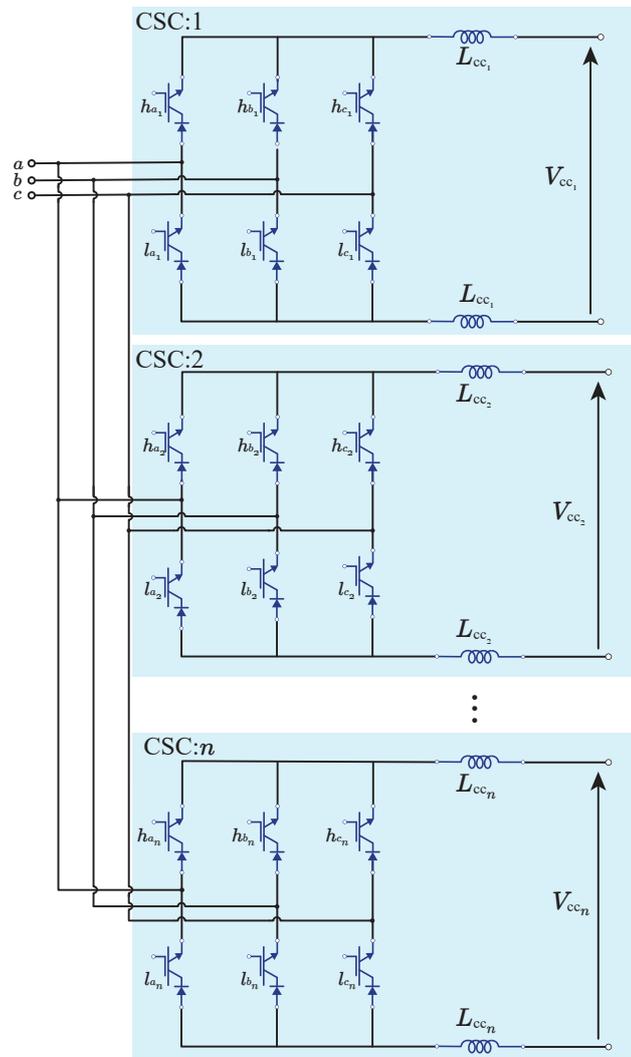
Assim como no MCSC-P, o balanceamento da corrente nos indutores é um dos principais desafios nessa configuração. Para resolver esse problema, técnicas de modulação PWM são empregadas, e as mesmas abordagens podem ser aplicadas ao MCSC-S. Dado que o MCSC-S é o dual do conversor FCC, uma estratégia comum de balanceamento de corrente por meio de deslocamento de fase de portadora foi explorada e validada em Bai,

Zhang e Zhang (2007). Em outra abordagem, Bao et al. (2009) propõe um controle em malha fechada, utilizando estados de chaveamento redundantes para equilibrar as correntes no indutor.

1.1.2.3 Conversor Multinível Fonte de Corrente com Barramentos Separados

A topologia MCSC também é utilizada com os barramentos separados e é o dual do conversor multinível de fonte de tensão ponte-H em cascata (*Cascade H-Bridge - CHB*) MVSC e conecta n conversores trifásicos de três níveis (células) em paralelo para formar a topologia multinível. A Figura 3 ilustra a configuração para n níveis. A configuração de cinco níveis é composta por duplo barramento (MCSC-DB).

Figura 3 – Topologia convencional com múltiplos barramento de n níveis (MCSC-DB).



Fonte: Elaboração própria.

1.1.3 Aplicações

Os conversores fonte de corrente têm ganhado destaque em diversas aplicações, tais como redes inteligentes de energia (*smart grid*), sistemas fotovoltaicos e eólicos, transmissão HVDC, carregadores rápidos de bateria, entre outros. Nas próximas seções, serão apresentadas revisões bibliográficas sobre alguns desses tipos de aplicações.

1.1.3.1 *Smart Grids*

A rede inteligente de energia, ou *Smart Grid*, está surgindo como a interseção entre tecnologia da informação, tecnologia de comunicação e sistemas de energia (FARHANGI, 2010). Aquela energia tradicionalmente gerada, transmitida e distribuída a partir de instalações das concessionárias poderá, também, ser gerada e integrada às redes elétricas a partir de unidades consumidoras. Dessa forma, o usuário se tornará produtor e consumidor ao mesmo tempo, produzindo e fornecendo energia à rede.

Uma alternativa para reduzir o número de baterias nesses sistemas é através da conexão bidirecional da rede de distribuição CC e da rede de distribuição da rede elétrica CA. Visto que o conversor CA-CC bidirecional será capaz tanto de receber energia do lado CA, quando a potência for menor que consumo, como fornecer energia para a rede elétrica CA, em caso de geração excessiva. Assim, os usuários poderão conectar as pequenas fontes de geração, como placas fotovoltaicas e turbinas eólicas, à rede elétrica. Essa conexão bidirecional é realizada por conversores trifásicos CA/CC, que são responsáveis por controlar a direção do fluxo de potência, fazer compensação de potência reativa e regular a tensão no barramento CC, mantendo uma operação de correção do fator de potência (*Power Factor Correction* - PFC) no lado CA (RIES, 2018).

A conexão de diversos elementos ao *Smart Grid* necessita de múltiplas operações retificadoras e inversoras a depender de qual elemento está conectado. Por isso, nos casos de armazenamento de energia, são necessários conversores bidirecionais, enquanto que para alimentação de cargas CA/CC e para a conexão de micro geração à rede, conversores unidirecionais são suficientes.

Utilizar os CSCs neste tipo de aplicação é vantajoso devido ao fato de que, no sentido CA-CC (retificador), o conversor é naturalmente do tipo *buck* em tensão e no sentido CC-CA (inversor), ele é do tipo *boost* em tensão. No caso em que a demanda de energia da rede CC pode ser fornecida por geradores CC locais, como fontes de energias renováveis e/ou pela rede pública CA trifásica, o conversor CSC oferece a opção de realimentar a energia da rede em caso de baixo consumo de energia local, como por exemplo em Vancu et al. (2012), segundo o qual, para gerar um barramento local de 400V CC conectado bidirecionalmente à rede trifásica de baixa tensão europeia com 400V de tensão de linha,

são necessárias topologias de conversor do tipo *buck*. No entanto, ao se utilizar CSCs em aplicações bidirecionais, é necessário tornar o conversor bidirecional, devido ao fato das chaves serem unidirecionais em corrente.

Dessa forma, Vancu et al. (2012) realiza uma análise comparativa de sistemas conversores PFC bidirecional do tipo *buck* para interfaceamento de sistemas de distribuição CC residenciais à rede inteligente. Os retificadores bidirecionais são baseados nos retificadores unidirecionais apresentados em Kolar e Friedli (2011). Assim, Vancu et al. (2012) apresenta uma maneira simples de converter uma topologia convencional unidirecional do tipo *buck* em um sistema bidirecional usando um circuito inversor de barramento CC para alterar a polaridade da tensão do barramento. Neste caso, para a realimentação da energia na rede, a polaridade da tensão do lado CC pode ser invertida ao acionar as chaves. Além da topologia apresentada, para termos de comparação, também é utilizado a combinação de conversor antiparalelo CSC, onde o fluxo de potência reverso é garantido, permitindo um fluxo de corrente de volta para a rede elétrica.

Já em Ries et al. (2017), são analisados três diferentes padrões de modulação aplicados a um conversor trifásico de cinco níveis MCSC-P com inversor de polaridade do barramento CC, de alta potência e com correção de fator de potência, atuando entre os sistemas de distribuição CC e a rede CA. A modulação é analisada utilizando o controle vetorial da corrente para obter um melhor desempenho. Em Ries e Heldwein (2015), Cossutta et al. (2018a) são propostos sistemas de controle para balanceamento da corrente CC para conversores multiníveis fonte de corrente conectados em paralelo.

Tanto em Vancu et al. (2012), quanto em Ries et al. (2017), o estudo é baseado em sistemas de distribuição CC, que possui alta eficiência e baixos custos, devido a redução de elementos de conversão de potência. Em sistemas como os fotovoltaicos, podem ser conectados com um conversor CC/CC de baixa complexidade em comparação com o conversor CC/CA. Além disso, cargas podem ser conectadas diretamente no barramento CC, em que os únicos inversores usados são os sistemas que se conectam com a rede. Em complemento, nesses sistemas de distribuição CC, CSCs são alternativas interessantes devido à capacidade inerente de proteção contra curto-circuito.

Resumidamente, no contexto da *Smart Grid*, os CSCs têm a vantagem de operar como conversores *buck* para a conversão CA-CC e *boost* para a conversão CC-CA. Além disso, eles apresentam proteção natural contra curto-circuito, maior densidade de potência para aplicações em alta frequência e uma eficiência superior. No entanto, sua operação unidirecional se torna uma desvantagem em casos que requerem uma operação bidirecional. Nessas situações, é necessário o uso de um inversor para inverter a polaridade do barramento CC.

1.1.3.2 Sistemas de conversão de energia eólica (WECS)

Para os sistemas de conversão de energia eólica (*Wind Energy Conversion Systems* - WECS), a topologia mais utilizada para a conexão do gerador eólico à rede elétrica é o conversor *back-to-back* (B2B) fonte de tensão VSC de dois níveis. Esta topologia possui controle de potência ativa e reativa dos dois lados e baixa taxa de distorção harmônica THD. Porém, possui alto risco de curto-circuito, tem altas perdas de potência por chaveamento, menor confiabilidade e é utilizado desde kW até 3MW (FREITAS; MENEGÁZ; SIMONETTI, 2016). Também é necessário, em alguns casos, o uso de transformadores para elevar a tensão ao conectar à rede, ou conversor CC-CC *boost*.

Os CSCs são utilizados também em WECS para aplicações de alta potência, com o uso do conversor *back-to-back* (B2B) fonte de corrente CSC (DAI; XU; WU, 2009; ZHANG et al., 2016; BAO; BAO; LI, 2014).

Na conexão do lado do gerador, os VSCs são mais frequentemente empregados devido à natureza indutiva das máquinas, permitindo que sejam conectados diretamente, dispensando o uso de um filtro CA. Por outro lado, ao se conectar à rede, os CSCs se mostram uma opção mais adequada em comparação aos VSCs. Isso se deve à necessidade de um filtro LCL e à complexidade adicional de implementar o controle do barramento CC para a conexão do VSI à rede, uma vez que demanda o uso do controle indireto das correntes. No caso do CSI, o controle é direto e apenas um filtro CL é necessário.

Artigos como Freitas, Menegáz e Simonetti (2016) e Yaramasu et al. (2017) fazem a comparação sobre os conversores de potência mais utilizados para a conexão do gerador (*Permanent Magnet Synchronous Generator* - PMSG) à rede. As topologias mais abordadas são os VSCs com retificador não controlado e controlado, porém utilizado para baixa potência. Para potências maiores, a capacidade de corrente pode ser aumentada utilizando conversores trifásicos de dois níveis conectados em paralelo, esta configuração oferece uma alta eficiência energética e redundância. Para potências em torno de MW, geralmente são utilizados os NPCs. Os autores citam os MMCs (*Modular Multinível Converter*) como sendo promissores para aplicações com PMSG devido ao seu baixo tamanho, estrutura modular e alta eficiência. Além desses, também citam-se os CSCs como uma tecnologia promissora, pois tem sua topologia simples, baixo número de chaves e uma confiável proteção contra curto-circuitos, comparado aos VSCs.

Em Wei e Wu (2015) é feita uma análise e comparação dos CSCs para média tensão em PMSG aplicado aos sistemas de conversão de energia eólica. Neste artigo, três tipos de configurações CSC para PMSG são investigadas, analisadas e comparadas, em termo de custo, faixa de operação, THD da corrente do lado do gerador, rastreamento do ponto de máxima potência (*Maximum Power Point Tracking* - MPPT), performance dinâmica

e número de grau de liberdade de controle. As configurações abordadas são: retificador de diodo conectado ao CSI, o retificador de diodo com o conversor CC/CC *buck* e CSI, e o B2B CSC. A configuração B2B CSC é considerada a mais promissora topologia para PMSG baseada em WECS.

1.1.3.3 Sistemas fotovoltaicos (PV)

Em Dash e Kazerani (2011), é proposto um sistema fotovoltaico (*Photovoltaic System - PV*) conectado à rede baseado em uma topologia MCSC-DB. A topologia aqui proposta consiste em módulos CSI conectados em paralelo operando em uma frequência de chaveamento muito baixa. Na topologia do inversor multinível, cada módulo do inversor possui sua própria fonte fotovoltaica, unidade de rastreamento de ponto de potência máximo MPPT e controlador de corrente do barramento CC. Para demonstrar o desempenho do inversor multinível baseado em CSI, duas unidades inversoras são consideradas neste estudo.

No entanto, em PV as fontes produzem correntes CC diferentes, devido à variação de sombra e insolação. Dessa forma, as correntes CA terão harmônicos de baixa ordem, o que interfere na qualidade da corrente. Para resolver esse problema, um controle em malha fechada com estratégia de modulação vetorial é proposto em Vekhande, Kothari e Fernandes (2015). Já em Dash e Kazerani (2012) é proposta uma estrutura de controle modificada, implementada para eliminar os harmônicos de baixa ordem.

1.1.3.4 Carregadores rápidos de veículos elétricos

Outra aplicação adequada do CSC é nas estações de recarga rápida usadas para reduzir o tempo de carregamento de veículos elétricos (*Electric Vehicles - EVs*) e veículos elétricos híbridos (*Plug-in Hybrid Electric Vehicles - PHEVs*). As estações de carregamento rápido precisam retificar a tensão da rede CA para tensão CC, mantendo o alto fator de potência com baixa distorção harmônica (THD) no lado da rede. Os carregadores de bateria devem manter a tensão CC controlada de acordo com os níveis exigidos pela bateria (RIES, 2018).

É evidente o crescente interesse na transição da mobilidade movida a diesel para a elétrica, sobretudo devido à notável eficiência que os veículos elétricos oferecem em comparação com os veículos a diesel. No entanto, essa mudança enfrenta desafios significativos, uma vez que os veículos elétricos só se tornarão uma presença mais marcante no mercado quando alcançarem competitividade em termos de custos. Além disso, a questão do tempo necessário para realizar o carregamento das baterias dos veículos elétricos é uma das principais preocupações a serem abordadas. Esse processo de carregamento exige a

conversão da tensão CA da rede elétrica para a tensão CC para alimentar as baterias (RAJASHEKARA, 2013; MONTEIRO et al., 2015a; LIU et al., 2013).

Os principais conversores de potência são baseados, por exemplo, nos conversores SWISS, VIENNA e no NPC. Apesar da complexidade dos conversores de potência, eles são os mais indicados para carregadores rápidos de bateria, uma vez que é possível regular a tensão do barramento CC e minimizar o conteúdo harmônico da corrente da rede. Os conversores de potência ativos acima mencionados são VSRs que são tipo *boost*. Portanto, é necessário usar um conversor CC/CC do tipo *buck* para ajustar a tensão do barramento CC para um nível apropriado para carregar as baterias do EV. No entanto, usando um único CSC entre a rede elétrica e as baterias, é possível evitar o uso do conversor CC/CC devido à capacidade do CSC de operar como conversor *buck*. Além disso, o CSC opera como retificador ativo permitindo corrente senoidal e fator de potência unitário no lado CA.

Assim, Monteiro et al. (2015a) apresenta um estudo sobre um CSC trifásico de três níveis aplicado a carregadores rápidos de bateria de VE. Além disso, Monteiro et al. (2015b) realiza uma comparação entre os CSCs e os VSCs para carregadores de bateria de veículos elétricos. No que diz respeito à distorção harmônica total (THD) da corrente à rede elétrica, verificou-se que o CSC possui um THD mais baixo para potências de até 15 kW. Em termos de eficiência, ficou evidente que o CSC apresenta um melhor rendimento em comparação com o VSC para diversas faixas de operação.

1.2 Objetivos e Motivação

Tendo em vista a crescente busca pela geração de energia por meio de fontes renováveis e o aumento significativo nos últimos anos dos investimentos em eletrônica de potência, este trabalho tem como motivação contribuir no desenvolvimento de tecnologias para a conversão de energia com o uso de conversores multiníveis fonte de corrente. Além de contribuir para os estudos dos conversores fonte de corrente que ainda estão em desvantagem em relação aos fonte de tensão, apresentando soluções alternativas e aumentando a abrangência e a discussão sobre o tema.

Os objetivos principais desta tese incluem a exploração, caracterização, análise e proposição de topologias multiníveis fonte de corrente com redução de componentes, por meio da substituição ou eliminação de elementos do circuito.

Como objetivos específicos o trabalho propõe:

- Proporcionar soluções alternativas para conversores multiníveis fonte de corrente

CC-CA e CA-CC;

- Propor, caracterizar e analisar topologias com capacidade equivalente às existentes, porém com redução de componentes como chaves, *drivers*, diodos, indutores e sensores;
- Desenvolver estratégias de modulação específicas para cada caso, assegurando o correto balanceamento das correntes e a qualidade das formas de onda;
- Apresentar uma metodologia de dimensionamento dos elementos reativos, como filtros CA e barramentos CC;
- Utilizando simulações computacionais, avaliar e demonstrar o funcionamento e desempenho das topologias propostas. Isso envolverá análise gráfica, avaliação da distorção harmônica e estimativas de perdas nos semicondutores. As alternativas propostas serão comparadas com topologias convencionais documentadas na literatura;
- Construir protótipos para validar os resultados por meio de experimentos. Desenvolver técnicas de modulação PWM específicas para cada topologia via FPGA e estabelecer comunicação com o DSP para o controle dos conversores;
- Por fim, por meio de experimentos laboratoriais, confirmar os resultados de simulação e demonstrar a viabilidade das topologias propostas através de testes práticos.

1.3 Contribuições do trabalho

A pesquisa desenvolvida tem como principal contribuição o avanço nos estudos de conversores fonte de corrente trifásicos e multiníveis, de forma a mostrar a viabilidade de execução, assim como vantagens e desvantagens.

Com o objetivo de diminuir custos e simplificar o sistema através da redução do número de componentes e, por conseguinte, das opções de chaveamento, visando simplificar tanto a implementação da modulação PWM quanto a construção das topologias, são propostas configurações multiníveis baseadas nas topologias convencionais apresentadas na seção 1.1.2.

Dessa forma, as topologias propostas podem ser divididas em três grupos:

- **Grupo 1:** Topologias assimétricas com redução de chaves e indutores através da remoção de três chaves/*drivers* (com diodos em série). Possuem a conexão compartilhada em paralelo do barramento CC, sendo denominadas de assimétricas

MCSC-P ou AMCSC-P, ou então com a conexão em série do barramento CC, denominadas assimétricas MCSC-S ou AMCSC-S;

- **Grupo 2:** Topologias com redução do número de diodos em série com as chaves nas configurações convencionais e assimétricas. São identificadas como reduzido MCSC ou RMCSC, e reduzido AMCSC ou RAMCSC.
- **Grupo 3:** Topologia que substitui chaves por diodos na configuração de duplo barramento, operando exclusivamente como retificador. Recebe o nome de reduzido MCSR-DB ou RMCSR-DB.

Vale destacar que as topologias propostas no primeiro e segundo grupos são completamente bidirecionais, funcionando tanto como inversor (AMCSI ou RMCSI) quanto como retificador (AMCSR ou RMCSR), essas topologias são detalhadas no Capítulo 2. Por outro lado, a topologia proposta no terceiro grupo opera exclusivamente como retificador devido ao modo de condução dos diodos. Como resultado, essa topologia será referida apenas como RMCSR-DB, sua operação é detalhada no Capítulo 3.

Como resultado dos trabalhos desenvolvidos, até então, foram publicados os artigos "Three-phase Multilevel Asymmetric Current Source Converter" da topologia proposta AMCSC-P (SANTOS et al., 2019), no congresso internacional do IEEE, ECCE (Energy Conversion Congress & Expo); e o artigo "Three-phase Multilevel Current Source Converter with a Reduced Number of Diodes" da topologia RMSC-P, também ECCE, que está para ser apresentado final de outubro de 2023.

1.4 Organização do Trabalho

O trabalho consiste em sete capítulos, organizados da seguinte maneira:

Capítulo 2: aborda a teoria dos conversores fonte de corrente com barramento compartilhado. São apresentados os princípios básicos, a operação, a modulação vetorial espacial e as estratégias de balanceamento e controle para as topologias convencionais e assimétricas. Além disso, nesse capítulo são discutidos os conversores multiníveis com redução de diodos;

Capítulo 3: aborda a teoria dos conversores fonte de corrente com duplo barramento. São apresentados os princípios básicos, a operação, a modulação vetorial espacial e as estratégias de balanceamento e controle para a topologia convencional e proposta, operando como retificador.

Capítulo 4: detalha o processo de dimensionamento dos elementos reativos do sistema, que são os filtros CA e o indutor de barramento CC.

Capítulo 5: apresenta o procedimento para a construção dos protótipos e implementação digital do PWM via DSP e FPGA;

Capítulo 6: apresenta os resultados de simulações e experimentais das topologias propostas, além de uma análise comparativa que abrange tópicos como THD, perdas nos semicondutores, número de componentes e custos de cada conversor;

Capítulo 7: resume as principais contribuições e conclusões do trabalho, e são apresentadas as propostas de trabalhos futuros.

Apêndices: apresenta o detalhamento da modulação vetorial espacial, a modelagem do sistema, e as vistas tridimensionais, bem como os *layouts* das placas construídas para a obtenção dos resultados experimentais.

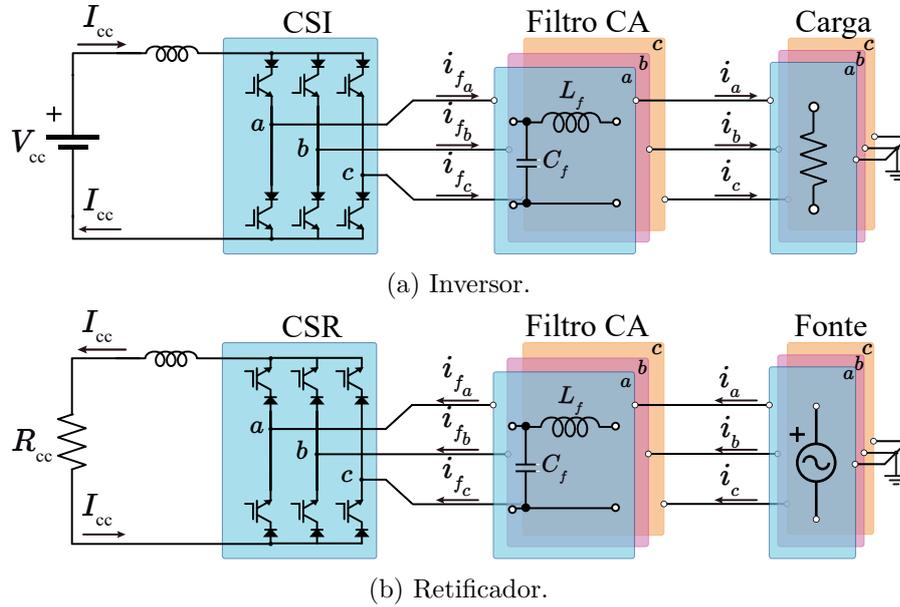
Conversores Multiníveis Fonte de Corrente com Barramento Compartilhado

Neste capítulo, serão explorados os princípios fundamentais que englobam os conversores fonte de corrente. Em seguida, serão analisados os conversores multiníveis fonte de corrente com barramento compartilhado, abrangendo tanto as configurações convencionais quanto as assimétricas. Serão detalhados os aspectos da modulação PWM, estratégias de controle e os métodos empregados para o balanceamento da corrente no barramento CC. Por fim, será realizado um exame dos conversores que incorporam a redução de diodos, discutindo suas vantagens e limitações.

2.1 Princípios básicos

Os elementos que constituem os conversores fonte de corrente são: o barramento indutivo que acumula energia e fornece uma conexão elétrica entre o conversor e a fonte ou carga; o filtro CA responsável por filtrar os ruídos de alta frequência na entrada/saída do sistema; e as chaves de potência que controlam a direção da corrente elétrica e são responsáveis pela conversão de energia CC-CA ou CA-CC. Esses elementos estão representados na Figura 4 e apresentados na configuração dos CSCs como inversor (Figura 4a) e como retificador (Figura 4b), sendo I_{cc} a corrente do barramento, V_{cc} a tensão do barramento CC, R_{cc} a resistência do barramento CC, i_{fabc} as correntes chaveadas de entrada/saída do filtro CA, i_{abc} as correntes trifásicas, L_f indutor de filtro CA e C_f capacitor de filtro CA.

Figura 4 – Representação dos conversores fonte de corrente.



Fonte: Elaboração própria.

Em um sistema trifásico de tensões equilibradas, as correntes são definidas como:

$$i_a = I_m \sin(\omega t - \phi), \quad (2.1)$$

$$i_b = I_m \sin(\omega t - 2\pi/3 - \phi), \quad (2.2)$$

$$i_c = I_m \sin(\omega t + 2\pi/3 - \phi), \quad (2.3)$$

onde, ω é a frequência angular da rede; ϕ defasagem da corrente com relação a tensão; e I_m o valor de pico da corrente.

A amplitude da componente fundamental (I_m) é igual ao produto entre o índice de modulação (m_i) e a corrente do barramento CC (I_{cc}), como mostra:

$$I_m = m_i I_{cc}, \text{ para } 0 < m_i \leq 1. \quad (2.4)$$

Sabendo que a potência de entrada deve ser igual a potência de saída, desconsiderando as perdas, tem-se que:

$$P_{cc} = P_{ca}, \quad (2.5)$$

$$V_{cc} I_{cc} = \sqrt{3} V_{L,RMS} I_{a,RMS}, \quad (2.6)$$

onde, P_{cc} é a potência do lado CC do conversor, P_{ca} a potência do lado CA do conversor, $V_{L,RMS}$ a tensão de linha RMS (*Root Mean Square*) e $I_{a,RMS}$ a corrente RMS de fase.

Substituindo a Equação (2.4) em (2.6), a expressão da tensão CC (V_{cc}) em função do índice de modulação (m_i) e do valor de pico da tensão de linha (V_L) é dada por:

$$V_{cc} = \sqrt{3} \frac{V_L m_i I_{cc}}{\sqrt{2} \sqrt{2} I_{cc}}, \quad (2.7)$$

$$V_{cc} = \frac{\sqrt{3}}{2} m_i V_L. \quad (2.8)$$

Com as análises efetuadas, verifica-se que os inversores fonte de corrente possuem o efeito *boost* em tensão ($V_L > V_{cc}$) e *buck* em corrente ($I_m < I_{cc}$), já os retificadores fonte de corrente possuem o efeito *buck* em tensão ($V_{cc} < V_L$) e *boost* em corrente ($I_{cc} > I_m$).

2.1.1 Tempo de sobreposição

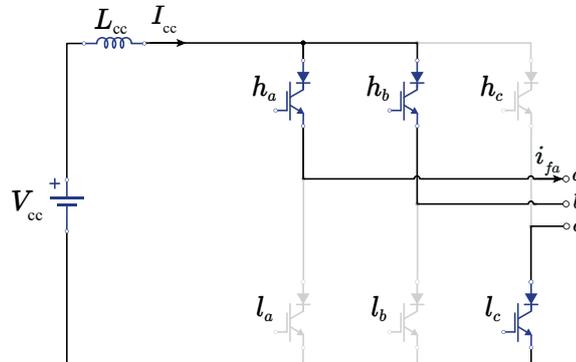
Ao contrário dos VSCs, os CSCs possuem complementariedade horizontal, onde somente uma das chaves superiores (h_{abc}) ou uma das chaves inferiores (l_{abc}) pode conduzir em cada ciclo de chaveamento. Assim, o acionamento das chaves deve sempre assegurar a existência de um caminho para a corrente do indutor no barramento. Devido ao fato de que, na prática, as chaves não mudam instantaneamente, há um intervalo durante o qual ocorre a troca entre as chaves. Esse intervalo é conhecido como tempo de sobreposição.

O tempo de sobreposição deve garantir que quando for acionar uma das chaves a outra permaneça ativa por um pequeno intervalo de tempo, de forma que ambas as chaves superiores ou inferiores conduzam por esse curto intervalo de tempo e só depois a chave é desligada, evitando assim que a corrente do indutor cesse.

Na Figura 5, é apresentado um exemplo de trajeto de condução de corrente durante o período de sobreposição de um CSC. Nesse cenário, as chaves h_a e l_c estão em condução, e a subsequente sequência de comutação será h_b e l_c . Portanto, no momento em que h_b é ativado, h_a é mantido ligado por um breve intervalo de tempo antes de ser desativado, garantindo, assim, a continuidade do caminho da corrente.

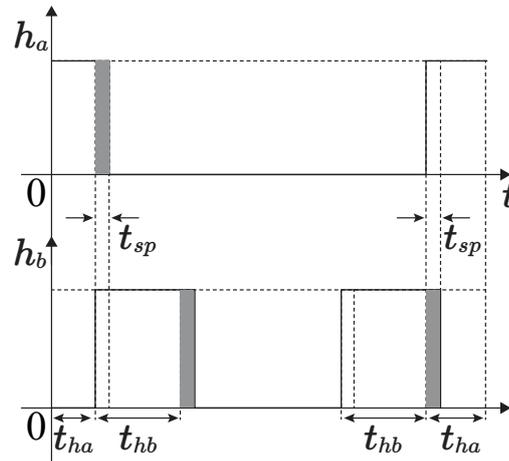
De acordo com a Figura 6 é possível ver o acionamento das chaves durante o intervalo de sobreposição para a transição de h_a para h_b , utilizando um PWM com pulso centrado. A partir do instante inicial $t = 0$, a chave h_a é ativada por um período de tempo t_{ha} , determinado pelo PWM. Após o término de sua condução, a chave retorna ao estado baixo, porém, nesse momento, é inserido um intervalo de sobreposição t_{sp} que atrasa o desligamento da chave. No exato momento em que a chave h_a deveria ser desativada na ausência do intervalo de sobreposição, a chave h_b é ativada e passa a conduzir corrente. Uma vez concluído o intervalo de sobreposição, a chave h_a é desligada.

Figura 5 – Exemplo de caminho de condução da corrente durante o tempo de sobreposição de um CSC trifásico.



Fonte: Elaboração própria.

Figura 6 – Exemplificação do tempo de sobreposição para as chaves superiores h_a e h_b de um CSC.



Fonte: Elaboração própria.

2.2 Conversores Multiníveis Fonte de Corrente

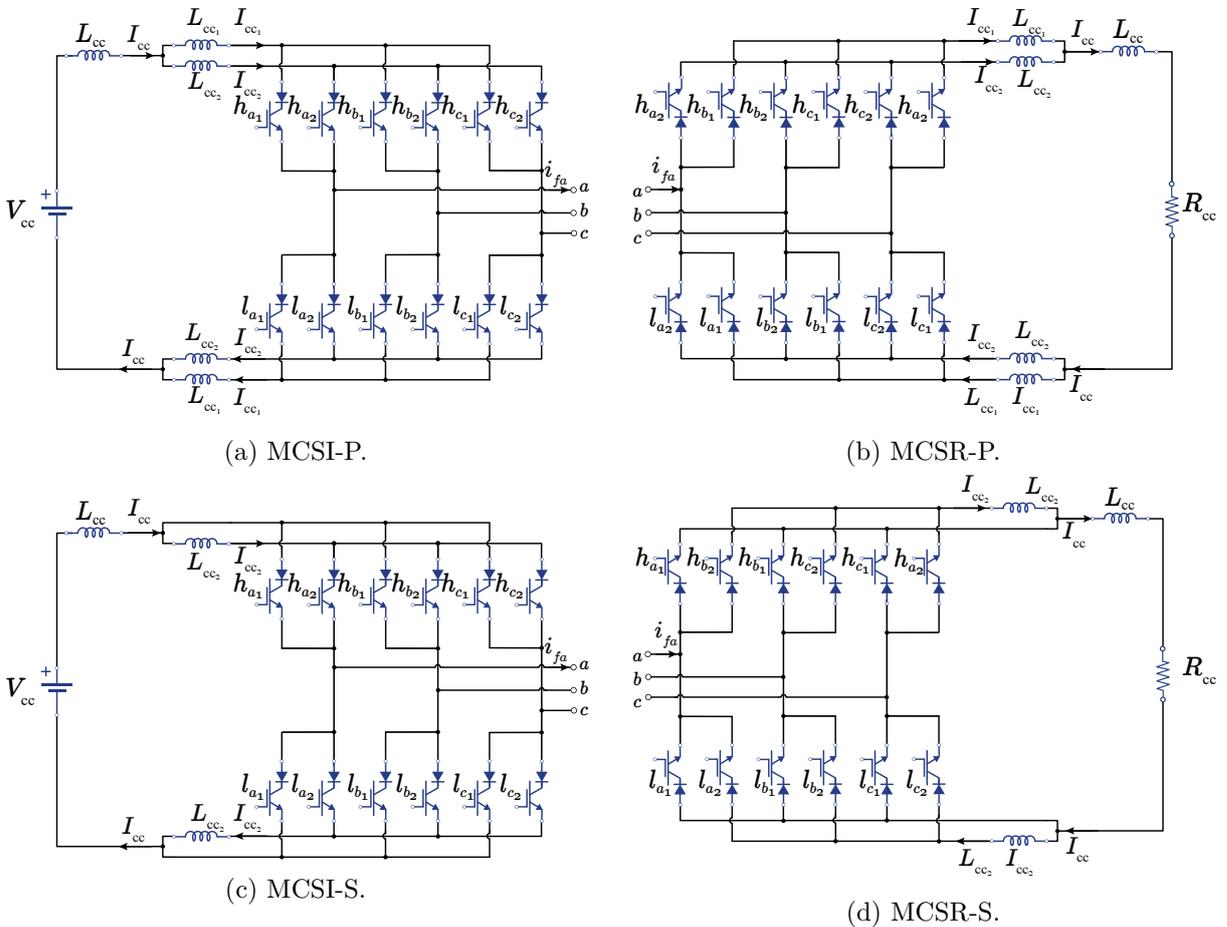
A modulação vetorial espacial SVM se baseia na determinação dos períodos em que as chaves permanecem ligadas ou desligadas em função da posição instantânea do vetor espacial. Algumas soluções utilizam o controle preditivo baseado em modelo (*Model Predictive Control* - MPC) para balancear as correntes de barramento CC (COSSUTTA et al., 2017; COSSUTTA et al., 2018b) e outras usam o SVM (DING; LI, 2018; HE et al., 2017). Este trabalho usará a estratégia SVM devido à maior liberdade na escolha dos vetores redundantes que permitem balancear a corrente de barramento CC.

Portanto, nesta seção serão descritas as estratégias de modulação PWM empregadas tanto nos conversores convencionais quanto nos assimétricos. Além disso, será discutido o conceito do espaço vetorial e abordada a estratégia de balanceamento e controle dos conversores atuando tanto como inversores quanto como retificadores.

2.2.1 Conversores Convencionais - MCSCs

Nesta seção, serão abordadas as topologias multiníveis com barramento em paralelo (Figura 7a e 7b) e em série (Figura 7c e 7d), tanto como retificador quanto inversor. A metodologia apresentada é válida para todos os casos, a diferença está na forma como as correntes são balanceadas. Para simplificar o processo, será apresentada a metodologia para o MCSI-P, com as ressalvas onde houver diferenças em relação ao retificador ou à topologia em série.

Figura 7 – Topologias MCSCs.



Fonte: Elaboração própria.

À medida que o número de células aumenta, maior a quantidade de níveis que o conversor gera e, conseqüentemente, maior a complexidade do conversor. O número de vetores é de 3^{2n} , para $n = 2$ (cinco níveis), o SVM tem 81 vetores. Para $n = 3$ (sete níveis), temos 729 vetores, para $n = 4$ (nove níveis) 6561 vetores, e assim por diante.

Segundo o princípio da complementariedade horizontal dos CSCs, apenas uma chave de cada linha pode conduzir por vez. As correntes de filtro do conversor (I_{fa} , I_{fb} e I_{fc}) podem ser calculadas conforme os estados das chaves e da corrente de barramento CC:

$$I_{f_a} = (h_{a_1} + h_{a_2} + \dots + h_{a_n} - (l_{a_1} + l_{a_2} + \dots + l_{a_n})) \frac{I_{cc}}{n}, \quad (2.9)$$

$$I_{f_b} = (h_{b_1} + h_{b_2} + \dots + h_{b_n} - (l_{b_1} + l_{b_2} + \dots + l_{b_n})) \frac{I_{cc}}{n}, \quad (2.10)$$

$$I_{f_c} = (h_{c_1} + h_{c_2} + \dots + h_{c_n} - (l_{c_1} + l_{c_2} + \dots + l_{c_n})) \frac{I_{cc}}{n}. \quad (2.11)$$

sendo h_{j_n} e l_{j_n} os estados específicos das chaves, onde $j = a, b$ ou c representa a fase correspondente de cada chave: se a chave é ligada, a variável assume valor '1'; se a chave é desligada, a variável assume o valor '0'.

Dado o conversor de cinco níveis, as Equações de (2.9)-(2.11) tornam-se:

$$I_{f_a} = (h_{a_1} + h_{a_2} - (l_{a_1} + l_{a_2})) \frac{I_{cc}}{2}, \quad (2.12)$$

$$I_{f_b} = (h_{b_1} + h_{b_2} - (l_{b_1} + l_{b_2})) \frac{I_{cc}}{2}, \quad (2.13)$$

$$I_{f_c} = (h_{c_1} + h_{c_2} - (l_{c_1} + l_{c_2})) \frac{I_{cc}}{2}. \quad (2.14)$$

Dessa maneira, é gerada a Tabela 3, a qual exhibe as diversas combinações de chaveamento correspondentes a determinados vetores do MCSC de cinco níveis.

Tabela 3 – Estados de I até XI para MCSC (I_{f_a} , I_{f_b} , I_{f_c}).

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	I_{f_a}	I_{f_b}	I_{f_c}	Vetor (I_k)	Estado
a	a	a	a	0	0	0	I_1	I
a	a	a	b	$+I_{cc}/2$	$-I_{cc}/2$	0	I_2	II
a	a	a	c	$+I_{cc}/2$	0	$-I_{cc}/2$	I_3	III
a	a	b	a	$I_{cc}/2$	$-I_{cc}/2$	0	I_4	IV
a	a	b	b	$+I_{cc}$	$-I_{cc}$	0	I_5	V
a	a	b	c	$+I_{cc}$	$-I_{cc}/2$	$-I_{cc}/2$	I_6	VI
a	a	c	a	$+I_{cc}/2$	0	$-I_{cc}/2$	I_7	VII
a	a	c	b	$+I_{cc}$	$-I_{cc}/2$	$-I_{cc}/2$	I_8	VIII
a	a	c	c	$+I_{cc}$	0	$-I_{cc}$	I_9	IX
a	b	a	a	$+I_{cc}/2$	$-I_{cc}/2$	0	I_{10}	X
a	b	a	b	0	0	0	I_{11}	XI

No Apêndice A, é apresentado o detalhamento da modulação SVM nos CSCs. A obtenção das correntes no referencial estacionário será possível através da Transformada de Clark (transformação *alpha-beta*) e da Equação (A.4).

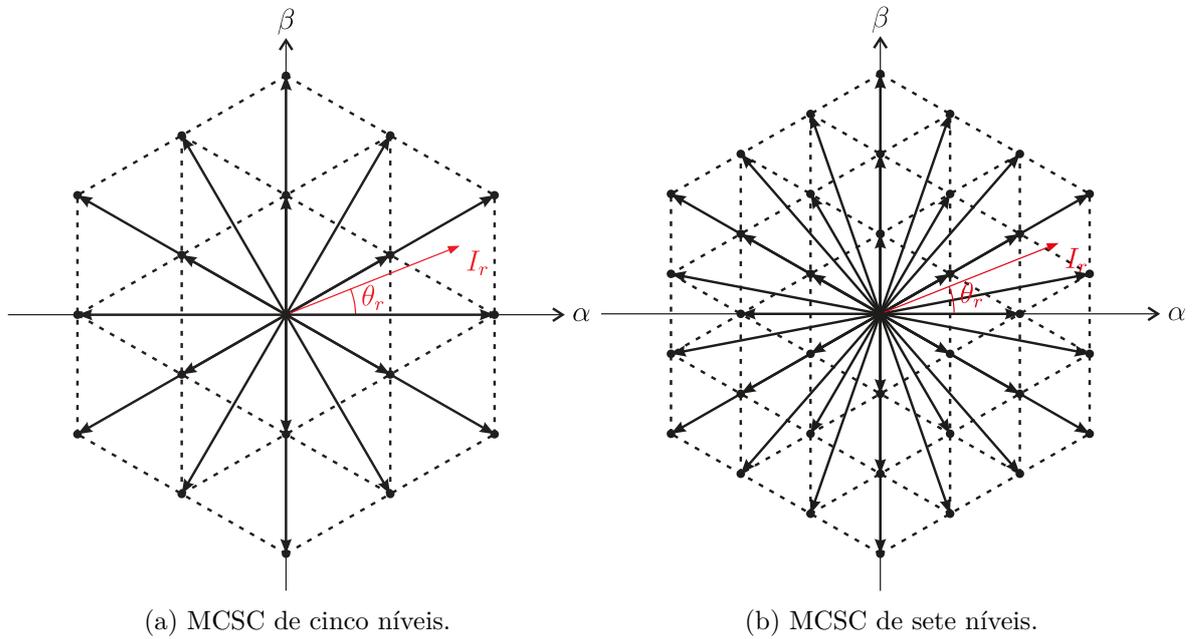
A Tabela 4 apresenta alguns vetores para MCSC, considerando os valores de I_{f_α} e I_{f_β} , bem como os valores do módulo da corrente $|I_f|$ e do ângulo θ_f . Na Figura 8 é possível

observar o espaço vetorial gerado pelo MCSC de 5 e 7 níveis. Os vetores que geram o mesmo estado (vetores redundantes), como os estados I e IV, são usados para balancear a corrente CC.

 Tabela 4 – Estados de I até XI para MCSC ($I_{f\alpha}$, $I_{f\beta}$, $|I_f|$ e θ_f).

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	$I_{f\alpha}$	$I_{f\beta}$	$ I_f $	θ_f	Vetor (I_k)	Estados
<i>a</i>	<i>a</i>	<i>a</i>	<i>a</i>	0	0	0	0°	I_1	I
<i>a</i>	<i>a</i>	<i>a</i>	<i>b</i>	$+I_{cc}/2$	$-I_{cc}/(2\sqrt{3})$	$I_{cc}/\sqrt{3}$	330°	I_2	II
<i>a</i>	<i>a</i>	<i>a</i>	<i>c</i>	$+I_{cc}/2$	$I_{cc}/(2\sqrt{3})$	$I_{cc}/\sqrt{3}$	30°	I_3	III
<i>a</i>	<i>a</i>	<i>b</i>	<i>a</i>	$+I_{cc}/2$	$-I_{cc}/(2\sqrt{3})$	$I_{cc}/\sqrt{3}$	330°	I_4	IV
<i>a</i>	<i>a</i>	<i>b</i>	<i>b</i>	$+I_{cc}$	$-I_{cc}/\sqrt{3}$	$2I_{cc}/\sqrt{3}$	330°	I_5	V
<i>a</i>	<i>a</i>	<i>b</i>	<i>c</i>	$+I_{cc}$	0	I_{cc}	0°	I_6	VI
<i>a</i>	<i>a</i>	<i>c</i>	<i>a</i>	$+I_{cc}/2$	$+I_{cc}/(2\sqrt{3})$	$I_{cc}/\sqrt{3}$	30°	I_7	VII
<i>a</i>	<i>a</i>	<i>c</i>	<i>b</i>	$+I_{cc}$	0	I_{cc}	0°	I_8	VIII
<i>a</i>	<i>a</i>	<i>c</i>	<i>c</i>	$+I_{cc}$	$+I_{cc}/\sqrt{3}$	$2I_{cc}/\sqrt{3}$	30°	I_9	IX
<i>a</i>	<i>b</i>	<i>a</i>	<i>a</i>	$-I_{cc}/2$	$+I_{cc}/(2\sqrt{3})$	$I_{cc}/\sqrt{3}$	150°	I_{10}	X
<i>a</i>	<i>b</i>	<i>a</i>	<i>b</i>	0	0	0	0°	I_{11}	XI

Figura 8 – Espaço vetorial.

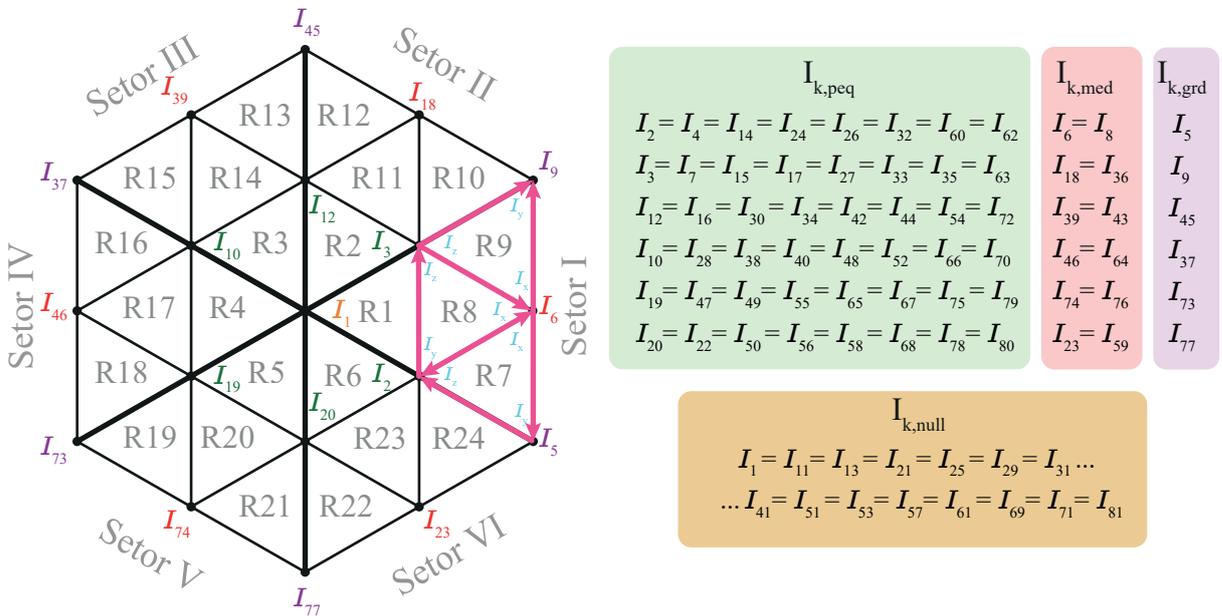


Fonte: Elaboração própria.

Na Figura 8a é possível observar que os vetores possuem diferentes magnitudes. Portanto, será adotado a seguinte convenção: o vetor pequeno ($I_{k,peq}$) terá módulo $\frac{I_{cc}}{\sqrt{3}}$, o vetor médio ($I_{k,med}$) terá módulo I_{cc} , o vetor grande ($I_{k,grd}$) terá módulo $\frac{2I_{cc}}{\sqrt{3}}$, e o vetor nulo ($I_{k,null}$) tem seu módulo igual a zero. Sendo k o vetor a ser escolhido.

Na Figura 9, são apresentados os vetores no espaço vetorial com a sequência usada para diminuir a troca de chaveamentos e os seus vetores redundantes ($I_x \rightarrow I_y \rightarrow I_z \rightarrow I_z \rightarrow I_y \rightarrow I_x$). Cada vetor k corresponde a uma sequência de chaveamento, como apresentado na Tabela 4. Optou-se por iniciar a sequência a partir do vetor médio, uma vez que ele é o ponto comum em todas as regiões. Isso significa que, como a sequência de vetores sempre começa e termina com o vetor I_x , não há transições abruptas de chaveamento que possam causar distorções. A mudança de chaveamento ocorrerá somente quando a corrente transitar para um setor diferente, resultando na alteração do vetor I_x .

Figura 9 – Espaço vetorial com a sequência de vetores e os vetores redundantes para MCSC.



Fonte: Elaboração própria.

A Tabela 5 apresenta informações sobre o comportamento das tensões em diferentes setores e regiões. Cada célula da tabela contém os valores de tensão correspondentes, representados por v_a , v_b e v_c . Além disso, algumas células apresentam uma seta \rightarrow , indicando uma transição na tensão de uma região para outra. Por exemplo, na célula onde o setor é II e a região é 8, o valor mínimo de tensão é v_b , mas com uma transição, o valor mínimo de tensão se torna v_c em direção à próxima região.

2.2.1.1 Balanceamento das Correntes CC

A principal preocupação nos MCSCs está relacionada ao balanceamento das correntes dos indutores. No caso específico do MCSC de cinco níveis, o sistema possui um total de 81 vetores, dos quais 63 são redundantes e podem ser utilizados para equilibrar

Tabela 5 – Tensão máxima e mínima por região e setor.

Setor	Região	v_{max}	v_{min}
1	7	v_a	v_b
	8	v_a	$v_b \rightarrow v_c$
	9	v_a	v_c
2	10	v_a	v_c
	11	$v_a \rightarrow v_b$	v_c
	12	v_b	v_c
3	13	v_b	v_c
	14	v_b	$v_c \rightarrow v_a$
	15	v_b	v_a
4	16	v_b	v_a
	17	$v_b \rightarrow v_c$	v_a
	18	v_c	v_a
5	19	v_c	v_a
	20	v_c	$v_a \rightarrow v_b$
	21	v_c	v_b
6	22	v_c	v_b
	23	$v_c \rightarrow v_a$	v_b
	24	v_a	v_b

a corrente de barramento. Essa variedade de opções oferece diversas alternativas, pois muitos desses 63 vetores redundantes não serão utilizados.

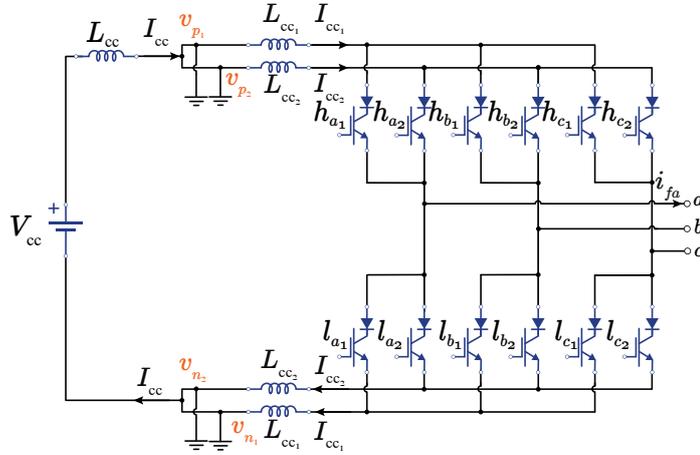
Diante desse cenário, surge a pergunta: como escolher os vetores adequados? Existem vários métodos disponíveis para fazer essa seleção (SALO; TUUSA, 2005; GUO et al., 2015; DING; LI, 2018), e a escolha dependerá do objetivo que se deseja alcançar. Um desses métodos, proposto em He et al. (2017), tem como objetivo principal reduzir a magnitude da tensão de modo comum.

A redução da magnitude da tensão de modo comum é de extrema importância, pois contribui para diminuir a interferência eletromagnética e reduzir o ruído associado a problemas relacionados ao aterramento. Esses problemas podem causar distorções e perturbações indesejadas no sistema. Portanto, minimizar a tensão de modo comum é fundamental para garantir um desempenho adequado e confiável do sistema MCSC.

Dessa forma, o método proposto em He et al. (2017), que visa a redução da magnitude da tensão de modo comum, será selecionado como a abordagem adotada. A Figura 10 ilustra a topologia MCSC-P representando as tensões de modo comum nos nós p_1 , p_2 , n_1 e n_2 , onde o sufixo p indica o nó positivo e o sufixo n indica o nó negativo.

A tensão de modo comum (v_{mc}) é definida como a média aritmética das tensões

Figura 10 – Representação das tensões de modo comum do MCSC.



em relação ao terra de um circuito, matematicamente, pode ser expressa pela seguinte Equação:

$$v_{mc} = \frac{1}{4}(v_{p1} + v_{n1} + v_{p2} + v_{n2}). \quad (2.15)$$

A tensão de modo comum também pode ser determinada de acordo com as tensões trifásicas e o estado de acionamento das chaves, de acordo com:

$$v_{mc} = v_{mc_a} + v_{mc_b} + v_{mc_c}, \quad (2.16)$$

sendo,

$$v_{mc_a} = \frac{v_a}{4}(h_{a1} + l_{a1} + h_{a2} + l_{a2}), \quad (2.17)$$

$$v_{mc_b} = \frac{v_b}{4}(h_{b1} + l_{b1} + h_{b2} + l_{b2}), \quad (2.18)$$

$$v_{mc_c} = \frac{v_c}{4}(h_{c1} + l_{c1} + h_{c2} + l_{c2}). \quad (2.19)$$

Com isso, monta-se a Tabela 6 que apresenta a tensão de modo comum resultante em relação ao estados do conversor.

A configuração MCSC-P estabelece uma distribuição de corrente de igual valor entre os indutores, sendo que cada indutor deverá ter um valor de corrente de I_{cc}/n . Sendo assim, para a configuração de cinco níveis, cada corrente será $I_{cc}/2$; para 7 níveis $I_{cc}/3$; 9 níveis $I_{cc}/4$; e assim por diante.

Selecionando qual vetor aplicar em cada ciclo de chaveamento do conversor, é possível carregar ou descarregar as correntes do barramento CC. A soma de cada corrente deve sempre ser igual a corrente total do barramento CC:

Tabela 6 – Estados de I até XI para MCSC (v_{mc} , $|I_f|$ e θ_f).

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	v_{mc}	$ I_f $	θ_f	Vetor (I_k)	Estados
a	a	a	a	v_a	0	0°	I_1	I
a	a	a	b	$0,75v_a + 0,25v_b$	$I_{cc}/\sqrt{3}$	330°	I_2	II
a	a	a	c	$0,75v_a + 0,25v_c$	$I_{cc}/\sqrt{3}$	30°	I_3	III
a	a	b	a	$0,75v_a + 0,25v_b$	$I_{cc}/\sqrt{3}$	330°	I_4	IV
a	a	b	b	$0,5v_a + 0,5v_b$	$2I_{cc}/\sqrt{3}$	330°	I_5	V
a	a	b	c	$0,5v_a + 0,25v_b + 0,25v_c$	I_{cc}	0°	I_6	VI
a	a	c	a	$0,75v_a + 0,25v_c$	$I_{cc}/\sqrt{3}$	30°	I_7	VII
a	a	c	b	$0,5v_a + 0,25v_b + 0,25v_c$	I_{cc}	0°	I_8	VIII
a	a	c	c	$0,5v_a + 0,5v_c$	$2I_{cc}/\sqrt{3}$	30°	I_9	IX
a	b	a	a	$0,75v_a + 0,25v_b$	$I_{cc}/\sqrt{3}$	150°	I_{10}	X
a	b	a	b	$0,5v_a + 0,5v_b$	0	0°	I_{11}	XI

$$\frac{I_{cc_1}}{0.5(m-1)} + \frac{I_{cc_2}}{0.5(m-1)} + \dots + \frac{I_{cc_n}}{0.5(m-1)} = I_{cc}, \quad (2.20)$$

sendo m o número de níveis do conversor. Assim, as correntes de cada indutor devem ser iguais a:

$$I_{cc_1} = I_{cc_2} = I_{cc_n} = \frac{I_{cc}}{n}. \quad (2.21)$$

O balanceamento da corrente é realizado de acordo com o seguinte princípio para MCSC-P: se o valor de I_{cc_1} está diminuindo, o valor de I_{cc_2} deve aumentar. Em outras palavras, se L_{cc_1} está descarregando, L_{cc_2} deve carregar e vice-versa. A mesma análise de balanceamento das correntes pode ser feita tanto para os indutores superiores (nó p) como inferiores (nó n). Assim, para simplificar a análise os indutores superiores serão denominados (L_{p12}) e os inferiores (L_{n12}).

A configuração MCSC-S utiliza os indutores para dividir a corrente do barramento CC em múltiplas correntes de diferentes amplitudes. Assim, para a configuração de cinco níveis as correntes serão: $I_{cc_1} = I_{cc}$ e $I_{cc_2} = I_{cc}/2$; para 7 níveis $I_{cc_1} = I_{cc}$, $I_{cc_2} = 2I_{cc}/3$, e $I_{cc_3} = I_{cc}/3$; e assim sucessivamente.

Nos MCSC-S, as correntes de cada indutor devem ser iguais a:

$$\left\{ \begin{array}{l} I_{cc_n} = I_{cc} \frac{1}{n} \\ I_{cc_{n-1}} = I_{cc} \frac{2}{n} \\ I_{cc_{n-2}} = I_{cc} \frac{3}{n} \\ \vdots \\ I_{cc_3} = I_{cc} \frac{(n-2)}{n} \\ I_{cc_2} = I_{cc} \frac{(n-1)}{n} \\ I_{cc_1} = I_{cc} \end{array} \right. , \quad (2.22)$$

sendo n o número de células do conversor.

O balanceamento da corrente se dá de acordo com o seguinte princípio: se I_{cc_2} é menor que $I_{cc}/2$, I_{cc_2} deve aumentar, se não, deve diminuir. Em outras palavras, se L_{cc_2} está descarregando, L_{cc_2} deve carregar e vice-versa. Da mesma forma que no MCSC-P, o indutor superior será denominado (L_{p_2}) e os inferior (L_{n_2}).

Mesmo que os indutores sejam conectados de maneira diferente no barramento, a análise do carregamento e descarregamento é a mesma para os dois tipos de conversores. No caso do MCSC-P, todos os indutores (representados por L_{p_1} , L_{p_2} , L_{n_1} e L_{n_2}) são considerados na análise do carregamento e descarregamento. Por outro lado, no MCSC-S, apenas os indutores L_{p_2} e L_{n_2} são considerados na análise.

O método de balanceamento das correntes será demonstrado para o setor I (regiões 7, 8 e 9). Os outros setores seguem o mesmo princípio. Na região 7, a influência das tensões de modo comum ocorre apenas nos vetores pequenos, mais especificamente no vetor redundante em 30° (I_z). Nessa região, existem oito possibilidades de chaveamento para o vetor I_z , mas nem todas essas combinações resultam em redução da tensão de modo comum. A Tabela 7 detalha essas oito possibilidades de chaveamento para o vetor I_z na região 7. As setas na tabela indicam os indutores que estão sendo carregados (\uparrow) e descarregados (\downarrow) para cada combinação de chaveamento. A partir dessa tabela, é possível observar que apenas quatro das oito combinações de chaveamento apresentam redução da tensão de modo comum.

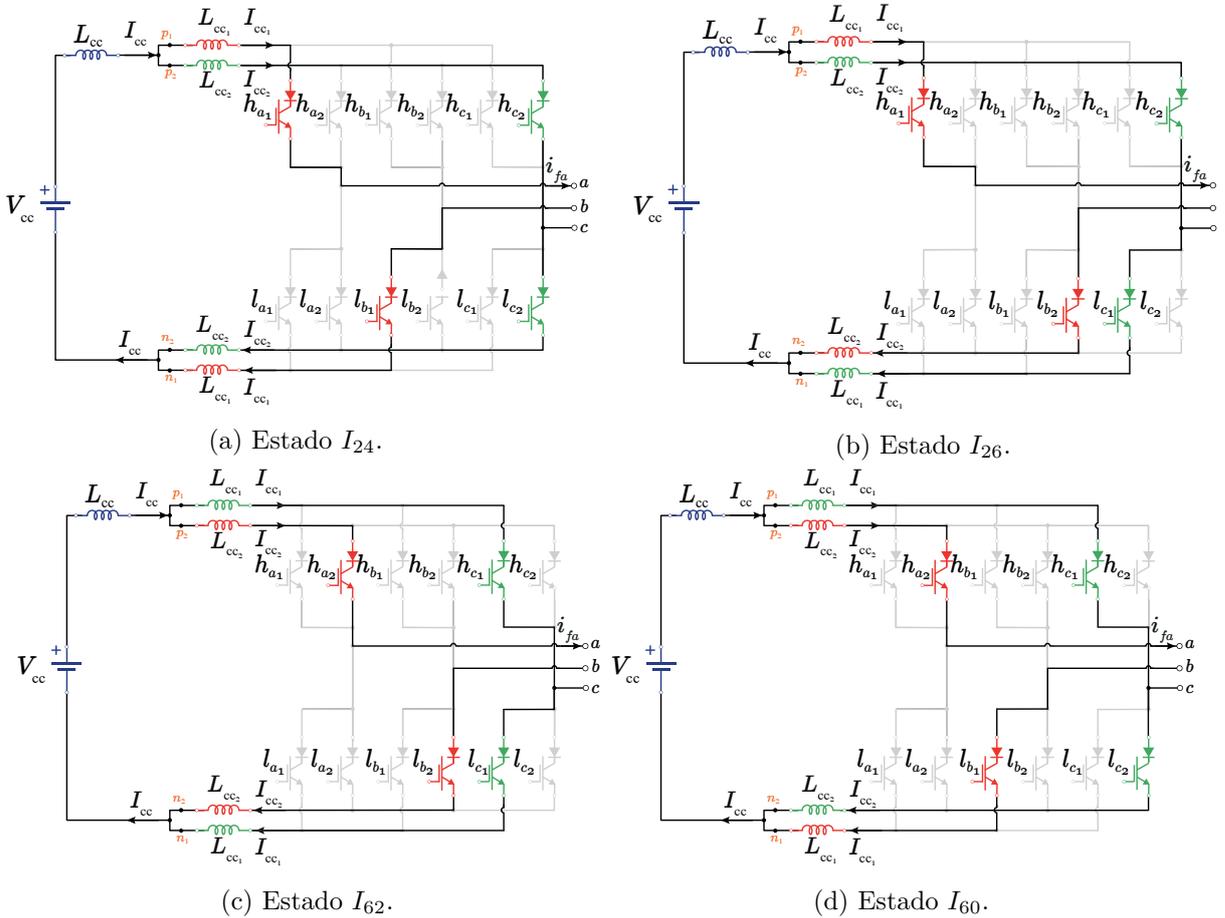
A Figura 11 apresenta os caminhos da corrente no chaveamento na região 7. Nessa figura, as cores verde e vermelho são utilizadas para identificar qual indutor está sendo carregado ou descarregado, respectivamente. Por exemplo, no vetor I_{24} (Figura 11a), as chaves h_{c_2} e l_{c_2} estão conduzindo, o que resulta no carregamento dos indutores L_{p_2} e L_{n_2} . Ao mesmo tempo, os indutores L_{p_1} e L_{n_1} estão descarregando.

No caso das regiões 7 e 9, não há transições de tensão máximas e mínimas. Portanto, as condições de carregamento e descarregamento nesses setores são determinadas

Tabela 7 – Vetores redundantes de I_z da região 7.

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	v_{mc}	L_{p_1}	L_{p_2}	L_{n_1}	L_{n_2}	Vetor (I_k)
a	a	b	a	$0,75v_a + 0,25v_b$	-	-	↓	↑	I_4
a	a	a	b	$0,75v_a + 0,25v_b$	-	-	↑	↓	I_2
a	b	b	b	$0,25v_a + 0,75v_b$	↓	↑	-	-	I_{14}
b	a	b	b	$0,25v_a + 0,75v_b$	↑	↓	-	-	I_{32}
a	c	b	c	$0,25v_c$	↓	↑	↓	↑	I_{24}
a	c	c	b	$0,25v_c$	↓	↑	↑	↓	I_{26}
c	a	c	b	$0,25v_c$	↑	↓	↑	↓	I_{62}
c	a	b	c	$0,25v_c$	↑	↓	↓	↑	I_{60}

Figura 11 – Estados de chaveamento do vetor I_z da região 7.



Fonte: Elaboração própria.

exclusivamente pelas correntes em cada indutor. Por outro lado, na região 8, o vetor de corrente I_x é afetado pela transição de tensão. Isso significa que a configuração do circuito e a transição de tensão específica nessa região também influenciarão o vetor de corrente I_x . Essa relação entre a transição de tensão e o vetor de corrente é descrita na Tabela 5. A Tabela 8 detalha as possibilidade de chaveamento da corrente quando ocorre a transição

de tensão mínima de v_b para v_c .

Tabela 8 – Vetores redundantes de I_x da região 8.

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	v_{min}	L_{p_1}	L_{p_2}	L_{n_1}	L_{n_2}	Vetor
a	a	b	c	v_b	-	-	↓	↑	I_6
				v_c	-	-	↑	↓	
a	a	c	b	v_b	-	-	↑	↓	I_8
				v_c	-	-	↓	↑	

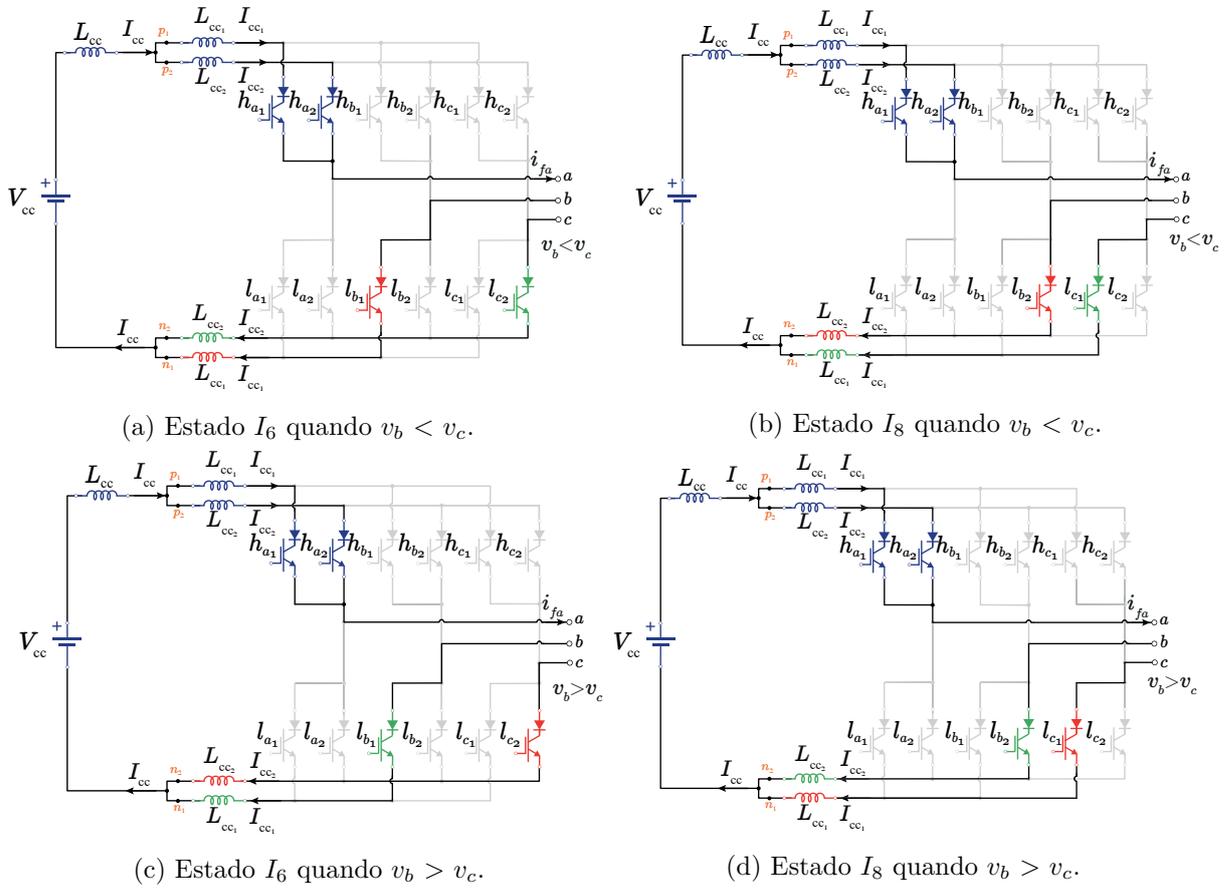
Na Figura 12, são apresentados os caminhos da corrente para o vetor I_x na região 8. Nessa representação, as cores verde e vermelho são usadas para identificar quais indutores estão sendo carregados ou descarregados, respectivamente, enquanto a cor azul indica que as correntes nos indutores estão naturalmente equilibradas. Nesse caso, existem apenas dois vetores a serem considerados, mas a escolha entre eles depende da tensão mínima. Por exemplo, no vetor I_6 (Figura 12a), quando a tensão v_b é menor que a tensão v_c e as chaves l_{b_1} e l_{c_2} estão conduzindo, uma das chaves estará conectada à tensão mais negativa e irá descarregar, enquanto a outra chave estará conectada a outra tensão e irá carregar.

No entanto, quando ocorre a transição da tensão, ou seja, quando v_b se torna maior que v_c , a lógica se inverte. Isso é ilustrado no vetor I_6 (Figura 12c), onde as chaves l_{b_1} e l_{c_2} ainda estão conduzindo, mas a chave conectada à tensão mais negativa agora irá descarregar, enquanto a outra chave irá carregar. Essa inversão ocorre devido à mudança na relação entre as tensões e é importante para manter o equilíbrio das correntes nos indutores. Essa análise detalhada dos vetores I_6 e I_8 na região 8 permite entender como as mudanças nas tensões mínimas afetam o chaveamento.

Após analisar as diferentes combinações de chaveamento e as possibilidades de redução da tensão de modo comum, é possível determinar as condições de operação e os vetores de corrente associados a cada condição de balanceamento. Essas informações são apresentadas na Tabela 9 para o Setor I.

A Tabela resume as diferentes condições de carregamento e descarregamento dos indutores nos vetores I_x , I_y e I_z para o Setor I. Cada região possui suas próprias condições e vetores correspondentes, determinados pelas relações entre as correntes e as tensões nos indutores. Essas condições se referem especificamente à operação do sistema como inversor. Caso o sistema seja utilizado como retificador, a lógica de carregamento e descarregamento é invertida. Nesse caso, o que estava carregando no funcionamento como inversor passa a descarregar como retificador, e vice-versa. Portanto, para utilizar o sistema como retificador, basta inverter a lógica apresentada na Tabela 9.

Figura 12 – Estados de comutação do vetor I_x da região 8.



Fonte: Elaboração própria.

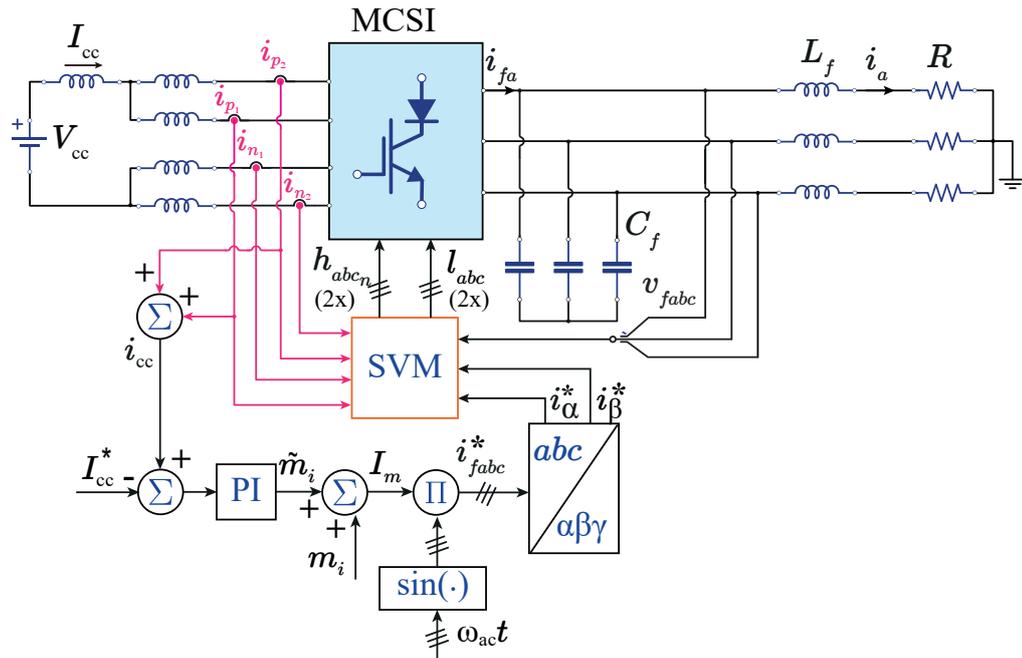
Tabela 9 – Condições de carregamento e descarregamento para o Setor I.

I_{xyz}	Região 7		Região 8		Região 9		
	Condição	Vetor	$v_b \rightarrow v_c$	Condição	Vetor	Condição	Vetor
I_x	$i_{n_2} < i_{n_1}$	I_6	$v_b < v_c$ $v_b > v_c$	$i_{n_2} < i_{n_1}$ $i_{n_2} > i_{n_1}$	I_6	$i_{p_2} < i_{p_1}$	I_{18}
	$i_{n_2} > i_{n_1}$	I_8	$v_b < v_c$ $v_b > v_c$	$i_{n_2} > i_{n_1}$ $i_{n_2} < i_{n_1}$	I_8	$i_{p_2} > i_{p_1}$	I_{36}
I_y		I_5		$i_{p_1} > i_{p_2} \&$ $i_{n_1} > i_{n_2}$	I_{24}		I_9
			$i_{p_1} > i_{p_2} \&$ $i_{n_2} > i_{n_1}$	I_{26}			
			$i_{p_2} > i_{p_1} \&$ $i_{n_2} > i_{n_1}$	I_{62}			
			$i_{p_2} > i_{p_1} \&$ $i_{n_1} > i_{n_0}$	I_{60}			
I_z	$i_{p_1} > i_{p_2} \&$ $i_{n_1} > i_{n_2}$	I_{24}		$i_{p_1} > i_{p_2} \&$ $i_{n_1} > i_{n_2}$	I_{17}	$i_{p_1} > i_{p_2} \&$ $i_{n_1} > i_{n_2}$	I_{17}
	$i_{p_1} > i_{p_2} \&$ $i_{n_2} > i_{n_1}$	I_{26}		$i_{p_1} > i_{p_2} \&$ $i_{n_2} > i_{n_1}$	I_{15}	$i_{p_1} > i_{p_2} \&$ $i_{n_2} > i_{n_1}$	I_{15}
	$i_{p_2} > i_{p_1} \&$ $i_{n_2} > i_{n_1}$	I_{62}		$i_{p_2} > i_{p_1} \&$ $i_{n_2} > i_{n_1}$	I_{33}	$i_{p_2} > i_{p_1} \&$ $i_{n_2} > i_{n_1}$	I_{33}
	$i_{p_2} > i_{p_1} \&$ $i_{n_1} > i_{n_0}$	I_{60}		$i_{p_2} > i_{p_1} \&$ $i_{n_1} > i_{n_0}$	I_{35}	$i_{p_2} > i_{p_1} \&$ $i_{n_1} > i_{n_0}$	I_{35}

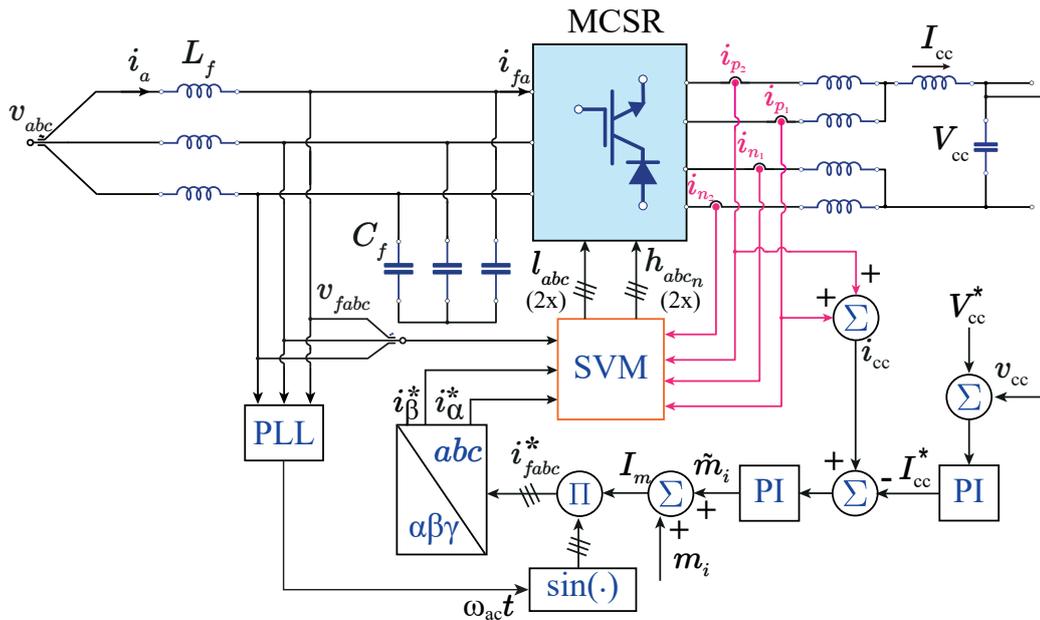
2.2.1.2 Estratégia de Controle

Além do controle de carga e descarga dos indutores, a corrente total do barramento CC pode ser controlada. As Figuras 13a e 13b ilustram a estratégia de controle tanto para o funcionamento como inversor quanto como retificador, respectivamente.

Figura 13 – Diagramas de controle do sistema.



(a) Inversor.



(b) Retificador.

Fonte: Elaboração própria.

No caso do retificador, o controle é realizado em cascata. Essa abordagem permite

operar com variações na carga, mantendo a tensão do barramento de corrente contínua constante. Para alcançar esse objetivo, são empregadas duas malhas de controle: uma interna de corrente e outra externa de tensão.

A malha interna de corrente é responsável por controlar a corrente do barramento CC (i_{cc}). Quando ocorrem variações na carga, a tensão do barramento também pode variar, mas a corrente precisa ser mantida constante. Para isso, utiliza-se a malha interna de corrente para garantir que as correntes do barramento permaneçam iguais.

A malha externa de controle é responsável por controlar a tensão do barramento de corrente contínua através de uma referência de tensão (V_{cc}^*). Essa referência é comparada com a tensão medida no barramento (v_{cc}), gerando um sinal de erro. Esse sinal de erro é então processado por um controlador PI (Proporcional-Integral) para gerar o valor da amplitude da corrente de referência (i_{cc}^*).

A malha interna de corrente compara a corrente de referência, obtida pela soma das correntes do barramento ($i_{p1} + i_{p2}$), com a corrente medida no barramento. O sinal de erro resultante é processado por outro controlador PI para gerar o valor da variação do índice de modulação (\tilde{m}_i). Esse valor de modulação é somado a um índice de modulação fixo (m_i), definido na Equação 2.4, resultando na amplitude (I_m) das correntes de referência (i_{fabc}). Os sinais de corrente resultantes (i_α e i_β) são então enviados para a modulação vetorial. A modulação vetorial, juntamente com as correntes do barramento e as tensões de filtro (v_{fabc}), são utilizadas para escolher os vetores e determinar o acionamento das chaves (h_{abc_n} e l_{abc_n}) a serem enviados para o conversor.

Para a conexão com a rede elétrica, utiliza-se um PLL (do inglês, *Phase Locked Loop*) que realiza a sincronização da fase da tensão dos capacitores com a corrente de referência que comandará a PWM. Nos casos em que não há conexão com a rede, quando a operação é como inversor, uma senoide com fase arbitrária é utilizada para obter a referência senoidal.

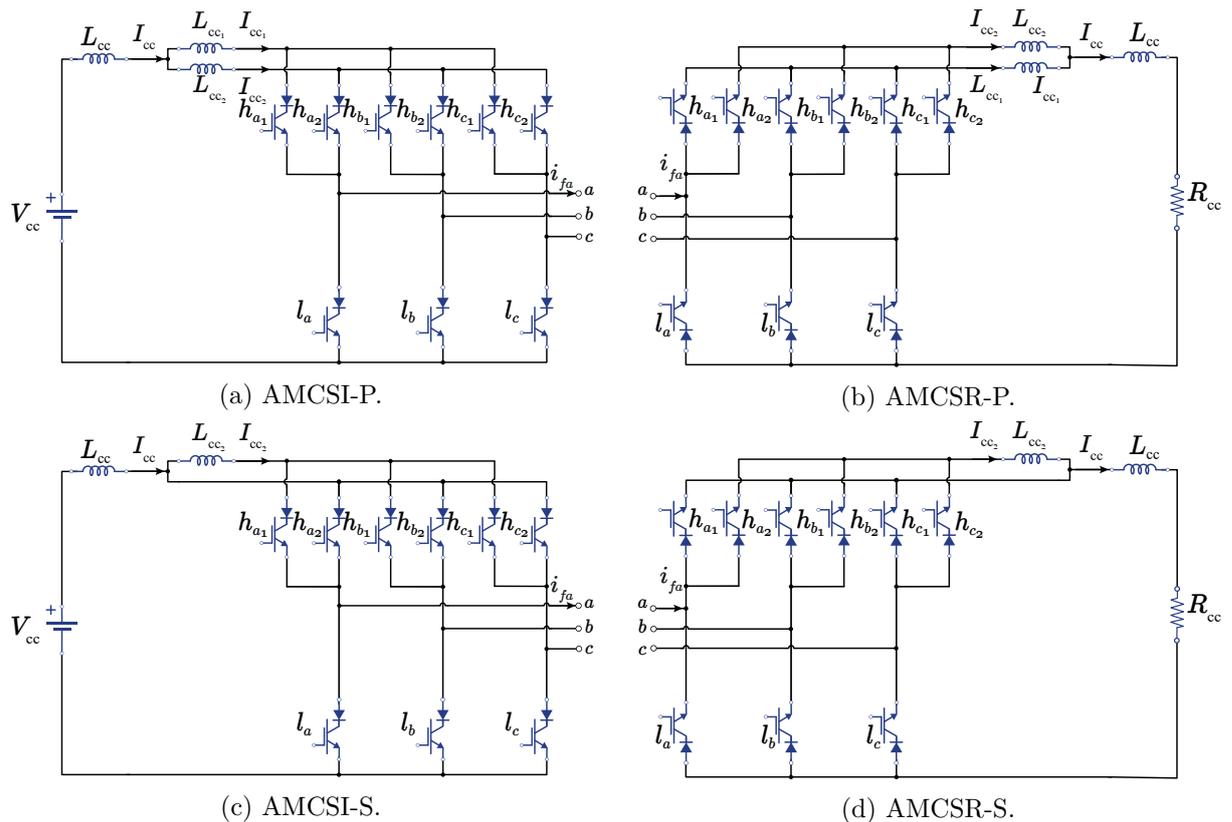
A modelagem do sistema e a determinação dos ganhos dos controladores são realizadas seguindo o método apresentado em Vitorino (2019) e Ries (2018). O procedimento detalhado pode ser encontrado no Apêndice B, onde são fornecidos os passos necessários para essa etapa.

2.2.2 Conversores Assimétricos - AMCSCs

Os conversores propostos adotam uma abordagem assimétrica, visando a redução de chaves, indutores, diodos e componentes como sensores e drivers. Apesar dessa assimetria, espera-se obter resultados tão satisfatórios quanto os alcançados pela topologia multinível convencional.

Serão abordadas nesta seção as topologias multiníveis assimétricas de cinco níveis com barramento em paralelo ilustradas nas Figuras 14a e 14b, assim como as topologias com barramento em série representadas nas Figuras 14c e 14d. Essas topologias podem ser utilizadas tanto como retificador quanto como inversor. A metodologia apresentada é aplicável a todos os casos, com a diferença sendo a forma de balanceamento das correntes. Para simplificar o processo, será explicada a metodologia para o AMCSI-P, com observações destacadas sempre que houver variações em relação ao retificador ou à topologia em série.

Figura 14 – Topologias AMCSCs.



Fonte: Elaboração própria.

As topologias propostas são totalmente funcionais mesmo com o número reduzido de chaves e indutores. Nos AMCSCs, o número de chaves é calculado por $6 + 3(m - 3)/2$ e o número de indutores por $(m - 1)/2$. Por exemplo, para cinco níveis tem-se 9 chaves e 2 indutores; sete níveis possui 12 chaves e 3 indutores; e assim por diante.

A modulação SVM é a mesma utilizada para os conversores convencionais, onde o vetor de referência é obtido como uma função dos três vetores mais próximos do vetor espacial (DING; LI, 2018). A diferença entre a topologia convencional e a proposta é o espaço vetorial.

Segundo o princípio da complementariedade horizontal dos CSCs, apenas uma chave de cada linha pode conduzir por vez. As correntes de filtro do conversor (I_{f_a} , I_{f_b} e I_{f_c}) podem ser calculadas conforme os estados das chaves e da corrente de barramento CC:

$$I_{f_a} = (h_{a_1} + h_{a_2} + \dots + h_{a_n} - nl_a) \frac{I_{cc}}{n}, \quad (2.23)$$

$$I_{f_b} = (h_{b_1} + h_{b_2} + \dots + h_{b_n} - nl_b) \frac{I_{cc}}{n}, \quad (2.24)$$

$$I_{f_c} = (h_{c_1} + h_{c_2} + \dots + h_{c_n} - nl_c) \frac{I_{cc}}{n}, \quad (2.25)$$

sendo h_{j_n} e l_{j_n} os estados específicos das chaves: se a chave é ligada, a variável assume valor '1'; se a chave é desligada, a grandeza assume o valor '0'.

Dado o conversor de 5 níveis, as Equações de (2.23)-(2.25) tornam-se:

$$I_{f_a} = (h_{a_1} + h_{a_2} - 2l_a) \frac{I_{cc}}{2}, \quad (2.26)$$

$$I_{f_b} = (h_{b_1} + h_{b_2} - 2l_b) \frac{I_{cc}}{2}, \quad (2.27)$$

$$I_{f_c} = (h_{c_1} + h_{c_2} - 2l_c) \frac{I_{cc}}{2}. \quad (2.28)$$

O AMCSC de cinco níveis apresenta 27 vetores; de sete níveis apresenta 81 vetores; de nove níveis 243 vetores, etc. Os vetores de AMCSC correspondem a uma redução de um 1/3 dos vetores do MCSC. Esta redução de complexidade é uma das vantagens da topologia proposta assimétrica, além da redução de custos. A partir das correntes I_{f_a} , I_{f_b} , e I_{f_c} , obtêm-se as correntes no referencial estacionário utilizando a transformada de *Clark* (Equação (A.4)).

A Tabela 10 apresenta alguns vetores para AMCSC de cinco níveis. Os vetores que geram os estados redundantes, como os vetores V e XI, são usados para o controle do balanceamento da corrente de barramento.

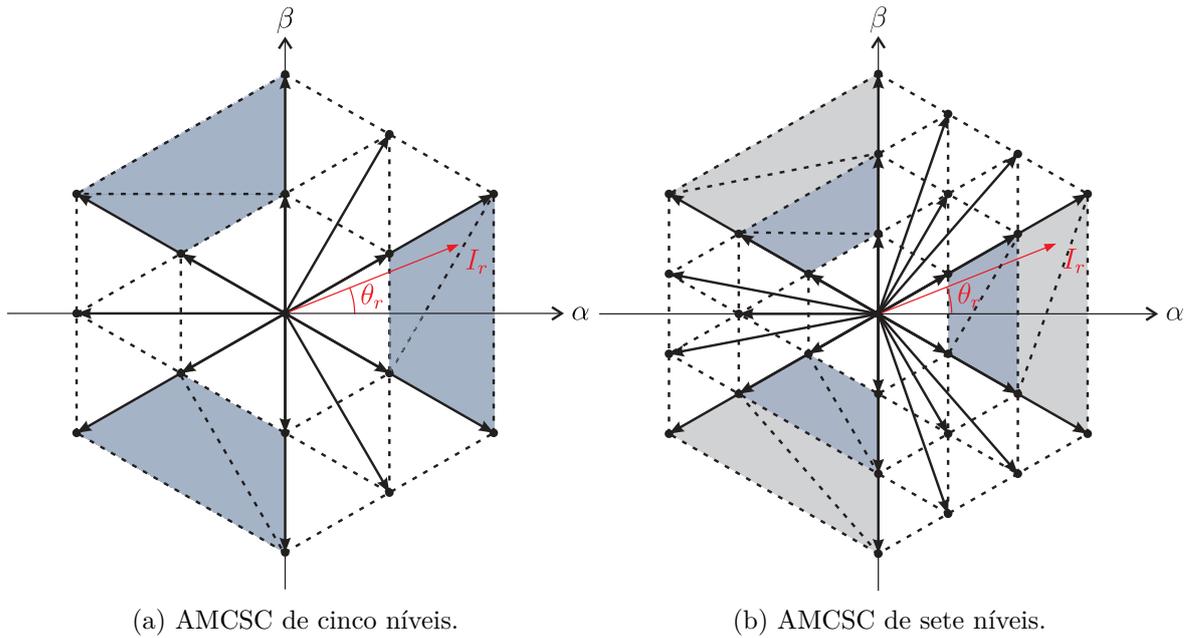
Ao empregar os vetores na Tabela 10 para I_α e I_β , é possível construir o espaço vetorial para o AMCSC. A Figura 15a ilustra esse espaço vetorial, representando o vetor de corrente de referência I_{ref}/θ_{ref} do AMCSC. Por outro lado, a Figura 15b apresenta o espaço vetorial do AMCSC de sete níveis. O AMCSC possui 21 regiões para o de cinco

Tabela 10 – Estados de I a XI para AMCSC.

h_{k_1}	h_{k_2}	l_k	I_{f_a}	I_{f_b}	I_{f_c}	I_α	I_β	$ I_f $	θ_f	Vetor (I_k)	Estado
a	a	a	0	0	0	0	0	0	0°	I_1	I
a	a	b	$+I_{cc}$	$-I_{cc}$	0	$+I_{cc}$	$-I_{cc}/\sqrt{3}$	$I_{cc}/\sqrt{3}$	330°	I_2	II
a	a	c	$+I_{cc}$	0	$-I_{cc}$	$+I_{cc}$	$+I_{cc}/\sqrt{3}$	$2I_{cc}/\sqrt{3}$	30°	I_3	III
a	b	a	$-I_{cc}/2$	$+I_{cc}/2$	0	$-I_{cc}/2$	$+I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	150°	I_4	IV
a	b	b	$+I_{cc}/2$	$-I_{cc}/2$	0	$+I_{cc}/2$	$-I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	330°	I_5	V
a	b	c	$+I_{cc}/2$	$+I_{cc}/2$	$-I_{cc}$	$+I_{cc}/2$	$+I_{cc}\sqrt{3}/2$	I_{cc}	60°	I_6	VI
a	c	a	$-I_{cc}/2$	0	$+I_{cc}/2$	$-I_{cc}/2$	$-I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	210°	I_7	VII
a	c	b	$+I_{cc}/2$	$-I_{cc}$	$+I_{cc}/2$	$+I_{cc}/2$	$-I_{cc}\sqrt{3}/2$	I_{cc}	300°	I_8	VIII
a	c	c	$+I_{cc}/2$	0	$-I_{cc}/2$	$+I_{cc}/2$	$+I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	30°	I_9	IX
b	a	a	$-I_{cc}/2$	$+I_{cc}/2$	0	$-I_{cc}/2$	$+I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	150°	I_{10}	X
b	a	b	$+I_{cc}/2$	$-I_{cc}/2$	0	$+I_{cc}/2$	$-I_{cc}/2\sqrt{3}$	$I_{cc}/\sqrt{3}$	330°	I_{11}	XI

níveis e 42 regiões para o de sete níveis. O vetor de referência $I_{ref} = I_\alpha + jI_\beta$ é gerado por meio da transformação de Clarke.

Figura 15 – Espaço vetorial.



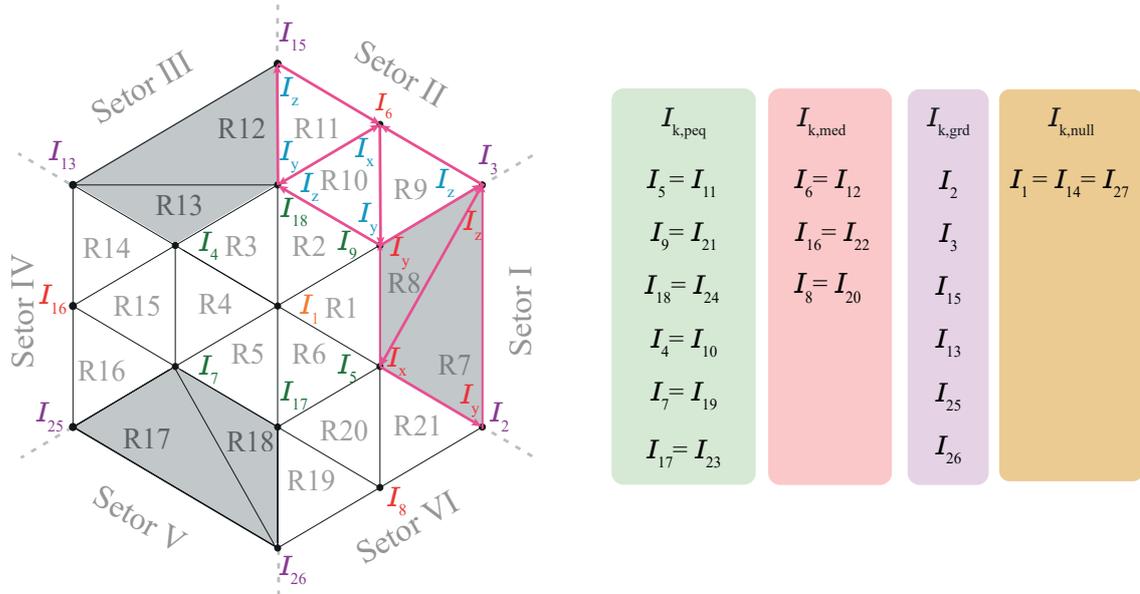
Fonte: Elaboração própria.

No caso do AMCSC de cinco níveis, é observado que existem 16 vetores, incluindo o vetor nulo. No espaço vetorial assimétrico, algumas regiões são definidas por 4 vetores. Dessa forma, são estabelecidas sub-regiões, como ilustrado na área destacada na Figura 15. Agora, o vetor de referência pode ser obtido a partir dos 3 vetores mais próximos.

Na Figura 16, são apresentados os vetores no espaço vetorial com a sequência utilizada e seus vetores redundantes ($I_x \rightarrow I_y \rightarrow I_z \rightarrow I_z \rightarrow I_y \rightarrow I_x$). Cada vetor k corresponde a uma sequência de chaveamento, como apresentado na Tabela 10. Optou-se

por iniciar a sequência a partir do vetor médio, para as regiões simétricas, seguindo o mesmo princípio apresentado para MCSC. Para as regiões assimétricas, utilizou-se também por um vetor em comum, só que neste caso é o vetor de menor módulo.

Figura 16 – Espaço vetorial com a sequência de vetores e seus redundantes para AMCSC.



Fonte: Elaboração própria.

2.2.2.1 Balanceamento das Correntes CC

Os conversores assimétricos AMCSCs oferecem a vantagem de ter menos vetores, resultando em menos vetores redundantes em comparação com a topologia convencional. Isso torna a estratégia de balanceamento da corrente mais simples. O AMCSC é composto por 27 vetores, dos quais 11 são vetores redundantes usados para alcançar o balanceamento da corrente CC (conforme ilustrado na Figura 16).

Vale lembrar que a assimetria da topologia proposta resulta em diferentes requisitos de corrente para as chaves. Neste caso, as chaves superiores irão conduzir cada $(1/2)I_{cc}$ ou 0. No entanto, as chaves inferiores irão conduzir o valor total da corrente de barramento CC, que pode ser I_{cc} , $(1/2)I_{cc}$ ou 0. Assim, enquanto as chaves da parte simétrica terão a corrente dividida entre elas, as da parte assimétrica terão que suportar n vezes mais corrente.

Dessa forma, o balanceamento da corrente CC é realizado seguindo o princípio de que se a corrente I_{cc1} está diminuindo, a corrente I_{cc2} deve aumentar. Em outras palavras, quando o indutor L_{cc1} está descarregando, o indutor L_{cc2} deve ser carregado, e vice-versa. Essa estratégia de balanceamento simplifica o controle do circuito, uma vez que apenas a relação entre as correntes CC nos indutores superiores ou inferiores precisa ser ajustada. Com menos vetores redundantes e indutores a serem balanceados, os conversores

assimétricos AMCSCs facilitam a implementação dessa estratégia de balanceamento, tornando o sistema mais simples de ser implementado.

Nos AMCSC-S, a soma das correntes de cada indutor são diferentes e deve sempre ser igual a corrente total do barramento CC. O balanceamento da corrente se dá de acordo com o seguinte princípio: se I_{cc_2} é menor que $I_{cc}/2$, I_{cc_2} deve aumentar, se não, deve diminuir. Em outras palavras, se L_{cc_2} está descarregando, L_{cc_2} deve carregar e vice-versa.

A análise do carregamento e descarregamento é a mesma para os dois tipos de conversores, mesmo que os indutores sejam conectados de maneira diferente no barramento. No caso do AMCSC-P, a análise do carregamento e descarregamento leva em consideração ambos os indutores, representados por L_{cc_1} e L_{cc_2} . Isso ocorre porque os indutores estão conectados em paralelo no barramento. Por outro lado, no caso do AMCSC-S, apenas o indutor L_{cc_2} é considerado na análise do carregamento e descarregamento. Apesar dessa diferença na configuração dos indutores, as tabelas e demonstrações que serão apresentadas a seguir são aplicáveis a ambos os casos, ou seja, tanto para o AMCSC-P quanto para o AMCSC-S.

Na Figura 16, pode-se observar que há apenas dois vetores redundantes para cada módulo e fase dos vetores. Por exemplo, o vetor pequeno na fase de 330° I_5 é igual apenas a I_{11} . Uma vantagem adicional é que, para reduzir o número de chaveamentos e componentes no sistema, não é necessário utilizar a análise das tensões máximas e mínimas. Isso evita o uso de sensores de tensão adicionais.

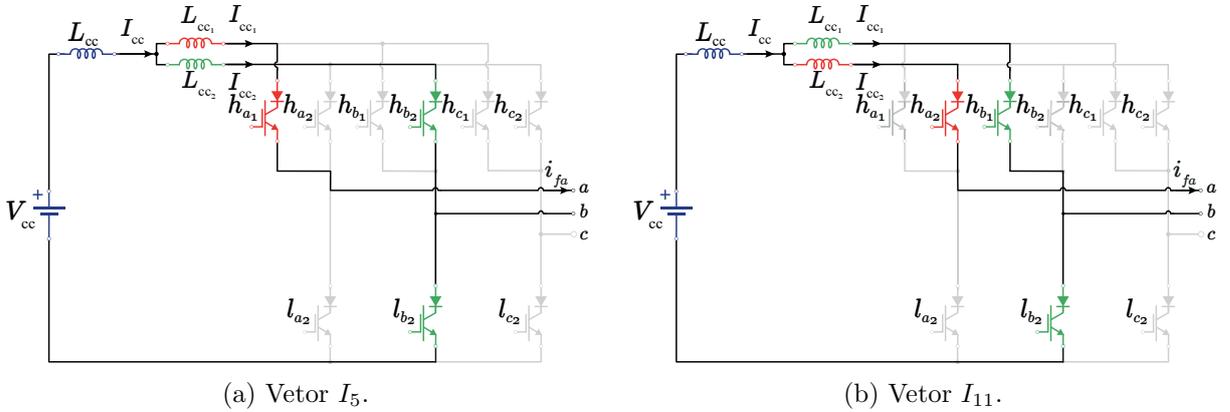
A Tabela 11 apresenta uma análise detalhada do carregamento e descarregamento dos indutores para o vetor I_x na região 7 (representado pelos vetores I_5 e I_{11}). As setas na tabela indicam quais indutores estão sendo carregados (\uparrow) ou descarregados (\downarrow) para cada combinação de chaveamento.

Tabela 11 – Vetores redundantes de I_x da região 7.

h_{k_1}	h_{k_2}	l_k	L_{cc_1}	L_{cc_2}	Vetor
a	b	b	\downarrow	\uparrow	I_5
b	a	b	\uparrow	\downarrow	I_{11}

A Figura 17 ilustra os diferentes caminhos da corrente durante o chaveamento na região 7 do conversor. Nessa figura, as cores verde e vermelho são utilizadas para identificar qual indutor está sendo carregado ou descarregado, respectivamente.

Ao analisar o vetor I_5 na Figura 17a, observa-se que as chaves h_{b_2} e l_{b_2} estão conduzindo. Isso resulta no carregamento do indutor L_{cc_2} , indicado pela cor verde. Ao mesmo tempo, o indutor L_{cc_1} está descarregando, conforme identificado pela cor vermelha.

Figura 17 – Estados de comutação do vetor I_x da região 7.


Fonte: Elaboração própria.

Da mesma forma, ao examinarmos o vetor I_{11} na Figura 17b, nota-se que as chaves h_{b1} e l_{b2} estão conduzindo. Isso resulta no carregamento do indutor L_{cc1} , destacado em verde.

Durante os estados de roda livre no modo de funcionamento do inversor, os indutores do conversor são carregados pela fonte de tensão CC. Por outro lado, nos estados ativos do conversor, tanto os indutores quanto a fonte de tensão CC fornecem energia para o lado CA do conversor, alimentando assim a carga conectada ao sistema.

Essa mesma estratégia de carga e descarga é aplicada ao funcionamento do retificador, com a diferença de que o comando de carga e descarga é invertido. Essa capacidade de operação bidirecional é uma característica importante da topologia proposta. Assim, a Tabela 12 apresenta as condições de chaveamento para o Setor I do conversor, enquanto a Tabela 13 mostra as condições de chaveamento para o Setor 2.

Tabela 12 – Condições de carregamento e descarregamento para o Setor I.

	Região 7		Região 8	
I_{xyz}	Condição	Vetor	Condição	Vetor
I_x	$I_{cc2} < I_{cc1}$	I_5	$I_{cc2} < I_{cc1}$	I_5
	$I_{cc2} > I_{cc1}$	I_{11}	$I_{cc2} > I_{cc1}$	I_{11}
I_y		I_2	$I_{cc2} < I_{cc1}$	I_9
			$I_{cc2} > I_{cc1}$	I_{21}
I_z		I_3		I_3

As Tabelas resumem as diferentes condições de carregamento e descarregamento dos indutores nos vetores I_x , I_y e I_z . Cada região possui suas próprias condições e vetores correspondentes, determinados pelas relações entre as correntes nos indutores. Essas condições se referem especificamente à operação do sistema como inversor. No entanto, caso o sistema seja utilizado como retificador, a lógica de carregamento e descarregamento

Tabela 13 – Condições de carregamento e descarregamento para o Setor II.

I_{xyz}	Região 9		Região 10		Região 11	
	Condição	Vetor	Condição	Vetor	Condição	Vetor
I_x	$I_{cc2} < I_{cc1}$	I_6	$I_{cc2} < I_{cc1}$	I_6	$I_{cc2} < I_{cc1}$	I_6
	$I_{cc2} > I_{cc1}$	I_{12}	$I_{cc2} > I_{cc1}$	I_{12}	$I_{cc2} > I_{cc1}$	I_{12}
I_y	$I_{cc2} < I_{cc1}$	I_9	$I_{cc2} < I_{cc1}$	I_9	$I_{cc2} < I_{cc1}$	I_{18}
	$I_{cc2} > I_{cc1}$	I_{21}	$I_{cc2} > I_{cc1}$	I_{21}	$I_{cc2} > I_{cc1}$	I_{24}
I_z		I_3	$I_{cc2} < I_{cc1}$	I_{18}		I_{15}
			$I_{cc2} > I_{cc1}$	I_{24}		

é invertida. Nesse caso, o que estava carregando no funcionamento como inversor passa a descarregar como retificador, e vice-versa. Portanto, para utilizar o sistema como retificador, basta inverter a lógica apresentada nas Tabelas 12 e 13.

2.2.2.2 Estratégia de Controle

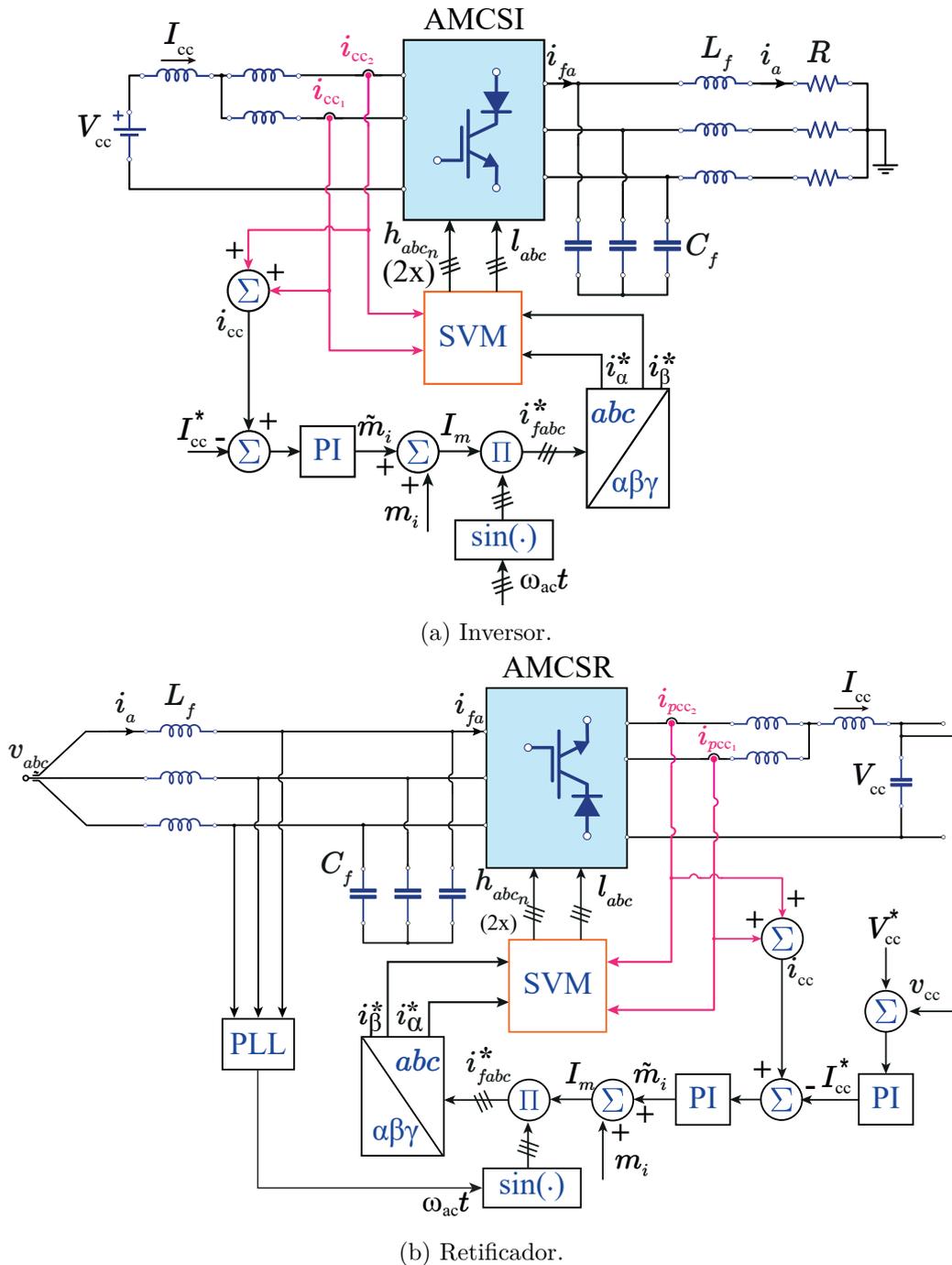
As Figuras 18a e 18b ilustram a estratégia de controle tanto para o funcionamento como inversor quanto como retificador, respectivamente.

No caso do retificador, o controle é realizado em cascata, onde são empregadas duas malhas de controle: uma interna de corrente e outra externa de tensão. A malha interna de corrente é responsável por controlar a corrente do barramento CC (i_{cc}). Quando ocorrem variações na carga, a tensão do barramento também pode variar, mas a corrente precisa ser mantida constante. Para isso, utiliza-se a malha interna de corrente para garantir que as correntes do barramento permaneçam iguais. A malha externa de controle é responsável por controlar a tensão do barramento de corrente contínua através de uma referência de tensão (V_{cc}^*). Essa referência é comparada com a tensão medida no barramento (v_{cc}), gerando um sinal de erro. Esse sinal de erro é então processado por um controlador PI (Proporcional-Integral) para gerar o valor da amplitude da corrente de referência (i_{cc}^*).

A malha interna de corrente compara a corrente de referência, obtida pela soma das correntes do barramento ($i_{cc1} + i_{cc2}$), com a corrente medida no barramento. O sinal de erro resultante é processado por outro controlador PI para gerar o valor da variação do índice de modulação (\tilde{m}_i). Esse valor de modulação é somado a um índice de modulação fixo (m_i) resultando na amplitude (I_m) das correntes de referência (i_{fabc}^*). Os sinais de corrente resultantes (i_α e i_β) são então enviados para a modulação vetorial. A modulação vetorial, juntamente com as correntes do barramento, é utilizada para escolher os vetores e determinar o acionamento das chaves (h_{abc_n} e l_{abc}) a serem enviados para o conversor.

Para a conexão com a rede elétrica, utiliza-se um PLL que realiza a sincronização

Figura 18 – Diagramas de controle do sistema AMCSC.



Fonte: Elaboração própria.

da fase da tensão dos capacitores com a corrente de referência que comandará a PWM. Nos casos em que não há conexão com a rede, quando a operação é como inversor, uma senoide com fase arbitrária é utilizada para obter a referência senoidal.

A modelagem do sistema e a determinação dos ganhos dos controladores são realizadas seguindo o método apresentado em Vitorino (2019) e Ries (2018). O procedimento

detalhado pode ser encontrado no Apêndice B, onde são fornecidos os passos necessários para essa etapa.

2.3 Conversores Multiníveis Fonte de Corrente Com Número Reduzido de Diodos

Nos conversores fonte de corrente (CSCs), é comum utilizar um diodo em série com o IGBT ou MOSFET, resultando em uma chave bidirecional de tensão e unidirecional de corrente. No entanto, essa estrutura não é intrínseca ao dispositivo e é necessária apenas em poucas aplicações. Isso se torna uma desvantagem nos CSCs, pois a adição de um diodo em série ao componente aumenta o tamanho do conversor e resulta em perdas adicionais.

Conforme mencionado anteriormente, os conversores fonte de corrente são menos utilizados em comparação com os conversores fonte de tensão, e uma das razões para isso é a produção em larga escala de MOSFETs ou IGBTs com um diodo anti-paralelo. Por outro lado, os conversores fonte de corrente requerem a inclusão de um diodo em série com as chaves, o que dificulta sua implementação, uma vez que os IGBTs encapsulados com essa característica (RB-IGBTs) não são produzidos em larga escala e para baixas-médias potências.

Diante dessa limitação, são propostas topologias que visam reduzir o número de diodos, contribuindo para a redução de custos e volume do conversor, além de resolver as restrições impostas pela disponibilidade de IGBTs ou MOSFETs encapsulados com diodos em série, simplificando sua implementação.

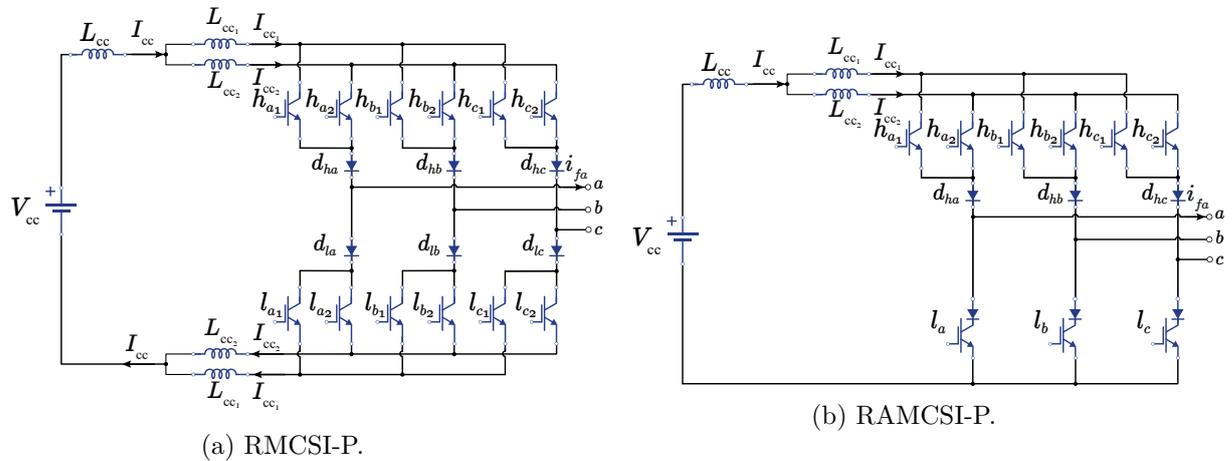
Na Figura 19 são apresentadas as configurações propostas. A análise será realizada para as configurações operando como inversor e com barramento em paralelo. É importante ressaltar que a mesma análise pode ser aplicada aos casos de operação como retificador e com barramento em série.

É importante destacar a diferença fundamental entre os requisitos de corrente dos diodos na topologia convencional e proposta. Na topologia convencional, os diodos conduzem apenas metade da corrente total. No entanto, na topologia proposta, os diodos são projetados para conduzir a corrente total, o que exige que sejam dimensionados para uma capacidade de corrente maior.

Apesar das vantagens em relação aos custos/volume e simplificação na sua implementação, existem limitações específicas a serem consideradas. Uma dessas limitações é a necessidade de usar a chave sem o diodo em antiparalelo.

A ausência dos diodos em série com cada chave na topologia proposta resulta em

Figura 19 – Topologias Propostas RMCS e RAMCS.



Fonte: Elaboração própria.

um caminho alternativo para a corrente através do diodo em antiparalelo, o que pode causar distorções indesejáveis na corrente e afetar o funcionamento adequado do conversor. Essa restrição implica que o uso de MOSFETs não seja adequado nessa configuração, sendo necessário recorrer aos IGBTs. No entanto, é importante observar que os IGBTs não oferecem o bloqueio da tensão inversa, o que pode limitar a eficiência e a faixa de operação do conversor. Portanto, é fundamental avaliar cuidadosamente as características e as necessidades do sistema antes de adotar a topologia proposta, levando em consideração tanto as vantagens quanto as limitações apresentadas.

Em relação à modulação vetorial e às estratégias de balanceamento e controle, a topologia proposta segue os mesmos princípios e técnicas apresentados nas seções anteriores, referentes às topologias MCS e AMCS.

2.4 Conclusões

Neste capítulo, realizou-se um estudo aprofundado sobre os conversores fonte de corrente, abordando a operação e a implementação da modulação vetorial para as topologias convencionais e as propostas com barramento compartilhado.

As topologias convencionais exigem uma análise mais extensa das técnicas de balanceamento e da implementação vetorial, em comparação com as topologias assimétricas. Isso se deve ao maior número de chaves controladas. No entanto, elas também proporcionam uma maior liberdade de controle, devido à disponibilidade de muitos vetores redundantes - um total de 63, em contraste com os 11 vetores no caso assimétrico. Além disso, as topologias convencionais têm a vantagem de conseguir sintetizar a corrente multinível

simétrica de forma mais eficiente em uma forma de onda senoidal.

Contudo, dependendo das restrições do projeto, como limitações de espaço na placa, considerações de custo e a busca por um controle mais simplificado com menos sensores e vetores (27 contra 81 nas convencionais) para o acionamento das chaves, a topologia proposta se torna atrativa.

Por fim, foram abordadas as topologias que reduzem o número de diodos, trazendo vantagens em termos de custo e implementação, devido à redução do número de componentes e atual limitação associadas à escassez de RB-IGBTs no mercado. Ao apresentar esta nova topologia, o trabalho visa aumentar a competitividade dos conversores fonte de corrente, principalmente em termos de produção em larga escala e custo-benefício. No entanto, elas também apresentam limitações, como a exigência de apenas IGBTs para a implementação.

Vale destacar que todas as topologias apresentadas são bidirecionais, o que aumenta sua versatilidade e aplicabilidade.

Conversores Multiníveis Fonte de Corrente com Duplo Barramento

Neste capítulo, serão abordados a operação dos conversores multiníveis fonte de corrente com duplo barramento. Abrangendo tanto as topologia convencional quanto a proposta com reduzido número de chaves ativas, operando como retificador. Serão detalhados os aspectos da modulação PWM, estratégias de controle e os métodos empregados para o balanceamento da corrente no barramento CC.

3.1 Conversor Convencional - MCSC-DB

Conversor multinível fonte de corrente com duplo barramento (MCSC-DB) permite a criação de correntes multiníveis usando múltiplas células de três níveis conectadas em paralelo e com barramentos separados. Essa topologia é especialmente adequada para aplicações que requerem um alto nível de qualidade de energia, como sistemas de transmissão de energia e sistemas de energia renovável.

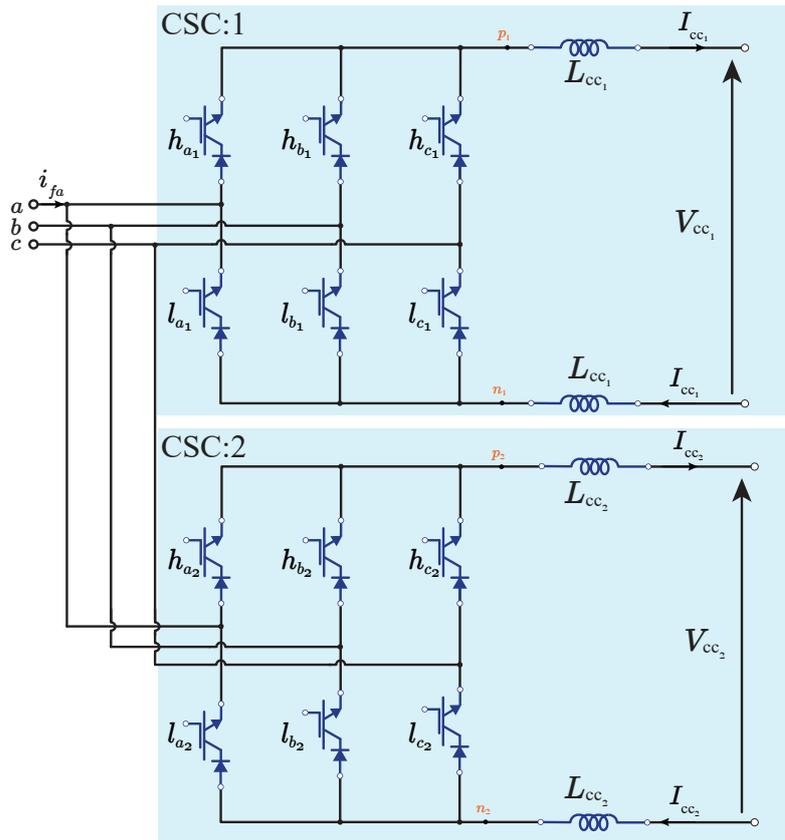
Uma característica importante do MCSC-DB é a presença de um barramento CC separado. O barramento CC pode ser alimentado por uma fonte externa, como uma bateria ou um retificador. A configuração com barramento CC separado difere da topologia multinível em cascata fonte de tensão (CHB-MVSC). Enquanto a CHB-MVSC utiliza múltiplas células em cascata para gerar as tensões desejadas, a MCSC-DB utiliza múltiplas células em paralelo com um barramento CC separado para atingir a topologia multinível desejada.

No entanto, assim como outras topologias multiníveis, a MCSC-DB também apre-

senta dificuldades em termos de complexidade de controle e maior número de componentes, o que pode resultar em custos mais altos. Essa topologia oferece vantagens por não ter problemas no balanceamento da corrente, mas o uso de diversas fontes de corrente pode se tornar um problema. Especialmente em aplicações de acionamento, essas fontes de corrente CC precisam ser obtidas de múltiplos retificadores fonte de corrente com transformador de deslocamento de fase. Dessa forma, as correntes CC iguais podem ser obtidas controlando o retificador, o que evita problemas de desequilíbrio. Os inversores também podem ser operados com padrões de chaveamento fixos (GNANASAMBANDAM et al., 2017; GUZMÁN et al., 2010).

Este trabalho se concentra nas topologias de retificador de cinco níveis, conforme ilustrado na Figura 20. No entanto, a análise também é aplicável para o funcionamento como inversor e pode ser estendida para topologias de m níveis.

Figura 20 – MCSR-DB.



Fonte: Elaboração própria.

As correntes de saída do conversor (I_{fa}, I_{fb}, I_{fc}) podem ser escritas em função dos estados das chaves e da corrente de barramento CC:

$$I_{fa} = (h_{a1} - l_{a1})I_{cc_1} + (h_{a2} - l_{a2})I_{cc_2} + \dots + (h_{a_n} - l_{a_n})I_{cc_n}, \quad (3.1)$$

$$I_{fb} = (h_{b1} - l_{b1})I_{cc_1} + (h_{b2} - l_{b2})I_{cc_2} + \dots + (h_{b_n} - l_{b_n})I_{cc_n}, \quad (3.2)$$

$$I_{f_c} = (h_{c_1} - l_{c_1})I_{cc_1} + (h_{c_2} - l_{c_2})I_{cc_2} + \dots (h_{c_n} - l_{c_n})I_{cc_n}. \quad (3.3)$$

Observa-se que as equações diferem das apresentadas na seção 2.2.1 para MCSC (Equações (2.9) a (2.11)). Neste caso, há a possibilidade das correntes serem diferentes, porém, o espaço vetorial é modificado, os estados redundantes são perdidos e o padrão da forma de onda multinível é modificado, obtendo para o caso de dois CSC em paralelo, 9 níveis $(I_{cc_1} + I_{cc_2}, I_{cc_1}, I_{cc_2}, I_{cc_1} - I_{cc_2}, 0, I_{cc_2} - I_{cc_1}, -I_{cc_2}, -I_{cc_1}, -(I_{cc_1} + I_{cc_2}))$ para $I_{cc_1} > I_{cc_2}$. Isso também introduz os componentes harmônicos de baixa frequência na corrente chaveada, deteriorando assim a distorção harmônica total (THD). Alguns artigos introduzem técnicas de reduzir essa distorção da forma de onda e melhorar a qualidade da corrente, como em Vekhande, Kothari e Fernandes (2015). No entanto, será abordado apenas MCSR-DB com as correntes de barramento iguais.

Dado o conversor de 5 níveis, as Equações de (3.1)-(3.3) tornam-se:

$$I_{f_a} = (h_{a_1} - l_{a_1})I_{cc_1} + (h_{a_2} - l_{a_2})I_{cc_2}, \quad (3.4)$$

$$I_{f_b} = (h_{b_1} - l_{b_1})I_{cc_1} + (h_{b_2} - l_{b_2})I_{cc_2}, \quad (3.5)$$

$$I_{f_c} = (h_{c_1} - l_{c_1})I_{cc_1} + (h_{c_2} - l_{c_2})I_{cc_2}. \quad (3.6)$$

Dessa forma, é gerada a Tabela 14, que exhibe as opções de chaveamento para determinados vetores do MCSC-DB.

Tabela 14 – Estados de I até XI para MCSC-DB $(I_{f_a}, I_{f_b}, I_{f_c})$.

h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	I_{f_a}	I_{f_b}	I_{f_c}	$I_{cc_1} = I_{cc_2}$			Vetor	Estado
							I_{f_a}	I_{f_b}	I_{f_c}		
a	a	a	a	0	0	0	0	0	0	I_1	I
a	a	a	b	I_{cc_2}	$-I_{cc_2}$	0	I_{cc}	$-I_{cc}$	0	I_2	II
a	a	a	c	I_{cc_2}	0	$-I_{cc_2}$	I_{cc}	0	$-I_{cc}$	I_3	III
a	a	b	a	I_{cc_1}	$-I_{cc_1}$	0	I_{cc}	$-I_{cc}$	0	I_4	IV
a	a	b	b	$I_{cc_1} + I_{cc_2}$	$-I_{cc_1} - I_{cc_2}$	0	$2I_{cc}$	$-2I_{cc}$	0	I_5	V
a	a	b	c	$I_{cc_1} + I_{cc_2}$	$-I_{cc_1}$	$-I_{cc_2}$	$2I_{cc}$	$-I_{cc}$	$-I_{cc}$	I_6	VI
a	a	c	a	I_{cc_1}	0	$-I_{cc_1}$	I_{cc}	0	$-I_{cc}$	I_7	VII
a	a	c	b	$I_{cc_1} + I_{cc_2}$	$-I_{cc_2}$	$-I_{cc_1}$	$2I_{cc}$	$-I_{cc}$	$-I_{cc}$	I_8	VIII
a	a	c	c	$I_{cc_1} + I_{cc_2}$	0	$-I_{cc_1} - I_{cc_2}$	$2I_{cc}$	0	$-2I_{cc}$	I_9	IX
a	b	a	a	$-I_{cc_2}$	I_{cc_2}	0	$-I_{cc}$	I_{cc}	0	I_{10}	X
a	b	a	b	0	0	0	0	0	0	I_{11}	XI

Para as correntes de barramento iguais, a abordagem apresentada em 2.2.1 para o MCSC é a mesma. A estratégia de balanceamento das correntes CC visa manter ambas

as correntes iguais. Neste caso, não serão considerados o balanceamento dos indutores superiores ou inferiores, e sim a corrente que circula por cada CSC (CSC-1 e CSC-2). No Apêndice A, é apresentada o detalhamento da modulação SVM nos CSCs. A obtenção das correntes no referencial estacionário será possível através da Transformada de *Clark* (transformação *alpha-beta*) e da Equação (A.4).

3.1.1 Balanceamento das Correntes CC

O balanceamento da corrente se dá de acordo com o seguinte princípio: se I_{cc2} é menor que I_{cc1} , I_{cc2} deve aumentar, se não, deve diminuir.

Conforme discutido na seção 2.2.1.1, o objetivo do balanceamento da corrente é reduzir a magnitude da tensão de modo comum. Nesse contexto, a corrente que passa pelos indutores L_{cc1} são iguais, sendo suficiente controlar apenas a corrente em um desses indutores. Portanto, das quatro opções apresentadas na Tabela 15 (isto é, I_{24} , I_{26} , I_{62} e I_{60}) para a Região 7, apenas os vetores I_{24} e I_{62} possui a roda-livre e serão utilizados para o carregamento e descarregamento dos indutores.

Tabela 15 – Vetores redundantes de I_z da região 7 para MCSC-DB.

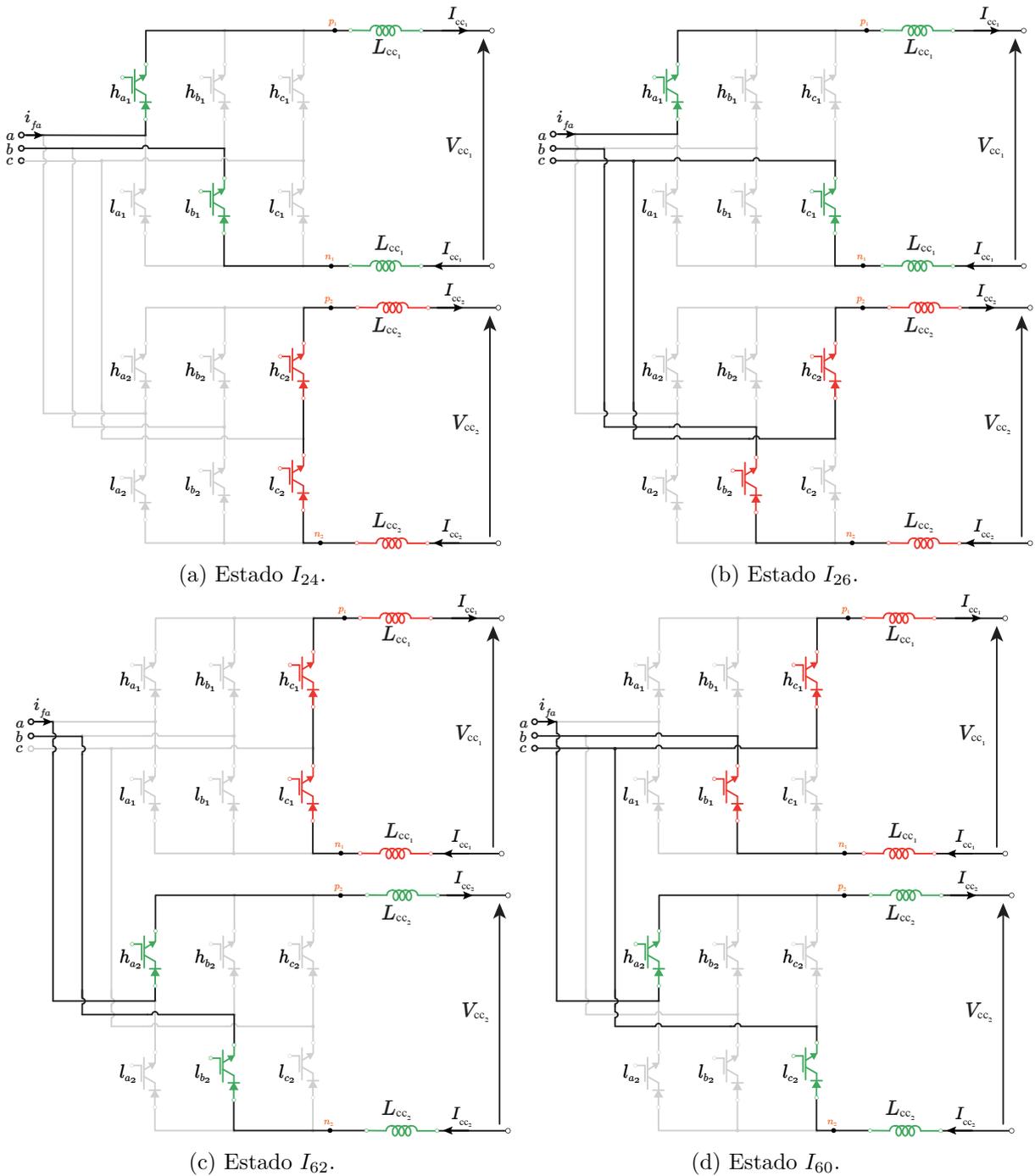
h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	v_{mc}	L_{p_1}	L_{p_2}	L_{n_1}	L_{n_2}	Vetor
a	a	b	a	$0,75v_a + 0,25v_b$	↑	↓	↑	↓	I_4
a	a	a	b	$0,75v_a + 0,25v_b$	↓	↑	↓	↑	I_2
a	b	b	b	$0,25v_a + 0,75v_b$	↑	↓	↑	↓	I_{14}
b	a	b	b	$0,25v_a + 0,75v_b$	↓	↑	↓	↑	I_{32}
a	c	b	c	$0,25v_c$	↑	↓	↑	↓	I_{24}
a	c	c	b	$0,25v_c$	↑	↓	↑	↓	I_{26}
c	a	c	b	$0,25v_c$	↓	↑	↓	↑	I_{62}
c	a	b	c	$0,25v_c$	↓	↑	↓	↑	I_{60}

É importante lembrar que essa análise está sendo feita considerando o caso de um retificador, portanto, a lógica de carregamento e descarregamento dos indutores é invertida. Assim, a roda livre, nesse caso, é responsável pela descarga dos indutores. No caso dos vetores I_{26} e I_{60} observa-se que como a tensão $v_b < v_c$ o vetor I_{26} tende a descarregar o L_{cc2} enquanto o vetor I_{60} tende a descarregar o indutor L_{cc1} . No entanto, como o vetores I_{24} e I_{26} possuem a mesma função de carregar os indutores do primeiro circuito enquanto os vetores I_{62} e I_{60} carregam os indutores do segundo circuito, serão escolhidos os vetores que possuem a roda-livre já que facilita no descarregamento dos indutores.

Na Figura 21 são apresentados os caminhos da corrente durante o chaveamento na região 7. Nessa representação, a cor verde indica o indutor em processo de carga, enquanto a cor vermelha indica o indutor em processo de descarga. Por exemplo, no vetor I_{24} (Figura

21a), as chaves h_{c2} e l_{c2} estão conduzindo, resultando na descarga dos indutores L_{cc2} , enquanto os indutores L_{cc1} estão em processo de carga. Por outro lado, o oposto ocorre na Figura 21c, e nas Figuras 21b e 21d, todos os indutores estão em processo de carga, uma vez que não há modo de roda livre.

Figura 21 – Estados de comutação do vetor I_z da região 7 ($v_{a,max}$ e $v_{b,min}$) do MCSC-DB.



Fonte: Elaboração própria.

Nas regiões 7 e 9, não ocorrem transições de tensão máximas e mínimas. Portanto,

as condições de carregamento e descarregamento nessas regiões são determinadas exclusivamente pelas correntes em cada indutor. Isso significa que as correntes nos indutores estabelecem as condições de operação nessas regiões, sem a influência direta das transições de tensão.

Por outro lado, na região 8, o vetor de corrente I_x é afetado pela transição de tensão. Isso significa que a configuração do circuito e a transição de tensão específica nessa região também influenciarão o vetor de corrente I_x . Essa relação entre a transição de tensão e o vetor de corrente é descrita na Tabela 5, conforme apresentado na seção 2.2.1.1. A Tabela 16 fornece detalhes sobre as possibilidades de chaveamento da corrente quando ocorre a transição de tensão mínima de v_b para v_c .

Tabela 16 – Vetores redundantes de I_x da região 8 ($v_b \rightarrow v_c$).

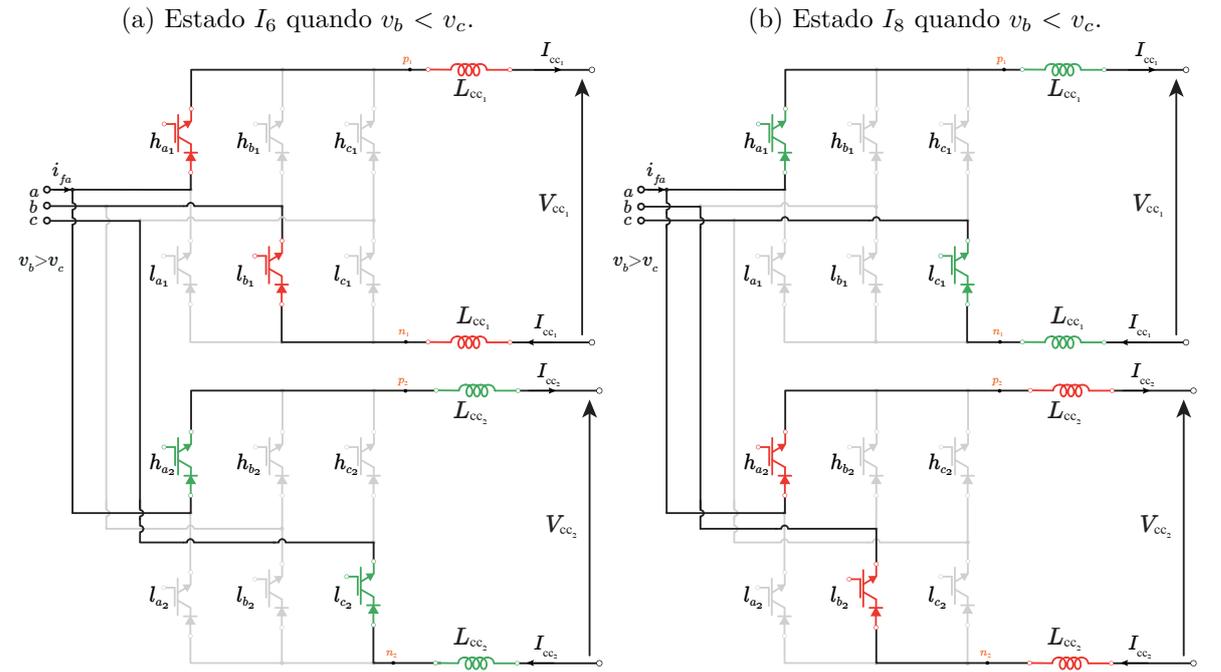
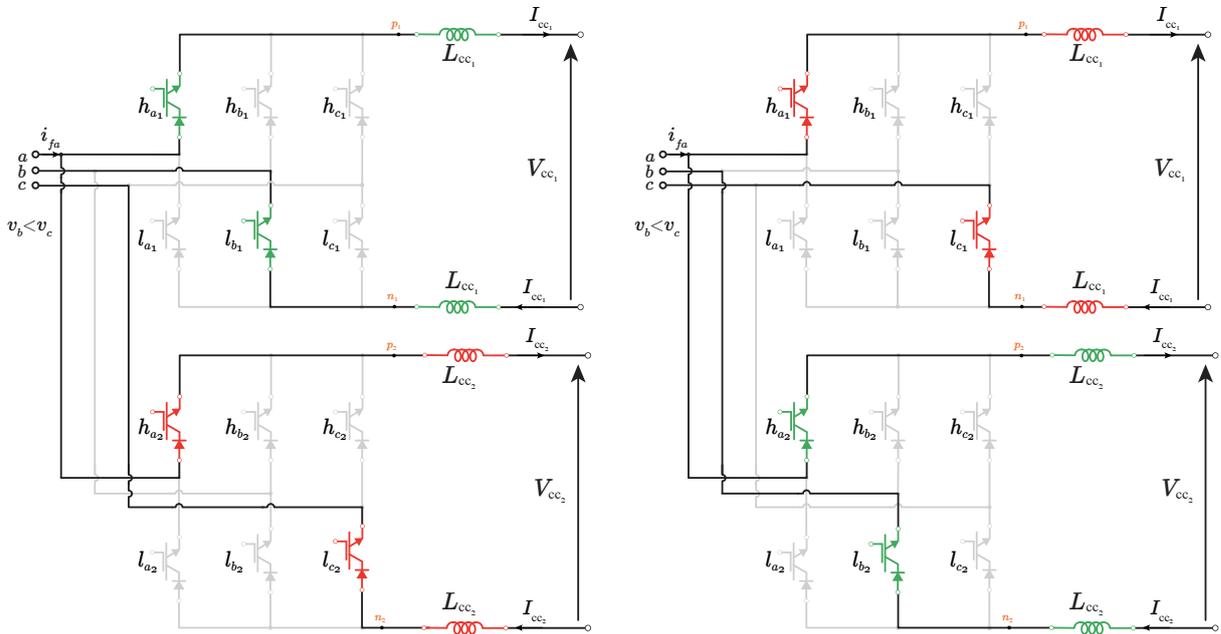
h_{j_1}	h_{j_2}	l_{j_1}	l_{j_2}	v_{min}	L_{p_1}	L_{p_2}	L_{n_1}	L_{n_2}	Vetor
a	a	b	c	v_b	↑	↓	↑	↓	I_6
				v_c	↓	↑	↓	↑	
a	a	c	b	v_b	↓	↑	↓	↑	I_8
				v_c	↑	↓	↑	↓	

Na Figura 12, são apresentados os caminhos da corrente para o vetor I_x na região 8. Nessa representação, as cores verde e vermelho são usadas para identificar quais indutores estão sendo carregados ou descarregados, respectivamente. Nesse caso, existem apenas dois vetores a serem considerados, mas a escolha entre eles depende da tensão mínima. Por exemplo, no vetor I_6 (Figura 12a), quando a tensão v_b é menor que a tensão v_c a chave que está conectada a esse tensão tenderá a carregar e vice-versa.

Após analisar as diferentes combinações e possibilidades de chaveamento, é possível determinar as condições de operação e os vetores de corrente associados a cada condição de balanceamento. Essas informações são apresentadas na Tabela 17 para o Setor I.

A Tabela resume as diferentes condições de carregamento e descarregamento dos indutores nos vetores I_x , I_y e I_z para o Setor I. Caso o sistema seja utilizado como inversor, a lógica de carregamento e descarregamento é invertida. Nesse caso, o que estava carregando no funcionamento como retificador passa a descarregar como inversor, e vice-versa.

Figura 22 – Estados de comutação do vetor I_x da região 8 ($v_b \rightarrow v_c$).



Fonte: Elaboração própria.

Tabela 17 – Condições de carregamento e descarregamento para o Setor I do MCSR-DB.

I_{xyz}	Região 7		$v_b \rightarrow v_c$	Região 8		Região 9	
	Condição	Vetor		Condição	Vetor	Condição	Vetor
I_x	$i_{cc2} > i_{cc1}$	I_6	$v_b < v_c$	$i_{cc2} > i_{cc1}$	I_6	$i_{cc2} > i_{cc1}$	I_8
			$v_b > v_c$	$i_{cc2} < i_{cc1}$			
	$i_{cc2} < i_{cc1}$	I_8	$v_b < v_c$	$i_{cc2} < i_{cc1}$	I_8	$i_{cc2} < i_{cc1}$	I_6
			$v_b > v_c$	$i_{cc2} < i_{cc1}$			
I_y		I_5		$i_{cc2} > i_{cc1}$	I_{24}		I_9
				$i_{cc2} < i_{cc1}$	I_{62}		
I_z	$i_{cc2} > i_{cc1}$	I_{24}		$i_{cc2} > i_{cc1}$	I_{17}	$i_{cc2} > i_{cc1}$	I_{17}
	$i_{cc2} < i_{cc1}$	I_{62}		$i_{cc2} < i_{cc1}$	I_{33}	$i_{cc2} < i_{cc1}$	I_{33}

3.2 Retificador com Número Reduzido de Chaves Ativas - RMCSR-DB

Com o objetivo de aprimorar a eficiência, reduzir custos e simplificar a implementação dos conversores multiníveis, tem havido um interesse crescente no desenvolvimento de topologias alternativas que permitam uma redução no número de chaves sem comprometer o desempenho do sistema. Uma abordagem promissora nesse sentido é a substituição de conjuntos de chaves por diodos.

A topologia proposta com redução de chaves ativa visa proporcionar os benefícios dos conversores multiníveis, como menor distorção harmônica, melhor qualidade de energia e menor estresse nos componentes, ao mesmo tempo em que simplifica o circuito e diminui a quantidade de dispositivos de chaveamento.

O RMCSR-DB consiste em substituir um grupo de chaves, seja no ramo superior ou inferior do conversor, por diodos. Essa substituição estratégica é cuidadosamente projetada para manter o mesmo número de níveis da topologia convencional, garantindo assim que as características de desempenho sejam preservadas. Ao empregar diodos em vez de chaves, a topologia reduz a complexidade do circuito, o número de componentes e os custos associados, sem sacrificar a funcionalidade e o desempenho geral do conversor.

Nesta seção, serão explorados em detalhes a topologia RMCSR-DB (Figura 23), apresentando sua operação, princípios de modulação PWM e estratégias de balanceamento das correntes.

Para a topologia proposta de cinco níveis, a análise feita é semelhante a convencional. Neste caso, os diodos de cada fase vão conduzir de acordo com a tensão máxima ou mínima aplicada sobre ele. As equações das correntes de entrada para a topologia RMCSR-DB são:

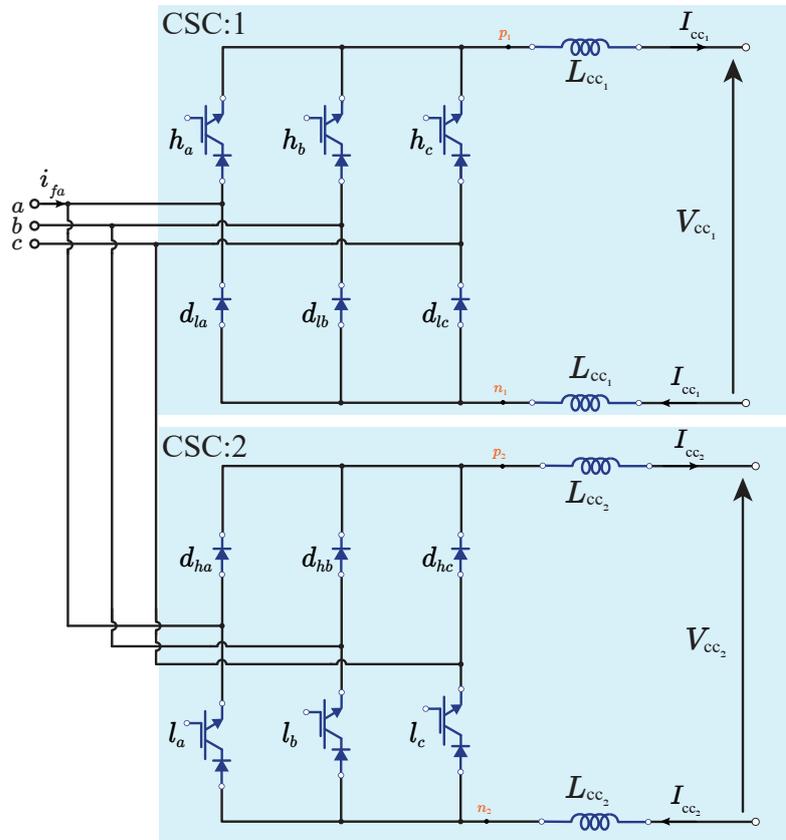
$$I_{f_a} = (h_a - d_{la})I_{cc_1} + (d_{ha} - l_a)I_{cc_2}, \text{ para } d_{ha} \neq d_{la} \quad (3.7)$$

$$I_{f_b} = (h_b - d_{lb})I_{cc_1} + (d_{hb} - l_b)I_{cc_2}, \text{ para } d_{hb} \neq d_{lb} \quad (3.8)$$

$$I_{f_c} = (h_c - d_{lc})I_{cc_1} + (d_{hc} - l_c)I_{cc_2}, \text{ para } d_{hc} \neq d_{lc}. \quad (3.9)$$

Para as correntes de barramento iguais, a abordagem utilizada no RMCSR-DB é semelhante à estratégia apresentada na seção 3.1. No entanto, existem diferenças devido ao número reduzido de vetores disponíveis, devido às limitações de condução dos diodos. Nessa topologia, os diodos superiores só conduzem quando a tensão da fase é a mais positiva, enquanto os diodos inferiores conduzem quando a tensão da fase é a mais negativa.

Figura 23 – RMCSR-DB.



Fonte: Elaboração própria.

A Tabela 18 lista os estados de I até XI para a topologia RMCSR-DB, fornecendo os valores das correntes de entrada do filtro correspondentes a cada estado. É importante observar que, quando a tensão máxima $v_{a,max}$ e a tensão mínima $v_{b,min}$ são aplicadas, os diodos d_{ha} e d_{lb} conduzem.

 Tabela 18 – Estados de I até XI para RMCSR-DB (I_{fa} , I_{fb} , I_{fc}).

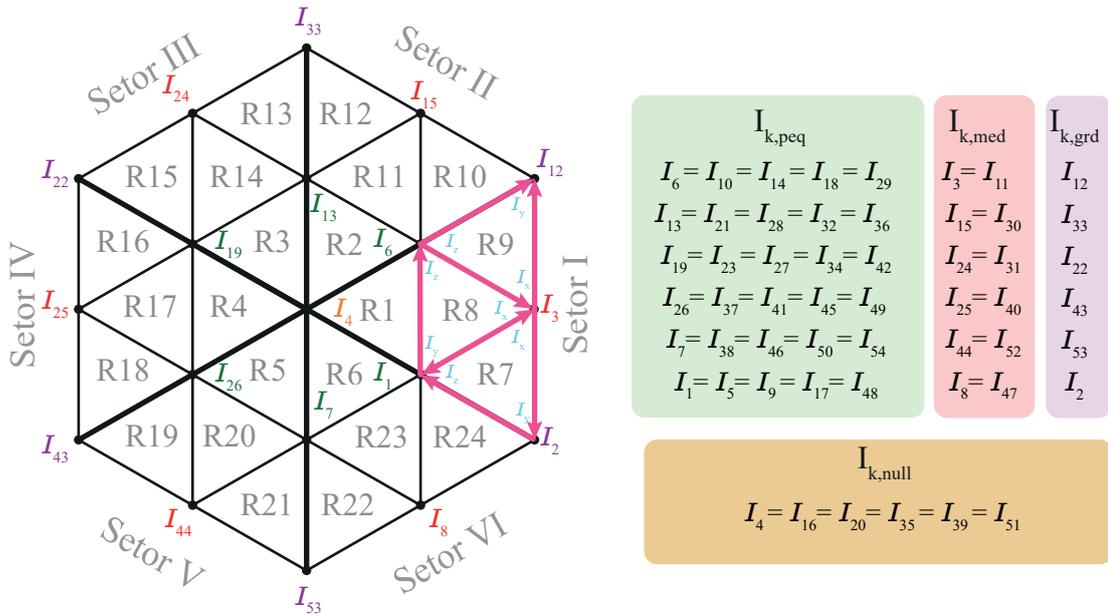
v_{max}	v_{min}	d_{hj}	d_{lj}	h_j	l_j	I_{fa}	I_{fb}	I_{fc}	Vetor	Estado
v_a	v_b	a	b	a	a	$+I_{cc1}$	$-I_{cc1}$	0	I_1	I
v_a	v_b	a	b	a	b	$+I_{cc1} + I_{cc2}$	$-I_{cc1} - I_{cc2}$	0	I_2	II
v_a	v_b	a	b	a	c	$+I_{cc1} + I_{cc2}$	$-I_{cc1}$	$-I_{cc2}$	I_3	III
v_a	v_b	a	b	b	a	0	0	0	I_4	IV
v_a	v_b	a	b	b	b	$+I_{cc2}$	$-I_{cc2}$	0	I_5	V
v_a	v_b	a	b	b	c	$+I_{cc2}$	0	$-I_{cc2}$	I_6	VI
v_a	v_b	a	b	c	a	0	$-I_{cc1}$	I_{cc1}	I_7	VII
v_a	v_b	a	b	c	b	$+I_{cc2}$	$-I_{cc1} - I_{cc2}$	I_{cc1}	I_8	VIII
v_a	v_b	a	c	c	c	$+I_{cc2}$	$-I_{cc1}$	0	I_9	IX
v_a	v_c	a	c	a	a	$+I_{cc1}$	0	$-I_{cc1}$	I_{10}	X
v_a	v_c	a	c	a	b	$+I_{cc1} + I_{cc2}$	$-I_{cc2}$	$-I_{cc1}$	I_{11}	XI

Essa estratégia de condução dos diodos permite o fluxo de corrente adequado para o balanceamento das correntes de CC e a operação correta do conversor. Ao analisar a tabela de estados, é possível entender a dinâmica das correntes de entrada do filtro e identificar quais diodos estão conduzindo em cada situação.

A partir das correntes I_{fa} , I_{fb} e I_{fc} , é possível obter as correntes no referencial estacionário utilizando a transformada de *Clarke*, conforme apresentado na Equação (A.4).

Na Figura 24, são apresentados os vetores no espaço vetorial com a sequência utilizada e os vetores redundantes correspondentes para a topologia RMCSR-DB. A sequência de vetores é a mesma que foi apresentada para o MCSC, permitindo uma comparação direta entre as topologias.

Figura 24 – Espaço vetorial com a sequência de vetores e os vetores redundantes para RMCSR-DB.



Fonte: Elaboração própria.

Na topologia RMCSR-DB, são gerados um total de 54 vetores no espaço vetorial, enquanto na topologia MCSC são gerados 81 vetores. Essa diferença é devida à limitação de condução dos diodos, que resulta em uma redução no número de vetores disponíveis.

A Figura 25 representa as correntes médias dos conversores CSC-1 e CSC-2, onde i_{a1} , i_{b1} e i_{c1} são as correntes médias do CSC-1, e i_{a2} , i_{b2} e i_{c2} são as correntes médias do CSC-2. Nesse caso, os conversores utilizam diodos em vez de chaves MOSFET/IGBT, o que implica em algumas condições específicas.

Por exemplo, no intervalo de 0° a 60° , a tensão mínima é v_b , e o diodo d_{lb} está conduzindo. Como as tensões v_a e v_c são positivas nesse intervalo, as correntes i_{b1} e i_{b2} são iguais a $i_b/2$ e são representadas por β . Em outro intervalo, de 60° a 90° do ângulo

(θ), a tensão máxima é v_a , e o diodo d_{ha} está conduzindo, enquanto a tensão mínima é v_b , e o diodo d_{lb} está conduzindo. Quando a tensão v_c é menor que zero, indicando que $i_{c1} = 0$, então $i_{c2} = i_c$. A corrente i_{b1} é igual a $-i_a/2$ e é representada por ζ , e a corrente i_{b2} é igual a $-i_a/2 - i_c$ e é representada por γ . Essas análises são aplicáveis nas outras condições, e um resumo dessas análises é apresentado na Tabela 19.

Tabela 19 – Análise do comportamento das correntes médias de cada conversor.

v_{max}	v_{min}	v_{med}	i_{a1}	i_{b1}	i_{c1}	i_{a2}	i_{b2}	i_{c2}
v_c	v_b	$v_a > 0$	i_a	$i_b/2 = \beta$	$-i_a - i_b/2$	0	$i_b/2 = \beta$	$-i_b/2$
v_a	v_b	$v_c > 0$	$-i_b/2 - i_c$	$i_b/2 = \beta$	i_c	$-i_b/2$	$i_b/2 = \beta$	0
v_a	v_b	$v_c < 0$	$i_a/2$	$i_a/2 = \zeta$	0	$i_a/2$	$-i_a/2 - i_c = \gamma$	i_c
v_a	v_c	$v_b < 0$	$i_a/2$	0	$-i_a/2$	$i_a/2$	$i_b = \alpha$	$-i_a/2 - i_b$
v_a	v_c	$v_b > 0$	$-i_b - i_c/2$	$i_b = \alpha$	$i_c/2$	$-i_c/2$	0	$i_c/2$
v_b	v_c	$v_a > 0$	i_a	$-i_a - i_c/2 = \delta$	$i_c/2$	0	$-i_c/2 = \epsilon$	$i_c/2$
v_b	v_c	$v_a < 0$	0	$i_b/2 = \beta$	$-i_b/2$	i_a	$i_b/2 = \beta$	$-i_a - i_b/2$
v_b	v_a	$v_c < 0$	$-i_b/2 - i_c$	$i_b/2 = \beta$	i_c	$-i_b/2$	$i_b/2 = \beta$	0
v_b	v_a	$v_c > 0$	$i_a/2$	$-i_a/2 - i_c = \gamma$	i_c	$i_a/2$	$-i_a/2 = \zeta$	0
v_c	v_a	$v_b > 0$	$i_a/2$	$i_b = \alpha$	$-i_a/2 - i_b$	$i_a/2$	0	$-i_a/2$
v_c	v_a	$v_b < 0$	$-i_c/2$	0	$i_c/2$	$i_b - i_c/2$	$i_b = \alpha$	$i_c/2$

As variáveis α , β , ζ , γ , δ , e ϵ podem ser representadas pelas seguintes equações:

$$\alpha = i_b = I_m \sin(\omega t - 2\pi/3), \quad (3.10)$$

$$\beta = \frac{\alpha}{2} = \frac{I_m}{2} \sin(\omega t - 2\pi/3), \quad (3.11)$$

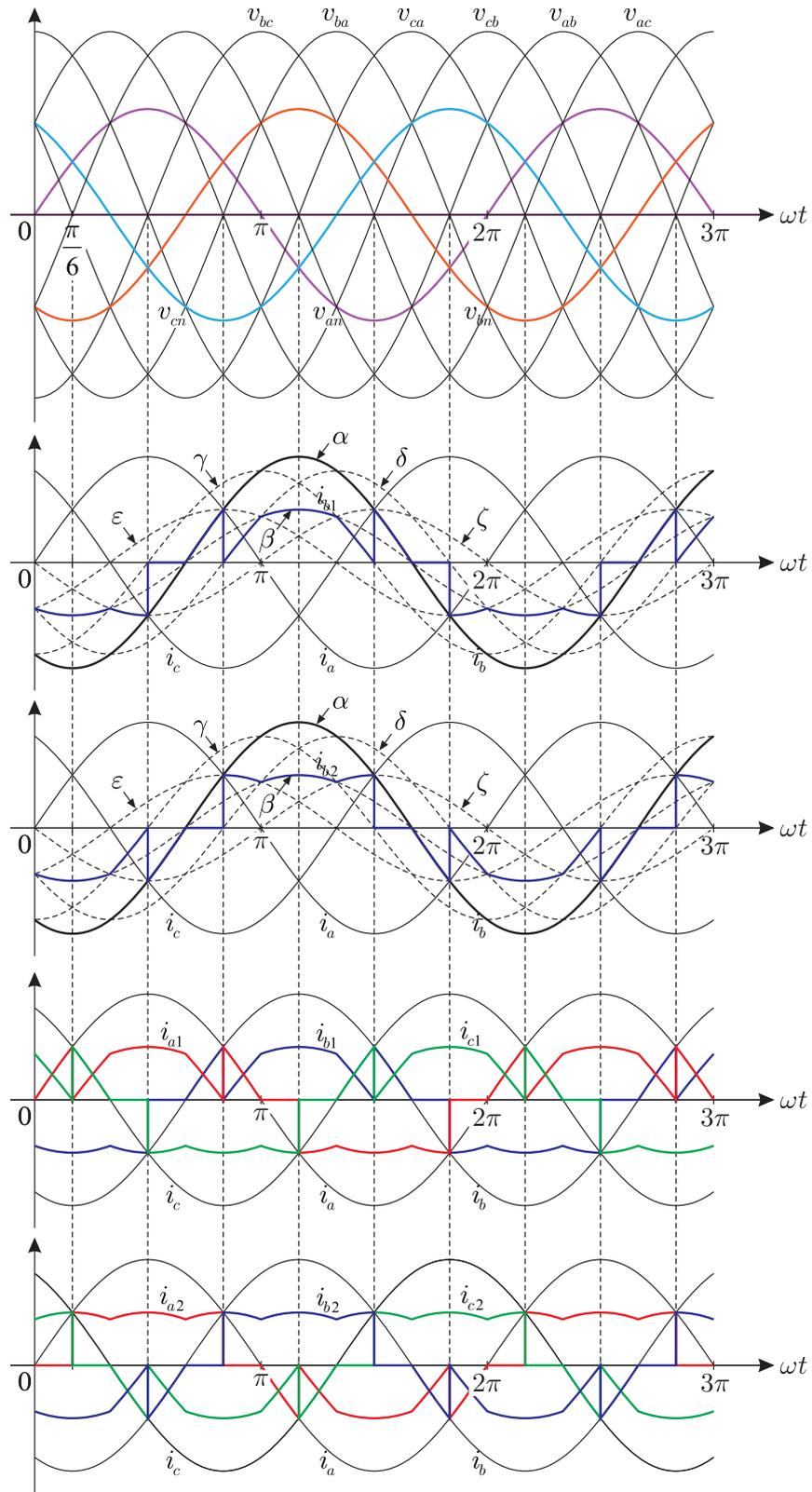
$$\zeta = -\frac{i_a}{2} = -\frac{I_m}{2} \sin(\omega t) = \frac{I_m}{2} \sin(\omega t - \pi), \quad (3.12)$$

$$\gamma = -\frac{i_a}{2} - i_c = -\frac{I_m}{2} \sin(\omega t) - I_m \sin(\omega t + 2\pi/3) = \frac{\sqrt{3}}{2} I_m \sin(\omega t - \pi/2), \quad (3.13)$$

$$\delta = -i_a - \frac{i_c}{2} = -I_m \sin(\omega t) - \frac{I_m}{2} \sin(\omega t + 2\pi/3) = \frac{\sqrt{3}}{2} I_m \sin(\omega t - 5\pi/6), \quad (3.14)$$

$$\epsilon = -\frac{i_c}{2} = -\frac{I_m}{2} \sin(\omega t + 2\pi/3) = \frac{I_m}{2} \sin(\omega t - \pi/3), \quad (3.15)$$

Figura 25 – Composição das correntes médias geradas por cada conversor.



3.2.1 Balanceamento das correntes CC

A estratégia de balanceamento na topologia RMCSR-DB segue um princípio semelhante ao apresentado na seção 3.1. O objetivo é garantir que as correntes nos indutores I_{cc1} e I_{cc2} estejam balanceadas, ou seja, se I_{cc2} for menor que I_{cc1} , então I_{cc2} deve aumentar, caso contrário, deve diminuir.

No entanto, devido à redução do número de vetores disponíveis na topologia RMCSR-DB, a seleção dos vetores redundantes é diferente. Essa seleção é ilustrada na Figura 24. A fim de exemplificar o método de balanceamento, serão demonstrados os passos para as regiões 7 e 8, e as demais regiões seguem o mesmo princípio.

Analisando o vetor I_z , observa-se que há cinco vetores iguais, contudo, deve-se considerar apenas os vetores que satisfazem a condição de condução dos diodos para determinada região. Por exemplo, analisando a região 7 o vetor $I_z = I_1$ (Tabela 20), nota-se que I_1 irá carregar o CSC-1, enquanto I_5 irá carregar o CSC-2, devido ao estado de roda-livre.

Tabela 20 – Vetores redundantes de I_z da região 7 ($v_{a,max}$ e $v_{b,min}$) para RMCSR-DB.

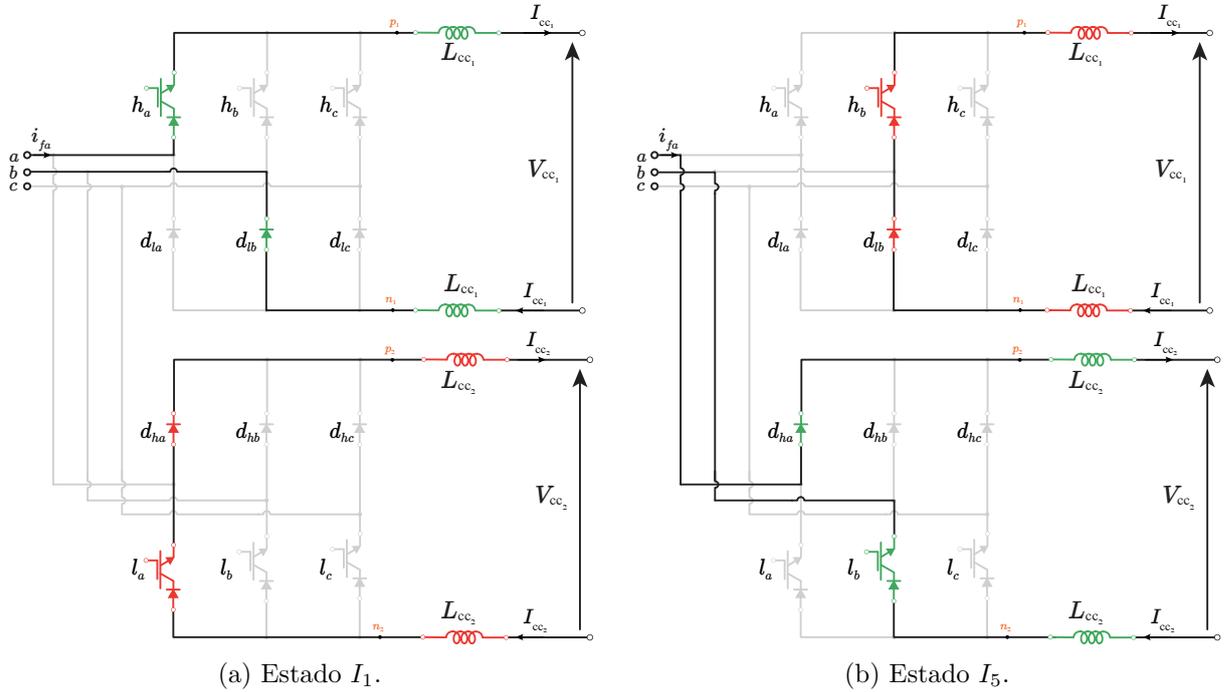
v_{max}	v_{min}	CSC-1		CSC-2		L_{cc1}	L_{cc2}	Vetor
		h_k	d_{lk}	d_{hk}	l_k			
v_a	v_b	a	b	a	a	↑	↓	1
v_a	v_b	b	b	a	b	↓	↑	5
v_a	v_b	c	b	a	c	-	-	9
v_a	v_c	b	c	a	c			17
v_c	v_b	c	b	c	a			48

A Figura 26 ilustra os caminhos da corrente durante o chaveamento na região 7. Nessa representação, a cor verde indica o indutor em processo de carga, enquanto a cor vermelha indica o indutor em processo de descarga. Por exemplo, no vetor I_5 (Figura 26a), a chave l_a está conduzindo e como a tensão máxima nessa região é v_a o diodo d_{ha} conduz e os indutores do circuito CSC-2 irão descarregar, enquanto os indutores do circuito CSC-1 irão carregar. Por outro lado, o oposto ocorre na Figura 26b, como a tensão mínima aplicada é v_b o diodo D_{lb} conduz a chave h_b está conduzindo formando a roda-livre e descarregando os indutores do circuito CSC-1.

Os demais vetores que formam a região são formados pelos vetores $I_x = I_3 = I_{11}$ e $I_y = I_2$. Observa-se na Tabela 18 que apenas o vetor I_3 satisfaz a condição de operação dos diodos na região 7 para $v_{a,max}$ e $v_{b,min}$. Dessa forma, nas regiões 7 e 9 o controle dos vetores redundantes se concentra apenas nos vetores mínimos.

Por outro lado, na região 8, que são as regiões médias, existem dois vetores mínimos

Figura 26 – Estados de comutação do vetor I_z da região 7 ($v_{a,max}$ e $v_{b,min}$).



e o vetor médio, em que são afetados pela transição de tensões. Essa relação entre a transição de tensão e o vetor de corrente é descrita na Tabela 5, conforme apresentado na seção 2.2.1.1.

Na Tabela 21 são apresentados os vetores redundantes de I_x , I_y e I_z para a região 8 na topologia RMCSR-DB. Essa tabela é utilizada como referência para o chaveamento dos vetores correspondentes aos valores máximos e mínimos das tensões v_a , v_b e v_c .

Tabela 21 – Vetores redundantes de I_x da região 8 (azul: $v_{b,min}$ e rosa: $v_{c,min}$) para RMCSR-DB.

v_{max}	v_{min}	CSC-1		CSC-2		L_{cc1}	L_{cc2}	Vetor
		h_k	d_{lk}	d_{hk}	l_k			
v_a	v_c	a	c	a	a	↑	↓	10
v_a	v_c	b	c	a	b	-	-	14
v_a	v_c	c	c	a	c	↓	↑	18
v_a	v_b	b	b	a	c	-	-	6
v_b	v_c	a	c	b	b	-	-	29
v_a	v_b	a	b	a	c	-	-	3
v_a	v_c	a	c	a	b	-	-	11
v_a	v_b	a	b	a	a	↑	↓	1
v_a	v_b	b	b	a	b	↓	↑	5
v_a	v_b	c	b	a	c	-	-	9
v_a	v_c	b	c	a	c	-	-	17
v_c	v_b	c	b	c	a	-	-	48

Após analisar as diferentes combinações e possibilidades de chaveamento, é possível determinar as condições de operação e os vetores de corrente associados a cada condição de balanceamento. Essas informações são apresentadas na Tabela 22 para o Setor I.

Tabela 22 – Condições de carregamento e descarregamento para o Setor I do RMCSR-DB.

I_{xyz}	Região 7		Região 8		Região 9		
	Condição	Vetor	$v_b \rightarrow v_c$	Condição	Vetor	Condição	Vetor
I_x		I_3	$v_b < v_c$		I_3		I_{11}
			$v_b > v_c$		I_{11}		
			$v_b < v_c$		I_6		
I_y		I_2	$v_b > v_c$	$i_{cc2} > i_{cc1}$	I_{10}		I_{12}
			$v_b > v_c$	$i_{cc2} < i_{cc1}$	I_{18}		
I_z	$i_{cc2} > i_{cc1}$	I_1	$v_b < v_c$	$i_{cc2} > i_{cc1}$	I_1	$i_{cc2} > i_{cc1}$	I_{10}
	$i_{cc2} < i_{cc1}$	I_5	$v_b > v_c$	$i_{cc2} < i_{cc1}$	I_5	$i_{cc2} < i_{cc1}$	I_{18}
			$v_b > v_c$		I_{17}		

3.3 Estratégia de Controle

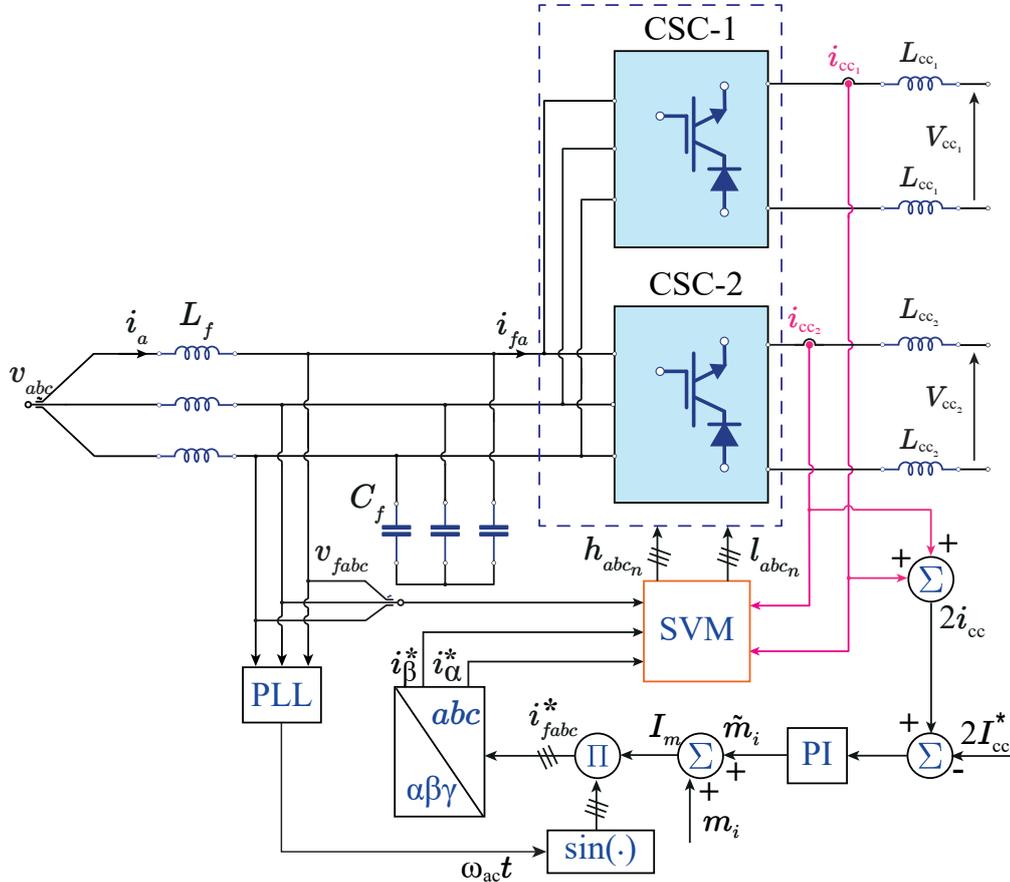
A estratégia de controle descrita é aplicável tanto à topologia convencional MCSR-DB quanto à proposta RMCSR-DB (Figura 27). Seu objetivo é controlar a corrente total do barramento CC e garantir o equilíbrio das correntes de cada conversor, mantendo-as com o valor desejado, denotado por i_{cc} .

Para o controle é utilizado uma malha de corrente que compara o dobro da corrente de referência de cada conversor ($2I_{cc}$) com a soma das correntes do barramento ($i_{cc1} + i_{cc2}$). O sinal de erro resultante dessa comparação é processado por um controlador PI (Proporcional-Integral) que gera a variação do índice de modulação (\tilde{m}_i). Esse valor de modulação é somado a um índice de modulação fixo (m_i), resultando na amplitude (I_m) das correntes de referência (i_{fabc}^*).

As correntes de referência resultantes (i_α e i_β) são então enviadas para a modulação vetorial. A modulação vetorial, juntamente com as correntes do barramento e as tensões de filtro (v_{fabc}), é utilizada para selecionar os vetores adequados e determinar o acionamento das chaves (h_{abc_n} e l_{abc_n}) a serem enviados para o conversor. No caso do MCSR-DB: $h_{abc,1}$, $l_{abc,1}$, $h_{abc,2}$ e $l_{abc,2}$; e RMCSR-DB: h_{abc} e l_{abc} .

Como a operação é realizada como retificador, é necessário estabelecer a conexão com a rede elétrica. Para isso, utiliza-se um PLL que realiza a sincronização da fase da tensão dos capacitores com a corrente de referência que comandará o PWM.

Figura 27 – Estratégia de controle dos retificadores fonte de corrente com duplo barramento MCSR-DB e RMCSR-DB.



3.4 Conclusões

Neste capítulo, foram apresentados o estudo dos conversores multiníveis fonte de corrente com duplo barramento, demonstrando tanto a operação quanto a implementação da modulação vetorial nas topologias convencional e na proposta.

A topologia proposta incorpora a substituição de chaves por diodos, o que resulta em redução das perdas de condução e dos custos do conversor. Entretanto, essa topologia se aplica somente na configuração de retificador. A abordagem proposta compreende 54 vetores em comparação com os 81 da topologia convencional. Sua estratégia de modulação PWM verifica a amplitude máxima e mínima da tensão aplicada, para poder realizar a escolha dos vetores que irão balancear as correntes.

Os conversores foram analisados considerando a operação com cargas iguais. Isso se deve ao fato de que operar com correntes diferentes, o espaço vetorial e os vetores redundantes também são alterados, o que por sua vez torna a implementação do controle mais desafiadora e apresentaria mais distorções as correntes da rede.

Análise e Dimensionamento dos Elementos Reativos

Os elementos reativos em um conversor de potência são parte imprescindível para a conexão com cargas ou fontes CA e CC. Para a conexão da parte CA do conversor é necessário a utilização de filtro passa-baixa que permite a passagem de baixas frequências do sinal, atenuando (ou reduzindo) a amplitude das frequências maiores que a frequência de corte. Nos CSCs, são utilizados os filtros CL devido ao fato que neste caso a modulação é em corrente, o que leva a derivadas na corrente, logo, faz-se necessário a utilização de capacitores trifásicos conectados em paralelo com a saída do conversor.

Para realizar o dimensionamento do filtro é necessário levar em conta vários fatores, como tamanho dos elementos, taxa de distorção harmônica, nível de potência do conversor, padrões de compatibilidade, entre outros. O correto dimensionamento é importante para que se possa ter uma melhor eficiência e densidade de potência do conversor.

Já para a conexão do lado CC do conversor, é utilizado um barramento indutivo para conversores fonte de corrente. A tensão de entrada antes do indutor do barramento CC é contínua, no indutor ocorre o acúmulo e descarga da energia, e após o indutor a tensão tem a forma de uma senoide retificada chaveada (COSTA, 2016). Dessa forma, é necessário realizar o correto dimensionamento do indutor de barramento para eliminar as oscilações de corrente, visto que a corrente do barramento CC pode ser vista como um valor médio constante e uma parcela que oscila em torno desse valor médio.

Neste capítulo é realizado o estudo de técnicas de dimensionamento dos elementos reativos de conversores, visando uma melhor eficiência e otimização do produto final. O correto dimensionamento desses elementos permitem a obtenção de uma melhor densidade

de potência, menores perdas e menor taxa de distorção harmônica (THD).

4.1 Filtro Passa-Baixa CA

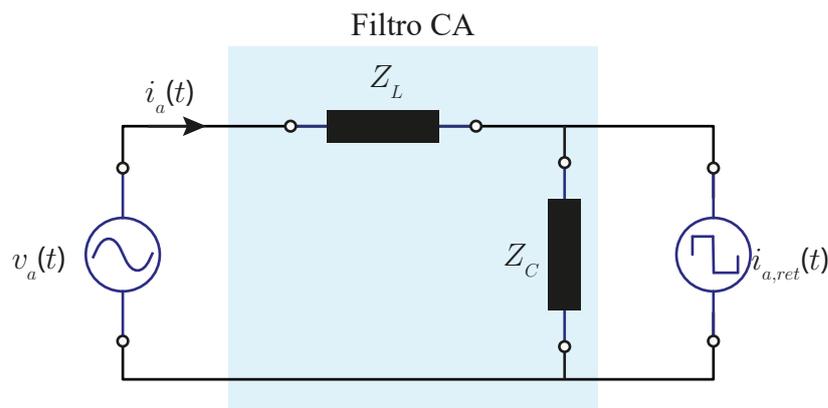
Os filtros passa-baixa CA são responsáveis por minimizar as correntes harmônicas em alta frequência para rede CA. Os efeitos da frequência de chaveamento e a distorção da corrente da rede podem levar a uma baixa qualidade de energia. Assim, um projeto de filtro ruim pode causar atenuação menor em comparação com o que é esperado, ou pode até causar um aumento de distorção devido aos efeitos de oscilação (LISERRE; BLAABJERG; HANSEN, 2005) .

Portanto, os indutores devem ser corretamente projetados considerando a ondulação da corrente (*ripple*), e o filtro deve ser amortecido para evitar ressonâncias. No entanto, o nível de amortecimento é limitado pelo valor dos indutores, perdas e degradação do desempenho do filtro.

A corrente chaveada produzida pelo conversor é decomposta basicamente em duas componentes, a componente fundamental e as componentes harmônicas de alta frequência, que devem ser filtradas para não produzirem harmônicas de corrente.

Assumindo o sistema trifásico balanceado, o circuito pode ser analisado por fase. O equivalente monofásico do sistema composto pela rede e pelo retificador, conectado via filtro LC, é mostrado na Figura 28.

Figura 28 – Equivalente monofásico do filtro LC.



Fonte: Elaboração própria.

Neste caso, considera-se o retificador como uma fonte de corrente controlada ($i_{a,ret}(t)$). Para suprimir a oscilação na frequência de ressonância LC e aprimorar a estabilidade do sistema, é adicionada uma resistência de amortecimento. Essa resistência de amortecimento é projetada para alcançar o valor mínimo de perdas. Dessa maneira, o filtro

LC é representado por uma impedância indutiva em série com a rede elétrica (Z_l) e uma impedância capacitiva em paralelo com o retificador (Z_c).

A impedância indutiva pode ser uma associação entre indutor e resistor, normalmente um indutor em série com uma resistência equivalente muito baixa, sendo a resistência total da linha de distribuição, essa resistência será desconsiderada nas análises posteriores. A impedância capacitiva também pode ser uma associação de uma resistência em série ou em paralelo. A resistência em série com o capacitor fornece uma solução simples e econômica, no entanto, adiciona perdas no sistema e pode comprometer a atenuação do filtro (GOMES; CUPERTINO; PEREIRA, 2018).

Portanto, no projeto do filtro, será considerada uma resistência em série com o capacitor. Essa resistência deve ser suficiente para prevenir oscilações na frequência de ressonância, mas as perdas não podem ser elevadas a ponto de comprometer a eficiência do sistema.

Há diversos métodos de cálculo dos parâmetros de filtro CA (KIM; CHOI; HONG, 2000; DAHONO; PURWADI et al., 1995; GOMES; CUPERTINO; PEREIRA, 2018). Um dos métodos que será objeto de estudo é o apresentado em Basu et al. (2014). Este método oferece um procedimento sistemático para o projeto de um filtro passa-baixa de CA para um CSR. Dessa forma, neste Capítulo será apresentado o procedimento e análise do projeto do filtro para o CSC de três níveis e posteriormente o projeto para a topologia multinível convencional e assimétrica.

4.1.1 Projeto do Filtro para CSC

Para o projeto do filtro, o CSR é analisado para a componente da frequência fundamental e para a componente da frequência de chaveamento. Para a frequência de chaveamento, o *ripple* da corrente RMS de entrada do filtro é calculado analiticamente. Os valores dos parâmetros do filtro são obtidos a partir das especificações de THD desejado na corrente da rede e THD na tensão de entrada do filtro. Para a componente da frequência fundamental, o conversor é analisado visando avaliar o projeto para atingir as seguintes condições: queda de tensão mínima do filtro, e alto fator de potência da rede.

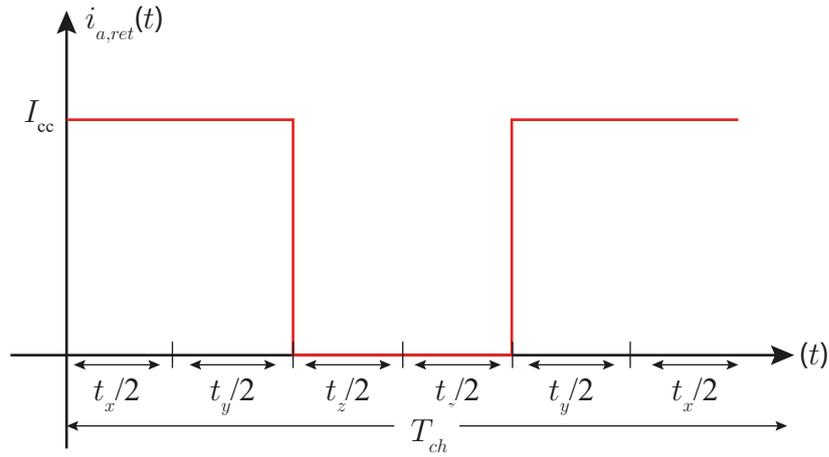
Para calcular analiticamente o valor do *ripple* da corrente RMS do CSR sem filtro é calculado primeiramente o valor RMS da corrente do retificador $i_{a,ret}$ em um período de chaveamento T_{ch} , de acordo com a Tabela 23.

Exemplificando para o Setor I (Figura 29), o valor médio da corrente $i_{a,ret}$ em um período de chaveamento é mostrado na Equação (4.1) e o valor RMS na Equação (4.2).

Tabela 23 – Corrente do retificador da fase a por setor.

$I_{a,ret}$	Setor I	Setor II	Setor III	Setor IV	Setor V	Setor VI
$I_{a,ret,x}$	I_{cc}	I_{cc}	0	$-I_{cc}$	$-I_{cc}$	0
$I_{a,ret,y}$	I_{cc}	0	$-I_{cc}$	$-I_{cc}$	0	I_{cc}
$I_{a,ret,z}$	0	0	0	0	0	0

Figura 29 – Corrente do retificador no Setor I.



$$I_{a,ret,med,T_{ch}} = I_{cc}d_x + I_{cc}d_y, \quad (4.1)$$

$$I_{a,ret,rms,T_{ch}} = \sqrt{I_{cc}^2 d_x + I_{cc}^2 d_y}. \quad (4.2)$$

Expandindo para demais setores, obtêm-se os valores RMS² de $i_{a,ret}$ em um período de chaveamento:

$$I_{a,ret,rms,T_{ch}}^2 = \begin{cases} d_x I_{cc}^2 + d_y I_{cc}^2, & \text{Setor I,} \\ d_x I_{cc}^2, & \text{Setor II,} \\ d_y I_{cc}^2, & \text{Setor III,} \\ d_x I_{cc}^2 + d_y I_{cc}^2, & \text{Setor IV,} \\ d_x I_{cc}^2, & \text{Setor V,} \\ d_y I_{cc}^2, & \text{Setor VI.} \end{cases} \quad (4.3)$$

As Equações (4.4) e (4.5) mostram o cálculo de $I_{a,ret,rms}^2$ por setor. O valor da corrente do retificador no período fundamental é mostrado na Equação (4.6), sendo T_1 o período da componente fundamental e T o período do setor.

$$I_{a,ret,rms,Setor}^2 = \frac{1}{T/6} \int_{Setor} I_{a,ret,rms,tch}^2 dt, \quad (4.4)$$

$$I_{a,ret,rms,Setor}^2 = \frac{1}{\omega T/6} \int_{Setor} I_{a,ret,rms,tch}^2 d\omega t, \quad (4.5)$$

$$I_{a,ret,rms,T_1}^2 = \frac{2I_{cc}^2 m_i}{\pi}. \quad (4.6)$$

O valor RMS do *ripple* da corrente do retificador em um período da fundamental é obtido subtraindo o valor RMS da componente fundamental da corrente RMS do retificador, como é demonstrado na Equação (4.7).

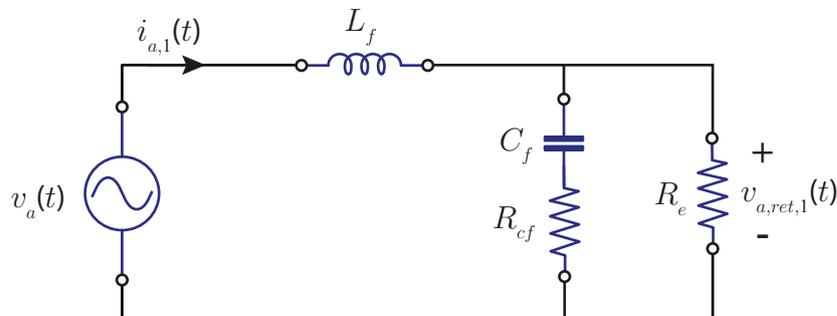
$$\tilde{I}_{a,ret,rms,T_1}^2 = I_{a,ret,rms,T_1}^2 - I_{a,rms,1}^2. \quad (4.7)$$

Substituindo 2.4 e 4.6 em 4.7, tem-se o valor analítico do *ripple* da corrente em um período da fundamental em função do índice de modulação e da corrente de barramento CC:

$$\tilde{I}_{a,ret,rms,T_1} = I_{cc} \sqrt{m_i \left(\frac{2}{\pi} - \frac{m_i}{2} \right)}. \quad (4.8)$$

Usando o princípio da superposição, o circuito equivalente visto na Figura 28 é modelado e analisado independentemente para as componentes na frequência fundamental e as componentes de alta frequência. Para a componente fundamental, o conversor é modelado com uma resistência efetiva $R_e = V_m/I_m$ em paralelo com o capacitor de filtro, como mostra a Figura 30 (BASU et al., 2014).

Figura 30 – Circuito equivalente por fase na frequência fundamental.

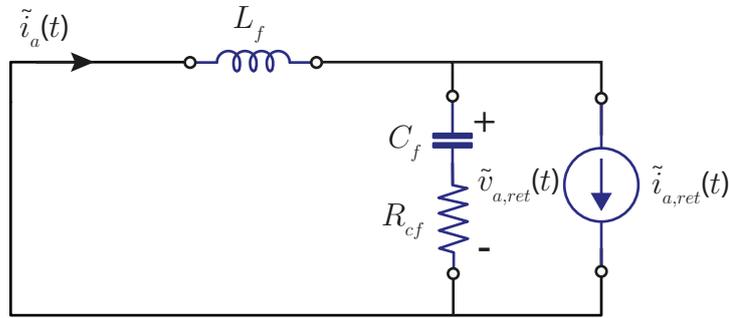


Fonte: Elaboração própria.

Sendo, $v_a(t)$ a tensão de fase CA, $i_{a,1}(t)$ a corrente da rede na frequência fundamental, $v_{a,ret,1}$ a tensão do retificador na frequência fundamental, L_f , C_f e R_{cf} a indutância, capacitância e resistência de amortecimento do filtro, respectivamente.

Para a componente da frequência de chaveamento, assume-se que toda energia no espectro da corrente de filtro diferente da fundamental deve ser concentrada na frequência de chaveamento, assim, o CSR é modelado como uma fonte de corrente senoidal na frequência de chaveamento, como visto na Figura 31. O procedimento de projeto assume que toda a componente de *ripple* da corrente está na frequência de chaveamento. No entanto, na realidade, a maior parte está concentrada na frequência de chaveamento e nos seus múltiplos. O símbolo (\sim) representa o valor das grandezas apresentadas na frequência de chaveamento.

Figura 31 – Circuito equivalente por fase na frequência de chaveamento.



Fonte: Elaboração própria.

O filtro LC é projetado de forma que o valor RMS da corrente da rede deva estar dentro de um limite de THD. De acordo com IEEE (do inglês, *Institute of Electrical and Electronics Engineers*) Std 519TM (IEEE. . . , 2013), o THD da corrente da rede deve ser menor que 5%. Para o funcionamento adequado do CSC, a tensão de entrada do conversor deve ter uma quantidade limite do *ripple* ($\tilde{v}_{a,ret}$) para se obter uma perda mínima de queda de tensão.

Assim, utilizando o circuito equivalente da Figura 31, calcula-se as funções de transferência da corrente da rede na frequência de chaveamento (\tilde{i}_a) e da tensão do conversor ($\tilde{v}_{a,ret}$) em função da corrente do retificador ($\tilde{i}_{a,ret}$) (Equações (4.9) e (4.10)).

$$\tilde{G}_{i_a/i_{a,ret}} = \frac{R_{cf}C_f s + 1}{C_f L_f s^2 + s C_f R_{cf} + 1}, \quad (4.9)$$

$$\tilde{G}_{v_{a,ret}/i_{a,ret}} = -\frac{L_f s (C_f R_{cf} s + 1)}{C_f L_f s^2 + C_f R_{cf} s + 1}. \quad (4.10)$$

A partir das Equações (4.9) e (4.10), calcula-se a relação das componentes RMS em um período da frequência fundamental:

$$\lambda_1 = |\tilde{G}_{i_a/i_{a,ret}}| = \frac{\tilde{I}_{a,rms,T_1}}{\tilde{I}_{a,ret,rms,T_1}}, \quad \text{para } s = j\omega_{ch}, \quad (4.11)$$

$$\lambda_2 = |\tilde{G}_{v_{a,ret}/i_{a,ret}}| = \frac{\tilde{V}_{a,ret,rms,T_1}}{\tilde{I}_{a,ret,rms,T_1}}, \text{ para } s = jw_{ch} \quad (4.12)$$

Sabendo que o THD é definido como:

$$\text{THD} = \frac{\sqrt{X_2^2 + X_3^2 + \dots X_h^2}}{X_1}, \quad (4.13)$$

sendo X_h o valor da h -ésima harmônica, X_1 a componente fundamental, e que X representa o valor da corrente ou tensão.

Assim, o *ripple* da corrente da rede pode ser calculado em função do THD_{ia} como:

$$\tilde{I}_{a,rms,T_1} = \text{THD}_{ia} I_{a,rms,1}, \quad (4.14)$$

substituindo 4.14 em 4.11, tem-se que:

$$\lambda_1 = \frac{\text{THD}_{ia} I_{a,rms,1}}{\tilde{I}_{a,ret,rms,T_1}}. \quad (4.15)$$

Da mesma forma, 4.12 pode ser reescrito como:

$$\lambda_2 = \frac{\text{THD}_{va,ret} V_{rms}}{\tilde{I}_{a,ret,rms,T_1}}. \quad (4.16)$$

Analisando o circuito para a componente fundamental, obtemos o valor do ganho de tensão (4.17) e a razão da perda de potência no resistor de amortecimento ($P_{r,loss}$) em relação a potência total do conversor (P_{ca}). A perda de potência é considerada apenas devido a componente fundamental da corrente ($s = jw_1$), já que a maioria dos harmônicos de alta tensão passa pelo capacitor de filtro.

$$G_{v_{a,ret}/v_a} = \frac{R_e(C_f R_{cf} s + 1)}{C_f L_f (R_{cf} + R_e) s^2 + (C_f R_{cf} R_e + L_f) s + R_e}, \quad (4.17)$$

$$P_{r,loss} = R_{cf} \left(\frac{V_{a,rms} |G_{v_{a,ret}/v_a}|}{|R_{cf} + \frac{1}{C_f s}|} \right)^2, \text{ para } s = jw_1. \quad (4.18)$$

$$\lambda_3 = \frac{P_{r,loss}}{P_{ca}}, \quad (4.19)$$

Os parâmetros L_f , C_f e R_{cf} são calculados resolvendo o sistema das Equações (4.11), (4.12) e 4.19.

O projeto do filtro é verificado analisando o modelo na frequência fundamental. De acordo com os seguintes passos:

- Cálculo do ângulo θ_1 para a determinação do fator de potência. É necessário que a corrente da rede tenha fator de potência próximo ao unitário ($\theta_1 \approx 0$). Caso o valor do fator de potência seja menor que 0,92 alterar o parâmetro de THD_{ia} ;
- A queda de tensão na componente fundamental através do filtro deve ser pequena, ou seja, a razão da componente fundamental da tensão da rede para a tensão do retificador deve ser próxima à unidade (4.20). Caso o valor não atinga o parâmetro, altera-se o parâmetro de $THD_{va,ret}$.

$$|G_{va,ret/va}| = \frac{V_{a,ret,rms,T_1}}{V_{a,rms,T_1}}, \text{ para } s = j\omega_1. \quad (4.20)$$

De forma resumida, na Figura 32 é apresentado o fluxograma dos passos apresentados para o projeto do filtro.

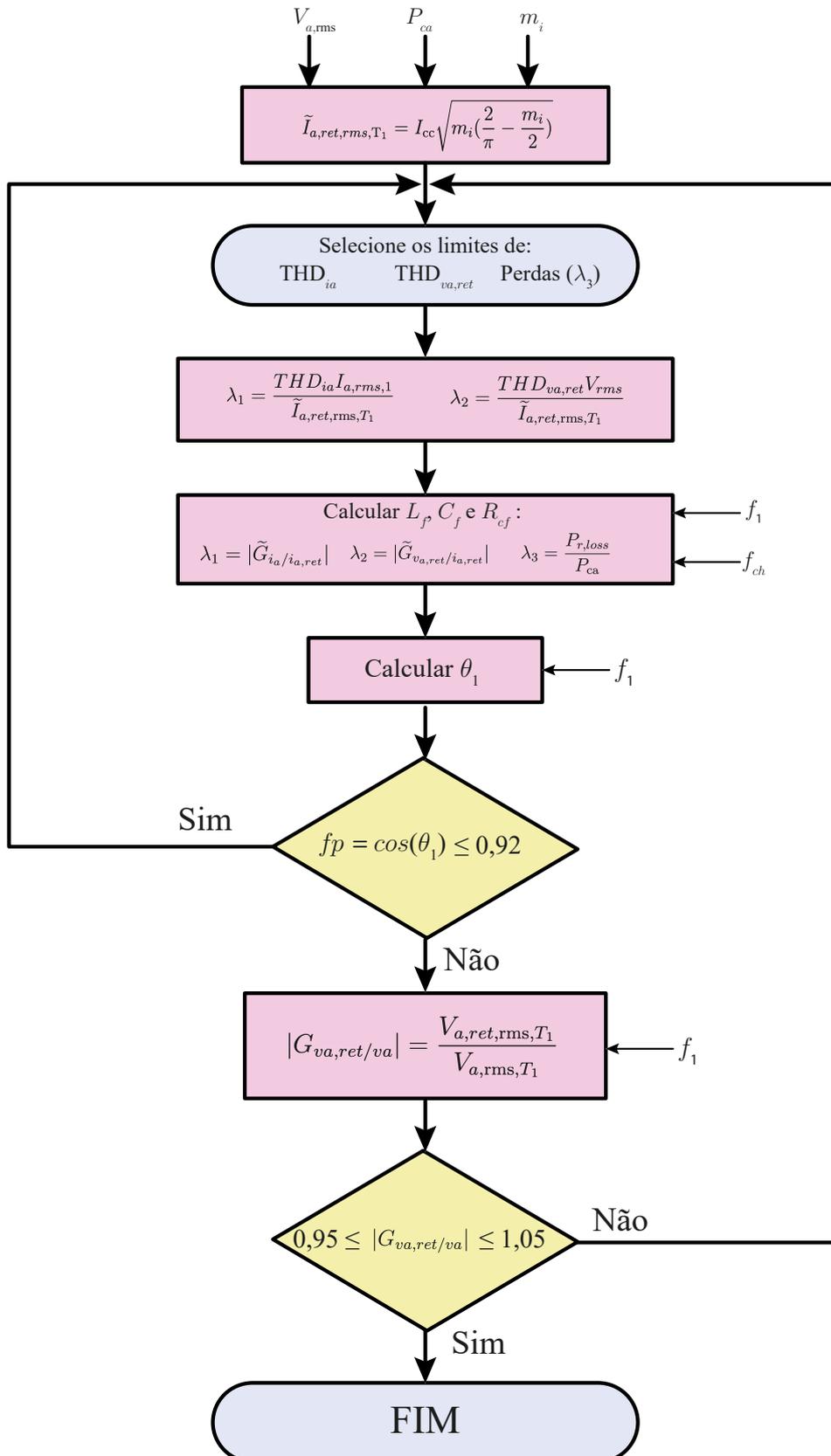
Como exemplo de projeto do filtro, considere os seguintes passos:

Tabela 24 – Parâmetros para o cálculo do filtro

Parâmetros	Valores
Frequência CA (f_1)	60 Hz
Índice de modulação (m_i)	0.8
Tensão de fase RMS ($V_{a,rms}$)	110 V
Frequência de chaveamento (f_{ch})	10 kHz
Potência trifásica (P_{3ph})	800 W

1. Definição dos parâmetros da tensão de fase RMS ($V_{a,rms}$), frequência da rede (f_1), frequência de chaveamento (f_{ch}), potência trifásica (P_{3ph}) e índice de modulação (m_i), valores utilizados na Tabela 24;
2. Cálculo da resistência efetiva do retificador ($R_e = V_{a,rms}/I_{a,rms}$) e do *ripple* da corrente do retificador em um período da frequência fundamental ($\tilde{i}_{a,ret,rms,T_1}$), de acordo com a Equação (4.8);
 - $R_e = 45,38 \Omega$;
 - $\tilde{i}_{a,ret,rms,T_1} = 1,86 \text{ A}$.

Figura 32 – Fluxograma do projeto de filtro CA.



Fonte: Adaptado de (BASU et al., 2014).

3. Definição do THD desejado para a corrente da rede (i_a), THD da tensão do retificador ($v_{a,ret}$) e valor aceitável de perdas do resistor de amortecimento (λ_3);
 - $\text{THD}_{i_a} = 2\%$;
 - $\text{THD}_{v_{a,ret}} = 4, 5\%$;
 - $\lambda_3 = 0.05\%$.
4. Cálculo dos ganhos λ_1 e λ_2 , de acordo com as Equações (4.15) e (4.16), respectivamente;
 - $\lambda_1 = 0, 026$;
 - $\lambda_2 = 2, 65$.
5. Resolução do sistema de equações não lineares (Equações (4.11), (4.12) e (4.19)) para encontrar os valores L_f , C_f e R_{cf} que possuem valores aproximados de (aproximando o valor a número mais comercial);
 - $L_f = 1, 7 \text{ m H}$;
 - $C_f = 7, 35 \text{ } \mu \text{ F}$;
 - $R_{cf} = 1, 40 \text{ } \Omega$.
6. Validação dos resultados com cálculo do fator de potência ($f_p = \cos \theta_1$) e da relação de queda de tensão ($|G_{V_{a,ret}, V_a}|$) na Equação (4.20);
 - $f_p = 0, 9934$;
 - $|G_{V_{a,ret}, V_a}| = 1$.

Outro parâmetro importante para análise do filtro é o cálculo da frequência de ressonância (f_{ress}) (Equação (4.21)), da qual, recomenda-se que fique num intervalo específico, que é função da frequência do lado CA (f_1), e da frequência de chaveamento (f_{ch}). Dessa forma, o filtro CA deve obedecer a inequação (4.22).

$$f_{ress} = \frac{1}{2\pi} \frac{1}{\sqrt{L_f C_f}}, \quad (4.21)$$

$$10f_1 \leq f_{ress} \leq 0, 5f_{ch}. \quad (4.22)$$

Com os parâmetros encontrados de L_f e C_f a frequência de ressonância é de $f_{ress} = 1457 \text{ Hz}$, que está dentro dos limites especificados por 4.22.

Com os resultados obtidos, observa-se no item 6 que o projeto satisfaz as recomendações, tal como, o fator de potência próximo ao unitário e a queda de tensão unitária.

A partir da Tabela 25 é possível analisar os dados obtidos a partir da simulação.

Tabela 25 – Valores esperados e obtidos do projeto do filtro CA para o CSR.

	Esperado	Obtido
THD_{i_a}	2,0 %	2,65%
$\text{THD}_{V_{a,\text{ret}}}$	4,5%	3,5%
$P_{r,\text{loss}}$	0,05%	0,6%
fp	0,9938	0,9979
$ G_{V_{a,\text{ret}},V_a} $	$0,95 \leq G_{V_{a,\text{ret}},V_a} \leq 1,05$	1,0
$\text{THD}_{i_{a,\text{ret}}}$	76,91%	77,06%
$\tilde{i}_{a,\text{ret},\text{rms},T_1}$	1,86 A	1,80 A

Os resultados indicam que o THD da corrente possui uma ligeira elevação na simulação, devido à consideração de valores ideais no projeto, que nem sempre se refletem na realidade prática. No entanto, a avaliação do filtro desempenha um papel fundamental para estabelecer parâmetros realistas. No contexto da análise de um protótipo, é crucial buscar valores que possam ser relativamente maiores e supram essas diferenças e também a realização de simulações que validem o dimensionamento.

O valor de $\tilde{i}_{a,\text{ret},\text{rms},T_1}$ pode ser calculado pelo THD da corrente do retificador diretamente da simulação, a partir da Equação (4.13), têm-se:

$$\tilde{i}_{a,\text{ret},\text{rms},T_1} = \text{THD}_{i_{a,\text{ret}}} I_{a,\text{ret},\text{rms},1} \quad (4.23)$$

onde $I_{a,\text{ret},\text{rms},1}$ é o valor RMS da amplitude do sinal da corrente do retificador na frequência fundamental.

4.1.2 Projeto do Filtro para MCSC

O procedimento adotado para o cálculo dos parâmetros do filtro é semelhante ao apresentado para o CSR, a diferença se dá no cálculo do $\tilde{i}_{a,\text{ret},\text{rms},T_1}$. A medida que à quantidade de níveis aumenta, se torna mais difícil calcular analiticamente o valor do *ripple* da corrente do retificador. Dessa forma, de modo a facilitar à análise, o valor de $\tilde{i}_{a,\text{ret},\text{rms},T_1}$ é calculado a partir do THD da corrente do retificador, como mostra a Equação (4.23).

Primeiramente foi simulado a topologia com os parâmetros da Tabela 24 e valores genéricos do filtro para obter o THD e a FFT da corrente do retificador.

O $\text{THD}_{i_{a,\text{ret}}}$ obtido foi de 38,4% o que resulta em uma valor de *ripple* de $\tilde{i}_{a,\text{ret},\text{rms},T_1} = 0,92A$.

Utilizando os passos para o projeto do filtro no fluxograma da Figura 32 com o valor obtido de $\tilde{i}_{a,\text{ret},\text{rms},T_1}$, têm-se:

1. Definição dos parâmetros da tensão de fase RMS ($V_{a,\text{rms}}$), frequência da rede (f_g), frequência de chaveamento (f_{ch}), potência trifásica ($P_{3\text{ph}}$) e índice de modulação (m_i) (Tabela 24);
2. Cálculo da resistência efetiva do conversor ($R_e = V_{a,\text{rms}}/I_{a,\text{rms}}$) e do *ripple* da corrente do conversor em um ciclo da frequência fundamental ($\tilde{i}_{af,\text{rms},T_1}$) (Equação (4.23));
 - $R_e = 45,38 \Omega$;
 - $\tilde{i}_{a,\text{ret},\text{rms},T_1} = 0,92 \text{ A}$.
3. Definição do THD desejado para a corrente da rede (i_a), do THD da tensão do retificar ($v_{a,\text{ret}}$) e valor aceitável de perdas do resistor de amortecimento (λ_3);
 - $\text{THD}_{i_a} = 2\%$;
 - $\text{THD}_{v_{a,\text{ret}}} = 4,5\%$;
 - $\lambda_3 = 0.05\%$.
4. Cálculo dos ganhos λ_1 e λ_2 , de acordo com as Equações (4.15) e (4.16), respectivamente;
 - $\lambda_1 = 0,053$;
 - $\lambda_2 = 5,38$.
5. Resolução do sistema de equações não lineares (Equações (4.11), (4.12) e (4.19)) para encontrar os valores L_f , C_f e R_{cf} ;
 - $L_f = 1,6 \text{ m H}$;
 - $C_f = 4,5 \mu \text{ F}$;
 - $R_{cf} = 3,8 \Omega$.
6. Validação dos resultados com cálculo do fator de potência ($fp = \cos \theta_1$) e da relação de queda de tensão ($|G_{V_{a,\text{ret}},V_a}|$) na Equação (4.20);

- $f_p = 0,9980$;
- $|G_{V_{a,ret},V_a}| = 1$.

Com os parâmetros encontrados de L_f e C_f a frequência de ressonância é de $f_{ress} = 1860$ Hz, que está dentro dos limites especificados por 4.22.

A partir da Tabela 26 é possível analisar os dados obtidos a partir da simulação.

Tabela 26 – Valores esperados e obtidos do projeto do filtro CA para o MCSR

	Esperado	Obtido
THD _{i_a}	2%	2,54%
THD _{V_{a,ret}}	4,5%	%
$P_{r,loss}$	0.05%	0,34%
f_p	0,9980	0,999
$ G_{V_{a,ret},V_a} $	$0,95 \leq G_{V_{a,ret},V_a} \leq 1,05$	1,0
THD _{i_{a,ret}}	37,95%	38,31%

4.1.3 Projeto do Filtro para AMCSC

O procedimento adotado para o cálculo dos parâmetros do filtro é semelhante ao apresentado para o MCSC. Primeiramente foi simulado a topologia com os parâmetros da Tabela 24 e valores genéricos do filtro para obter o THD da corrente do retificador.

O THD_{i_{a,ret}} obtido foi de 54,9% o que resulta em uma valor de *ripple* de $\tilde{i}_{a,ret,rms,T_1} = 1,35A$.

Utilizando os passos para o projeto do filtro no fluxograma da Figura 32 com o valor obtido de $\tilde{i}_{a,ret,rms,T_1}$, têm-se:

1. Definição dos parâmetros da tensão de fase RMS ($V_{a,rms}$), frequência da rede (f_g), frequência de chaveamento (f_{ch}), potência trifásica (P_{3ph}) e índice de modulação (m_i) (Tabela 24);
2. Cálculo da resistência efetiva do conversor ($R_e = V_{a,rms}/I_{a,rms}$) e do *ripple* da corrente do conversor em um ciclo da frequência fundamental (\tilde{i}_{af,rms,T_1}) (Equação (4.23));
 - $R_e = 45,38 \Omega$;
 - $\tilde{i}_{a,ret,rms,T_1} = 1,35 A$.
3. Definição do THD desejado para a corrente da rede (i_a), do THD da tensão do retificar ($v_{a,ret}$) e valor aceitável de perdas do resistor de amortecimento (λ_3);

- $\text{THD}_{i_a} = 2\%$;
 - $\text{THD}_{v_{a,\text{ret}}} = 4,5\%$;
 - $\lambda_3 = 0.05\%$.
4. Cálculo dos ganhos λ_1 e λ_2 , de acordo com as Equações (4.15) e (4.16), respectivamente;
- $\lambda_1 = 0,035$;
 - $\lambda_2 = 3,54$.
5. Resolução do sistema de equações não lineares (Equações (4.11), (4.12) e (4.19)) para encontrar os valores L_f , C_f e R_{cf} ;
- $L_f = 1,6 \text{ m H}$;
 - $C_f = 5,9 \text{ } \mu \text{ F}$;
 - $R_{cf} = 2,17 \text{ } \Omega$.
6. Validação dos resultados com cálculo do fator de potência ($fp = \cos \theta_1$) e da relação de queda de tensão ($|G_{V_{a,\text{ret}},V_a}|$) na Equação (4.20);
- $f_p = 0,9961$;
 - $|G_{V_{a,\text{ret}},V_a}| = 1$.

Com os parâmetros encontrados de L_f e C_f a frequência de ressonância é de $f_{ress} = 1617 \text{ Hz}$, que está dentro dos limites especificados por 4.22.

Na Tabela 27, são apresentados os dados obtidos a partir da simulação.

Tabela 27 – Valores esperados e obtidos do projeto do filtro CA para o AMCSR

	Esperado	Obtido
THD_{i_a}	2%	2,32%
$\text{THD}_{v_{a,\text{ret}}}$	4,5%	4,23%
$P_{r,\text{loss}}$	0.05%	0,56%
fp	0,9961	0,9976
$ G_{V_{a,\text{ret}},V_a} $	$0,95 \leq G_{V_{a,\text{ret}},V_a} \leq 1,05$	1,0
$\text{THD}_{i_{a,\text{ret}}}$	55,68%	55,8%

Portanto para os filtros, foram selecionados os seguintes valores: um indutor de filtro $L_f = 2 \text{ mH}$ e um capacitor de filtro $C_f = 7,5 \text{ } \mu \text{F}$. Essa escolha considerou tanto o dimensionamento necessário como os valores dos componentes obtidos em laboratório, levando em conta também o pior cenário, que é a topologia AMCSR.

4.2 Indutor de Barramento CC

O indutor de barramento CC é geralmente o elemento mais volumoso do conversor, porque armazena a maior quantidade de energia. Sendo esse um dos motivos que leva os conversores fonte de corrente a serem menos estudados do que os fonte de tensão, já que os indutores possuem uma densidade de potência menor que capacitores.

Dessa forma, é necessário realizar o correto dimensionamento do indutor de barramento para minimizar as oscilações de corrente, visto que a corrente do barramento CC pode ser vista como um valor médio constante e uma parcela que oscila em torno desse valor médio. O valor do indutor de barramento também influencia nas perdas dos semicondutores e no THD da corrente da rede.

Com base na equação da tensão do indutor ($v_L = L_{cc}\Delta I_{cc}/\Delta t$) a ondulação máxima da corrente ocorre quando a tensão através do indutor é máxima, e essa tensão máxima pode ser aproximada como a tensão de linha máxima (Equação (2.8)) menos a tensão CC (V_{cc}), como mostra a Equação (4.24).

$$v_{L,max} = V_{cc} \frac{2}{\sqrt{3}m_i} - V_{cc}. \quad (4.24)$$

Por conseguinte, o valor da indutância é dado por:

$$L_{cc} = \Delta t \frac{V_{cc}}{\Delta I_{cc}} \left(\frac{2\sqrt{3}}{3m_i} - 1 \right). \quad (4.25)$$

O valor de Δt irá depender de quantos ciclos da frequência de chaveamento é necessário para carregar ou descarregar o indutor. Assim, podemos considerar n_c como o número de ciclos e o tempo de carga como sendo $\Delta t = n_c/f_{ch}$. Substituindo esse valor na Equação (4.25) tem-se que:

$$L_{cc} = n_c \frac{V_{cc}}{f_{ch}\Delta I_{cc1,2}} \left(\frac{2\sqrt{3}}{3m_i} - 1 \right). \quad (4.26)$$

Dessa forma, observa-se que o *ripple* da corrente de cada indutor dependerá do índice de modulação, da frequência de chaveamento, da tensão do barramento e do valor da indutância.

Os parâmetros de referência para o cálculo dos indutores são apresentados na Tabela 28. Em seguida, são analisados os casos com variação do valor do *ripple* da corrente para cada topologia.

Tabela 28 – Valores de referência para o dimensionamento dos indutores de barramento CC.

Parâmetros	Valores
Índice de modulação (m_i)	0,9
Tensão de barramento CC (V_{cc})	120 V
Corrente de barramento CC (I_{cc})	6 A
Frequência de chaveamento (f_{ch})	10 kHz

Nesse cenário, cada indutor de barramento para as topologias com barramento compartilhado exige cerca de três ciclos de chaveamento para ser carregado ou descarregado. Isso ocorre porque esses ciclos dependem dos sinais de comando de carga e descarga, e o intervalo de amostragem é de 100 μ s, resultando em um valor de $n_c = 3$. Essa quantidade de ciclos define quando os sinais de carga e descarga são transmitidos para a seleção de vetores.

Indutores com barramento em paralelo: Para uma corrente $I_{cc} = 6$ A, as correntes de cada barramento serão $I_{cc1,2} = 3$ A. Considerando um valor de *ripple* $\Delta I_{cc1,2} = 30\%$, os indutores de cada barramento são aproximados como $L_{cc1,2} = 6$ mH.

Quanto ao indutor de saída, como ele conduz uma corrente de $I_{cc} = 6$ A, a qual é a soma das duas correntes de cada barramento, seu ciclo de carga e descarga equivale à frequência de chaveamento f_{ch} , resultando em $n_c = 1$. Devido a isso, seu *ripple* é menor. Assim, para um *ripple* de $\Delta I_{cc} = 10\%$, o valor do indutor é aproximadamente $L_{cc} = 3$ mH.

Dessa forma, nas topologias convencionais em que são empregados dois indutores em cada CSC, são utilizados dois indutores de 3 mH, totalizando os 6 mH dimensionados. Para a topologia assimétrica, o valor do indutor é calculado considerando o total de 6 mH, devido à sua assimetria, visando atingir o mesmo padrão da topologia convencional. Quanto ao indutor de saída, o valor utilizado será de 3 mH para ambos os casos.

Indutores com barramento em série: Nessa configuração, o efeito é semelhante ao anterior, com a diferença de que a corrente não é dividida igualmente entre os indutores. O balanceamento leva em consideração essa diferença, e ambos os indutores demoram cerca de três vezes a frequência de chaveamento para carregar e descarregar.

Portanto, para o primeiro indutor, a corrente é de 3 A. Com um *ripple* de 30%, temos que $L_{cc1} = 3$ mH cada para MCSI-S, totalizando 6 mH, e $L_{cc1} = 6$ mH para AMCSC-S. Para o segundo indutor, com uma corrente de 6 A e um *ripple* de 7%, o valor aproximado é $L_{cc2} = 6$ mH cada para MCSC-S, totalizando 12 mH, e $L_{cc2} = 12$ mH para AMCSC-S.

Para as topologias com barramento separado, com valores em torno de 120 V e 3

A por barramento, e um *ripple* de 10%, os indutores aproximados para cada barramento são $L_{cc1,2} = 6$ mH.

Segue na Tabela 29 o resumo nas dos valores utilizados nas simulações e experimentos para cada topologia. E na Tabela 30 a quantidade total de indutância por conversor.

Tabela 29 – Cálculo dos indutores por conversor.

	$I_{cc1,2}$	$\Delta I_{cc1,2}$	$n_{c1,2}$	$L_{cc1,2}$	I_{cc}	ΔI_{cc}	n_c	L_{cc}
MCSC-P/AMCSC-P	3A	30%	3	6 mH	6A	10%	1	3 mH
MCSC-S/AMCSC-S	3A	30%	3	6 mH	6A	7%	3	12 mH
MCSC-DB/RMCSR-DB	3A	10%	1	6 mH	-	-	-	-

Tabela 30 – Quantidade total de indutores por conversor.

	L_{cc1}	L_{cc2}	L_{cc}	Total de Indutores
MCSC-P	3 mH	3 mH	3 mH	5 de 3 mH = 15 mH
AMCSC-P	6 mH	6 mH	3 mH	2 de 6 mH e 1 de 3 mH = 15 mH
MCSC-S	3 mH	6 mH	-	2 de 3 mH e 2 de 6 mH = 18 mH
AMCSC-S	6 mH	12 mH	-	1 de 6 mH e 1 de 12 mH = 18 mH
MCSC-DB/RMCSR-DB	6 mH	6 mH	-	2 de 6 mH = 12 mH

4.3 Conclusões

Neste capítulo, apresentou-se a metodologia de projeto para dimensionar os elementos reativos do sistema. Primeiramente, o estudo do dimensionamento de filtros CA foi abordado. Esses filtros são responsáveis por reduzir as componentes de alta frequência do conversor. Foi realizada uma análise para calcular o *ripple* da corrente multinível e, a partir das análises da função de transferência, foram determinados os parâmetros do filtro. A validação dos resultados foi feita por meio do cálculo do fator de potência e da queda de tensão do filtro.

Posteriormente, o cálculo dos parâmetros do filtro foi inicialmente realizado para a topologia mais básica, o CSC de três níveis, com o objetivo de exemplificar e detalhar o cálculo do *ripple* da corrente multinível de forma mais simples. À medida que o número de níveis aumenta, a análise analítica desse valor se torna mais complexa. Por isso, optou-se por uma solução alternativa: calcular esses valores como parâmetros iniciais de projeto a partir de simulações, usando o cálculo do THD.

Essa abordagem permitiu estimar os valores dos filtros para as topologias multiníveis e comparar esses valores com os resultados de simulações. Observou-se que o THD da corrente do retificador diminui conforme o número de níveis aumenta. Para o CSC, o THD foi de 76,96%, enquanto para a topologia assimétrica AMCSC foi de 55,68% e para o MCSC de 37,95%. A assimetria da corrente no AMCSC resultou em maior distorção, exigindo um filtro mais robusto em comparação com o MCSC. Assim, em termos de desempenho de THD, a topologia assimétrica representa uma opção intermediária entre CSC e MCSC para os mesmos filtros.

Para o dimensionamento do indutor de barramento, estudou-se o comportamento da tensão sobre o indutor durante um ciclo de chaveamento. Concluiu-se que o *ripple* da corrente em cada barramento depende da frequência de chaveamento, do índice de modulação dos valores de corrente e tensão do barramento, do tempo de carga/descarga dos indutores e da indutância. Isso demonstrou que, de acordo com os objetivos e parâmetros de cada projeto, o dimensionamento adequado pode ser obtido com base no propósito específico.

Quanto às topologias assimétricas propostas, os valores das indutâncias são os mesmos em termos de valor total, 15 mH para as topologias com barramento em paralelo e 18 mH para as topologias em série, mantendo o mesmo padrão. Embora com o mesmo número total de indutores, as topologias assimétricas otimizam o projeto ao reduzir o espaço na placa. Além disso, podem empregar um único indutor por barramento, em vez de dois, o que reduziria as resistências em série do indutor e, conseqüentemente, as perdas.

Assim, este estudo dos elementos reativos para os conversores fonte de corrente contribui para o correto dimensionamento dos componentes, visando à otimização dos resultados. O detalhamento dos cálculos fornecidos também oferece uma base sólida para futuras aplicações e trabalhos na área.

Construção dos Protótipos e Implementação Digital do PWM

Neste capítulo, será abordada a construção dos protótipos experimentais, além da implementação digital do PWM vetorial por meio dos dispositivos DSP e FPGA.

A implementação digital do PWM vetorial será abordada em duas frentes: a execução no DSP e no FPGA. Cada uma dessas abordagens envolve uma série de módulos e funções que desempenham papéis específicos na geração e sincronização das formas de onda de controle. Os detalhes de cada módulo e sua interconexão serão explorados, oferecendo uma visão abrangente de como esses componentes colaboram para atingir um controle dos conversores.

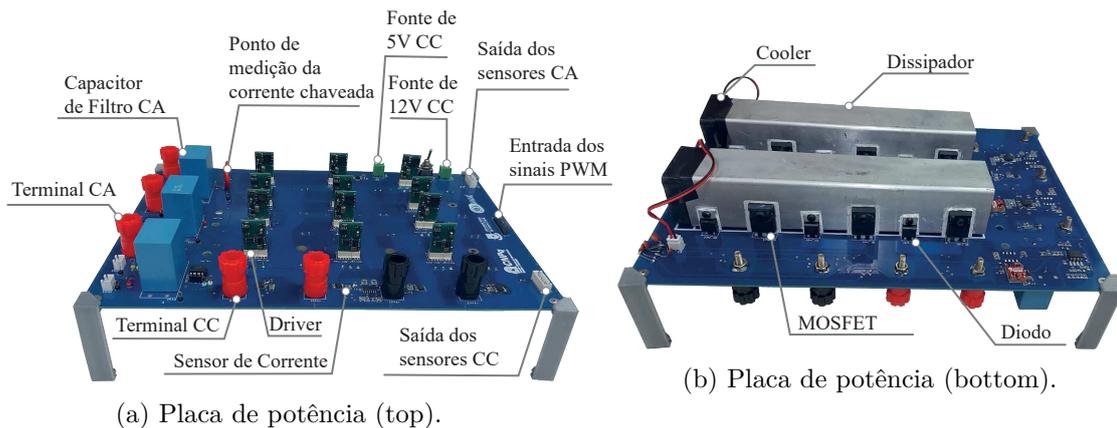
5.1 Construção dos Protótipos

Para a realização dos experimentos, foram elaborados três protótipos. O primeiro modelo abrangeu as topologias com barramento compartilhado e com duplo barramento com MOSFETs, enquanto o segundo contemplou exclusivamente as topologias com redução de diodos com IGBTs. Além disso, uma placa de controle foi desenvolvida para operar ambas as placas de protótipo. Todos os modelos foram criados utilizando o software *Altium Designer*[®].

O protótipo designado como MCSC (conforme ilustrado na Figura 33) é composto por uma série de 12 chaves, sendo utilizados MOSFETs (G3R160MT12D), juntamente com 12 diodos (GD10MPS12A), ambos da GeneSiC SEMICONDUCTOR[®]. O monitoramento das correntes será efetuado através do sensor TMCS1108A3BQDRQ1 da Texas

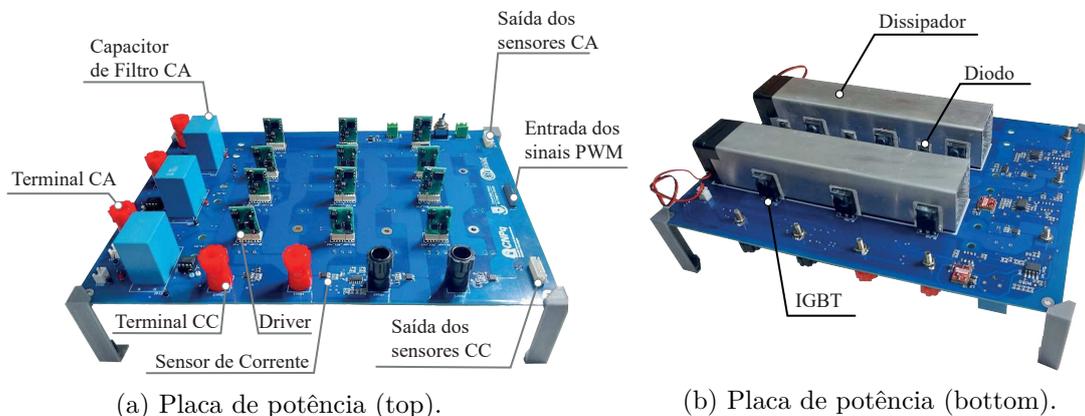
Instruments[®]. As placas de potência também incorporam circuitos de acionamento (*Drivers*), sensores de tensão e sistemas de dissipação de calor. Por sua vez, o protótipo RMCSC (conforme representado na Figura 34) segue uma composição semelhante, com a distinção de apresentar seis diodos a menos e adotar exclusivamente IGBTs (STGWA25H120F2) da Infineon[®].

Figura 33 – Protótipo MCSC de cinco níveis.



Fonte: Elaboração própria.

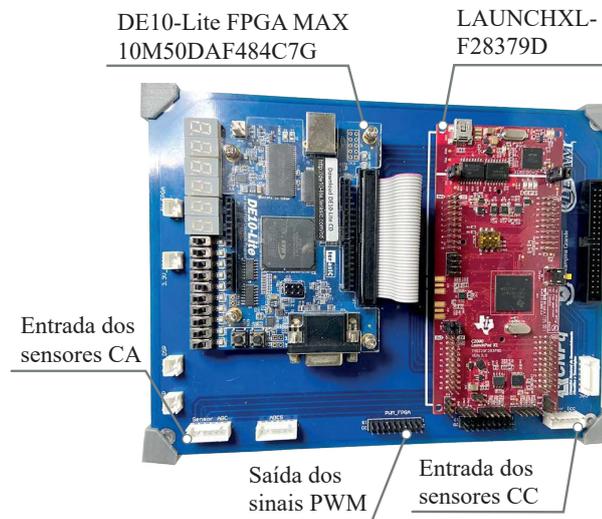
Figura 34 – Protótipo RMCSC de cinco níveis.



Fonte: Elaboração própria.

Para implementar o controle PWM, foi desenvolvido o protótipo apresentado na Figura 35. Este protótipo tem a função de interligar o DSP TMS320F28379D[®] da Texas Instruments, presente no kit de desenvolvimento LAUNCHXL-F28379D. Esse DSP é responsável por processar os dados provenientes do conversor ADC (do inglês, *Analog-to-Digital Converter*), realizar a lógica de controle e transmitir os parâmetros de referência e balanceamento das correntes por meio da interface SPI (do inglês, *Serial Peripheral Interface*). Os dados são enviados para o FPGA MAX 10M50DAF484C7G da Terasic[®], que está na placa de desenvolvimento DE10-Lite. Nesse FPGA, ocorre o processamento do sinal PWM, que posteriormente é encaminhado para a placa de potência.

Figura 35 – Placa de controle.



Fonte: Elaboração própria.

Devido à complexidade do conversor e à vasta quantidade de componentes envolvidos, a tarefa de roteamento das trilhas se transforma em um desafio substancial. Diante dessa complexidade, a estratégia adotada consistiu em desenvolver a placa utilizando quatro camadas. Adicionalmente, uma atenção especial foi direcionada ao posicionamento dos capacitores de filtro, visando a sua proximidade máxima em relação às chaves. Essa abordagem visa minimizar a formação de indutâncias parasitas entre as chaves e os capacitores de filtro.

A formação de indutâncias parasitas entre as chaves e o circuito de filtragem pode desencadear picos de tensão indesejados. Especificamente, se a taxa de variação da corrente ou a presença de indutâncias parasitas forem excessivamente altas, a ocorrência desses picos de tensão pode resultar em danos aos dispositivos semicondutores presentes no sistema (COSTA et al., 2020).

São disponibilizados nos Apêndices C, D e E as representações tridimensionais das placas desenvolvidas no Altium, que exibem os detalhes das visualizações superior e inferior das placas, e os *layouts* do PCB dos protótipos.

5.2 Implementação Digital do PWM

O FPGA é um conjunto configurável de circuitos integrados composto por blocos lógicos, entradas e saídas. Embora ofereça uma alta flexibilidade na implementação de conversores, também está associado a um aumento nos custos. Um dos pontos fortes do FPGA é sua capacidade de definir diversos blocos de hardware que podem operar de maneira

paralela, contribuindo para um significativo aumento na capacidade computacional do sistema. Isso se torna particularmente útil em sistemas que empregam modulação vetorial, especialmente quando se considera cenários com cinco níveis e 81 vetores, nos quais a característica paralela do FPGA é altamente vantajosa.

Os FPGAs operam com aritmética de ponto fixo, que envolve a normalização de grandezas com casas decimais em números inteiros. Todas as operações são conduzidas considerando os números como inteiros, o que resulta em melhorias consideráveis na velocidade de execução. Um número inteiro positivo é essencialmente uma coleção de N dígitos binários, gerando 2^N estados possíveis, correspondendo a duas possibilidades para cada bit (YATES, 2009). Números fracionários, por sua vez, são representados em binário usando o formato de ponto fixo com notação Q, que indica quantos bits são destinados a representar a parte inteira e a parte fracionária do número.

Por exemplo, ao especificar três bits para a parte inteira e quatro bits para a parte fracionária, é possível denotar que os números estão no formato Q3.4. Outra forma é especificar apenas o comprimento da parte fracionária. Isso é baseado na premissa de que o comprimento da palavra é conhecido para um determinado processador. Por exemplo, ao trabalhar com um processador que possui um comprimento de palavra de 16 bits, é possível simplesmente indicar que o formato usado é o Q15 para representar os números. Isso significa que 15 bits estão posicionados à direita do ponto binário, com um bit à esquerda. Nesse contexto, o formato Q15 é equivalente ao formato Q1.15 (ARAR, 2017).

Quando se trata da transmissão de dados via SPI, são utilizados números de 16 bits. Desse modo, as correntes são transformadas em números decimais, geralmente até o valor de 1 (referente a valores por unidade [pu]), com uma base específica. Posteriormente, ocorre a conversão para um número de ponto fixo que será utilizado para enviar as informações. Isso é realizado seguindo a seguinte equação:

$$N_Q = \frac{I}{I_{\text{BASE}}} (2^{Q_{\text{BASE}}} - 1) \quad (5.1)$$

em que, I é valor da corrente a ser transformado em [pu], I_{BASE} é base da corrente e Q_{BASE} a base do ponto fixo, neste caso será de 15 (Q15). Com isso, utiliza-se técnicas de operações de números binários para a obtenção dos resultados. O método realizado para essas operações é apresentado em (YATES, 2009).

A estrutura do código é essencialmente a mesma para todas as topologias, sendo as diferenciações ocorrendo na operação como inversor ou retificador, no número de vetores e regiões, nos valores de I_α e I_β e na sequência dos vetores determinados pelos estados de chaveamento (I_x , I_y e I_z). Portanto, o procedimento a seguir abordará a topologia

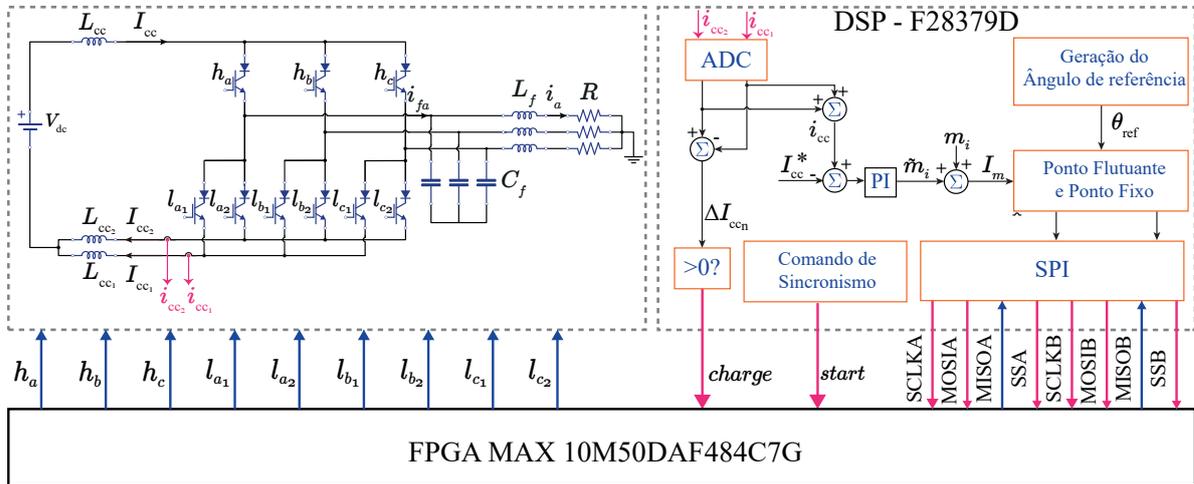
assimétrica em sua operação como inversor, a fim de compreender a configuração adotada, precisando fazer essas adaptações para as demais topologias.

A Figura 36 apresenta em detalhes a montagem do experimento, na qual uma fonte de tensão contínua alimenta uma carga resistiva trifásica por meio do AMCSC. A figura ilustra a conexão entre o DSP e o FPGA, onde o DSP recebe os sinais de corrente do barramento de corrente CC (i_{cc1} e i_{cc2}) dos sensores. Esses sinais analógicos são convertidos em digitais pelos conversores ADC (*Analog to Digital Converter*) do DSP. Os sinais de corrente obtidos pelos ADCs são utilizados para controlar tanto a corrente total do barramento de corrente CC (i_{cc}) quanto o sinal de carga e descarga do indutor.

A análise do sinal de comando de carga e descarga é realizada por meio de GPIO da seguinte forma: se ($i_{cc2} - i_{cc1} > 0$), então *charge* = 1; caso contrário, *charge* = 0. Além disso, o DSP envia um sinal de sincronização ao FPGA (*start*) por meio de GPIO para garantir a coordenação apropriada entre os dispositivos.

O ângulo de referência (θ_{ref}) é gerado pelo DSP (considerando a operação como inversor) e a amplitude das correntes de referência (I_m) calculadas pela saída do controlador PI (\hat{m}_i) mais o valor desejado índices de modulação (m_i) são transformados em variáveis de ponto fixo a serem enviadas pelo DSP para o FPGA.

Figura 36 – Detalhes da implementação do controle DSP e conexão FPGA para AMCSC.



Fonte: Elaboração própria.

Para a implementação do retificador, as alterações são concentradas principalmente no DSP. Agora, é necessário realizar a leitura das tensões trifásicas a fim de sincronizar o PLL e, conseqüentemente, obter o sinal do ângulo de referência θ_{ref} a ser enviado ao FPGA. Essa modificação é ilustrada nas Figuras 13b e 18b.

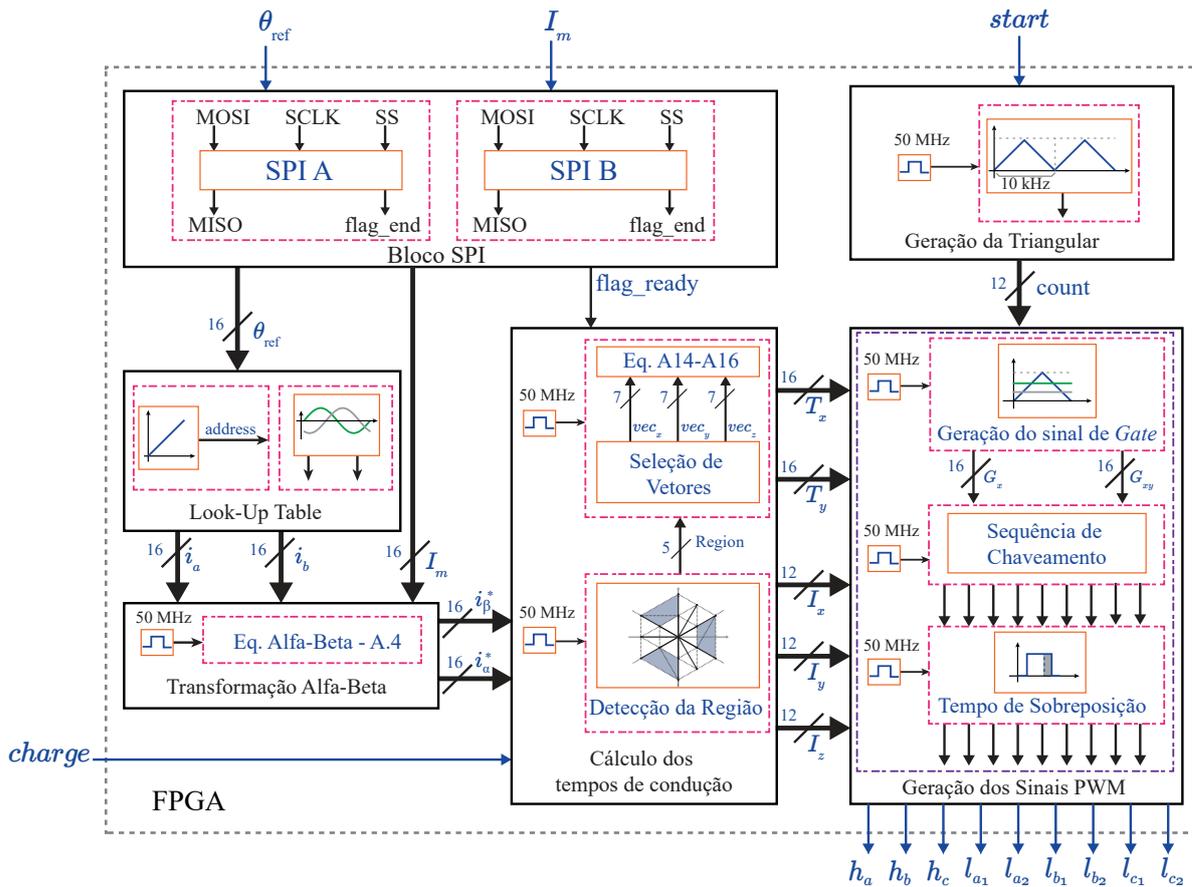
Outra mudança relevante é a inversão do sinal de carga e descarga das correntes. Além disso, são necessárias três portas GPIO adicionais para enviar os comandos de tensão

máxima e mínima, de acordo com:

- se $v_a > v_b$, $v_{ab} = 1$, caso contrário $v_{ab} = 0$;
- se $v_b > v_c$, $v_{bc} = 1$, caso contrário $v_{bc} = 0$;
- se $v_c > v_a$, $v_{ca} = 1$, caso contrário $v_{ca} = 0$.

A modulação SVM implementada no FPGA é detalhada na Figura 37. O módulo central do FPGA tem a responsabilidade de inicializar a placa DE-10 Lite com todas as atribuições de pinos, instanciar e interconectar os blocos elementares para a geração de comandos de acionamento das chaves por meio das GPIOs. Esse módulo é constituído por seis blocos elementares, que serão detalhados nas seções seguintes.

Figura 37 – Detalhes da modulação SVM em FPGA.



Fonte: Elaboração própria.

5.2.1 Bloco SPI

Este módulo recebe os dados a serem armazenados ao se conectar ao DSP por meio dos fios MOSI (*Master Output Slave Input*), SCLK (*Serial Clock*), SS (*Slave Select*) e MISO

(*Master Input Slave Output*). O DSP possui dois módulos SPI, SPIA e SPIB. Portanto, para otimizar a transmissão das informações, os valores de θ_{ref} e I_m são enviados em paralelo, com um pequeno atraso entre as variáveis. Assim, esse módulo recebe os valores das variáveis por meio do MOSI, utilizando uma frequência de transmissão/recepção de dados definida pelo SCLK.

No modo mestre, o sinal de *clock* SPI é gerado pelo próprio módulo SPI e é transmitido pelo pino **SPICLK**, e não pode ter uma frequência maior do que a frequência **LSPCLK** dividida por 4 (INSTRUMENTS, 2019). A frequência **LSPCLK** é especificada no *datasheet* do dispositivo (INSTRUMENT, 2020) e, para o DSP F28379D, é de 200 MHz. A taxa de transmissão deve ser configurada para não ultrapassar a frequência máxima nominal de alternância dos pinos GPIO, que é especificada no manual Instrument (2020) como 25 MHz.

Para atender a essas restrições, o registrador **SPIBRR** é configurado conforme a Equação (5.2), considerando uma frequência de transmissão desejada de $SPICLK = 10$ MHz. Isso garante que a comunicação SPI esteja dentro dos limites de frequência adequados.

$$SPI_BRR = \frac{\frac{LSPCLK}{4}}{SPICLK} - 1 [\text{bit/s}]. \quad (5.2)$$

5.2.2 Look-Up Table

Este módulo adota o método chamado de *Look-up Table*, que proporciona um meio ágil de acessar prontamente um valor específico associado a uma chave, eliminando a necessidade de efetuar cálculos ou procedimentos complexos. Nesse contexto, este módulo é responsável por criar e usar três tabelas de consulta, as quais substituem os cálculos de seno e cosseno, tarefas computacionalmente difíceis de serem executadas no FPGA.

O processo de operação se inicia com a geração de três tabelas de consulta. A primeira dessas tabelas define a posição (ou "*address*") correspondente a um ângulo de referência específico (θ_{ref}). As outras duas tabelas recebem esse endereço como entrada e, por meio de consultas diretas à tabela, produzem os valores das referências senoidais ($i_a = \sin(\theta_{\text{ref}})$ e $i_b = \sin(\theta_{\text{ref}} - 2\pi/3)$).

A utilização dessa abordagem permite evitar a execução de operações trigonométricas complexas, que seriam demoradas em termos de recursos computacionais no FPGA. Em vez disso, a tabela de consulta contém os valores precalculados dos senos e cossenos para ângulos específicos, o que possibilita uma recuperação rápida desses valores por meio de pesquisas diretas na tabela. Isso contribui significativamente para otimizar o desempenho do sistema e acelerar o processamento das referências senoidais.

5.2.3 Transformação Alfa-Beta

Este módulo recebe os valores provenientes da referência senoidal e os multiplica pelo coeficiente I_m , resultando nas correntes de referência: $i_a^* = I_m \sin(\theta_{\text{ref}})$, $i_b^* = I_m \sin(\theta_{\text{ref}} - 2\pi/3)$ e $i_c^* = -(i_a^* + i_b^*)$. A partir dessas correntes de referência, os valores das correntes i_α^* e i_β^* são computados por meio da aplicação da transformação alfa-beta, como indicado na Equação (A.4).

5.2.4 Cálculo dos tempos de condução

Este módulo é dividido em duas partes. Na primeira parte, determina-se a região na qual a corrente de referência se localiza. Posteriormente, são selecionados os vetores que definem quais chaves estarão ativas durante o período de chaveamento, bem como o tempo de condução dessas chaves.

Para realizar a determinação da região, utiliza-se o método das coordenadas baricêntricas (explicado detalhadamente no Apêndice A). Esse método recebe como entrada os valores de i_α^* e i_β^* , os vetores de referência correspondentes a cada região específica (vec_x , vec_y e vec_z), bem como os valores de I_α e I_β , de acordo com a Tabela 10. Sua saída é o resultado do teste que determina se a corrente está posicionada dentro da região especificada. Estes valores dependerão da topologia que esta sendo utilizada, por exemplo, para a topologia convencional a tabela de referência é a Tabela 4.

Uma vez que a região é identificada, de acordo com o sinal de carregamento ou descarregamento dos indutores (*charge*) definida pela estratégia de balanceamento no DSP, os vetores apropriados são selecionados (I_x , I_y e I_z) e seus tempos de condução (T_x , T_y e T_z) são calculados seguindo as Equações (A.14)-(A.16).

5.2.5 Geração da Triangular

Este módulo desempenha a função de gerar uma forma de onda triangular e, posteriormente, compará-la com os sinais de referência T_x e $T_x + T_y$. O valor máximo da onda triangular é determinado em função da relação entre a frequência de *clock* do FPGA e a frequência de chaveamento, onde:

$$T_{ch} = \frac{1}{2} \left(\frac{50\text{MHz}}{10\text{kHz}} \right) \quad (5.3)$$

Para assegurar a sincronização com o DSP, a onda triangular é ajustada incrementando seu valor quando recebe o sinal de início (*start*) do DSP. Dessa maneira, o valor do contador (*count*) é enviado para comparação a cada pulso do sinal de *clock*.

5.2.6 Geração dos sinais PWM

Este módulo é subdividido em **Geração do Sinal de Gate**, **Determinação da Sequência de Chaveamento** e **Cálculo do Tempo de Sobreposição**.

Geração do Sinal de Gate: compara os tempos de condução (T_x) e ($T_x + T_y$) com a triangular. O resultado gera os sinais de gate (G_x e G_{xy}) definidos como:

- se $T_x < count$, $G_x = 1$, caso contrário $G_x = 0$;
- se $T_x + T_y < count$, $G_{xy} = 1$, caso contrário $G_{xy} = 0$.

Determinação da Sequência de Chaveamento: realiza o teste para definir qual vetor (I_x , I_y ou I_z) será selecionado:

- se $G_x = 0$ e $G_y = 0$ a sequência utilizada será I_x ;
- se se $G_x = 1$ e $G_{xy} = 0$, use I_y ;
- e I_z caso $G_x = 1$ e $G_{xy} = 1$.

Cálculo do tempo de sobreposição: Como as chaves possuem complementaridade horizontal, ou seja, apenas um interruptor superior ou inferior conduzirá por ciclo de comutação, o tempo de sobreposição deve garantir que quando um dos interruptores for acionado, o outro permaneça ativo por um curto período, de modo que que ambas as chaves superiores ou inferiores conduzam por este curto período e só então a chave é desligada, evitando assim que a corrente do indutor cesse.

Portanto, cada sinal de acionamento da chave passa pelo módulo para somar o tempo de sobreposição (definido como 600 ns), e o sinal é enviado ao conversor.

5.3 Conclusões

Neste capítulo, foram apresentados os protótipos desenvolvidos para a obtenção dos resultados experimentais. Esses protótipos consistem em duas placas de potência (MCSC e RMCSC) e uma placa de controle. A placa de controle recebe os sinais dos sensores, que são processados pelo DSP e enviados para o FPGA através de uma interface SPI.

A implementação digital pelo DSP e FPGA é detalhada, tomando como estudo de caso a topologia AMCSI-P. No entanto, destaca-se que essa mesma metodologia é aplicável a todas as topologias consideradas. Algumas variações são identificadas entre as diferentes topologias, como:

- **Topologias convencionais com barramento compartilhado:**
 - Necessidade de quatro sinais ADCs para correntes do barramento e dois sinais para tensões trifásicas;
 - Envio de seis sinais de comando do DSP para o FPGA para balanceamento e sincronismo;
 - Utilização de tabelas com 81 vetores para modulação vetorial;
 - Transmissão de 12 sinais de comando para chaves pelo FPGA.

- **Topologias assimétricas como inversor com barramento compartilhado:**
 - Necessidade de dois sinais ADCs para correntes do barramento;
 - Envio de dois sinais de comando do DSP para o FPGA para balanceamento e sincronismo;
 - Utilização de tabelas com 27 vetores para modulação vetorial;
 - Transmissão de 9 sinais de comando para chaves pelo FPGA.

- **Topologias assimétricas como retificador com barramento compartilhado:**
 - Necessidade de dois sinais ADCs para correntes do barramento e dois sinais para tensões trifásicas;
 - Envio de cinco sinais de comando do DSP para o FPGA para balanceamento e sincronismo;
 - Utilização de tabelas com 27 vetores para modulação vetorial;
 - Transmissão de 9 sinais de comando para chaves pelo FPGA.

- **Topologia convencional como duplo barramento:**
 - Necessidade de dois sinais ADCs para correntes do barramento e dois sinais para tensões trifásicas;
 - Envio de cinco sinais de comando do DSP para o FPGA para balanceamento e sincronismo;
 - Utilização de tabelas com 81 vetores para modulação vetorial;
 - Transmissão de 12 sinais de comando para chaves pelo FPGA.

- **Topologia proposta com reduzido número de chaves como duplo barramento:**

- Necessidade de dois sinais ADCs para correntes do barramento e dois sinais para tensões trifásicas;
- Envio de cinco sinais de comando do DSP para o FPGA para balanceamento e sincronismo;
- Utilização de tabelas com 54 vetores para modulação vetorial;
- Transmissão de 6 sinais de comando para chaves pelo FPGA.

Em resumo, são apresentados na Tabela 31 as demandas e recursos do DSP e do FPGA.

Tabela 31 – Demandas de recursos do DSP e FPGA.

	MCSC	AMCSI	AMCSR	MCSC-DB	RMCS-DB
Sinais de corrente (ADCs)	4	2	2	2	2
Sinais de tensão (ADCs)	2	-	2	2	2
Sinais de comando (DSP/FPGA)	6	2	5	5	5
Tabelas com vetores	81	27	27	81	54
Sinais de comando (FPGA)	12	9	9	12	6

Essas variações destacam as demandas específicas de recursos entre as diferentes topologias. A topologia convencional com barramento compartilhado requer um maior número de recursos para sua implementação, devido à complexidade das operações e ao maior número de sinais de comando envolvidos. Por outro lado, as topologias propostas, tanto as assimétricas quanto aquelas com redução de chaves, exigem menos recursos, o que simplifica consideravelmente sua implementação. Essa diferença na demanda por recursos reflete-se na complexidade e na abordagem de controle de cada topologia, tornando a implementação das topologias propostas mais acessível e direta.

Resultados de Simulações e Experimentais

Neste capítulo, são apresentados os resultados de simulações e experimentais para as seguintes topologias:

- Conversores com barramento compartilhado:
 - Conversores assimétricos como inversor (AMCSR-P e AMCSR-S);
 - Conversor assimétrico como retificador e barramento em paralelo (AMCSR-P);
 - Com número reduzido de diodos como inversor e com barramento em paralelo (RMCSI- e RAMCSI-P).
- Retificador com duplo barramento e número reduzido de chaves ativas (RMCSR-DB).

Os resultados da simulação foram obtidos utilizando PLECS[®]. PLECS (*Piecewise Linear Electrical Circuit Simulation*) é um software de simulação especializado em sistemas elétricos de potência. O PLECS também oferece suporte para modelos térmicos, o que permite estimar as perdas de potência e as temperaturas dos componentes semicondutores, contribuindo para uma análise mais realista do comportamento do sistema.

Para cada grupo de topologias, são apresentadas uma análise comparativa, destacando os principais aspectos relacionados ao desempenho. Serão discutidas as perdas de potência em cada configuração, a quantidade de componentes necessários para implementar a topologia, os custos associados à sua construção e, por fim, a eficiência alcançada em diferentes condições de operação. Para o cálculo de perdas utilizou-se o modelo térmico,

onde as características das chaves e diodos são inseridas nos componentes para estimar as perdas de potência do semicondutor.

Alguns parâmetros são comuns a todas as topologias e estão listados na Tabela 32.

Tabela 32 – Parâmetros fixos usados para simulação e resultados experimentais

Parâmetro	Símbolo	Valor
Capacitância do filtro CA	C_f	7.5 μF
Indutância do filtro CA	L_f	2 mH
Frequência CA	f_{ca}	60 Hz
Frequência de chaveamento	f_{ch}	10 kHz

6.1 Conversores Assimétricos Multiníveis Fonte de Corrente com Barramento Compartilhado

Resultados de simulações e experimentais obtidos para as topologias propostas assimétricas e com barramento compartilhado são apresentados e analisados. Em seguida é realizada uma análise comparativa com as configurações convencionais, destacando as perdas nos semicondutores, eficiência, THD, custos e número de componentes.

6.1.1 Inversor

6.1.1.1 AMCSI-P

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 33.

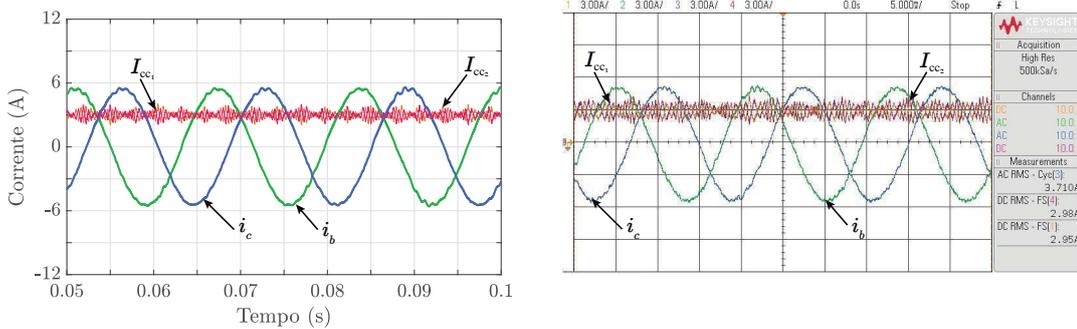
Tabela 33 – Parâmetros da topologia AMCSI-P.

Parâmetro	Símbolo	Valor
Tensão CC	V_{cc}	120 V
Corrente de referência CC	I_{cc}^*	6 A
Indutância do barramento CC	L_{cc}	3 mH
Indutâncias do barramento compartilhado CC	$L_{cc1,2}$	6 mH
Resistor trifásico por fase	R	15 Ω

Na Figura 38, pode-se notar a similaridade entre os resultados de simulação e os resultados experimentais, evidenciando que as correntes de saída i_{abc} apresentam um comportamento senoidal com um THD igual a 2,78%. Além disso, observa-se que a corrente total do barramento de corrente CC é controlada e que as correntes nos indutores

compartilhados estão balanceadas com um deslocamento de fase de 180° entre si de forma eficiente e simétrica. Esse deslocamento indica que, enquanto uma corrente está em fase de carga, a outra está em fase de descarga, e vice-versa.

Figura 38 – Correntes do barramento CC e de saída CA do AMCSI-P.



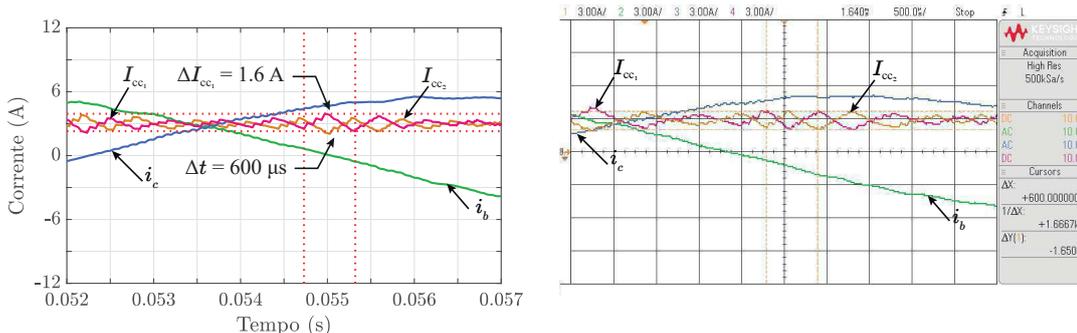
(a) Resultado de simulação.

(b) Resultado experimental.

Fonte: Elaboração própria.

Através da Figura 39 é possível ver o resultado da Figura 38 ampliado para observar de forma clara o balanceamento das correntes. Na simulação, o valor do *ripple* da corrente foi de 1,60 A (pico-a-pico), representando aproximadamente 26,67% do valor médio da corrente. Por outro lado, nos resultados experimentais, o *ripple* foi medido como 1,65 A, correspondendo à 28% do valor médio da corrente.

Figura 39 – Correntes do barramento CC e de saída CA do AMCSI-P (Figura 38 ampliada).



(a) Resultado de simulação.

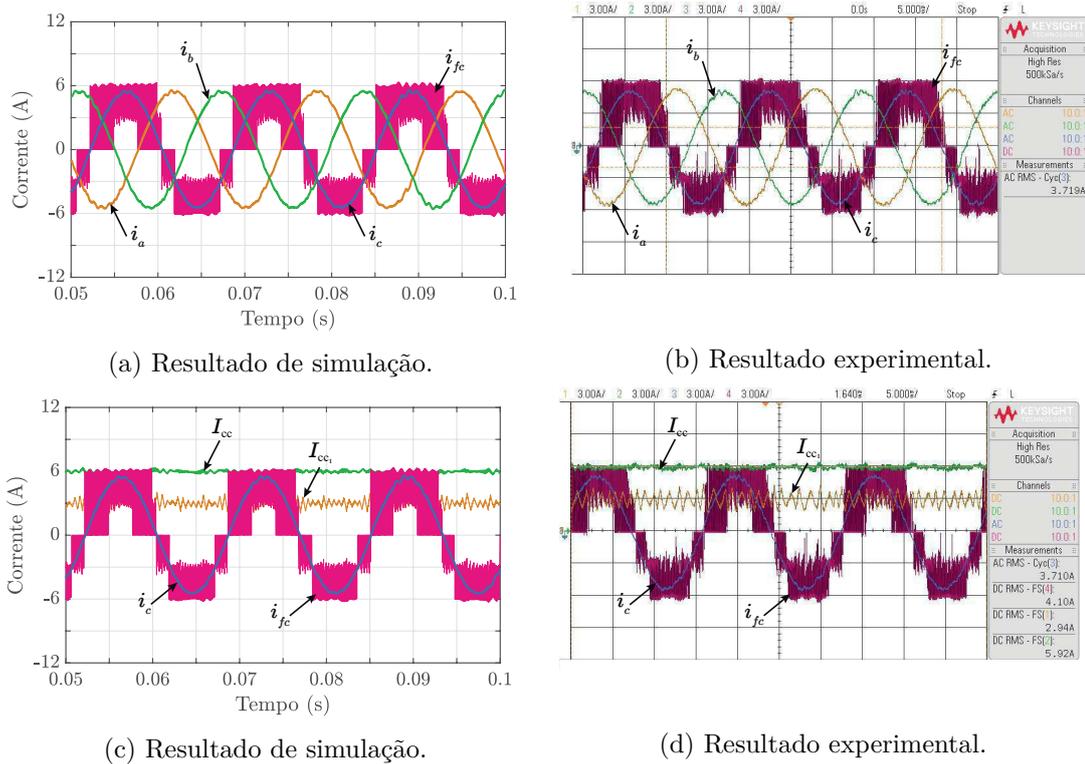
(b) Resultado experimental.

Fonte: Elaboração própria.

A Figura 40 fornece uma análise da corrente multinível i_{fc} , das correntes de saída CA e de barramento CC. Pode-se observar a geração de forma assimétrica dos cinco níveis da corrente multinível i_{fc} , a corrente total do barramento CC é mostrada, apresentando um valor controlado de aproximadamente 6 A e a corrente I_{cc1} possui metade do valor da corrente total. As correntes multiníveis são assimétricas devido à presença de apenas três chaves na parte superior do circuito, o que causa a assimetria no semi-ciclo positivo

da forma de onda da corrente. Porém, essa assimetria não interfere no funcionamento do conversor, pois, apesar disso, as correntes de saída são senoidais e mantêm a mesma qualidade de corrente, com um THD baixo e dentro dos limites aceitáveis definidos pelo padrão IEEE-519.

Figura 40 – Corrente multinível, de saída CA e de barramento CC do AMCSI-P.



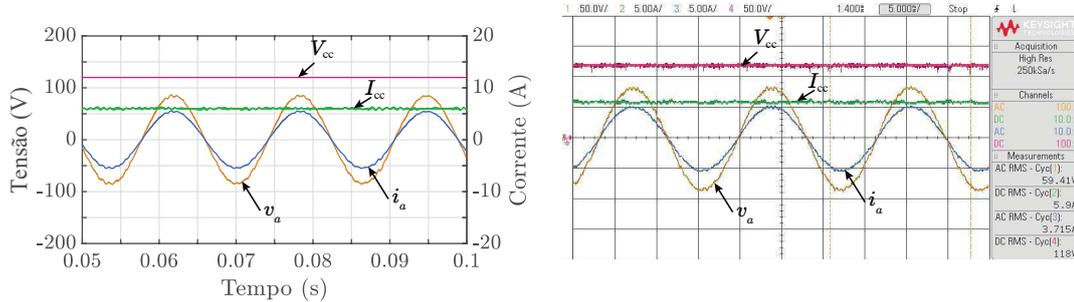
Fonte: Elaboração própria.

A eficiência do conversor para o ponto específico da Tabela 33 pode ser visualizada na Figura 41. Nessa Figura, são apresentadas as formas de onda da tensão do barramento CC (V_{cc}), corrente do barramento CC (I_{cc}), corrente de saída (i_a) e tensão de saída (v_a), considerando tanto o resultado de simulação quanto o experimental.

Conforme os dados obtidos, a eficiência do conversor é de aproximadamente 95,76% na simulação e 95,23% no experimento. No resultado de simulação, a potência de saída CA trifásica é medida em cerca de 689,47 W, enquanto no resultado experimental, a potência de saída é de aproximadamente 663,02 W. Nota-se também que a corrente está em fase com a tensão, o que indica um fator de potência unitário.

Em resumo, é possível observar na Tabela 34 a comparação dos principais valores obtidos a partir da simulação e do experimento realizado para a topologia AMCSI-P. A pequena discrepância entre a simulação e os resultados experimentais deve-se às condições externas e internas do conversor que não são previstas pela simulação. Ainda assim,

Figura 41 – Tensões e corrente de entrada e saída do AMCSI-P.



(a) Resultado de simulação.

(b) Resultado experimental.

Fonte: Elaboração própria.

o projeto foi executado corretamente e, devido à proximidade entre os resultados, os resultados da simulação podem ser usados como base para análises posteriores em diversas condições de operação.

Tabela 34 – Resumo dos Resultados de Simulação e Experimental para a Topologia AMCSI-P.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	3,84 A	3,72 A
Corrente de barramento CC total	I_{cc1}	6,00 A	5,90 A
Ripple dos indutores CC	ΔI_{cc2}	26,67%	28,00%
Eficiência	$\eta_{AMCSI-P}$	95,76%	95,23%
Potência CA	P_{ca}	689,47 W	663,02 W

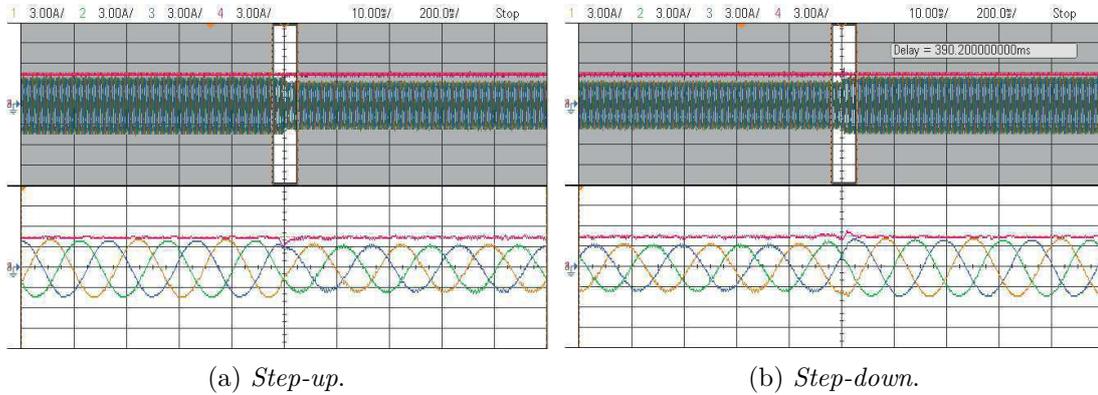
A análise do transitório foi realizada utilizando $V_{cc} = 100V$, $I_{cc}^* = 4,5A$, e dois cenários de carga resistiva: 15Ω ; e $22,5 \Omega$. A Figura 42b mostra esse comportamento considerando um aumento de carga *Step-up* (Figura 42a) e uma redução *Step-down* (Figura 42b) de 33%. Os resultados mostram a eficiência do controle; a corrente do barramento CC controlada em 4,5 A e com um tempo transitório em torno de 2 ms.

6.1.1.2 AMCSI-S

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 35.

Na Figura 43, pode-se notar a similaridade entre os resultados de simulação e os resultados experimentais, evidenciando que as correntes de saída i_{abc} apresentam um comportamento senoidal com um THD igual a 3,26%. Além disso, observa-se que a corrente total do barramento de corrente CC é controlada em 5,18 A e que a corrente I_{cc1} é metade do valor da corrente total I_{cc} , com valor aproximado de 2,63A.

Figura 42 – Corrente do barramento CC e correntes de saída CA para resultados experimentais durante um transitório de carga de 33% do AMCSI-P.

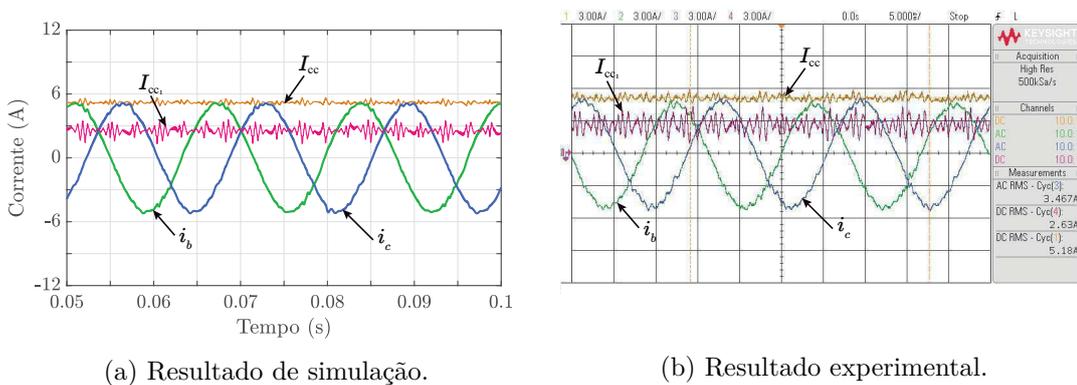


Fonte: Elaboração própria.

Tabela 35 – Parâmetros da topologia AMCSI-S.

Parâmetro	Símbolo	Valor
Tensão CC	V_{CC}	120 V
Corrente de referência CC	I_{CC}^*	5,2 A
Indutância do barramento CC	L_{CC1}	12 mH
Indutância do barramento CC	L_{CC2}	6 mH
Resistor trifásico por fase	R	15 Ω

Figura 43 – Correntes do barramento CC e de saída CA do AMCSI-S.

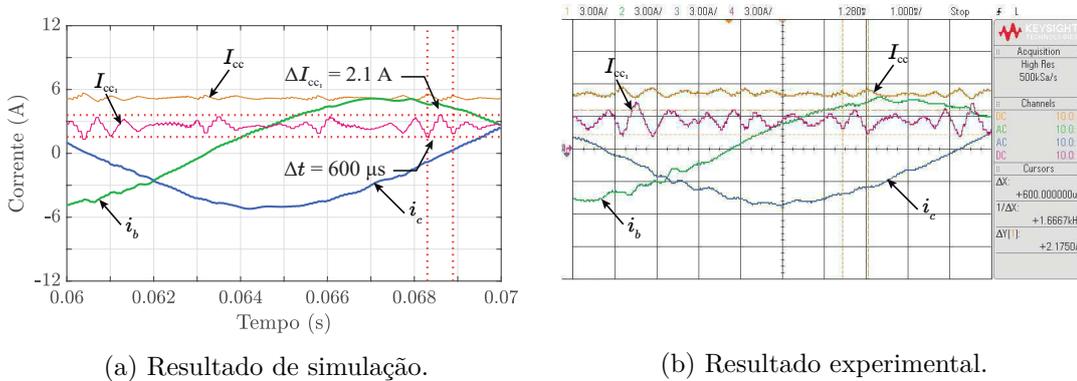


Fonte: Elaboração própria.

A Figura 44 ilustra o mesmo resultado só que ampliado para observar de forma clara o balanceamento das correntes. Na simulação, o valor do *ripple* da corrente foi de 2,10 A (pico-a-pico), representando aproximadamente 40,0% do valor médio da corrente. Por outro lado, nos resultados experimentais, o *ripple* foi medido como 2,20 A, correspondendo à 43% do valor médio da corrente.

A partir da Figura 45 é possível analisar a corrente multinível i_{fc} , as correntes de saída CA e de barramento CC. Pode-se observar a geração de forma assimétrica dos

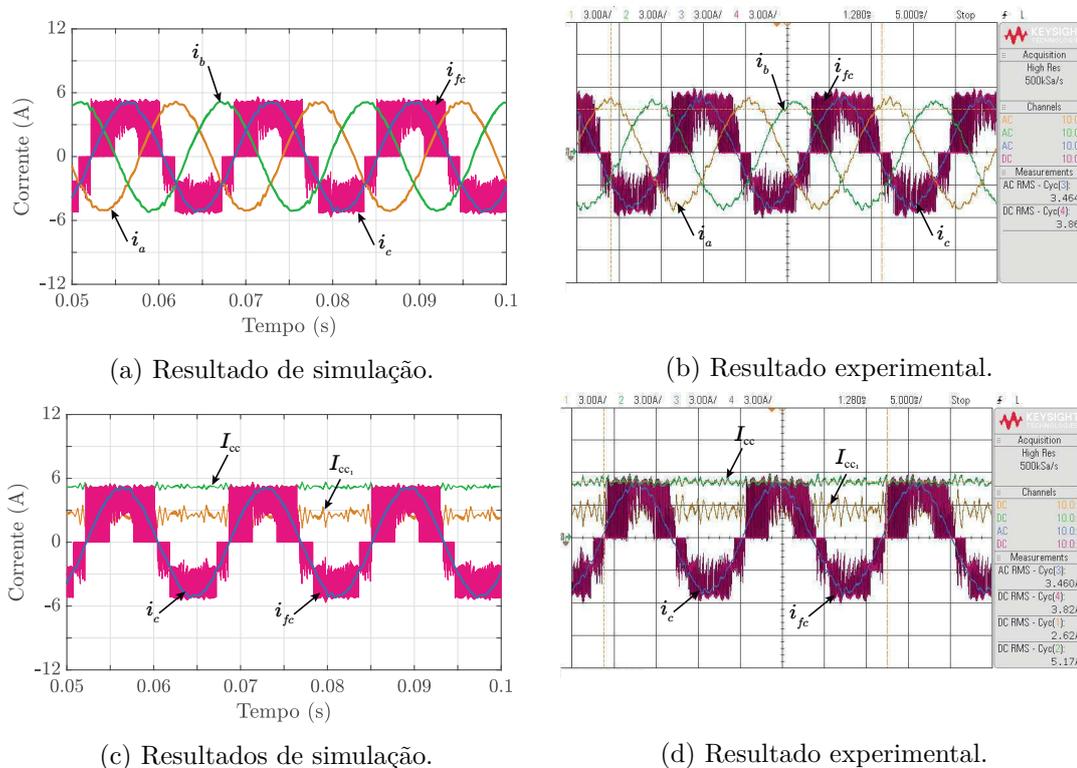
Figura 44 – Correntes do barramento CC e de saída CA do AMCSI-S (Figura 43 ampliada).



Fonte: Elaboração própria.

cinco níveis da corrente multinível i_{fc} . As correntes multiníveis são assimétricas devido à presença de apenas três chaves na parte superior do circuito, o que causa a assimetria no semi-ciclo positivo da forma de onda da corrente de maneira similar à apresentada para a topologia AMCSI-P.

Figura 45 – Corrente multinível, de saída CA e de barramento CC do AMCSI-S.

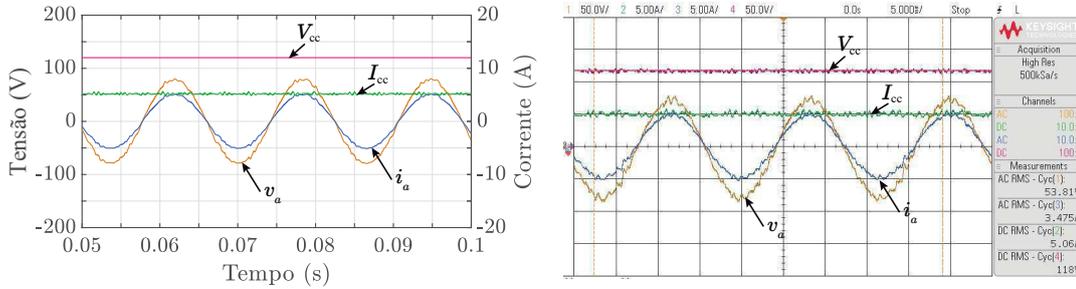


Fonte: Elaboração própria.

A eficiência do conversor para o ponto específico da Tabela 35 pode ser visualizada na Figura 46. Nessa Figura, são apresentadas as formas de onda da tensão do barramento

CC (V_{cc}), corrente do barramento CC (I_{cc}), corrente de saída (i_a) e tensão de saída (v_a), considerando tanto o resultado de simulação quanto o experimental.

Figura 46 – Tensões e corrente de entrada e saída do AMCSI-S.



(a) Resultado de simulação.

(b) Resultado experimental.

Fonte: Elaboração própria.

Conforme os dados obtidos, a eficiência do conversor é de aproximadamente 95,57% na simulação e 94,09% no experimento. No resultado de simulação, a potência de saída CA trifásica é medida em cerca de 596,34 W, enquanto no resultado experimental, a potência de saída é de aproximadamente 561,78 W. Nota-se também que a corrente está em fase com a tensão, o que indica um fator de potência unitário.

Ao analisar os resultados é possível observar que a topologia com barramento em série apresenta maior distorção harmônica e menor eficiência se comparado com a topologia com barramento paralelo.

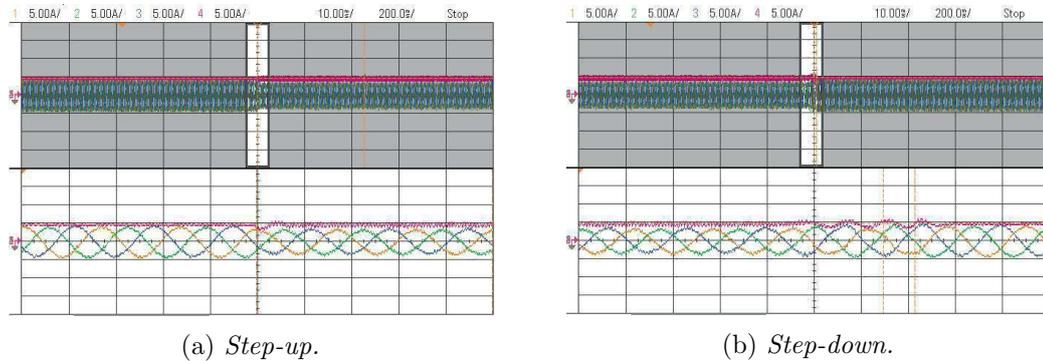
Em resumo, é possível observar na Tabela 36 a comparação dos principais valores obtidos a partir da simulação e do experimento realizado para a topologia AMCSI-S.

Tabela 36 – Resumo dos Resultados de Simulação e Experimental para a Topologia AMCSI-S.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	3,59 A	3,48 A
Corrente de barramento CC total	I_{cc1}	5,2 A	5,06 A
Ripple dos indutores CC	ΔI_{cc2}	40%	43%
Eficiência	$\eta_{AMCSI-S}$	95,57%	94,09%
Potência CA	P_{ca}	596,34 W	561,78 W

A análise do transitório foi realizada utilizando $V_{cc} = 100V$, $I_{cc}^* = 4,5A$, e dois cenários de carga resistiva: 15 Ω ; e 22,5 Ω . A Figura 47a mostra esse comportamento considerando um aumento de carga *Step-up* (Figura 47a) e uma redução *Step-down* (Figura 47b) de 33%. A partir dos resultados é possível observar a eficiência do controle; a corrente do barramento CC controlada em 4,5 A e com um tempo transitório em torno de 2,5 ms para o *step-up* e 20 ms para *step-down*.

Figura 47 – Corrente do barramento CC e correntes de saída CA para resultados experimentais durante um transitório de carga de 33% do AMCSI-S.



Fonte: Elaboração própria.

6.1.1.3 Análise comparativa

Para realizar a comparação entre as topologias assimétricas e convencionais com barramento compartilhado e operando como inversor utilizou-se o mesmo ponto de operação apresentado na Tabela 37.

Tabela 37 – Parâmetros utilizados nas topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S para análise comparativa.

Parâmetro	Simbolo	Valor
Tensão de barramento CC	V_{cc}	120 V
Corrente de referência CC	I_{cc}^*	6 A
Resistor trifásico por fase	R	15 Ω

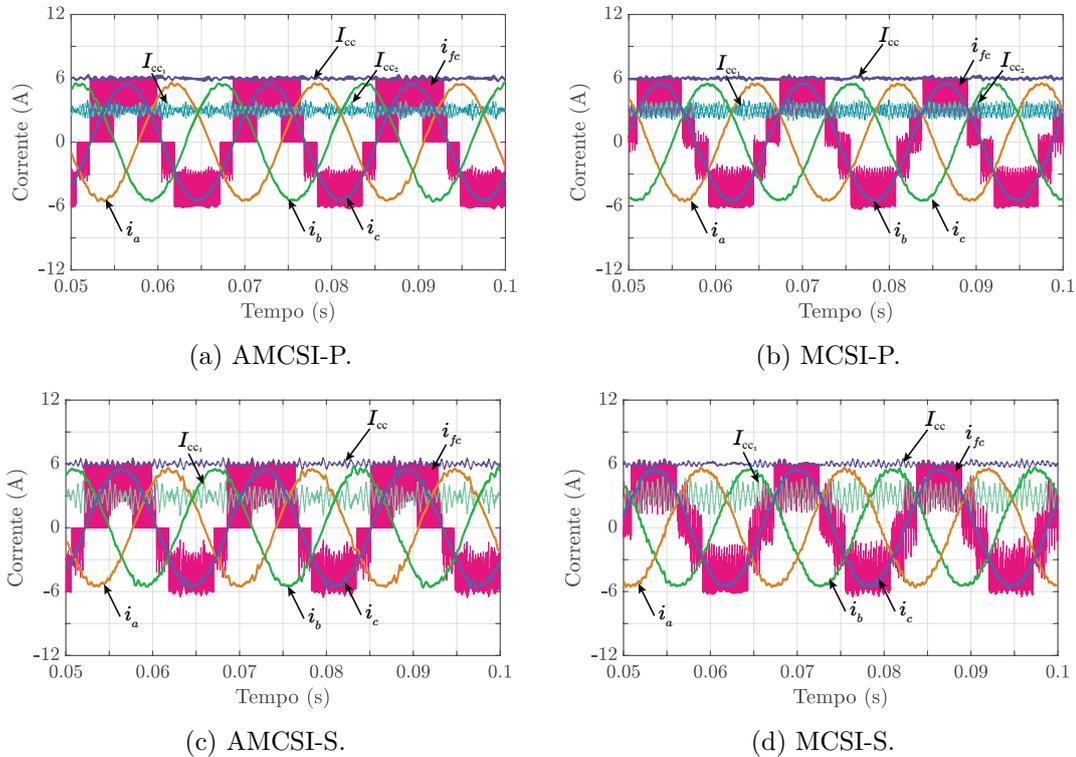
Pode-se ver na Figura 48 as correntes do barramento CC, trifásicas e multinível para as topologias assimétricas e convencionais. Os resultados das simulações mostram que a corrente multinível para o MCSC tem uma forma de onda de cinco níveis simétrica, em contraste com o AMCS. Ainda assim, as correntes de saída e do barramento CC são semelhantes.

Análise da distorção harmônica total e das perdas

As perdas foram calculadas utilizando o modelo térmico do PLECS[®]. Estas perdas incluem: perdas dos MOSFETs (P_M); perdas dos diodos (P_D); perdas totais ($P_{tot} = P_M + P_D$); e eficiência (η). A comparação das topologias em termos de THD e perdas nos semicondutores é apresentada na Tabela 38.

Os resultados mostram que o MCSI-P tem o melhor desempenho em termos de THD e perdas nos semicondutores, resultando em uma eficiência ligeiramente maior em

Figura 48 – Correntes de barramento CC, de saída e multinível nos resultados de simulações para as topologias trifásicas de cinco níveis propostas e convencionais operando como inversor.



Fonte: Elaboração própria.

Tabela 38 – Comparação das topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S em termos de THD, perdas nos semicondutores e eficiência para $P_{cc} = 720W$.

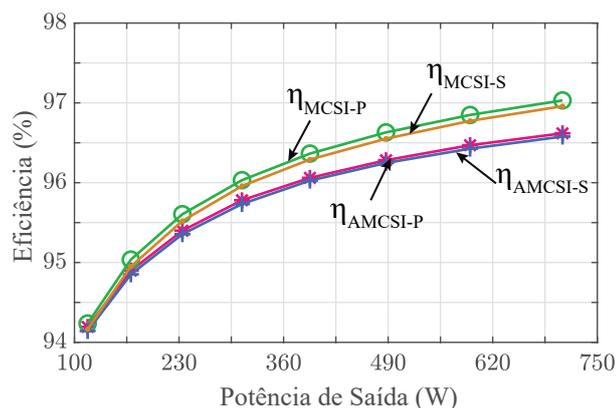
	MCSI-P	AMCSI-P	MCSI-S	AMCSI-S
THD (%)	2,52	2,78	4,09	3,26
P_M (W)	5,38	8,20	5,64	8,20
P_D (W)	15,87	15,83	15,78	15,83
P_{tot} (W)	21,25	24,03	21,42	24,03
η (%)	97,05	96,66	97,03	96,66

comparação com o AMCSI-P, cerca de 0,39%. Ambas as topologias com barramento em série (MCSI-S e AMCSI-S) apresentam THD mais elevados.

A Figura 49 compara a eficiência das topologias em função da potência de carga. Pode-se notar que as topologias convencionais possuem uma eficiência melhor se comparadas às assimétricas. Isso se deve ao fato de que todas as chaves das topologias convencionais conduzem metade da corrente, enquanto na topologia assimétrica, três chaves conduzem a corrente total do barramento e por um tempo maior, resultando em perdas maiores. No entanto, a diferença de eficiência entre as topologias é relativamente baixa. Apesar da menor eficiência, a topologia assimétrica pode ser uma opção interessante dependendo das

características do projeto, fornecendo vantagens como menor número de componentes e maior simplicidade no balanceamento e implementação. Portanto, ao considerar outros aspectos além da eficiência, a topologia assimétrica pode ser uma escolha viável e atrativa em determinados cenários.

Figura 49 – Curva de eficiência das topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S.



Fonte: Elaboração própria.

Número de componentes, custos e vetores

A comparação das topologias MCSI e AMCSI em termos de componentes e número de vetores utilizado é apresentada na Tabela 39.

Tabela 39 – Número componentes e vetores para as topologias MCSI e AMCSI com barramento em paralelo e em série.

	MCSI-P	AMCSI-P	MCSI-S	AMCSI-S
Chaves, Diodos e Drivers	12	9	12	9
Indutores	5	3	4	2
Sensores de Corrente	4	2	3	2
Sensores de Tensão	2	0	2	0
Vetores	81	27	81	27

Os dados da Tabela 39 apresentam a quantidade de componentes necessários para implementar cada topologia, bem como o número de vetores de modulação disponíveis. As topologias convencionais (MCSI) têm um maior número de componentes e vetores em relação às topologias assimétricas (AMCSI). As topologias assimétricas, como o inversor, dispensam a utilização de sensores de tensão e também requerem menos sensores de corrente para o seu balanceamento. Além disso, a quantidade de indutores é reduzida, embora a indutância não seja alterada para manter o mesmo padrão de THD; é necessário manter o mesmo valor de indutância. Em termos de projeto, a quantidade reduzida de componentes pode ser uma vantagem, dependendo do espaço disponível na placa.

Por outro lado, as topologias convencionais apresentam um maior número de vetores, o que pode exigir um processamento mais complexo na hora de implementar a modulação vetorial.

Em resumo, as topologias assimétricas oferecem algumas vantagens em relação às convencionais, incluindo a dispensa de sensores de tensão, a redução do número de sensores de corrente e indutores, e maior facilidade de *layout* devido à quantidade reduzida de componentes. No entanto, é importante considerar o processamento adicional necessário para implementar a modulação vetorial com um maior número de vetores nas topologias convencionais. A escolha entre as topologias dependerá das necessidades específicas de cada projeto e dos recursos disponíveis para sua implementação.

Colocando os preços em termos, a comparação entre as duas topologias está resumida na Tabela 40. Considerando os valores de custo total em relação aos valores de compra e um valor estimado de \$20 para cada sensor de tensão e corrente, \$25 para cada valor de indutor de 3 mH e para cada *driver* do MOSFET. A tabela mostra que a topologia com menor custo é AMCSI-P apresentando uma redução de 27,80 % do valor da topologia MCSI-P.

Tabela 40 – Distribuição dos custos pelos dispositivos semicondutores, drivers, sensores e indutores para as topologias MCSI-P, AMCSI-P, MCSI-S e AMCSI-S.

	MCSI-P	AMCSI-P	MCSI-S	AMCSI-S
MOSFETs	\$78,24	\$58,68	\$78,24	\$58,68
Diodos	\$49,44	\$37,08	\$49,44	\$37,08
Drivers	\$300,00	\$225,00	\$300,00	\$225,00
Sensores	\$120,00	\$40,00	\$100,00	\$40,00
Indutores	\$125,00	\$125,00	\$150,00	\$150,00
Total	\$672,68	\$485,76	\$677,68	\$510,76

6.1.2 Retificador

6.1.2.1 AMCSR-P

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 41.

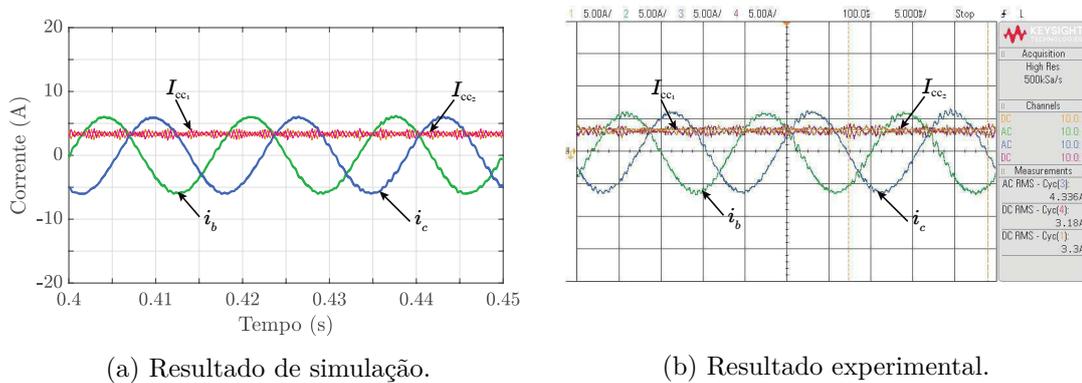
Na Figura 50 nota-se a similaridade entre os resultados de simulação e os resultados experimentais, evidenciando que as correntes de saída i_{abc} apresentam um comportamento senoidal com um THD igual a 2,52%. Além disso, observa-se que a corrente total do barramento de corrente CC é controlada e que as correntes nos indutores compartilhados

Tabela 41 – Parâmetros da topologia AMCSR-P.

Parâmetro	Símbolo	Valor
Tensão RMS	V_{RMS}	60 V
Tensão de referência CC	V_{cc}^*	100 V
Indutância do barramento CC	L_{cc}	3 mH
Indutâncias do barramento compartilhado CC	$L_{cc1,2}$	6 mH
Capacitor do barramento CC	C_{cc}	25 μ F
Resistor	R	15 Ω

estão balanceadas com um deslocamento de fase de 180° entre si de forma eficiente e simétrica.

Figura 50 – Correntes do barramento CC e de entrada CA do AMCSR-P.



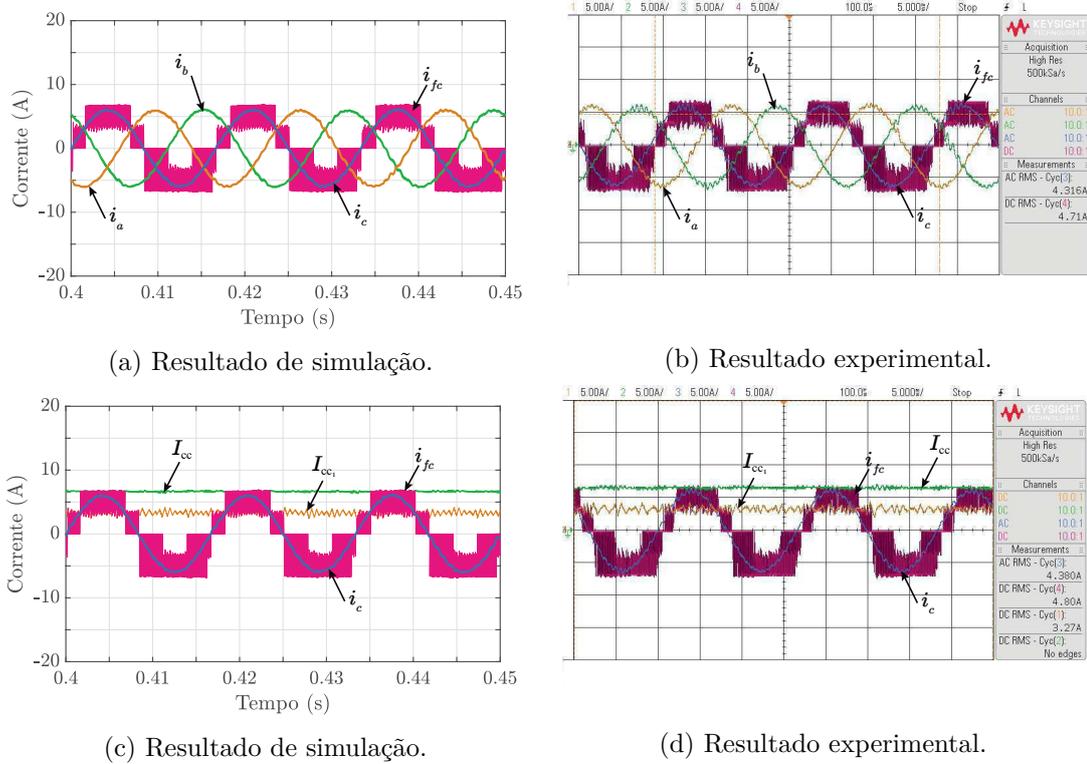
Fonte: Elaboração própria.

Realiza-se através da Figura 51 uma análise da corrente multinível i_{fc} , das correntes de entrada CA e de barramento CC. Pode-se observar a geração de forma assimétrica dos cinco níveis da corrente multinível i_{fc} , a corrente total do barramento CC apresenta um valor controlado de aproximadamente 6,6 A e a corrente I_{cc1} possui metade do valor da corrente total. A assimetria não interfere no funcionamento do conversor, pois, apesar disso, as correntes de saída são senoidais e mantêm a mesma qualidade de corrente, com a THD baixo e dentro dos limites aceitáveis definidos pelo padrão IEEE-519.

A eficiência do conversor para o ponto específico da Tabela 41 pode ser visualizada na Figura 52. Nessa Figura, são apresentadas as formas de onda da tensão do barramento CC (V_{cc}), corrente do barramento CC (I_{cc}), corrente de entrada (i_a) e tensão de entrada (v_a), considerando tanto os resultados de simulação quanto os resultado experimental .

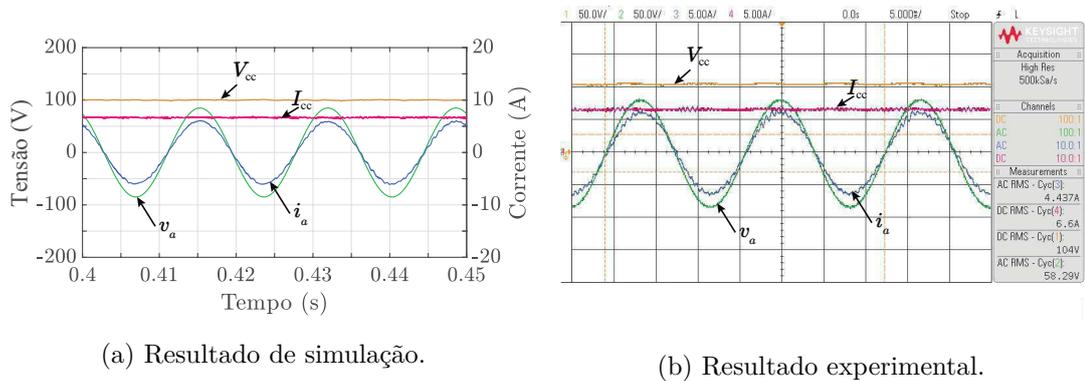
Conforme os dados obtidos, a eficiência do conversor é de aproximadamente 89,97% na simulação e 88,41% no experimento. No resultado de simulação, a potência de saída CA trifásica é medida em cerca de 683,4 W, enquanto no resultado experimental, a potência de saída é de aproximadamente 686,4 W. Nota-se também que a corrente está em fase

Figura 51 – Corrente multinível, de entrada CA e do barramento CC do AMCSR-P.



Fonte: Elaboração própria.

Figura 52 – Tensões e corrente de entrada e saída do AMCSR-P.



Fonte: Elaboração própria.

com a tensão, o que indica um fator de potência unitário e a sincronização pelo PLL foi efetuada corretamente.

Em resumo, a Tabela 42 mostra uma comparação dos principais valores obtidos a partir da simulação e do experimento realizado para a topologia AMCSR-P.

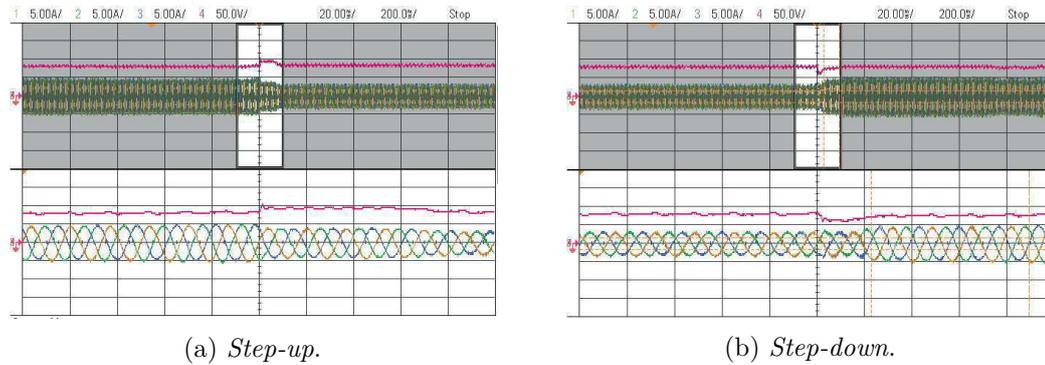
A análise do transitório foi realizada utilizando $V_{RMS} = 50V$, $V_{cc}^* = 84V$, e dois cenários de carga resistiva: 15Ω e $P_{cc} = 470,4W$; e $22,5 \Omega$ e $P_{cc} = 313,6W$. A Figura 53 mostra esse comportamento considerando um aumento de carga *Step-up* (Figura 53a)

Tabela 42 – Resumo dos Resultados de Simulação e Experimento para a Topologia AMCSR-P.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	4,22 A	4,44 A
Corrente de barramento CC total	I_{cc1}	6,7 A	6,6 A
Tensão de barramento CC	V_{cc1}	102 V	104V
Eficiência	$\eta_{AMCSR-P}$	89,97%	88,41%
Potência CA	P_{ca}	683,4 W	686,4 W

e uma redução *Step-down* (Figura 53b) de 33%. Este resultado indica que realizou-se corretamente o controle da tensão do barramento.

Figura 53 – Tensão do barramento CC e correntes de entrada CA para resultados experimentais durante um transitório de carga do AMCSR-P.



Fonte: Elaboração própria.

6.1.2.2 Análise comparativa

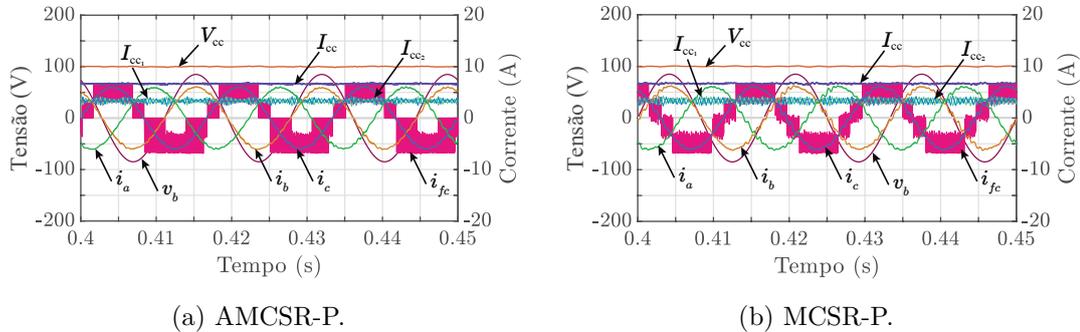
Para realizar a comparação entres as topologias assimétricas e convencionais com barramento compartilhado e paralelo operando como retificador utilizou-se o mesmo ponto de operação apresentado na Tabela 43.

Tabela 43 – Parâmetros utilizados nas topologias MCSR-P e AMCSR-P para análise comparativa.

Parâmetro	Símbolo	Valor
Tensão RMS	V_{RMS}	60 V
Tensão de referência CC	V_{cc}^*	100 V
Resistor	R	15 Ω

Na Figura 54 é possível observar as correntes do barramento CC, trifásicas e multinível para a topologia assimétrica e convencional. Os resultados das simulações mostram que a corrente multinível para o MCSC tem uma forma de onda de cinco níveis simétrica, em contraste com o AMCSC. Ainda assim, as correntes de saída e do barramento CC são semelhantes e apresentam bons resultados.

Figura 54 – Correntes de barramento CC, de saída e multinível nos resultados de simulações para as topologias trifásicas de cinco níveis proposta e convencional operando como retificador.



Fonte: Elaboração própria.

Análise da distorção harmônica total e das perdas

As perdas foram calculadas utilizando o modelo térmico do PLECS[®]. Estas perdas incluem: perdas dos MOSFETs (P_M); perdas dos díodos (P_D); perdas totais ($P_{tot} = P_M + P_D$); e eficiência (η). A comparação das topologias em termos de THD e perdas nos semicondutores é apresentada na Tabela 44.

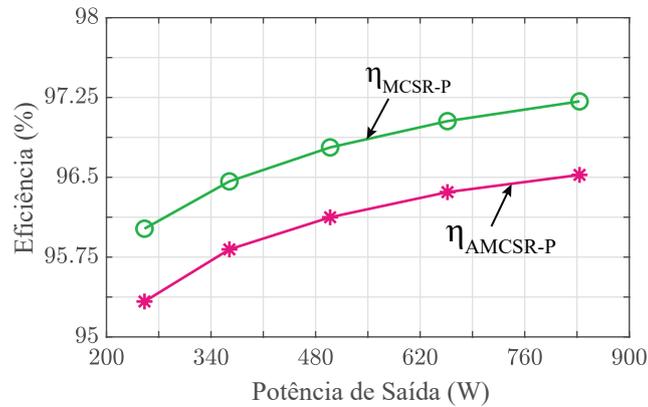
Tabela 44 – Comparação das topologias MCSR-P e AMCSR-P em termos de THD, perdas nos semicondutores e eficiência para $P_{cc} = 666,67W$.

	MCSR-P	AMCSR-P
THD(%)	3,82	2,57
P_M (W)	6,54	10,47
P_D (W)	15,32	17,02
P_{tot} (W)	21,86	27,49
η (%)	96,69	95,97

Os resultados indicam que o MCSR-P tem o melhor desempenho em termos de perdas nos semicondutores, resultando em uma eficiência ligeiramente maior em comparação com o AMCSI-P, cerca de 0,72%. Em relação ao THD, observa-se que o AMCSR-P possui um THD mais baixo, em torno de 1,25%.

A Figura 55 compara a eficiência das topologias em função da potência de carga. Pode-se notar que a topologia convencional possui uma eficiência melhor se comparada à assimétrica. Isso se deve ao fato de que todas as chaves das topologias convencionais conduzem metade da corrente, enquanto na topologia assimétrica, três chaves conduzem a corrente total do barramento e por um tempo maior, resultando em perdas maiores. No entanto, a diferença de eficiência entre as topologias é relativamente baixa.

Figura 55 – Curva de eficiência das topologias MCSR-P e AMCSR-P.



Número de componentes, custos e complexidade

A comparação das topologias MCSR-P e AMCSR-P em termos de componentes e número de vetores utilizado é apresentada na Tabela 45. A análise é semelhante à apresentada na seção 6.1.1.3, com a diferença de que nesse caso é necessário o uso de dois sensores de tensão para o sincronismo com o PLL.

Tabela 45 – Número componentes e vetores para as topologias MCSR-P e AMCSR-P.

	MCSR-P	AMCSR-P
Chaves, Diodos e Drivers	12	9
Indutores	5	3
Sensores de Corrente	4	2
Sensores de Tensão	2	2
Vetores	81	27

Colocando em termos de preços, a comparação entre as duas topologias está resumida na Tabela 46. Considerando os valores de custo total em relação aos valores de compra e um valor estimado de \$20 para cada sensor de tensão e corrente, \$25 para cada valor de indutor de 3 mH e para cada *driver* do MOSFET. A tabela mostra que a topologia com menor custo é AMCSR-P apresentando uma redução de 21,84 % do valor da topologia MCSR-P.

6.2 Com Número Reduzido de Diodos

Resultados de simulações e experimentais obtidos para as topologias propostas com número reduzido de diodos são apresentados e analisados. Em seguida é realizado uma análise comparativa com as configurações convencionais, destacando as perdas nos semicondutores, eficiência, THD, custos e número de componentes.

Tabela 46 – Distribuição dos custos pelos dispositivos semicondutores, drivers, sensores e indutores para as topologias MCSR-P e AMCSR-P.

	MCSR-P	AMCSR-P
MOSFETs	\$78,24	\$58,68
Diodos	\$49,44	\$37,08
Drivers	\$300,00	\$225,00
Sensores	\$120,00	\$80,00
Indutores	\$125,00	\$125,00
Total	\$672,68	\$525,76

6.2.1 RMCSI-P

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 47.

Tabela 47 – Parâmetros da topologia RMCSI-P.

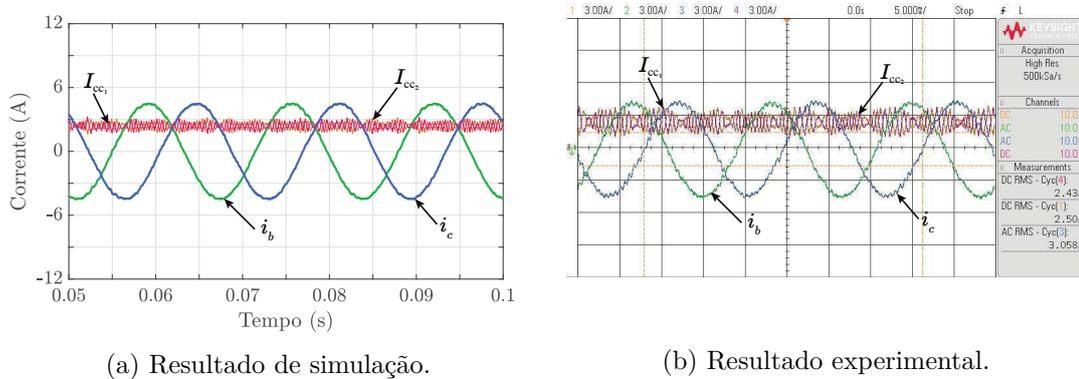
Parâmetro	Símbolo	Valor
Tensão CC	V_{cc}	100 V
Corrente de referência CC	I_{cc}^*	4,8 A
Indutância do barramento CC	L_{cc}	3 mH
Indutâncias do barramento compartilhado CC	$L_{cc1,2}$	3 mH
Resistor trifásico por fase	R	15 Ω

Na Figura 56 é possível observar os resultados das simulações e experimentais realizados para analisar o comportamento da corrente de barramento CC e das correntes de saída CA. Os resultados mostram que a geração das correntes alternadas e o comportamento das correntes de barramento CC foram efetuadas de maneira eficiente. As correntes de barramento CC estão equilibradas e defasadas 180°, mostrando a eficiência e simetria da técnica de balanceamento das correntes.

A Figura 57 fornece uma análise da corrente multinível i_{fc} , das correntes de saída CA e de barramento CC. Pode-se observar a geração dos cinco níveis da corrente multinível i_{fc} , a corrente total do barramento CC é mostrada, apresentando um valor controlado de 4,8 A e a corrente I_{cc1} possui aproximadamente metade do valor da corrente total. As correntes de saída CA, apresentadas de forma detalhada, evidenciam a qualidade da modulação de saída, mostrando um comportamento senoidal desejado para o correto funcionamento das cargas conectadas ao sistema com THD de 2,34 % dentro dos limites aceitáveis definidos pelo padrão IEEE-519.

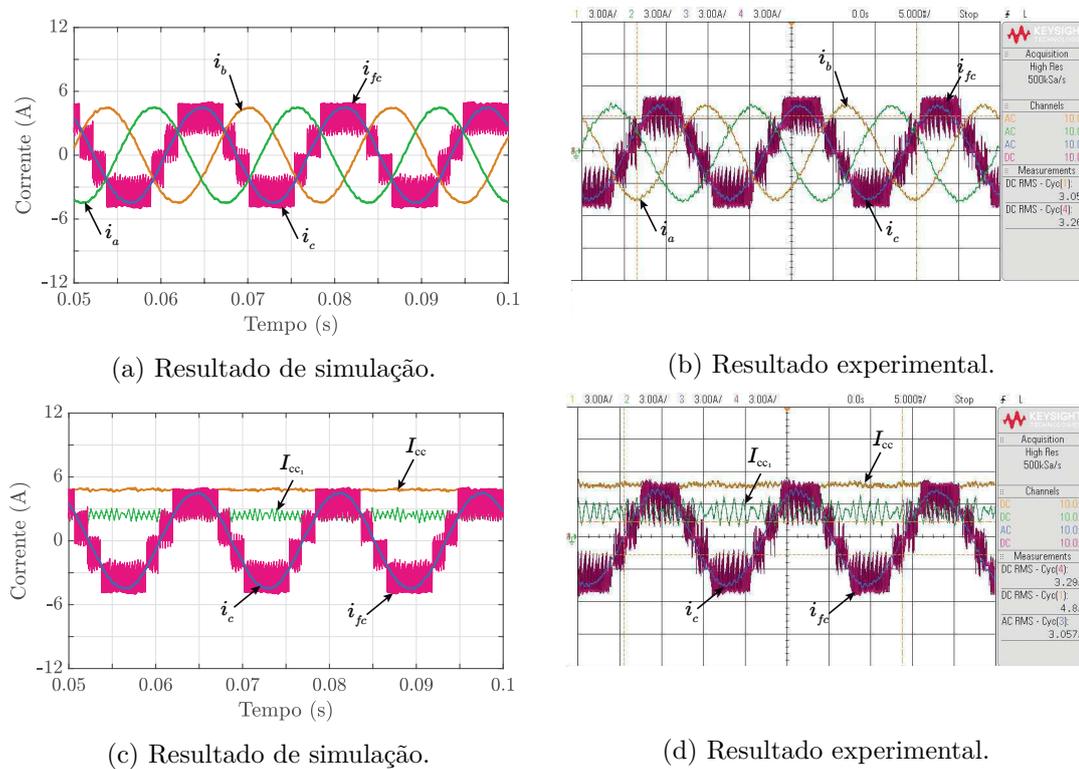
A eficiência do conversor para o ponto específico da Tabela 47 pode ser visualizada na Figura 58. Nessa figura, são apresentadas as formas de onda da tensão do barramento

Figura 56 – Correntes do barramento CC e de saída CA do RMCSI-P.



Fonte: Elaboração própria.

Figura 57 – Corrente multinível, de saída CA e de barramento CC do RMCSI-P.

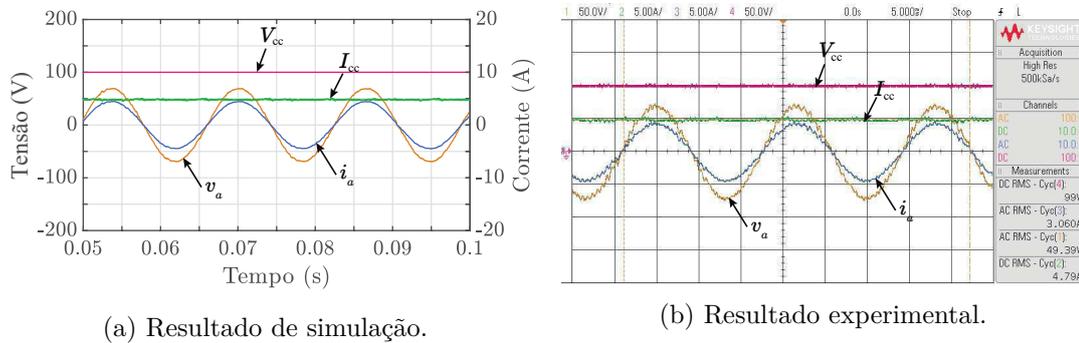


Fonte: Elaboração própria.

CC (V_{cc}), corrente do barramento CC (I_{cc}), corrente de saída (i_a) e tensão de saída (v_a), considerando tanto os resultados de simulações quanto os resultados experimentais.

Conforme os dados obtidos, a eficiência do conversor é de aproximadamente 97,04% na simulação e 95,61% no experimento. No resultado de simulação, a potência de saída CA trifásica é medida em cerca de 465,79 W, enquanto nos resultado experimental, a potência de saída é de aproximadamente 453,40 W.

Figura 58 – Tensões e correntes de entrada e saída do RMCSI-P.



Fonte: Elaboração própria.

Os resultados revelam que a topologia proposta atinge uma forma de onda de corrente de cinco níveis e demonstra que o conversor está totalmente operacional mesmo com menos díodos e produz os mesmos resultados que a topologia convencional. O resumo das principais características obtidas na simulação e no experimento são apresentados na Tabela 48.

Tabela 48 – Resumo dos Parâmetros de Simulação e Experimental para a Topologia RMCSI-P.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	3,15 A	3,06 A
Corrente de barramento CC total	I_{cc1}	4,80 A	4,80 A
Tensão de barramento CC	V_{cc1}	100 V	100 V
Eficiência	$\eta_{RMCSI-P}$	97,04%	95,61%
Potência CA	P_{ca}	465,79 W	453,40 W

6.2.2 RAMCSI-P

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 49.

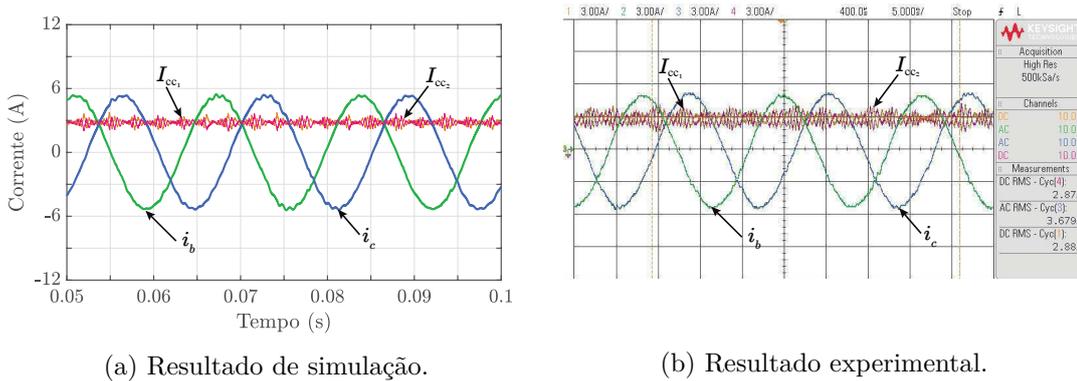
Tabela 49 – Parâmetros da topologia AMCSI-P.

Parâmetro	Símbolo	Valor
Tensão CC	V_{cc}	120 V
Corrente de referência CC	I_{cc}^*	5,6 A
Indutância do barramento CC	L_{cc}	3 mH
Indutâncias do barramento compartilhado CC	$L_{cc1,2}$	6 mH
Resistor trifásico por fase	R	15 Ω

Na Figura 59 é possível notar semelhança dos resultados com os obtidos na seção 6.1.1.1, o que mostra que a topologia com redução de diodos funciona de maneira eficiente.

As correntes de saída i_{abc} apresentam um comportamento senoidal com um THD igual a 2,75%. Além disso, observa-se que a corrente total do barramento de corrente CC é controlada e que as correntes nos indutores compartilhados estão balanceadas com um deslocamento de fase de 180° entre si de forma eficiente e simétrica.

Figura 59 – Correntes do barramento CC e de saída CA do RAMCSI-P.



Fonte: Elaboração própria.

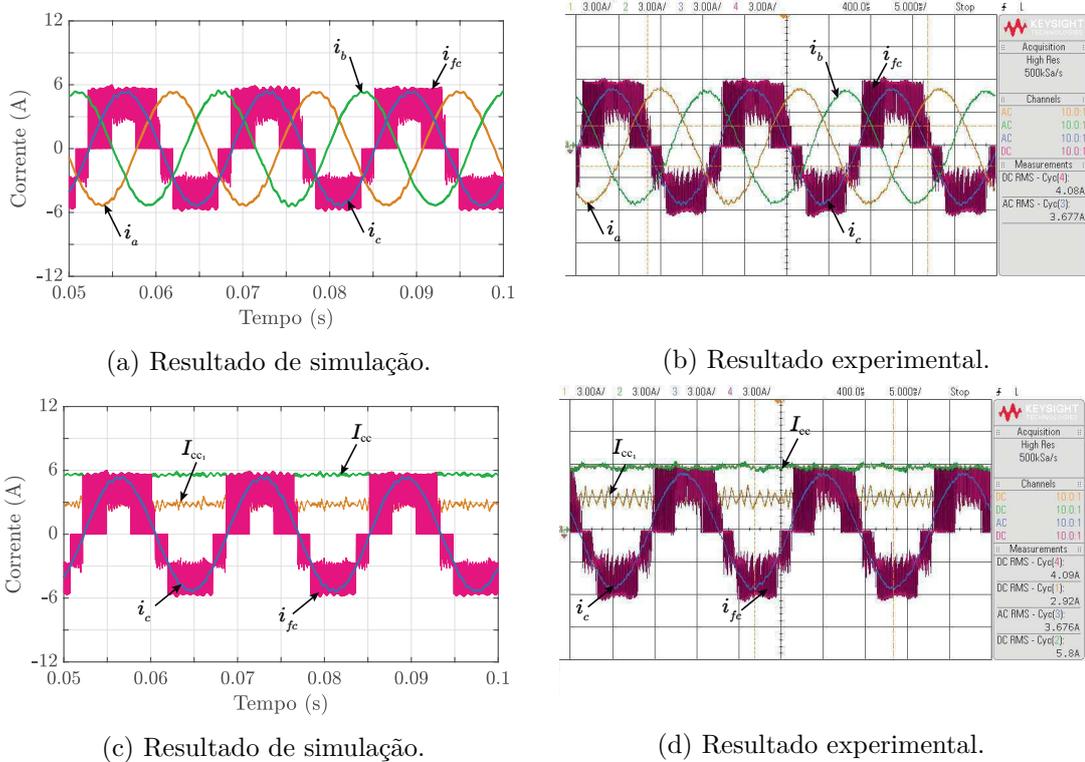
Na Figura 60 analisa-se a corrente multinível i_{fc} , as correntes de saída CA e de barramento CC. Pode-se observar a geração de forma assimétrica dos cinco níveis da corrente multinível i_{fc} , a corrente total do barramento CC apresenta um valor controlado de aproximadamente 5,6 A.

A eficiência do conversor para o ponto específico da Tabela 49 pode ser visualizada na Figura 61. Nessa figura, são apresentadas as formas de onda da tensão do barramento CC (V_{cc}), corrente do barramento CC (I_{cc}), corrente de saída (i_a) e tensão de saída (v_a), considerando tanto os resultados de simulações quanto os resultados experimentais.

Conforme os dados obtidos, a eficiência do conversor é de aproximadamente 97,92% na simulação e 96,18% no experimento. No resultado de simulação, a potência de saída CA trifásica é medida em cerca de 658,05 W, enquanto no resultado experimental, a potência de saída é de aproximadamente 640,92 W.

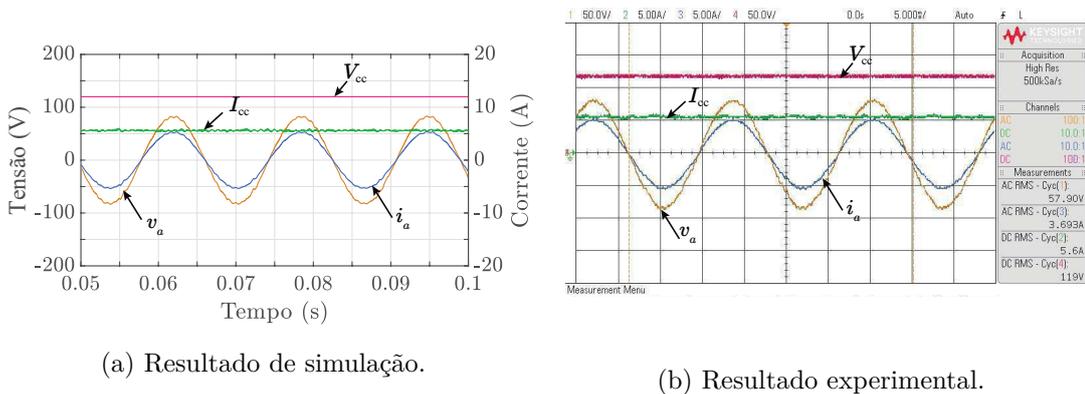
Em resumo, a Tabela 50 apresenta uma comparação dos principais valores obtidos a partir das simulações e dos experimentos realizados para a topologia RAMCSI-P.

Figura 60 – Corrente multinível, de saída CA e de barramento CC do RAMCSI-P.



Fonte: Elaboração própria.

Figura 61 – Tensões e correntes de entrada e saída do RAMCSI-P.



Fonte: Elaboração própria.

Tabela 50 – Resumo dos Parâmetros de Simulação e Experimental para a Topologia RMCSI-P.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	3,74 A	3,69 A
Corrente de barramento CC total	I_{cc1}	5,6 A	5,6 A
Tensão de barramento CC	V_{cc1}	120 V	120 V
Eficiência	$\eta_{RAMCSI-P}$	97,92%	96,18%
Potência CA	P_{ca}	658,05 W	640,95 W

6.2.3 Análise comparativa

Para realizar a comparação entre as topologias convencionais e com número reduzido de diodos utilizou-se o ponto de operação apresentado na Tabela 51.

Tabela 51 – Parâmetros utilizados nas topologias MCSI-P, RMCSI-P, AMCSI-P e RAMCSI-P para análise comparativa.

Parâmetro	Simbolo	Valor
Tensão CC	V_{cc}	120 V
Corrente de referência CC	I_{cc}^*	6 A
Resistor trifásico por fase	R	15 Ω

Análise da distorção harmônica total e das perdas

As perdas foram calculadas utilizando o modelo térmico do PLECS[®]. Estas perdas incluem: perdas dos IGBTs (P_I); perdas dos díodos (P_D); perdas totais ($P_{tot} = P_I + P_D$); e eficiência (η). A comparação das topologias em termos de THD e perdas nos semicondutores é apresentada na Tabela 52.

Tabela 52 – Comparação das topologias convencionais e com redução de diodos em termos de THD, perdas de semicondutores e eficiência para uma potência de entrada de 720 W.

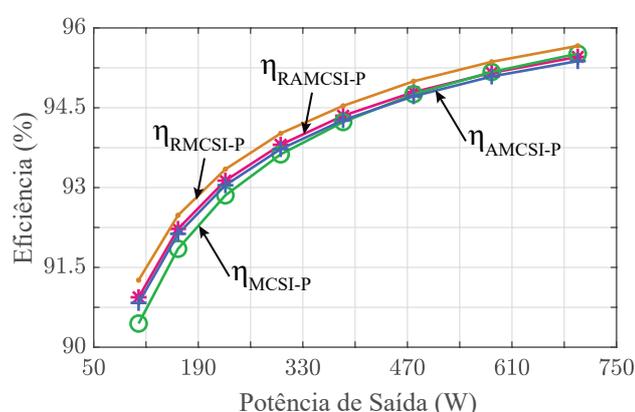
	MCSI-P	RMCSI-P	AMCSI-P	RAMCSI-P
THD(%)	2,84	2,84	2,75	2,75
P_I (W)	16,33	16,67	17,83	17,72
P_D (W)	15,79	15,03	15,26	14,71
P_{tot} (W)	32,12	31,70	33,09	32,44
η (%)	95,53	95,67	95,39	95,48

Em termos de operação, as topologias MCSI-P e RMCSI-P demonstram resultados idênticos, com o mesmo valor de THD. Da mesma forma, as topologias AMCSI-P e RAMCSI-P apresentam os mesmos resultados. A análise dos resultados indica que as topologias assimétricas exibem valores de THD inferiores em cerca de 0,09%, o que é considerado relativamente baixo. Notavelmente, as topologias com redução de diodos demonstram uma redução mais significativa nas perdas. Além disso, a topologia RMCSI-P se destaca pela maior eficiência, apresentando aproximadamente 1,14% a mais de eficiência em comparação com a MCSI-P. Note que, os diodos das topologias conduzem o dobro da corrente em alguns estágios de chaveamento. Mesmo assim, teve-se a redução de perdas nesse ponto de operação.

A Figura 62 compara a eficiência das topologias em função da potência de carga. Pode-se notar que as topologias com redução de diodos apresentam uma eficiência melhor

se comparadas com as convencionais em toda faixa de operação. As análises mostram que a topologia proposta apresentou uma melhor eficiência devido à redução dos diodos, embora esses diodos conduzam o dobro em relação aos convencionais. Mesmo que a redução seja pequena, a topologia proposta apresenta resultados promissores que destacam o potencial dessa abordagem em sistemas de conversão de energia, trazendo benefícios como melhoria de eficiência e redução de componentes, o que pode ter um impacto significativo em varias aplicações práticas.

Figura 62 – Curva de eficiência topologias MCSI-P, RMCSI-P, AMCSI-P e RAMCSI-P.



Número de componentes, custos e complexidade

No que diz respeito ao número de componentes, a única redução ocorre nos diodos. Para a topologia MCSI-P, são utilizados 12 diodos, enquanto a RMCSI-P requer apenas 6 diodos. O mesmo padrão se aplica às topologias assimétricas: a AMCSI-P utiliza 9 diodos e a RAMCSI-P necessita de 6 diodos.

Quando se consideram os aspectos de custo, a comparação entre essas duas topologias está sumarizada na Tabela 53. Esta avaliação leva em conta os custos totais em relação aos preços de aquisição, com uma estimativa de \$20 para cada sensor de tensão e corrente, \$25 para cada indutor de 3 mH e cada driver do IGBT. A tabela revela que a topologia de custo mais baixo é a RAMCSI-P, apresentando uma redução de 25,92% em relação ao custo da topologia MCSI-P.

Tabela 53 – Distribuição dos custos pelos dispositivos semicondutores, drivers, sensores e indutores.

	MCSI-P	RMCSI-P	AMCSI-P	RAMCSI-P
IGBTs	\$63,36	\$63,36	\$47,52	\$47,52
Diodos	\$49,44	\$24,72	\$37,08	\$24,72
Drivers	\$300,00	\$300,00	\$225,00	\$225,00
Sensores	\$120,00	\$120,00	\$40,00	\$40,00
Indutores	\$125,00	\$125,00	\$150,00	\$150,00
Total	\$657,8	\$633,08	\$500,04	\$487,24

6.3 Retificador Multinível Fonte de Corrente com Duplo Barramento e Número Reduzido de Chaves Ativas

Nesta seção, são apresentados os resultados provenientes das simulações e experimentos conduzidos nas topologias que utilizam um número reduzido de chaves com duplo barramento. Subsequentemente, é realizada uma análise comparativa com a topologia convencional, enfatizando as perdas nos semicondutores, a eficiência, o THD, os custos e o número de componentes. Nesse contexto, serão examinados tanto os resultados obtidos com cargas idênticas quanto o desempenho quanto à cargas diferentes, mantendo a mesma técnica de modulação. Esta análise permitirá observar o comportamento das variáveis de saída do circuito em diferentes cenários.

6.3.1 Cargas Iguais

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 54.

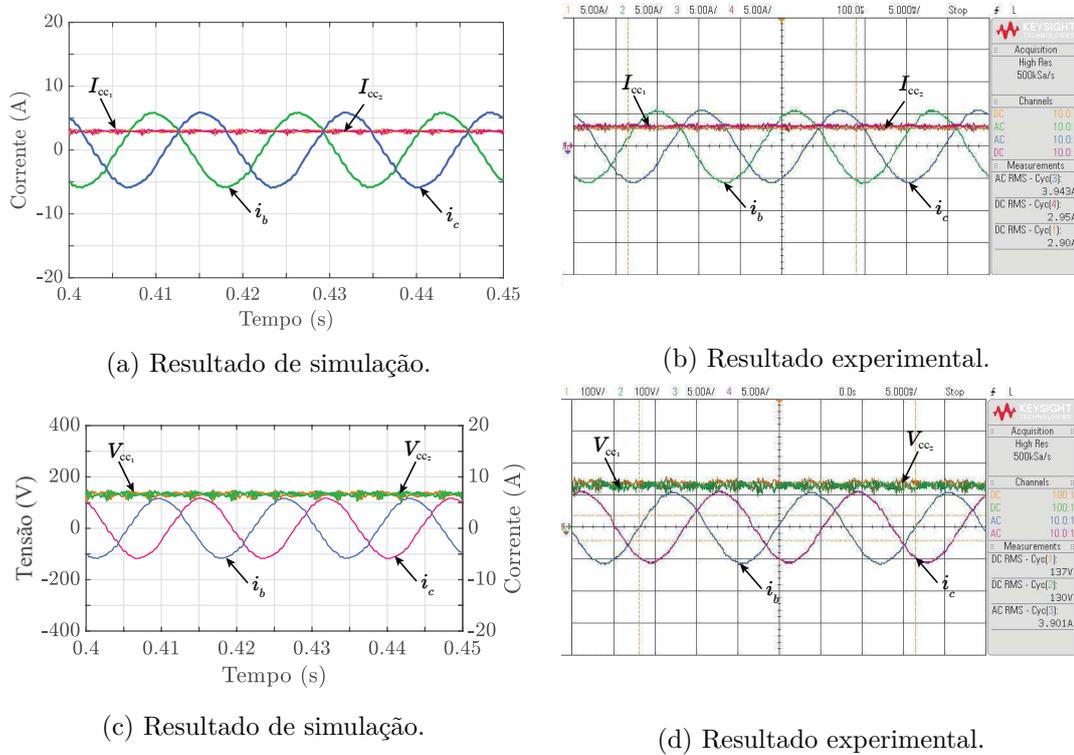
Tabela 54 – Parâmetros da topologia RMCSR-DB.

Parâmetro	Simbolo	Valor
Tensão RMS	V_{RMS}	70 V
Corrente de referência CC	$I_{cc1,2}^*$	3 A
Indutância do barramento CC	L_{cc}	6 mH
Resistor	$R_{1,2}$	45 Ω

Na Figura 63, são apresentados os resultados experimentais evidenciando as correntes de entrada i_{abc} , as correntes e tensão de barramento CC. Os resultados mostram que a corrente de entrada apresenta um comportamento senoidal com um THD igual a 2,75%. Além disso, observa-se que a corrente do barramento CC de cada conversor é controlada

em aproximadamente 3 A. As correntes e barramento apresentam um baixo *ripple* e as tensões de barramento CC são controladas de forma eficiente e simétrica.

Figura 63 – Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB.

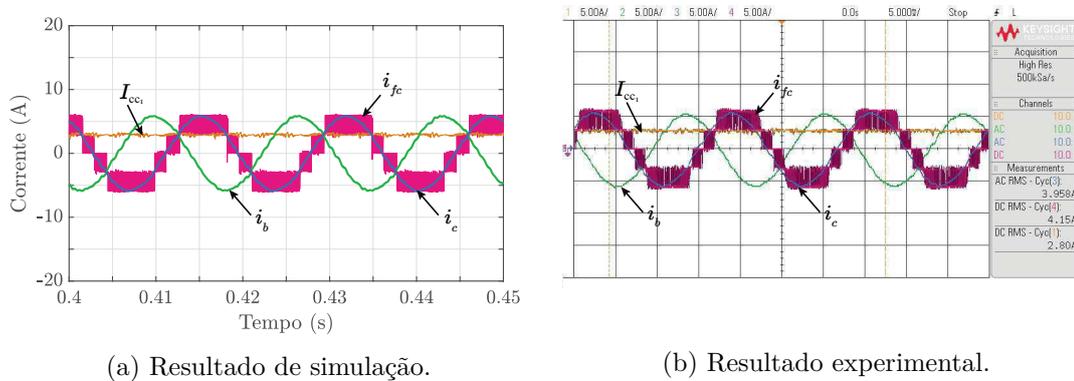


Fonte: Elaboração própria.

A partir da Figura 64 é possível analisar a corrente multinível i_{fc} , as correntes de saída CA e de barramento CC do primeiro conversor e da tensão de barramento CC. Pode-se observar a geração de forma simétrica dos cinco níveis da corrente multinível i_{fc} , mesmo com a substituição das chaves pelos diodos, com a estratégia de modulação utilizada o resultado se torna o mesmo. As correntes multiníveis são simétricas e as correntes de entrada CA são senoidais e com a THD baixa e dentro dos limites aceitáveis definidos pelo padrão IEEE-519, o que corrobora a eficiência do conversor e seu funcionamento.

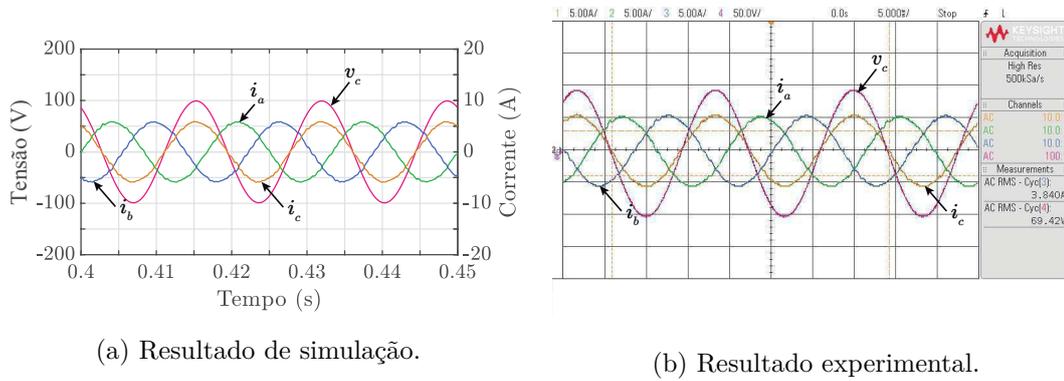
Na Figura 65 é apresentada a tensão de entrada aplicada juntamente com as correntes senoidais correspondentes. A tensão e a corrente estão em perfeita fase, resultando em um fator de potência unitário. Além disso, a sincronização do sistema pelo PLL foi realizada de maneira precisa. Ao calcular a eficiência com base nos resultados obtidos, constatou-se uma eficiência de 95,24% na simulação e 94,13% no experimento. No resultado de simulação, a potência de saída CC é medida em cerca de 804,00 W, enquanto nos resultados experimentais, a potência de saída é de aproximadamente 780,8 W. Esses valores validam a eficácia da topologia proposta, tanto em termos de simulação quanto de experimento.

Figura 64 – Corrente do primeiro barramento, corrente multinível e de entrada CA do RMCSR-DB.



Fonte: Elaboração própria.

Figura 65 – Tensão CA e correntes CA do RMCSR-DB.



Fonte: Elaboração própria.

Em resumo, a Tabela 55 apresenta uma comparação dos principais valores obtidos a partir das simulações e dos experimentos realizados para a topologia RMCSR-DB.

Tabela 55 – Resumo dos Resultados de Simulação e Experimental para a Topologia RMCSR-DB.

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	4,02 A	3,95A
Corrente do primeiro barramento CC	I_{cc1}	3,00 A	2,90 A
Corrente do segundo barramento CC	I_{cc2}	3,00 A	2,95 A
Tensão do primeiro barramento CC	V_{cc1}	134 V	137 V
Tensão do segundo barramento CC	V_{cc1}	134 V	130 V
Eficiência	$\eta_{RMCSR-DB}$	95,24%	94,13 %
Potência do primeiro barramento CC	P_{cc1}	402,00 W	397,3 W
Potência do segundo barramento CC	P_{cc2}	402,00 W	383,5 W
Potência CC Total	P_{cc}	804,00 W	780,8 W

6.3.2 Cargas Diferentes

Nestes experimentos, serão simulados e analisados os resultados experimentais da topologia RMCSR-DB com cargas diferentes. Serão considerados dois casos, o primeiro em que $R_1 = 3R_2/4$ e o segundo em que $R_1 = R_2/2$.

6.3.2.1 Caso 1: $R_1 = 3R_2/4$

Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 56.

Tabela 56 – Parâmetros da topologia RMCSR-DB com cargas diferentes (Caso 1).

Parâmetro	Simbolo	Valor
Tensão RMS	V_{RMS}	52 V
Corrente de referência CC	$I_{\text{cc},2}^*$	3,3 A
Resistor	R_1	22,5 Ω
Resistor	R_2	30,0 Ω

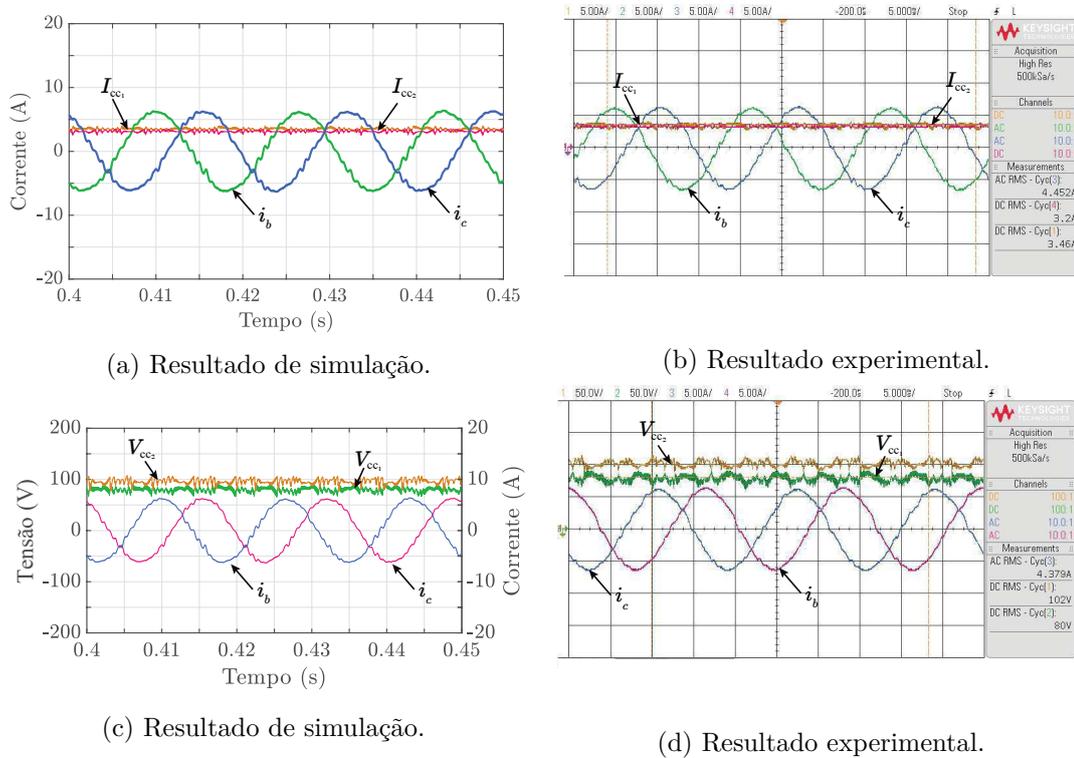
Na Figura 66 é possível observar as correntes de entrada CA e as correntes de saída de cada barramento. É notável que as correntes de entrada CA exibem uma distorção maior, comparado com os resultados obtidos para cargas iguais, embora ainda mantenham uma forma senoidal, sendo o THD obtido é de 4,77%, o que está dentro do limite de 5% estabelecido. As correntes tendem a se equilibrar, mas há momentos em que apresentam discrepâncias. A corrente do primeiro barramento é de 3,46 A, enquanto a do segundo barramento é de 3,2 A.

A diferença nas tensões dos barramentos também é observável. A tensão do primeiro barramento é de 80 V, enquanto a do segundo barramento é de 102 V. Essa diferença nas tensões está relacionada à disparidade das cargas nos barramentos. Embora as correntes busquem manter um equilíbrio, as tensões tendem a divergir devido às diferentes demandas. A corrente de entrada mantém uma forma senoidal, porém com uma distorção maior. Conforme a disparidade entre as correntes aumenta, há uma tendência de ocorrer distorções maiores na corrente.

É possível analisar na Figura 67 a corrente multinível i_{fc} , as correntes de saída CA e de barramento CC do primeiro conversor e da tensão de barramento CC. Pode-se observar a geração de forma simétrica dos cinco níveis da corrente multinível i_{fc} , que apresentam alguns saltos de níveis o que causa uma maior distorção nas correntes de entrada.

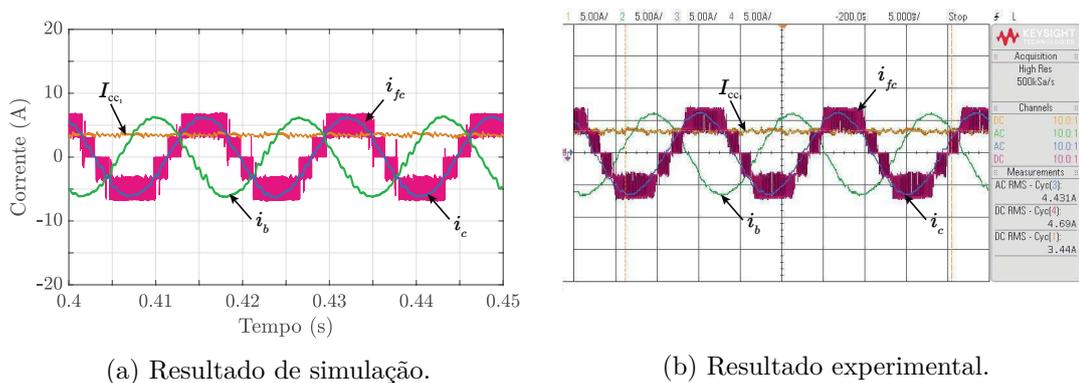
Na Figura 68 é apresentada a tensão de entrada aplicada juntamente com as correntes senoidais correspondentes. A tensão e a corrente estão em fase, resultando

Figura 66 – Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB (Caso 1).



Fonte: Elaboração própria.

Figura 67 – Correntes do primeiro barramento, corrente multinível e entrada CA do RMCSR-DB com cargas diferentes (Caso 1).

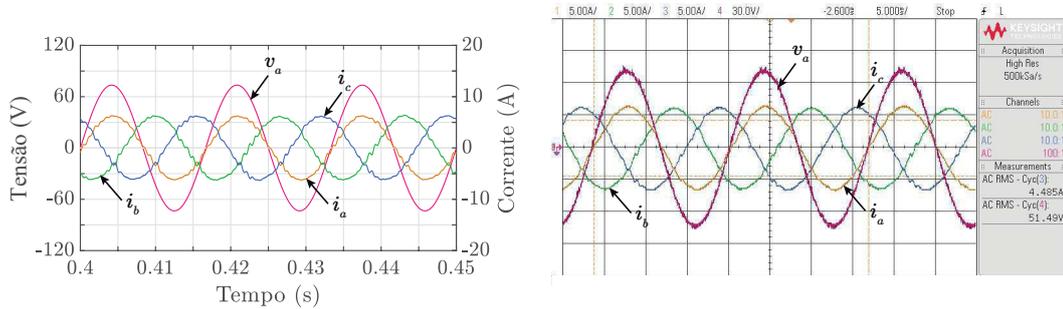


Fonte: Elaboração própria.

em um fator de potência unitário. Além disso, a sincronização do sistema pelo PLL foi realizada de maneira precisa. Ao calcular a eficiência com base nos resultados obtidos, constatou-se uma eficiência de 87,08% na simulação e 86,97% no experimento. No resultado de simulação, a potência de saída CC é medida em cerca de 595,00 W, enquanto nos resultados experimentais, a potência de saída é de aproximadamente 603,2W.

Em resumo, a Tabela 57 apresenta uma comparação dos principais valores obtidos

Figura 68 – Tensão CA e correntes CA do RMCSR-DB com cargas diferentes (Caso 1).



(a) Resultado de simulação.

(b) Resultado experimental.

Fonte: Elaboração própria.

a partir das simulações e dos experimentos realizados para a topologia RMCSR-DB com cargas diferentes considerando o primeiro caso.

Tabela 57 – Resumo dos Resultados de Simulação e Experimento para a Topologia RMCSR-DB para cargas diferentes (Caso 1).

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	4,38A	4,49 A
Corrente do primeiro barramento CC	I_{cc1}	3,5A	3,46A
Corrente do segundo barramento CC	I_{cc2}	3,15A	3,20A
Tensão do primeiro barramento CC	V_{cc1}	80V	80 V
Tensão do segundo barramento CC	V_{cc2}	100 V	102 V
Potência do primeiro barramento CC	P_{cc1}	280,00W	276,8W
Potência do segundo barramento CC	P_{cc2}	315,00W	337,62W
Potência CC Total	P_{cc}	595,00W	603,2W
Eficiência	$\eta_{RMCSR-DB}$	87,08%	86,97%

6.3.2.2 Caso 2: $R_1 = R_2/2$

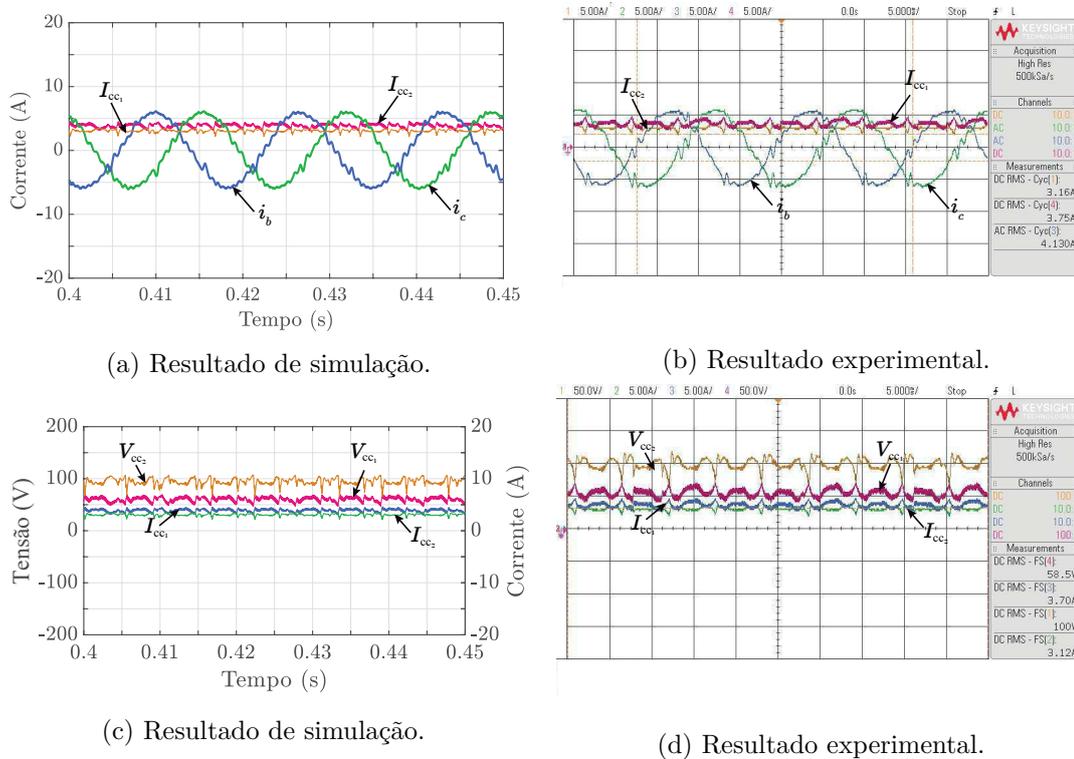
Os parâmetros utilizados para a simulação e obtenção dos resultados experimentais estão detalhados na Tabela 58.

Tabela 58 – Parâmetros da topologia RMCSR-DB com cargas diferentes (Caso 2).

Parâmetro	Símbolo	Valor
Tensão RMS	V_{RMS}	50 V
Corrente de referência CC	$I_{cc1,2}^*$	3,5 A
Resistor	R_1	15 Ω
Resistor	R_2	30 Ω

Na Figura 69 observa-se as correntes de entrada CA e as correntes de saída de cada barramento. É notável que as correntes de entrada CA exibem uma distorção ainda maior, sendo a THD obtida é de 7,87%, o que ultrapassa o limite de 5% estabelecido. A corrente do primeiro barramento é de 3,7 A, enquanto a do segundo barramento é de 3,1 A. A diferença nas tensões dos barramentos é maior. A tensão do primeiro barramento é de 58,5V, enquanto a do segundo barramento é de 100V. Essa diferença nas tensões está relacionada à disparidade das cargas nos barramentos.

Figura 69 – Tensões e correntes do barramento CC e correntes de entrada CA do RMCSR-DB (Caso 2).

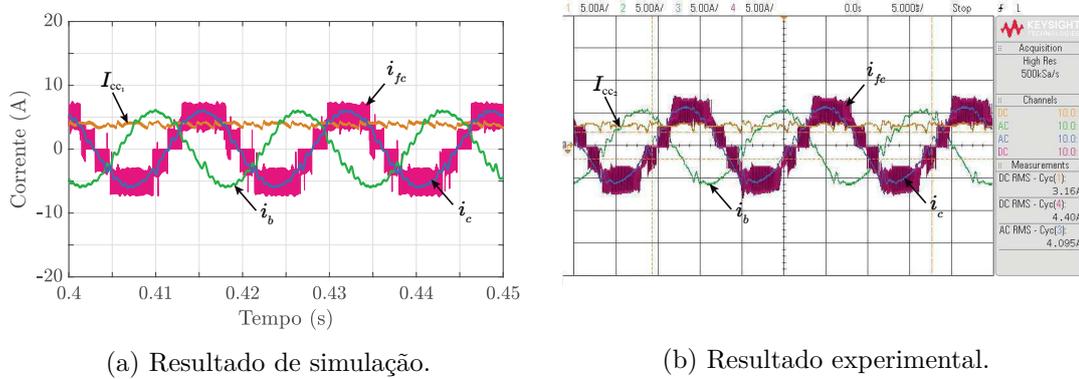


Fonte: Elaboração própria.

Na Figura 70 é possível analisar a corrente multinível i_{fc} , as correntes de saída CA e de barramento CC do primeiro conversor e da tensão de barramento CC. Pode-se observar a geração de forma simétrica dos cinco níveis da corrente multinível i_{fc} , que apresentam alguns saltos de níveis o que causa uma maior distorção nas correntes de entrada.

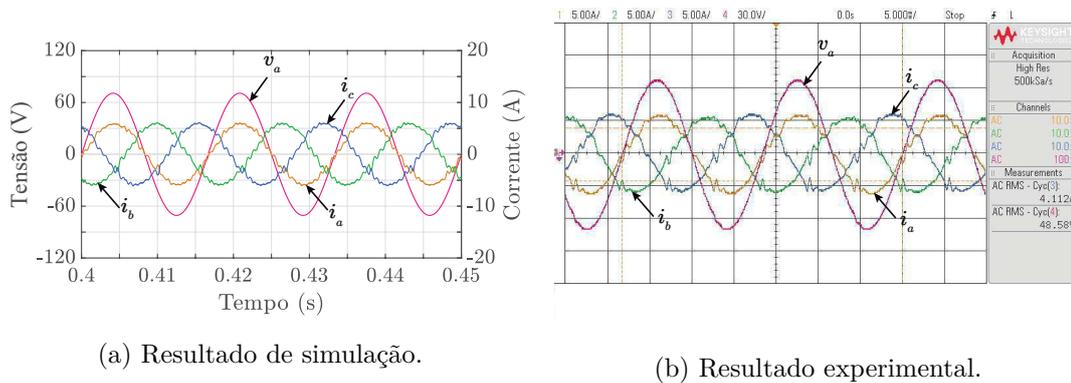
Na Figura 71 é apresentada a tensão de entrada aplicada juntamente com as correntes senoidais correspondentes. A tensão e a corrente estão em fase, resultando em um fator de potência unitário. Além disso, a sincronização do sistema pelo PLL foi realizada de maneira precisa. Ao calcular a eficiência com base nos resultados obtidos, constatou-se uma eficiência de 86,64% na simulação e 84,98% no experimento. No resultado de simulação, a potência de saída CC é medida em cerca de 543,25 W, enquanto nos resultados experimentais, a potência de saída é de aproximadamente 526,45 W.

Figura 70 – Correntes do primeiro barramento, corrente multinível e de entrada CA do RMCSR-DB com cargas diferentes (Caso 2).



Fonte: Elaboração própria.

Figura 71 – Tensão CA e correntes CA do RMCSR-DB com cargas diferentes (Caso 2).



Fonte: Elaboração própria.

Em resumo, a Tabela 59 apresenta uma comparação dos principais valores obtidos a partir das simulações e dos experimentos realizados para a topologia RMCSR-DB com cargas diferentes considerando o segundo caso.

Tabela 59 – Resumo dos Resultados de Simulação e Experimental para a Topologia RMCSR-DB (Caso 2).

Variável	Símbolo	Simulação	Experimento
Valor RMS da corrente CA	$i_{ca,RMS}$	4,18A	4,13 A
Corrente do primeiro barramento CC	I_{cc1}	4,00A	3,70A
Corrente do segundo barramento CC	I_{cc2}	3,15 A	3,10 A
Tensão do primeiro barramento CC	V_{cc1}	61,00V	58,5V
Tensão do segundo barramento CC	V_{cc2}	95,00V	100,00V
Potência do primeiro barramento CC	P_{cc1}	244,00W	216,45 W
Potência do segundo barramento CC	P_{cc2}	299,25 W	310,000W
Potência CC Total	P_{cc}	543,25 W	526,45 W
Eficiência	$\eta_{RMCSR-DB}$	86,64%	84,98%

6.3.3 Análise comparativa

Para realizar a comparação entre as topologias propostas e convencionais com duplo barramento utilizou-se o mesmo ponto de operação apresentado na Tabela 60.

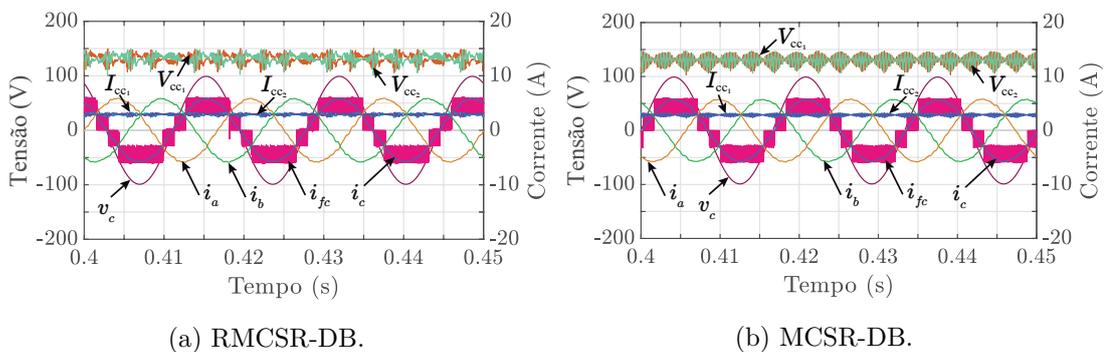
Tabela 60 – Parâmetros utilizados nas topologias MCSR-DB, RMCSR-DB para análise comparativa.

Parâmetro	Símbolo	Valor
Tensão RMS	V_{RMS}	70 V
Corrente de referência CC	$I_{\text{cc1,2}}^*$	3 A
Indutância do barramento CC	L_{cc}	6 mH
Resistor	$R_{1,2}$	45 Ω

A partir da Figura 72 é possível observar as tensões e correntes dos barramentos CC, bem como as correntes trifásicas e multinível e a tensão de entrada CA para a topologia proposta e convencional. Os resultados da simulação revelam que as correntes multinível para ambas as topologias adotam uma forma de onda simétrica de cinco níveis.

Além disso, as correntes trifásicas e as correntes de barramento CC exibem semelhanças notáveis entre si, enquanto as tensões de barramento CC são mais simétricas e bem definidas no conversor totalmente controlado.

Figura 72 – Tensões e correntes dos barramentos CC, correntes trifásicas e multinível e tensão de entrada CA nos resultados da simulação para as topologias propostas e convencional com duplo barramento.



Fonte: Elaboração própria.

Análise da distorção harmônica total e das perdas

As perdas foram calculadas utilizando o modelo térmico do PLECS[®]. Estas perdas incluem: perdas dos MOSFETs (P_M); perdas dos díodos (P_D); perdas totais ($P_{\text{tot}} = P_M + P_D$); e eficiência (η). A comparação das topologias em termos de THD e perdas nos semicondutores é apresentada na Tabela 61.

A análise revela que ambas as topologias têm desempenho sólido, com valores de THD abaixo de 3%, o que indica baixa distorção nas formas de onda de entrada. A

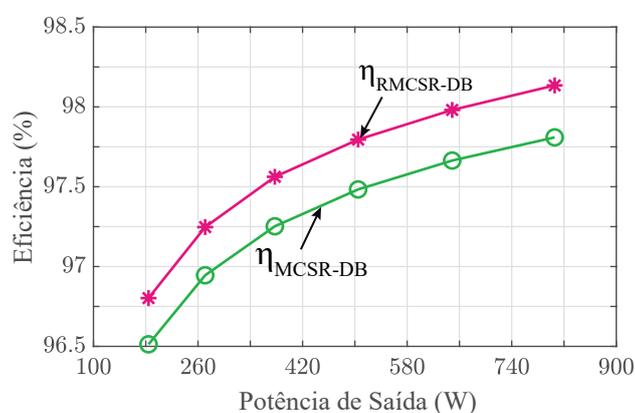
Tabela 61 – Comparação das topologias MCSC e AMCSC em termos de THD, perdas de semicondutores e eficiência para uma potência CA de 860,00 W.

	MCSR-DB	RMCSR-DB
THD(%)	2,58	2,75
P_M (W)	4,91	2,65
P_D (W)	13,02	13,51
P_{tot} (W)	17,93	16,17
η (%)	97,88	98,12

topologia RMCSR-DB possui um THD ligeiramente mais alto, mas ainda dentro de níveis aceitáveis, certa de 0,17%. A eficiência é alta em ambas as topologias, sendo a RMCSR-DB ligeiramente mais eficiente, com uma diferença de 0,24%.

A Figura 49 compara a eficiência das topologias em função da potência de carga. Pode-se notar que a topologia proposta possuem uma eficiência melhor devido ao fato de possuir uma menor quantidade de chaves controladas. Uma quantidade menor de chaves controladas implica em menos perdas de condução, resultando em um aproveitamento mais eficiente da energia fornecida.

Figura 73 – Curva de eficiência das topologias MCSR-DB e RAMCSR-DB.



Fonte: Elaboração própria.

Número de componentes, custos e complexidade

A comparação das topologias em termos de componentes e número de vetores utilizado é apresentada na Tabela 62.

A Tabela 62 mostra a quantidade de componentes necessários para implementar cada topologia, bem como o número de vetores de modulação disponíveis. A topologia convencional (MCSR-DB) têm um maior número de componentes e vetores em relação à topologia proposta (MCSR-DB). A redução de vetores se torna vantajoso pelo ponto

Tabela 62 – Número de chaves, diodos, drives, indutores, sensores de corrente e tensão, e vetores para as topologias MCSR-DB e RMCSR-DB.

	MCSR-DB	RMCSR-DB
Chaves e Drivers	12	6
Diodos	12	12
Indutores	5	5
Sensores de Corrente	2	2
Sensores de Tensão	2	2
Vetores	81	54

de vista que é necessário uma análise mais simples e com menos processamento para o desenvolvimento da modulação vetorial.

Colocando os preços em termos, a comparação entre as duas topologias está resumida na Tabela 63. Considerando os valores de custo total em relação aos valores de compra e um valor estimado de \$20 para cada sensor de tensão e corrente, \$25 para cada valor de indutor de 3 mH e para cada *driver* do MOSFET. A tabela mostra que a topologia com menor custo é RMCSR-DB apresentando uma redução de 33,91 % do valor da topologia MCSR-DB.

A Tabela 62 apresenta a contagem de componentes necessários para a implementação de cada topologia, bem como o número de vetores de modulação disponíveis. A topologia convencional (MCSR-DB) exige um maior número de componentes e vetores em comparação com a topologia proposta (RMCSR-DB).

Quando se trata de custos, a comparação entre as duas topologias é resumida na Tabela 63. Essa análise leva em consideração os custos totais em relação aos preços de compra, juntamente com uma estimativa de \$20 para cada sensor de tensão e corrente, \$25 para cada indutor de 3 mH e para cada driver de MOSFET.

Tabela 63 – Distribuição dos custos pelos dispositivos semicondutores, drivers, sensores e indutores das topologias MCSR-DB e RMCSR-DB.

	MCSR-DB	RMCSR-DB
MOSFETs	\$78,24	\$39,12
Diodos	\$49,44	\$49,44
Drivers	\$300,00	\$150,00
Sensores	\$80,00	\$80,00
Indutores	\$50,00	\$50,00
Total	\$557,68	\$368,56

A tabela revela que a topologia com menor custo é a RMCSR-DB, com uma redução de 33,91% em relação ao custo da topologia MCSR-DB. Isso ressalta a vantagem

econômica da topologia proposta, tornando-a uma opção mais viável do ponto de vista financeiro. Pode-se levar em conta também que a topologia proposta ocupa menos espaço na placa e um roteamento mais simples das trilhas de potência.

6.4 Conclusões

Neste capítulo, foram apresentados os resultados de simulações e experimentais, abrangendo as topologias propostas e as convencionais. A análise comparativa entre essas três categorias de topologias proporcionou uma compreensão aprofundada de suas características e desempenho sob diversas condições de operação, destacando as vantagens e desvantagens de cada topologia.

Inicialmente, foram apresentados os resultados das topologias assimétricas com barramento compartilhado, AMCSI-P e AMCSI-S. Os resultados indicam a eficiência do conversor mesmo com a assimetria da corrente multinível, baixo THD e controle eficiente da corrente no barramento CC. A topologia com barramento em série demonstrou uma maior distorção na corrente e uma redução na eficiência.

A análise comparativa dessas topologias com as convencionais, MCSI-P e MCSI-S, mostra que as topologias propostas apresentam uma eficiência menor devido à sua assimetria e ao fato das chaves do semi-ciclo positivo conduzirem a corrente total do barramento. Mesmo assim, a redução na eficiência é pequena e pode ser compensada pelo número reduzido de dispositivos, dependendo da aplicação e do objetivo pretendido. Uma vantagem adicional das topologias assimétricas é a redução de vetores e a eliminação da necessidade de sensores de tensão para o balanceamento da corrente, ao contrário do que acontece nas topologias convencionais. Essa simplificação resulta em um código de PWM vetorial mais fácil de ser implementado. Por fim, apesar das topologias assimétricas apresentarem perdas maiores, elas se destacam em termos do número de componentes, preço e simplicidade de modulação.

Os resultados experimentais da topologia assimétrica AMCSR-P corroboraram sua bidirecionalidade e possui resultados semelhantes a operação como inversor, só que neste caso, a assimétrica ocorre no semi-ciclo negativo. Com a tensão do barramento CC devidamente controlada, sincronização PLL e fator de potência unitário, os resultados comprovaram sua funcionalidade e eficiência.

Em relação à topologia com redução de diodos, foram apresentados resultados de simulações e experimentais das topologias RMCSI-P e RAMCSI-P. Essas topologias são completamente funcionais e demonstram uma eficiência superior em comparação com as topologias convencionais. A operação é essencialmente a mesma, porém com redução de

custos e espaço na placa, além de uma eficiência aprimorada, mesmo considerando que os diodos conduzam o dobro da corrente. Embora essa redução seja pequena, a topologia proposta apresenta resultados promissores que contribuem para a pesquisa em conversores de fonte de corrente e sua viabilidade em aplicações de baixa/média potência.

Por fim, apresentam-se os resultados experimentais da topologia proposta com a redução do número de chaves ativas com duplo barramento RMCSR-DB. Os resultados demonstram que a técnica de PWM utilizada é eficiente, proporcionando a característica da corrente multinível de maneira simétrica e semelhante à topologia convencional, além de correntes trifásicas com baixo THD. Esses resultados evidenciam a viabilidade do conversor, e uma análise comparativa demonstra que a topologia proposta é mais eficiente, possui custos menores e redução de vetores.

Também foram apresentados os resultados experimentais com diferentes cargas no barramento, o que provoca maior distorção na corrente. No entanto, dependendo do nível de diferença, a eficiência ainda é aceitável. Isso evidencia também a limitação dessa topologia em operar com diferentes níveis de potência no barramento CC.

Os resultados experimentais validam todas as topologias propostas e estão em concordância com os resultados obtidos nas simulações. Devido à proximidade entre os resultados, constata-se que projeto foi executado de forma precisa e que os resultados da simulação podem ser utilizados como base para análises em várias condições de operação.

Conclusões Gerais

Com o crescente avanço tecnológico, cada vez mais são estudadas tecnologias mais eficientes, simples e econômicas. No campo da eletrônica de potência, muita pesquisa tem sido dedicada aos conversores fonte de tensão e às topologias multiníveis. Dessa forma, no intuito de conduzir estudos alinhados às tecnologias já estabelecidas e de adentrar em mercados menos explorados em comparação aos conversores fonte de tensão, surgem as topologias multiníveis fonte de corrente, que se apresentam como alternativas viáveis às soluções já consolidadas no mercado.

Com base nesse contexto, este trabalho propõe topologias multiníveis fonte de corrente, as quais buscam reduzir a quantidade de componentes e aumentar sua competitividade no mercado. Além disso, explora uma metodologia abrangente que engloba a implementação da técnica de modulação vetorial, estratégias de balanceamento das correntes no barramento CC, controle do sistema, bem como o dimensionamento do filtro CA e do indutor do barramento CC. Essa metodologia contribui significativamente para a compreensão e o estudo dos conversores fonte de corrente, com foco especial em aplicações trifásicas e multiníveis. A base teórica estabelecida neste trabalho pode ser aplicada a diversos tipos de conversores fonte de corrente.

As topologias propostas podem ser divididas em três grupos: as assimétricas com redução de chaves e indutores a partir da retirada de chaves inferiores ou superiores, que possuem a conexão do barramento CC em paralelo (AMCSC-P) ou em série (AMCSC-S); as com redução do número de diodos em série com as chaves nas topologias convencionais e assimétricas (RMCSC e RAMCSC); e a topologia com substituição de chaves por diodos na topologia com duplo barramento (RMCSR-DB), que reduz consideravelmente os custos e perdas, no entanto, opera apenas como retificador, enquanto as demais são bidirecionais.

A redução de chaves do sistema, não só reduz os custos dos MOSFETs ou IGBTs como dos diodos em séries e dos *drivers* de acionamento das chaves.

Para a obtenção dos resultados experimentais, foram desenvolvidos protótipos que abrangem todas as topologias discutidas. A modulação vetorial foi implementada através de uma FPGA que recebe os sinais de controle do DSP. Os resultados das simulações e dos experimentos são coerentes e validam todas as topologias propostas de forma consistente.

Os resultados experimentais mostram que as topologias assimétricas são uma opção viável, podendo alcançar resultados tão bons quanto as convencionais. O que indica que o conversor está totalmente funcional mesmo com menos chaves, diodos e indutores, gerando os mesmos níveis da topologia convencional. As topologias assimétricas apresentam algumas melhorias principais: redução de custos devido à retirada das chaves e seus drivers; retirada de dois sensores de corrente; dispensa do uso de sensores de tensão quando opera como inversor para balanceamento de corrente; retirada de metade dos indutores de compartilhamento do barramento CC, mesmo que a indutância seja equivalente; e complexidade reduzida devido a redução de vetores.

As topologias RMCSI-P e RAMCSI-P com redução de diodos são completamente funcionais e demonstram uma eficiência superior em comparação com as topologias convencionais. Apesar dos diodos conduzirem o dobro da corrente, a eficiência aprimorada é observada junto com a redução de custos e espaço na placa. Esses resultados promissores indicam a viabilidade das topologias propostas para aplicações de baixa/média potência em conversores de fonte de corrente.

Por fim, os resultados experimentais da topologia RMCSR-DB indicaram que a técnica de PWM empregada é eficaz, proporcionando características de corrente multinível de forma simétrica e comparável à topologia convencional. Além disso, a topologia alcançou baixo THD nas correntes trifásicas. Esses resultados confirmam a viabilidade do conversor e a análise comparativa revelou sua eficiência superior e custos reduzidos.

Em suma, as topologias propostas apresentam-se como alternativas promissoras para sistemas de conversão de energia. As reduções tanto no número de chaves controladas quanto nas perdas nos semicondutores têm impactos positivos na implementação de sistemas de conversão de energia. Com esses resultados, a próxima etapa é explorar as aplicações práticas dessas topologias.

7.1 Trabalhos Futuros

Como proposta para trabalhos futuros, sugere-se:

-
- Analisar interferência eletromagnética e dimensionamento de filtros que reduzam ruídos durante os testes experimentais, com isso, obter resultados com potências superiores;
 - Implementar a modulação vetorial com maiores frequências de chaveamento;
 - Aplicar as topologias propostas em aplicações de conversão CA-CC-CA (*back-to-back*) e avaliar a eficiência, vantagens e desvantagens;
 - Analisar as topologias propostas com a utilização de chaves GaN M-BDS (*Monolithic Bidirectional Switches*);
 - Realizar generalização da modulação vetorial e escolha dos vetores redundantes de maneira automática utilizando o MATLAB.

Referências

- AHMED, K.; FINNEY, S.; WILLIAMS, B. Passive filter design for three-phase inverter interfacing in distributed generation. In: *2007 Compatibility in Power Electronics*. [S.l.: s.n.], 2007. p. 1–9. Citado na página 4.
- ANTUNES, F.; BRAGA, H.; BARBI, I. Application of a generalized current multilevel cell to current-source inverters. *IEEE Transactions on Industrial Electronics*, v. 46, n. 1, p. 31–38, 1999. Citado na página 6.
- ARAR, S. Fixed-point representation: The q format and addition examples. p. 10, 2017. Citado na página 85.
- AZMI, S. et al. Comparative analysis between voltage and current source inverters in grid-connected application. *IET*, 2011. Citado na página 5.
- BAI, Z. et al. Control strategy with a generalized dc current balancing method for multimodule current-source converter. *IEEE Transactions on Power Electronics*, IEEE, v. 29, n. 1, p. 366–373, 2013. Citado na página 8.
- BAI, Z.; ZHANG, Z.; ZHANG, Y. A generalized three-phase multilevel current source inverter with carrier phase-shifted spwm. In: IEEE. *2007 IEEE Power Electronics Specialists Conference*. [S.l.], 2007. p. 2055–2060. Citado na página 9.
- BAO, J. et al. A simple current-balancing method for a three-phase 5-level current-source inverter. In: *2009 35th Annual Conference of IEEE Industrial Electronics*. [S.l.: s.n.], 2009. p. 104–108. Citado na página 9.
- BAO, J.-y.; BAO, W.-b.; LI, Y.-l. A power conversion system for pmsg-based wecs operating with fully-controlled current-source converters. *Journal of Zhejiang University SCIENCE C*, Springer, v. 15, n. 3, p. 232–240, 2014. Citado na página 12.
- BARBI, I. *Modelagem de Conversores CC-CC Empregando Modelo Médio em Espaço de Estados*. [S.l.: s.n.], 2014. Citado na página 150.
- BASU, K. et al. Grid-side ac line filter design of a current source rectifier with analytical estimation of input current ripple. *IEEE Transactions on Power Electronics*, IEEE, v. 29, n. 12, p. 6394–6405, 2014. Citado 3 vezes nas páginas 66, 68 e 72.
- CHANDORKAR, M. C.; DIVAN, D. M.; LASSETER, R. H. Control techniques for multiple current source gto converters. *IEEE Transactions on Industry Applications*, v. 31, n. 1, p. 134–140, 1995. Citado na página 8.
- COSSUTTA, P. et al. 7-level asymmetric multilevel current source inverter with predictive control. In: *2017 IEEE Southern Power Electronics Conference (SPEC)*. [S.l.: s.n.], 2017. p. 1–6. Citado na página 21.

COSSUTTA, P. et al. Single-stage fuel cell to grid interface with multilevel current-source inverters. *IEEE Transactions on Industrial Electronics*, IEEE, v. 62, n. 8, p. 5256–5264, 2015. Citado na página 2.

COSSUTTA, P. et al. Control system to balance internal currents of a multilevel current-source inverter. *IEEE Transactions on Industrial Electronics*, IEEE, v. 65, n. 3, p. 2280–2288, 2018. Citado na página 11.

COSSUTTA, P. et al. Control system to balance internal currents of a multilevel current-source inverter. *IEEE Transactions on Industrial Electronics*, v. 65, n. 3, p. 2280–2288, March 2018. ISSN 0278-0046. Citado na página 21.

COSTA, A. L. d. A. C. et al. X-type current source converters. *IEEE Transactions on Power Electronics*, v. 36, n. 11, p. 12843–12856, 2021. Citado 3 vezes nas páginas 2, 4 e 6.

COSTA, L. A. L. d. A. et al. Avanços em conversores fonte de corrente. Universidade Federal de Campina Grande, 2020. Citado 2 vezes nas páginas 6 e 84.

COSTA, L. A. L. de A. C. Conversores fonte de corrente de múltiplas portas. *Campina Grande, Paraíba, Brasil: Dissertação de Mestrado, UFCG*, 2016. Citado na página 64.

CUI, L. et al. Investigation and simulation of the isolation technology for 3300v rb-igbt. In: *2019 International Conference on Sensing, Diagnostics, Prognostics, and Control (SDPC)*. [S.l.: s.n.], 2019. p. 749–753. Citado na página 4.

CUZNER, R.; DREWS, D.; VENKATARAMANAN, G. Power density and efficiency of system compatible, sine-wave input/output drives. In: *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2012. p. 4561–4568. Citado na página 5.

DAHONO, P. A.; PURWADI, A. et al. An lc filter design method for single-phase pwm inverters. In: IEEE. *Proceedings of 1995 International Conference on Power Electronics and Drive Systems. PEDS 95*. [S.l.], 1995. p. 571–576. Citado na página 66.

DAI, J.; XU, D.; WU, B. A novel control scheme for current-source-converter-based pmsg wind energy conversion systems. *IEEE Transactions on Power Electronics*, IEEE, v. 24, n. 4, p. 963–972, 2009. Citado 2 vezes nas páginas 2 e 12.

DASH, P. P.; KAZERANI, M. A multilevel current-source inverter based grid-connected photovoltaic system. In: *2011 North American Power Symposium*. [S.l.: s.n.], 2011. p. 1–6. Citado na página 13.

DASH, P. P.; KAZERANI, M. Harmonic elimination in a multilevel current-source inverter-based grid-connected photovoltaic system. In: IEEE. *IECON 2012-38th Annual Conference on IEEE Industrial Electronics Society*. [S.l.], 2012. p. 1001–1006. Citado na página 13.

DING, L.; LI, Y.; LI, Y. W. A new current source converter using ac-type flying-capacitor technique. *IEEE Transactions on Power Electronics*, v. 36, n. 9, p. 10307–10316, 2021. Citado 2 vezes nas páginas 2 e 6.

DING, L.; LI, Y. W. Simultaneous dc current balance and common-mode voltage control with multilevel current source inverters. *IEEE Transactions on Power Electronics*, p. 1–1, 2018. ISSN 0885-8993. Citado 4 vezes nas páginas 2, 21, 26 e 37.

ELGENEDY, M. A. et al. Fault-tolerant control of five-phase current source inverter for medium-voltage drives. In: *7th IET International Conference on Power Electronics, Machines and Drives (PEMD 2014)*. [S.l.: s.n.], 2014. p. 1–6. Citado na página 2.

FARHANGI, H. The path of the smart grid. *IEEE Power and Energy Magazine*, v. 8, n. 1, p. 18–28, 2010. Citado na página 10.

FÉLIX, J. P. *Modulation and control of three-phase PWM multilevel converters*. [S.l.]: Universitat Politècnica de Catalunya, 2002. Citado na página 143.

FERNÁNDEZ, M. et al. Analysis of bidirectional switch solutions based on different power devices. p. 1–4, 2017. Citado na página 4.

FREITAS, T. R. de; MENEGÁZ, P. J.; SIMONETTI, D. S. Rectifier topologies for permanent magnet synchronous generator on wind energy conversion systems: A review. *Renewable and Sustainable Energy Reviews*, Elsevier, v. 54, p. 1334–1344, 2016. Citado na página 12.

GAO, F. et al. Five-level current-source inverters with buck–boost and inductive-current balancing capabilities. *IEEE Transactions on Industrial Electronics*, IEEE, v. 57, n. 8, p. 2613–2622, 2009. Citado na página 7.

GNANASAMBANDAM, K. et al. Current-fed multilevel converters: an overview of circuit topologies, modulation techniques, and applications. *IEEE Transactions on Power Electronics*, IEEE, v. 32, n. 5, p. 3382–3401, 2017. Citado 3 vezes nas páginas 2, 7 e 48.

GOMES, C. C.; CUPERTINO, A. F.; PEREIRA, H. A. Damping techniques for grid-connected voltage source converters based on lcl filter: An overview. *Renewable and Sustainable Energy Reviews*, Elsevier, v. 81, p. 116–135, 2018. Citado na página 66.

GUO, X. et al. A novel transformerless current source inverter for leakage current reduction. *IEEE Access*, v. 7, p. 50681–50690, 2019. Citado na página 2.

GUO, X. et al. Space vector modulation for dc-link current ripple reduction in back-to-back current-source converters for microgrid applications. *IEEE Transactions on Industrial Electronics*, IEEE, v. 62, n. 10, p. 6008–6013, 2015. Citado na página 26.

GUZMÁN, J. I. et al. Selective harmonic elimination in multimodule three-phase current-source converters. *IEEE Transactions on Power Electronics*, v. 25, n. 1, p. 44–53, 2010. Citado na página 48.

HE, J. et al. Svm strategies for simultaneous common-mode voltage reduction and dc current balancing in parallel current source converters. *IEEE Transactions on Power Electronics*, p. 1–1, 2017. ISSN 0885-8993. Citado 2 vezes nas páginas 21 e 26.

IEEE Draft Recommended Practices and Requirements for Harmonic Control in Electric Power Systems. *IEEE P519/D6ba, September 2013*, p. 1–26, 2013. Citado na página 69.

- INSTRUMENT, T. Tms320f2837xd dual-core microcontrollers. *Technical Reference Manual, Nov*, 2020. Citado na página 88.
- INSTRUMENTS, T. *TMS320F2837xD Dual-Core Microcontrollers: Technical Reference Manual*. 2019. Citado na página 88.
- KANG, T. et al. Comparison of voltage source and current source based converter in 5mw pmsg wind turbine systems. In: *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*. [S.l.: s.n.], 2015. p. 894–901. Citado na página 5.
- KIM, J.; CHOI, J.; HONG, H. Output lc filter design of voltage source inverter considering the performance of controller. In: *IEEE. PowerCon 2000. 2000 International Conference on Power System Technology. Proceedings (Cat. No. 00EX409)*. [S.l.], 2000. v. 3, p. 1659–1664. Citado na página 66.
- KOLAR, J. W.; FRIEDLI, T. The essence of three-phase pfc rectifier systems. In: *2011 IEEE 33rd International Telecommunications Energy Conference (INTELEC)*. [S.l.: s.n.], 2011. p. 1–27. Citado na página 11.
- KWAK, S.; TOLIYAT, H. A. Multilevel converter topology using two types of current-source inverters. *IEEE Transactions on Industry Applications*, v. 42, n. 6, p. 1558–1564, 2006. Citado na página 7.
- LI, Y. Systematic topology derivation and pwm design of multilevel converters. 2021. Citado na página 6.
- LI, Y. et al. Unfolder operation and modulation strategy of paralleled current-source converters. In: *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2019. p. 5089–5095. Citado na página 6.
- LISERRE, M.; BLAABJERG, F.; HANSEN, S. Design and control of an lcl-filter-based three-phase active rectifier. *IEEE Transactions on industry applications*, IEEE, v. 41, n. 5, p. 1281–1291, 2005. Citado na página 65.
- LIU, C. et al. Opportunities and challenges of vehicle-to-home, vehicle-to-vehicle, and vehicle-to-grid technologies. *Proceedings of the IEEE*, v. 101, n. 11, p. 2409–2427, 2013. Citado na página 14.
- MONTEIRO, V. et al. Three-phase three-level current-source converter for evs fast battery charging systems. In: *2015 IEEE International Conference on Industrial Technology (ICIT)*. [S.l.: s.n.], 2015. p. 1401–1406. Citado na página 14.
- MONTEIRO, V. et al. Comprehensive comparison of a current-source and a voltage-source converter for three-phase ev fast battery chargers. In: *IEEE. Compatibility and Power Electronics (CPE), 2015 9th International Conference on*. [S.l.], 2015. p. 173–178. Citado 2 vezes nas páginas 5 e 14.
- NABAE, A.; SHIMAMURA, T.; KUROSAWA, R. A new multiple current source inverter. In: *International semiconductor power converter conference*. [S.l.: s.n.], 1977. p. 123–127. Citado na página 6.

- NAITO et al. 1200v reverse blocking igbt with low loss for matrix converter. In: *2004 Proceedings of the 16th International Symposium on Power Semiconductor Devices and ICs*. [S.l.: s.n.], 2004. p. 125–128. Citado na página 4.
- NAMI, A. et al. Modular multilevel converters for hvdc applications: Review on converter cells and functionalities. *IEEE Transactions on Power Electronics*, v. 30, n. 1, p. 18–36, 2015. Citado na página 7.
- NUSSBAUMER, T.; KOLAR, J. W. Comparative evaluation of control techniques for a three-phase three-switch buck-type ac-to-dc pwm converter system. In: *Proceedings of the 3rd IEEE Nordic Workshop on Power and Industrial Electronics*. [S.l.: s.n.], 2002. p. 12–14. Citado na página 148.
- PEREZ, M. A. et al. Circuit topologies, modeling, control schemes, and applications of modular multilevel converters. *IEEE Transactions on Power Electronics*, v. 30, n. 1, p. 4–17, 2015. Citado na página 7.
- RAJASHEKARA, K. Present status and future trends in electric vehicle propulsion technologies. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, v. 1, n. 1, p. 3–10, 2013. Citado na página 14.
- RIES, L. K. *Advanced carrier-based modulation and design optimization for the five-level currente souch rectifier*. Tese (Doutorado), 2018. Citado 8 vezes nas páginas 8, 10, 13, 35, 43, 148, 149 e 153.
- RIES, L. K.; HELDWEIN, M. L. Dc current balancing control of a three-phase five-level bidirectional buck+ boost-type converter. In: IEEE. *2015 IEEE 13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. [S.l.], 2015. p. 1–6. Citado 2 vezes nas páginas 8 e 11.
- RIES, L. K. et al. Analysis of carrier-based pwm patterns for a three-phase five-level bidirectional buck + boost-type rectifier. *IEEE Transactions on Power Electronics*, IEEE, v. 32, n. 8, p. 6005–6017, 2017. Citado na página 11.
- RODRIGUEZ, J.; LAI, J.-S.; PENG, F. Z. Multilevel inverters: a survey of topologies, controls, and applications. *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, p. 724–738, 2002. Citado na página 2.
- SALO, M.; TUUSA, H. vector-controlled pwm current-source-inverter-fed induction motor drive with a new stator current control method. *IEEE Transactions on Industrial Electronics*, v. 52, n. 2, p. 523–531, April 2005. ISSN 0278-0046. Citado na página 26.
- SANTOS, N. I. L. et al. Three-phase multilevel asymmetric current source converter. In: *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2019. p. 5096–5103. Citado na página 16.
- SUH, Y.; STEINKE, J.; STEIMER, P. Efficiency comparison of voltage source and current source drive system for medium voltage applications. In: *2005 European Conference on Power Electronics and Applications*. [S.l.: s.n.], 2005. p. 11 pp.–P.11. Citado na página 5.

SUROSU; NOGUCHI, T. Novel h-bridge multilevel current-source pwm inverter with inductor-cells. In: *2010 Conference Proceedings IPEC*. [S.l.: s.n.], 2010. p. 445–450. Citado na página 7.

VANCU, M. F. et al. Comparative evaluation of bidirectional buck-type pfc converter systems for interfacing residential dc distribution systems to the smart grid. In: *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2012. p. 5153–5160. Citado 2 vezes nas páginas 10 e 11.

VEKHANDE, V.; KOTHARI, N.; FERNANDES, B. G. Switching state vector selection strategies for paralleled multilevel current-fed inverter under unequal dc-link currents condition. *IEEE Transactions on Power Electronics*, v. 30, n. 4, p. 1998–2009, 2015. Citado 2 vezes nas páginas 13 e 49.

VITORINO, M. A. *Eletrônica de potência: fundamentos, conceitos e aplicações*. [S.l.: s.n.], 2019. Citado 4 vezes nas páginas 35, 43, 147 e 150.

VITORINO, M. A. et al. Compensation of dc-link oscillation in single-phase-to-single-phase vsc/csc and power density comparison. *IEEE Transactions on Industry Applications*, IEEE, v. 50, n. 3, p. 2021–2028, 2014. Citado na página 2.

WANG, W.; GAO, F.; RUI, S. Operation and modulation of h7 current source inverter with hybrid sic and si semiconductor switches. In: *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*. [S.l.: s.n.], 2015. p. 135–141. Citado na página 4.

WEI, Q.; WU, B. Analysis and comparison of current-source-converter-based medium-voltage pmsg wind energy conversion systems. In: *IEEE. Power Electronics for Distributed Generation Systems (PEDG), 2015 IEEE 6th International Symposium on*. [S.l.], 2015. p. 1–6. Citado na página 12.

WESTER, G. W.; MIDDLEBROOK, R. D. Low-frequency characterization of switched dc-dc converters. *IEEE Transactions on Aerospace and Electronic Systems*, IEEE, n. 3, p. 376–385, 1973. Citado na página 151.

WU, B.; DEWAN, S.; SEN, P. A modified current source inverter (mcsi) for a multiple induction motor drive system. *IEEE Transactions on Power Electronics*, v. 3, n. 1, p. 10–16, 1988. Citado na página 6.

XIONG, Y. et al. A new single-phase multilevel current-source inverter. In: *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04*. [S.l.: s.n.], 2004. v. 3, p. 1682–1685 Vol.3. Citado na página 7.

XUJIAO, G.; ZHENGMING, Z.; HAINAN, W. Evaluation on performances of a new three-phase five-level current source inverter. In: *IEEE. ICEMS'2001. Proceedings of the Fifth International Conference on Electrical Machines and Systems (IEEE Cat. No. 01EX501)*. [S.l.], 2001. v. 1, p. 500–503. Citado na página 8.

YARAMASU, V. et al. Pmsg-based wind energy conversion systems: survey on power converters and controls. *IET Electric Power Applications*, IET, 2017. Citado na página 12.

YATES, R. Fixed-point arithmetic: An introduction. *Digital Signal Labs*, v. 81, n. 83, p. 198, 2009. Citado na página 85.

ZHANG, J. et al. High-efficiency rb-igbt based low-voltage pwm current-source converter for pmsg wind energy conversion systems. In: IEEE. *Power Electronics for Distributed Generation Systems (PEDG), 2016 IEEE 7th International Symposium on*. [S.l.], 2016. p. 1–7. Citado na página 12.

ZHANG, Y.; LI, Y. Chapter 16 - current source converters and their control. In: BLAABJERG, F. (Ed.). *Control of Power Electronic Converters and Systems*. Academic Press, 2018. p. 115–140. ISBN 978-0-12-816136-4. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9780128161364000166>>. Citado na página 2.

Apêndices

Modulação Vetorial Espacial nos Conversores Fonte de Corrente

As correntes do conversor são definidas de acordo com o acionamento das chaves, que varia de acordo com o conversor que será analisado. De forma geral, define-se as correntes I_{f_a} , I_{f_b} , e I_{f_c} como as correntes de filtro em função do comando das chaves e da corrente de barramento I_{cc} . As técnicas aplicadas podem ser utilizadas para todos os conversores apresentados neste trabalho. Para os CSCs de três níveis, as equações que descrevem as correntes de filtro são:

$$I_{f_a} = (h_a - l_a)I_{cc}, \quad (\text{A.1})$$

$$I_{f_b} = (h_b - l_b)I_{cc}, \quad (\text{A.2})$$

$$I_{f_c} = (h_c - l_c)I_{cc}, \quad (\text{A.3})$$

sendo h_{abc} e l_{abc} o estado específico de cada chave: se a chave está ativa ("on"), a variável assume o valor de "1"; se a chave está desativada ("off"), a variável assume o valor de "0".

Assim, a partir dessas correntes, encontra-se os estados no referencial estacionário usando a transformada de *Clarke* (também conhecido como transformação *alpha-beta*):

$$\begin{bmatrix} I_{f_\alpha} \\ I_{f_\beta} \\ I_{f_\gamma} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 1/2 & 1/2 & 1/2 \end{bmatrix} \begin{bmatrix} I_{f_a} \\ I_{f_b} \\ I_{f_c} \end{bmatrix}. \quad (\text{A.4})$$

do qual, transforma um sistema trifásico com correntes I_{f_a} , I_{f_b} e I_{f_c} em um sistema bifásico com correntes I_{f_α} e I_{f_β} . No sistema balanceado, a componente *gamma* (I_{f_γ}) é zero.

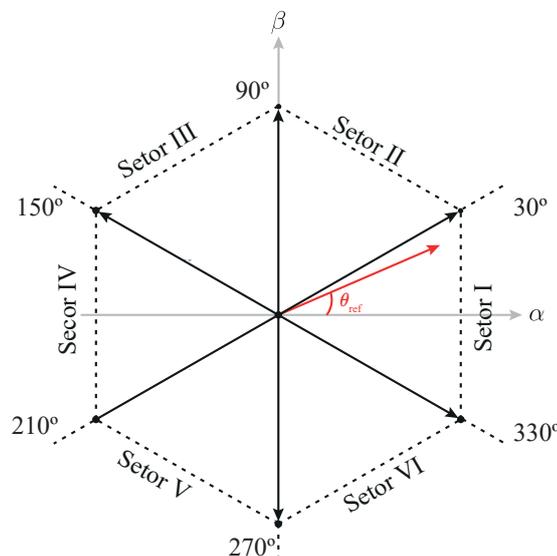
Na Tabela 64 são apresentados os estados para CSC de três níveis considerando os valores de I_{f_α} e I_{f_β} , assim como os valores do módulo da corrente $|I_f|$ e do ângulo θ_f , sabendo que $I_f = I_{f_\alpha} + jI_{f_\beta}$.

Tabela 64 – Estados do CSC com I_{f_α} , I_{f_β} , $|I_f|$ e θ_f .

h_j	l_j	I_{f_α}	I_{f_β}	$ I_f $	θ_f	Vetor (I_k)	Estado
a	a	0	0	0	0°	I_1	I
a	b	I_{cc}	$-I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	330°	I_2	II
a	c	I_{cc}	$I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	30°	I_3	III
b	a	$-I_{cc}$	$I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	90°	I_4	IV
b	b	0	0	0	0°	I_5	V
b	c	0	$2I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	150°	I_6	VI
c	a	$-I_{cc}$	$-I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	210°	I_7	VII
c	b	0	$-2I_{cc}\sqrt{3}/3$	$2I_{cc}\sqrt{3}/3$	270°	I_8	VIII
c	c	0	0	0	0°	I_9	IX

O espaço vetorial do CSC é constituído por seis vetores espaçados a 60° entre si. Os setores são delineados por regiões compostas por três vetores, incluindo o vetor nulo, totalizando assim seis setores, conforme ilustrado na Figura 74. O vetor de referência é representado por $I_{ref} = I_\alpha + jI_\beta$, originado através da transformação de *Clarke*, a partir da qual se determina sua localização a partir dos três vetores mais próximos.

Figura 74 – Espaço vetorial do CSC.



Fonte: Elaboração própria.

O vetor espacial em função das correntes do retificador (i_{f_a} , i_{f_b} e i_{f_c}) é expressado em:

$$\vec{I} = \frac{2}{3}(I_{f_a}e^{j0} + I_{f_b}e^{j2\pi/3} + I_{f_c}e^{j4\pi/3}). \quad (\text{A.5})$$

Para h_a e h_b ativos, as correntes do retificador i_{f_a} , i_{f_b} e i_{f_c} assumem valores iguais a I_{cc} , $-I_{cc}$ e 0, respectivamente. Substituindo os valores em (A.5), tem-se que:

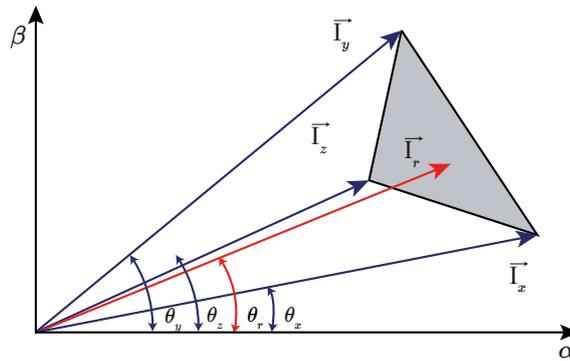
$$\vec{I}_1 = \frac{2}{\sqrt{3}}I_{cc}e^{j(-\pi/6)}. \quad (\text{A.6})$$

De maneira similar, os outros cinco vetores podem ser definidos de acordo com:

$$\vec{I}_k = \frac{2}{\sqrt{3}}I_{cc}e^{j((k-1)\pi/3-\pi/6)} \quad \text{para } k = 1, 2, \dots, 6. \quad (\text{A.7})$$

Qualquer conjunto de três vetores (\vec{I}_x , \vec{I}_y e \vec{I}_z) no plano ($\alpha\beta$) pode gerar qualquer vetor de referência no mesmo plano usando a aproximação média do PWM, se o vetor de referência está dentro do triângulo que conecta a ponta dos vetores, de acordo com a Figura 75 (FÉLIX, 2002).

Figura 75 – Geração do vetor de referência a partir dos três vetores mais próximos.



Fonte: Baseado em (FÉLIX, 2002).

O vetor de referência médio pode ser obtido aplicando sequencialmente esses vetores em um período de chaveamento (T_{ch}) de acordo com:

$$\frac{1}{T_{ch}} \int_0^{T_{ch}} \vec{I}_r dt = \frac{1}{T_{ch}} \int_0^{T_x} \vec{I}_x dt + \frac{1}{T_{ch}} \int_{T_x}^{T_x+T_y} \vec{I}_y dt + \frac{1}{T_{ch}} \int_{T_x+T_y}^{T_x+T_y+T_z} \vec{I}_z dt. \quad (\text{A.8})$$

Assumindo que \vec{I}_r permanece constante em um período de chaveamento, e o período de chaveamento é muito pequeno em comparação ao período fundamental, (A.8) pode ser reescrita como:

$$\vec{I}_x T_x + \vec{I}_y T_y + \vec{I}_z T_z = \vec{I}_r T_{ch}, \quad (\text{A.9})$$

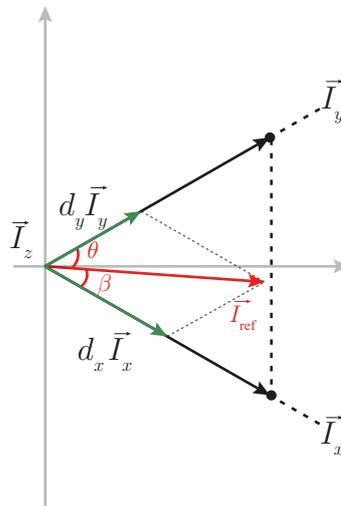
$$\vec{I}_x d_x + \vec{I}_y d_y + \vec{I}_z d_z = \vec{I}_r, \quad (\text{A.10})$$

$$d_x + d_y + d_z = 1, \quad (\text{A.11})$$

em que, \vec{I}_x , \vec{I}_y e \vec{I}_z são os três vetores adjacentes escolhidos para formar o vetor de referência; T_x , T_y e T_z são os tempos de condução de cada vetor; e d_x , d_y e d_z são os *duty cycle*.

Assumindo que o período de chaveamento T_{ch} é suficientemente pequeno, o vetor de referência \vec{I}_{ref} pode ser considerado constante durante T_{ch} . Sob esta suposição, \vec{I}_{ref} pode ser aproximado por dois vetores ativos adjacentes e um vetor zero. Em resumo, em um ciclo T_{ch} , o vetor da corrente de entrada de referência \vec{I}_{ref} é gerado usando dois vetores adjacentes (\vec{I}_x e \vec{I}_y) e um vetor zero (\vec{I}_z), como mostra a Figura 76.

Figura 76 – Destaque do vetor de referência no Setor I .



Fonte: Elaboração própria.

Assim, de forma generalizada, decompondo os vetores, obtêm-se:

$$\begin{bmatrix} I_x \cos \theta_x & I_y \cos \theta_y & I_z \cos \theta_z \\ I_x \sin \theta_x & I_y \sin \theta_y & I_z \sin \theta_z \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} T_x \\ T_y \\ T_z \end{bmatrix} = \begin{bmatrix} I_{ref} \cos(\theta_{ref}) T_{ch} \\ I_{ref} \sin(\theta_{ref}) T_{ch} \\ T_{ch} \end{bmatrix}, \quad (\text{A.12})$$

$$\begin{bmatrix} I_{\alpha_x} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta_z} \\ 1 & 1 & 1 \end{bmatrix} \begin{bmatrix} T_x \\ T_y \\ T_z \end{bmatrix} = \begin{bmatrix} I_{\alpha} T_{ch} \\ I_{\beta} T_{ch} \\ T_{ch} \end{bmatrix}. \quad (\text{A.13})$$

Calculando a matriz inversa da Equação (A.13), obtêm-se os seguintes tempos de condução (T_x , T_y e T_z):

$$T_x = T_{ch} \frac{I_{\beta}(I_{\alpha_z} - I_{\alpha_y}) + I_{\beta_y}(I_{\alpha} - I_{\alpha_z}) + I_{\beta_z}(I_{\alpha_y} - I_{\alpha})}{I_{\alpha_x}(I_{\beta_y} - I_{\beta_z}) + I_{\alpha_y}(I_{\beta_z} - I_{\beta_x}) + I_{\alpha_z}(I_{\beta_x} - I_{\beta_y})}, \quad (\text{A.14})$$

$$T_y = T_{ch} \frac{I_{\alpha}(I_{\beta_z} - I_{\beta_x}) + I_{\alpha_x}(I_{\beta} - I_{\beta_z}) + I_{\alpha_z}(I_{\beta_x} - I_{\beta})}{I_{\alpha_x}(I_{\beta_y} - I_{\beta_z}) + I_{\alpha_y}(I_{\beta_z} - I_{\beta_x}) + I_{\alpha_z}(I_{\beta_x} - I_{\beta_y})}, \quad (\text{A.15})$$

$$T_z = T_{ch} - (T_x + T_y). \quad (\text{A.16})$$

O vetor $\vec{I}_{\text{ref}} = I_{\alpha} + jI_{\beta}$ é obtido a partir das correntes de referência a serem geradas pelo controle do conversor. Uma vez definido os vetores a serem comutados (I_x , I_y e I_z), e calculados seus respectivos tempos de condução (T_x , T_y e T_z), aplica-se essa combinação às chaves do conversor.

Os setores são determinados a partir do ângulo de referência da corrente (θ_{ref}). Para verificar se o vetor da corrente de referência pertence a uma determinada região, utiliza-se as coordenadas baricêntricas. As coordenadas baricêntricas podem ser usadas para expressar a posição de qualquer ponto localizado em um triângulo formado de três escalares. Assim, as coordenadas baricêntricas são uma forma de representação de um ponto no espaço em função de outros pontos, chamados pontos de controle, de modo que a soma das coordenadas baricêntricas deste ponto seja igual a um:

$$P = uP_1 + vP_2 + wP_3, \quad (\text{A.17})$$

$$u + v + w = 1, \quad (\text{A.18})$$

onde, P representa um ponto no espaço, P_{123} são os pontos de controle e u , v e w são os escalares que formam as coordenadas baricêntricas do ponto P , do qual:

$$u = \frac{\text{area}(PP_2P_3)}{\text{area}(P_1P_2P_3)}, \quad (\text{A.19})$$

$$v = \frac{\text{area}(P_1PP_3)}{\text{area}(P_1P_2P_3)}, \quad (\text{A.20})$$

$$w = \frac{\text{area}(P_1P_2P)}{\text{area}(P_1P_2P_3)}. \quad (\text{A.21})$$

Sendo os vetores representados pela sua parte real e imaginária e a partir das Equações (A.17) e (A.18), obtêm-se:

$$\begin{bmatrix} 1 & 1 & 1 \\ \operatorname{Re}\{P_1\} & \operatorname{Re}\{P_2\} & \operatorname{Re}\{P_3\} \\ \operatorname{Im}\{P_1\} & \operatorname{Im}\{P_2\} & \operatorname{Im}\{P_3\} \end{bmatrix} \begin{bmatrix} u \\ v \\ w \end{bmatrix} = \begin{bmatrix} 1 \\ \operatorname{Re}\{P\} \\ \operatorname{Im}\{P\} \end{bmatrix} \quad (\text{A.22})$$

Sendo \vec{I}_x , \vec{I}_y e \vec{I}_z os vetores que formam o triângulo, tem-se que:

$$\begin{bmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta_z} \end{bmatrix} \begin{bmatrix} u \\ v \\ w \end{bmatrix} = \begin{bmatrix} 1 \\ I_{\alpha} \\ I_{\beta} \end{bmatrix} \quad (\text{A.23})$$

Utilizando a Regra de Cramer, obtêm-se os valores dos escalares u , v e w .

$$u = \frac{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta} & I_{\beta_y} & I_{\beta_z} \end{vmatrix}}{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta_z} \end{vmatrix}}, \quad v = \frac{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta} & I_{\beta_z} \end{vmatrix}}{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta_z} \end{vmatrix}}, \quad e \quad w = \frac{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha_y} & I_{\alpha} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta} \end{vmatrix}}{\begin{vmatrix} 1 & 1 & 1 \\ I_{\alpha_x} & I_{\alpha_y} & I_{\alpha_z} \\ I_{\beta_x} & I_{\beta_y} & I_{\beta_z} \end{vmatrix}}. \quad (\text{A.24})$$

Com os valores dos escalares, utiliza-se a condição apresentada na Equação (A.18) para verificar se o vetor de referência se encontra dentro do triângulo obtido dos três vetores P_{123} . Utilizando esta análise, é possível identificar em qual região o vetor da corrente de referência se encontra. Outra forma de análise é verificando se os escalares são positivos, se todos os três forem positivos significa que o vetor de referência está dentro da região especificada.

Modelagem do Sistema

Para representar um sistema de n variáveis, utiliza-se a representação em espaço de estados, que é adequada para sistemas de múltiplas entradas e saídas (*Multiple Input Multiple Output* - MIMO). O número de variáveis de estado é proporcional ao número de elementos reativos existentes no circuito. O espaço n dimensional cujo eixos de coordenadas são $x_1(t), x_2(t), \dots, x_n(t)$ é chamado espaço de estados (VITORINO, 2019), e sua representação linear é dada por:

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}\mathbf{x}(t) + \mathbf{B}\mathbf{u}(t), \\ \mathbf{y}(t) &= \mathbf{C}\mathbf{x}(t) + \mathbf{D}\mathbf{u}(t),\end{aligned}\tag{B.1}$$

onde $\mathbf{x}(t)$ é o vetor de estados, $\mathbf{u}(t)$ é o vetor de estados das variáveis de entrada, $\mathbf{y}(t)$ é o vetor de estados das variáveis de saída, \mathbf{A} é a matriz de estado, \mathbf{B} a matriz de entrada, \mathbf{C} a matriz de saída e \mathbf{D} a matriz de transição direta.

Para determinar a função de transferência do sistema, utiliza-se a transformada de Laplace:

$$\begin{aligned}s\mathbf{X}(s) &= \mathbf{A}\mathbf{X}(s) + \mathbf{B}\mathbf{U}(s), \\ \mathbf{Y}(s) &= \mathbf{C}\mathbf{X}(s) + \mathbf{D}\mathbf{U}(s).\end{aligned}\tag{B.2}$$

Simplificando a equação em função de $\mathbf{X}(s)$:

$$\mathbf{X}(s) = (s\mathbf{I} - \mathbf{A})^{-1}\mathbf{U}(s),\tag{B.3}$$

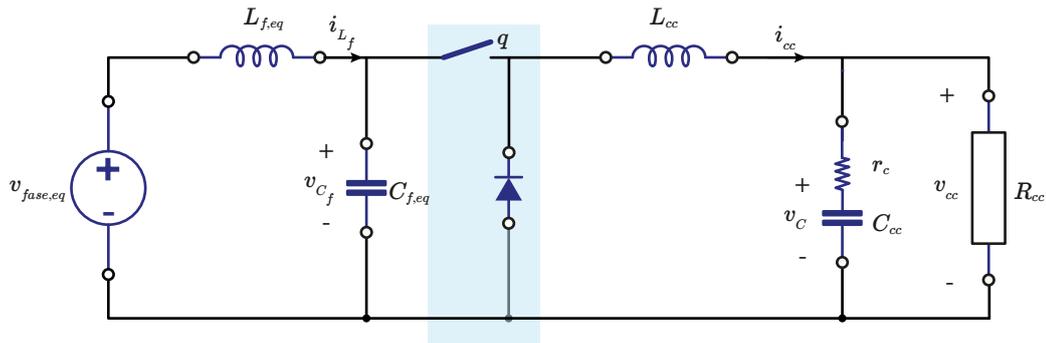
sendo \mathbf{I} a matriz identidade. Substituindo a Equação (B.3) em (B.2), tem-se:

$$\mathbf{Y}(s) = (C(\mathbf{I} - A)^{-1}B + D)\mathbf{U}(s). \quad (\text{B.4})$$

A relação da saída e entrada do sistema é a função de transferência $\mathbf{H}(s) = \frac{\mathbf{Y}(s)}{\mathbf{U}(s)}$.

Os conversores trifásicos e ainda multiníveis possuem um alto grau de dificuldade na modelagem do sistema. Para reduzir o problema, o sistema é analisado como um conversor CC-CC (RIES, 2018; NUSSBAUMER; KOLAR, 2002). A modelagem do MCSR será baseada nos valores médios quase-instantâneos das correntes e tensões de um único CSR. Dessa forma, na Figura 77 tem-se o modelo dinâmico do conversor CC-CC equivalente para CSR.

Figura 77 – Modelo dinâmico CC-CC equivalente do CSR.



Fonte: Adaptado de (RIES, 2018).

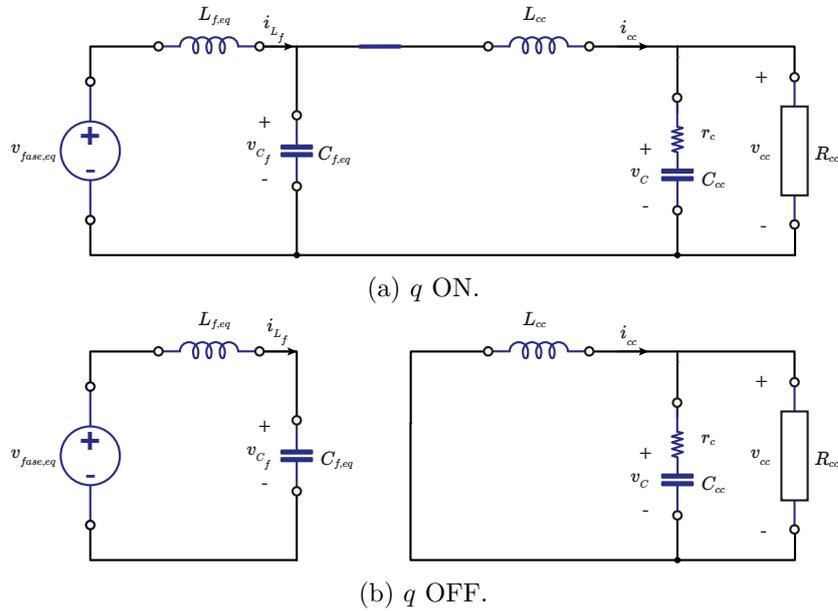
Os parâmetros equivalentes do modelo simplificado são:

$$\begin{aligned} C_{f,eq} &= \frac{2}{3}C_f, \quad L_{f,eq} = \frac{2}{3}L_f, \\ v_{a,eq} &= \frac{2}{3}\hat{V}_a, \quad i_{a,eq} = \hat{I}_a. \end{aligned} \quad (\text{B.5})$$

Se o sistema é linear ele poder ser perturbado introduzindo-se variações nas suas variáveis de entrada e ciclo de trabalho, o que gera perturbações nas variáveis de estado de saída. Essas perturbações são inseridas pelo princípio da superposição.

As variáveis de estado nos conversores são a tensão no capacitor e a corrente no indutor. Para obter o modelo de espaço de estados de conversores, é necessário encontrar equações que descrevem o comportamento com a chave aberta $q = 0$ e com a chave fechada $q = 1$. As Equações (B.7) e (B.8) descrevem o comportamento do circuito (Figura 78a) para a chave fechada, e as Equações (B.10) e (B.11) quando a chave está aberta (Figura 78b), na forma matricial equivalente a Equação (B.1).

Figura 78 – Modelo dinâmico CC-CC equivalente do CSR.



Fonte: Adaptado de (RIES, 2018).

Para q ON:

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}_1\mathbf{x}(t) + \mathbf{B}_1\mathbf{u}(t), \\ \mathbf{y}(t) &= \mathbf{C}_1\mathbf{x}(t) + \mathbf{D}_1\mathbf{u}(t),\end{aligned}\tag{B.6}$$

$$\begin{bmatrix} \dot{i}_{L_f} \\ v_{C_f} \\ \dot{i}_{cc} \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_f} & 0 & 0 \\ \frac{1}{C_f} & 0 & -\frac{1}{C_f} & 0 \\ 0 & \frac{M}{L_{cc}} & -\frac{r_c}{L_{cc}(1+\frac{r_c}{R_{cc}})} & -\frac{1}{L_{cc}(1+\frac{r_c}{R_{cc}})} \\ 0 & 0 & \frac{R_{cc}}{C_{cc}(R_{cc}+r_c)} & \frac{1}{C_{cc}(R_{cc}+r_c)} \end{bmatrix} \begin{bmatrix} i_{L_f} \\ v_C \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{1}{L_f} \\ 0 \\ 0 \\ 0 \end{bmatrix} V_{fase,eq},\tag{B.7}$$

$$\begin{bmatrix} i_{cc} \\ v_{cc} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{L_f} \\ v_{C_f} \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} V_{fase,eq},\tag{B.8}$$

Para q OFF:

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}_2\mathbf{x}(t) + \mathbf{B}_2\mathbf{u}(t), \\ \mathbf{y}(t) &= \mathbf{C}_2\mathbf{x}(t) + \mathbf{D}_2\mathbf{u}(t),\end{aligned}\tag{B.9}$$

$$\begin{bmatrix} \dot{i}_{L_f} \\ \dot{v}_{C_f} \\ \dot{i}_{cc} \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_f} & 0 & 0 \\ \frac{1}{C_f} & 0 & 0 & 0 \\ 0 & \frac{M}{L_{cc}} & -\frac{r_c}{L_{cc}(1+\frac{r_c}{R_{cc}})} & -\frac{1}{L_{cc}(1+\frac{r_c}{R_{cc}})} \\ 0 & 0 & \frac{R_{cc}}{C_{cc}(R_{cc}+r_c)} & \frac{1}{C_{cc}(R_{cc}+r_c)} \end{bmatrix} \begin{bmatrix} i_{L_f} \\ v_{C_f} \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{1}{L_f} \\ 0 \\ 0 \\ 0 \end{bmatrix} V_{fase,eq}, \quad (\text{B.10})$$

$$\begin{bmatrix} i_{cc} \\ v_{cc} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{L_f} \\ v_{C_f} \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} V_{fase,eq}. \quad (\text{B.11})$$

O espaço de estados médio ou modelo de grande sinais é usado para descrever um circuito que muda sua topologia em um período de chaveamento. A essas equações de estados são atribuídos pesos proporcionais ao tempo em que a chave fica fechada e aberta, e então, é feita a média em um período de chaveamento. As equações são ponderadas para encontrar as equações de estado médias (VITORINO, 2019; BARBI, 2014). A Equação (B.6) é multiplicada por mT_{ch} , enquanto que a Equação (B.9) é multiplicada por $(1-m)T_{ch}$. Após a ponderação, as equações são somadas, o que resulta no modelo médio do espaço de estados. Assumindo que o ciclo de trabalho é constante em um período de chaveamento $m = M$, as matrizes da Equação (B.1) são substituídas por:

$$\begin{aligned} \mathbf{A} &= \mathbf{A}_1 M + \mathbf{A}_2 (1 - M), \\ \mathbf{B} &= \mathbf{B}_1 M + \mathbf{B}_2 (1 - M), \\ \mathbf{C} &= \mathbf{C}_1 M + \mathbf{C}_2 (1 - M), \\ \mathbf{D} &= \mathbf{D}_1 M + \mathbf{D}_2 (1 - M). \end{aligned} \quad (\text{B.12})$$

Assim, incluindo o chaveamento $q = M$ nas equações acima, obtém-se um sistema de equações genérico para um período de chaveamento T_{ch} :

$$\begin{bmatrix} \dot{i}_{L_f} \\ \dot{v}_{C_f} \\ \dot{i}_{cc} \\ \dot{v}_C \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_f} & 0 & 0 \\ \frac{1}{C_f} & 0 & -\frac{M}{C_f} & 0 \\ 0 & \frac{M}{L_{cc}} & -\frac{r_c}{L_{cc}(1+\frac{r_c}{R_{cc}})} & -\frac{1}{L_{cc}(1+\frac{r_c}{R_{cc}})} \\ 0 & 0 & \frac{R_{cc}}{C_{cc}(R_{cc}+r_c)} & \frac{1}{C_{cc}(R_{cc}+r_c)} \end{bmatrix} \begin{bmatrix} i_{fL} \\ v_{fC} \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} \frac{1}{L_f} \\ 0 \\ 0 \\ 0 \end{bmatrix} V_{fase,eq}, \quad (\text{B.13})$$

$$\begin{bmatrix} i_{cc} \\ v_{cc} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} i_{L_f} \\ v_{C_f} \\ i_{cc} \\ v_C \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} V_{fase,eq}. \quad (\text{B.14})$$

Como o período de chaveamento é significativamente menor que as constantes de tempo do conversor, pode-se aproximar as grandezas instantâneas por seus valores médios calculados por um período de chaveamento, sem que haja perda de informação relacionada à dinâmica que se deseja controlar. Essa aproximação implica na substituição dos elementos não lineares do sistema, por fontes dependentes de tensão ou corrente (WESTER; MIDDLEBROOK, 1973). Assim, o valor médio de uma grandeza instantânea $x(t)$, em um período de chaveamento é:

$$\langle x(t) \rangle = \frac{1}{T_{ch}} \int_{t-T_{ch}}^t x(\tau) d\tau \quad (\text{B.15})$$

Pode-se considerar que o conversor tem comportamento linear em torno de um ponto de operação qualquer \mathbf{X} (valor CC), desde que perturbações \tilde{x} (parcela CA) em torno desse ponto sejam suficientemente pequenas. Essas perturbações são inseridas pelo princípio da superposição:

$$\begin{aligned} \langle \mathbf{x} \rangle &= \mathbf{X} + \tilde{\mathbf{x}}, \\ \langle \mathbf{y} \rangle &= \mathbf{Y} + \tilde{\mathbf{y}}, \\ \langle \mathbf{u} \rangle &= \mathbf{U} + \tilde{\mathbf{u}}, \\ \langle m \rangle &= M + \tilde{m}. \end{aligned} \quad (\text{B.16})$$

Substituindo as Equações (B.16) em (B.1), sendo $\dot{\mathbf{X}} = 0$ e \mathbf{A} , \mathbf{B} , \mathbf{C} e \mathbf{D} dados pelas Equações (B.12), obtêm-se o modelo em pequenos sinais:

$$\begin{aligned} \dot{\tilde{\mathbf{x}}} &= \mathbf{A}\mathbf{X} + \mathbf{B}\mathbf{U} + \mathbf{A}\tilde{\mathbf{x}} + \mathbf{B}\tilde{\mathbf{u}} + [(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + \\ &(\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U}] \tilde{m} + [(\mathbf{A}_1 - \mathbf{A}_2)\tilde{\mathbf{x}} + (\mathbf{B}_1 - \mathbf{B}_2)\tilde{\mathbf{u}}] \tilde{m}, \end{aligned} \quad (\text{B.17})$$

$$\begin{aligned} \mathbf{Y} + \tilde{\mathbf{y}} &= \mathbf{C}\mathbf{X} + \mathbf{D}\mathbf{U} + \mathbf{C}\tilde{\mathbf{x}} + \mathbf{D}\tilde{\mathbf{u}} + [(\mathbf{C}_1 - \mathbf{C}_2)\mathbf{X} + \\ &(\mathbf{D}_1 - \mathbf{D}_2)\mathbf{U}] \tilde{m} + [(\mathbf{C}_1 - \mathbf{C}_2)\tilde{\mathbf{x}} + (\mathbf{D}_1 - \mathbf{D}_2)\tilde{\mathbf{u}}] \tilde{m}. \end{aligned} \quad (\text{B.18})$$

O sistema perturbado é não linear de segunda ordem devido à presença do produto de duas quantidades variáveis no tempo, ou seja, $\tilde{m}\tilde{x}$ e $\tilde{u}\tilde{m}$. Assim separa as partes CC

(tornando as perturbações e suas derivadas 0) e CA (tornando a parte CC 0). Com isso, o modelo em regime permanente será:

$$\begin{aligned}
 \mathbf{X} &= -\mathbf{A}^{-1}\mathbf{B}\mathbf{U} \\
 \mathbf{Y} &= \mathbf{C}\mathbf{X} + \mathbf{D}\mathbf{U}, \\
 \mathbf{Y} &= -\mathbf{C}\mathbf{A}^{-1}\mathbf{B}\mathbf{U} + \mathbf{D}\mathbf{U}, \\
 \frac{\mathbf{Y}}{\mathbf{U}} &= \mathbf{G}_{cc} = [-\mathbf{C}\mathbf{A}^{-1}\mathbf{B} + \mathbf{D}].
 \end{aligned} \tag{B.19}$$

A função de transferência é \mathbf{G}_{cc} do sistema em regime permanente, em que cada elemento \mathbf{G}_{mn} descreve a relação entre a saída m em função da entrada n do sistema, pela regra de Cramer. Dessa forma, tem-se que:

$$\mathbf{G}_{cc} = \begin{bmatrix} G_{cc,11} \\ G_{cc,21} \end{bmatrix} = \begin{bmatrix} \frac{I_{cc}}{V_{fase,eq}} \\ \frac{V_C}{V_{fase,eq}} \end{bmatrix}. \tag{B.20}$$

Da mesma forma, o modelo CA é obtido zerando os termos CC do sistema:

$$\begin{aligned}
 \dot{\tilde{\mathbf{x}}} &= \mathbf{A}\tilde{\mathbf{x}} + \mathbf{B}\tilde{\mathbf{u}} + [(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + \\
 &(\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U}]\tilde{m} + [(\mathbf{A}_1 - \mathbf{A}_2)\tilde{\mathbf{x}} + (\mathbf{B}_1 - \mathbf{B}_2)\tilde{\mathbf{u}}]\tilde{m},
 \end{aligned} \tag{B.21}$$

$$\begin{aligned}
 \tilde{\mathbf{y}} &= \mathbf{C}\tilde{\mathbf{x}} + \mathbf{D}\tilde{\mathbf{u}} + [(\mathbf{C}_1 - \mathbf{C}_2)\mathbf{X} + \\
 &(\mathbf{D}_1 - \mathbf{D}_2)\mathbf{U}]\tilde{m} + [(\mathbf{C}_1 - \mathbf{C}_2)\tilde{\mathbf{x}} + (\mathbf{D}_1 - \mathbf{D}_2)\tilde{\mathbf{u}}]\tilde{m}.
 \end{aligned} \tag{B.22}$$

Como o modelo CA é não linear, é necessário realizar a linearização do sistema para obter a função de transferência. Aproximação de pequenos sinais, considera-se que os desvios dos valores de regime permanente são desprezíveis em comparação com os próprios valores de regime permanente, tem-se que $\tilde{\mathbf{x}}/\mathbf{X} \ll 1$, $\tilde{\mathbf{u}}/\mathbf{U} \ll 1$ e $\tilde{m}/M \ll 1$. Assim, o termo $\tilde{\mathbf{x}}\tilde{m}$ e $\tilde{\mathbf{u}}\tilde{m}$ são aproximadamente nulos. Logo, negligenciando esses termos, zera-se a parte não linear do sistema, obtendo:

$$\dot{\tilde{\mathbf{x}}}(t) = \mathbf{A}\tilde{\mathbf{x}}(t) + \mathbf{B}\tilde{\mathbf{u}}(t) + [(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U}]\tilde{m}(t), \tag{B.23}$$

$$\tilde{\mathbf{y}}(t) = \mathbf{C}\tilde{\mathbf{x}}(t) + \mathbf{D}\tilde{\mathbf{u}}(t) + [(\mathbf{C}_1 - \mathbf{C}_2)\mathbf{X} + (\mathbf{D}_1 - \mathbf{D}_2)\mathbf{U}]\tilde{m}(t). \tag{B.24}$$

Fazendo a transformada de Laplace, a Equação (B.23) é expressa por:

$$s\tilde{\mathbf{x}}(s) = \mathbf{A}\tilde{\mathbf{x}}(s) + \mathbf{B}\tilde{\mathbf{u}}(s) + [(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)U]\tilde{m}(s), \quad (\text{B.25})$$

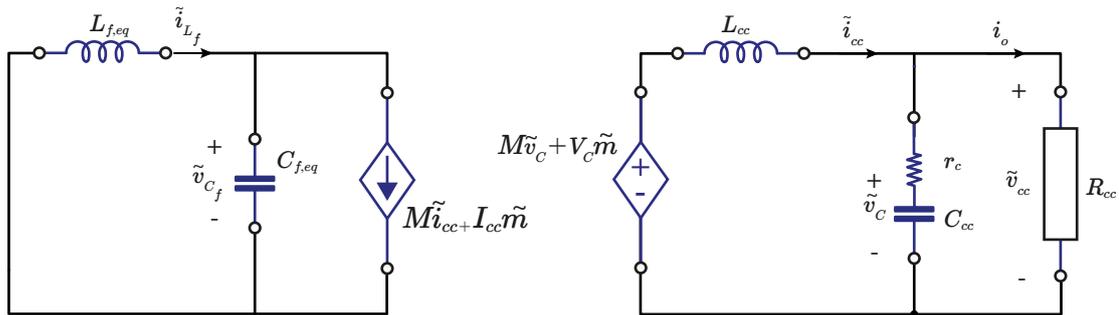
Da Equação (B.25) obtêm-se as expressões (B.27), incluindo agora como variável de estado a tensão de barramento \tilde{v}_{cc} , manipulando a Equação (B.26) obtida da análise do circuito, e multiplicando os termos da equação por -1 e adicionando $(s + 1)\tilde{v}_{cc}$.

$$v_{cc} = \frac{1}{\left(1 + \frac{r_c}{R_{cc}}\right)} v_C + \frac{r_c}{\left(1 + \frac{r_c}{R_{cc}}\right)} i_{cc}. \quad (\text{B.26})$$

$$\begin{aligned} s\tilde{i}_{L_f} &= -\frac{1}{L_{f,eq}} \tilde{v}_{C_f}, \\ s\tilde{v}_{C_f} &= \frac{1}{C_{f,eq}} \tilde{i}_{L_f} - \frac{M}{C_{f,eq}} \tilde{i}_{cc} - \frac{I_{cc}}{C_{f,eq}} \tilde{m}, \\ s\tilde{i}_{cc} &= \frac{M}{L_{cc}} \tilde{v}_{C_f} - \frac{1}{L_{cc} \left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{v}_C - \frac{r_c}{L_{cc} \left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{i}_{cc} + \frac{V_{fase,eq}}{L_{cc}} \tilde{m} \\ s\tilde{v}_C &= \frac{1}{C_{cc} \left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{i}_{cc} - \frac{1}{C_{cc} R_{cc} \left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{v}_C, \\ s\tilde{v}_{cc} &= (s + 1)\tilde{v}_{cc} - \frac{1}{\left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{v}_C - \frac{r_c}{\left(1 + \frac{r_c}{R_{cc}}\right)} \tilde{i}_{cc}. \end{aligned} \quad (\text{B.27})$$

O circuito equivalente do modelo de pequenos sinais é apresentado na Figura 79.

Figura 79 – Modelo de pequenos sinais para circuito equivalente CC-CC do 3LCSR.



Fonte: Adaptado de (RIES, 2018).

Escrevendo as Equações (B.27) na forma de espaço de estados, tem-se que:

$$\begin{aligned} \dot{\mathbf{x}}(t) &= \mathbf{A}\mathbf{x}(t) + \mathbf{B}\mathbf{u}(t), \\ \mathbf{y}(t) &= \mathbf{C}\mathbf{x}(t) + \mathbf{D}\mathbf{u}(t), \end{aligned} \quad (\text{B.28})$$

$$\begin{bmatrix} \dot{\tilde{i}}_{L_f} \\ \dot{\tilde{v}}_{C_f} \\ \dot{\tilde{i}}_{cc} \\ \dot{\tilde{v}}_C \\ \dot{\tilde{v}}_{cc} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_{f,eq}} & 0 & 0 & 0 \\ \frac{1}{C_{f,eq}} & 0 & -\frac{M}{C_{f,eq}} & 0 & 0 \\ 0 & \frac{M}{L_{cc}} & -\frac{r_c}{L_{cc}(1+\frac{r_c}{R_{cc}})} & -\frac{1}{L_{cc}(1+\frac{r_c}{R_{cc}})} & 0 \\ 0 & 0 & \frac{R_{cc}}{C_{cc}(1+\frac{r_c}{R_{cc}})} & \frac{1}{C_{cc}R_{cc}(1+\frac{r_c}{R_{cc}})} & 0 \\ 0 & 0 & -\frac{r_c}{(1+\frac{r_c}{R_{cc}})} & \frac{1}{(1+\frac{r_c}{R_{cc}})} & s+1 \end{bmatrix} \begin{bmatrix} \tilde{i}_{L_f} \\ \tilde{v}_{C_f} \\ \tilde{i}_{cc} \\ \tilde{v}_C \\ \tilde{v}_{cc} \end{bmatrix} + \begin{bmatrix} 0 \\ \frac{I_{cc}}{C_{f,eq}} \\ \frac{V_C}{L_{cc}} \\ 0 \\ 0 \end{bmatrix} \tilde{m}, \quad (\text{B.29})$$

$$\begin{bmatrix} \tilde{i}_{cc} \\ \tilde{v}_{cc} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} \tilde{i}_{L_f} \\ \tilde{v}_{C_f} \\ \tilde{i}_{cc} \\ \tilde{v}_C \\ \tilde{v}_{cc} \end{bmatrix} + \begin{bmatrix} 0 \\ 0 \end{bmatrix} \tilde{m}. \quad (\text{B.30})$$

Assim, a função de transferência \mathbf{G}_{ca} é obtido pela equação:

$$\mathbf{G}_{ca} = \mathbf{C}(s\mathbf{I} - \mathbf{A})^{-1}\mathbf{B} + \mathbf{D}. \quad (\text{B.31})$$

Da mesma forma que no caso CC, a função de transferência \mathbf{G}_{ca} , descreve a relação entre a saída m em função da entrada n do sistema, pela regra de Cramer. Dessa forma, tem-se que:

$$\mathbf{G}_{ca} = \begin{bmatrix} G_{ca,11} \\ G_{ca,21} \end{bmatrix} = \begin{bmatrix} \frac{\tilde{i}_{cc}}{\tilde{m}} \\ \frac{\tilde{v}_{cc}}{\tilde{m}} \end{bmatrix}. \quad (\text{B.32})$$

Observa-se então, que tanto a tensão como a corrente de saída são funções da perturbação \tilde{m} . Assim, encontra-se as funções de transferência das variações das variáveis CC de saída com relação as variações provocadas pelas perturbações do ciclo de trabalho do sistema. Essas funções de transferências são usadas para encontrar os ganhos dos controladores do sistema.

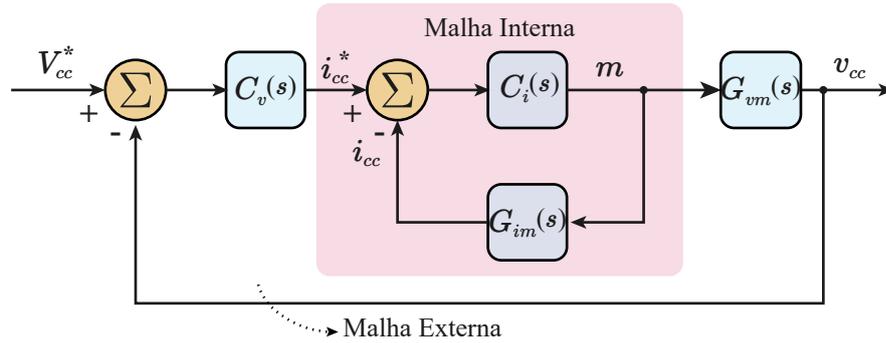
Para isso, são utilizados controladores PI, que são responsáveis por realizar o controle preciso de uma variável em um sistema, permitindo o sistema a operar de forma estável no ponto de ajuste desejado. Adicionar controladores PI ao sistema, significa inserir uma função de transferência proporcional ao erro e à integral do erro, de maneira a garantir erro nulo em regime permanente, tendo a seguinte função de transferência:

$$C(s) = K_p + \frac{K_i}{s}, \quad (\text{B.33})$$

onde K_p é o ganho proporcional e K_i o ganho integral.

Com isso, realizando o controle em malha fechada do sistema, é possível obter um sistema estável e eficiente com a ação dos controladores. O diagrama de blocos das malhas de controle do sistema é apresentado na Figura 80, em que $C_v(s)$ e $C_i(s)$ são as funções de transferência dos controladores PI da tensão e corrente CC, respectivamente; $G_{im} = \frac{\tilde{i}_{cc}}{\tilde{m}}$; e $G_{vm} = \frac{\tilde{v}_{cc}}{\tilde{m}}$.

Figura 80 – Diagrama de blocos das malhas de controle do sistema.



Fonte: Elaboração própria.

O ajuste dos controladores foram realizados através do aplicativo *PID Tuner* do software MATLAB. O *PID Tuner* ajusta automaticamente os ganhos do PID para equilibrar o desempenho (tempo de resposta) e a robustez (margens de estabilidade). Dessa forma, inserindo as plantas do sistema no aplicativo, obtêm-se os ganhos do controlador recomendados, mas também é possível selecionar várias configurações e especificar os seus objetivos de tempo de resposta e margem de fase.

Assim, inicialmente é realizado o ajuste do controle da malha interna e posteriormente da malha externa. Insere a planta $G_{im} = \frac{\tilde{i}_{cc}}{\tilde{m}}$ no *PID Tuner* e obtêm o ganhos K_p e K_i da função de transferência $C_i(s)$. Para validar o controle, encontra-se a função de transferência de malha fechada da malha interna de corrente $G_{icc} = \frac{\tilde{i}_{cc}}{\tilde{i}_{cc}^*}$ e aplica-se um *step* na entrada, para observar a resposta ao degrau do sistema.

Substitui-se agora a malha interna pela função de transferência $G_{micc,ref}$, que é igual a:

$$G_{micc,ref} = \frac{\tilde{m}}{\tilde{i}_{cc}^*} = \frac{C_i(s)}{1 + C_i(s)G_{im}}. \quad (\text{B.34})$$

Encontra-se a função de transferência em malha aberta de \tilde{v}_{cc} em relação \tilde{i}_{cc}^* :

$$G_{vicc,ref}(s) = \frac{\tilde{v}_{cc}}{\tilde{i}_{cc}^*} = G_{micc,ref}(s)G_{vm}(s). \quad (\text{B.35})$$

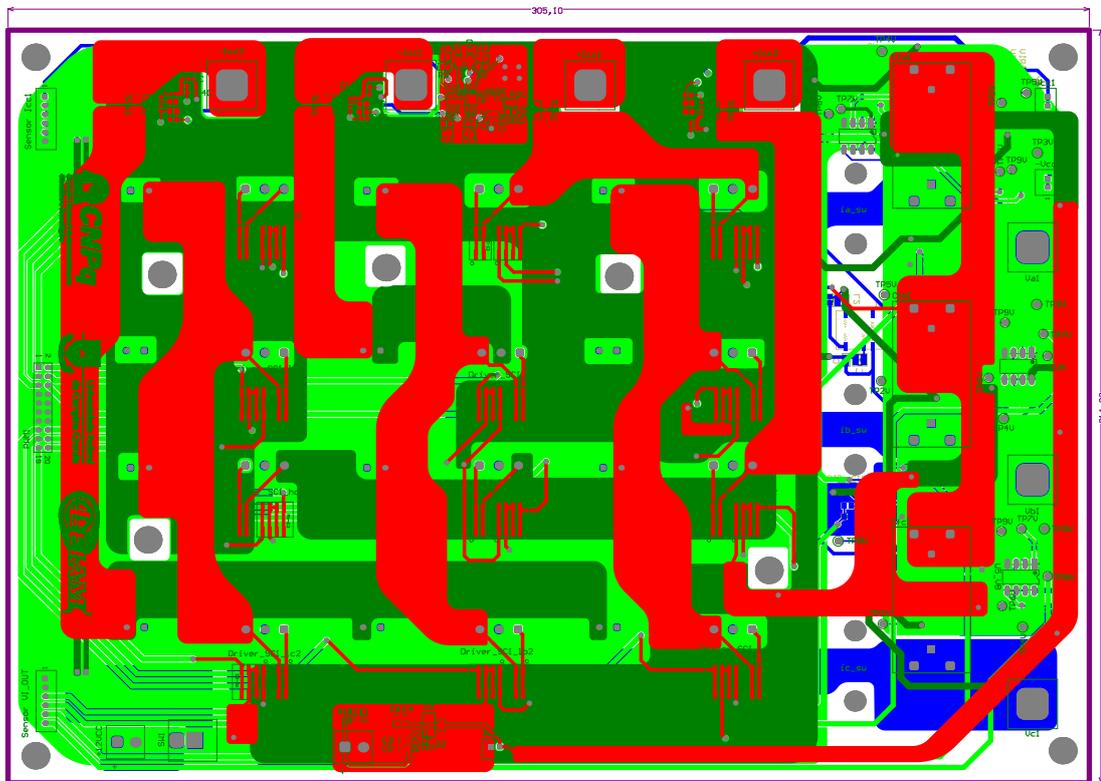
Realiza-se o mesmo procedimento feito para a malha interna, insere a planta $G_{vcc,ref}(s)$ no aplicativo *PID Tuner* e obtém os ganhos do controlador K_p e K_i da função de transferência $C_v(s)$. Encontra-se a função de transferência de malha fechada da malha externa $G_{vcc} = \frac{\tilde{v}_{cc}}{v_{cc}^*}$ e aplica-se um *step* na entrada, para observar a resposta ao degrau do sistema.

PCB do MCSC

Neste apêndice, são apresentados o PCB *layout* da placa MCSC juntamente com suas vistas tridimensionais, permitindo uma compreensão mais detalhada da disposição dos componentes e do design da placa. As visualizações incluem a vista frontal e a vista posterior da placa. A placa MCSC foi responsável pela obtenção dos resultados apresentados das topologias AMCSI-P (seção 6.1.1.1), AMCSI-S (seção 6.1.1.2), AMCSR-P (seção 6.1.2.1) e RMCSR-DB (seção 6.3).

Pode-se ver nas Figuras 81 e 82 as vistas tridimensionais da placa MCSC. Na Figura 81 observa-se a vista frontal da placa, enquanto na Figura 82 é possível ver a vista posterior. Já na Figura 83 é apresentado o *layout* detalhado da placa, a disposição dos componentes, trilhas de conexão e demais elementos do circuito.

Figura 83 – PCB layout do MCSC.



Fonte: Elaboração própria.

PCB do RMCSC

Neste apêndice, são apresentados o PCB *layout* da placa RMCSC juntamente com suas vistas tridimensionais, permitindo uma compreensão mais detalhada da disposição dos componentes e do design da placa. As visualizações incluem a vista frontal e a vista posterior da placa. A placa RMCSC foi responsável pela obtenção dos resultados das topologias com redução de diodos RMCSI-P (seção 6.2.1) e RAMCSI-P (seção 6.2.2).

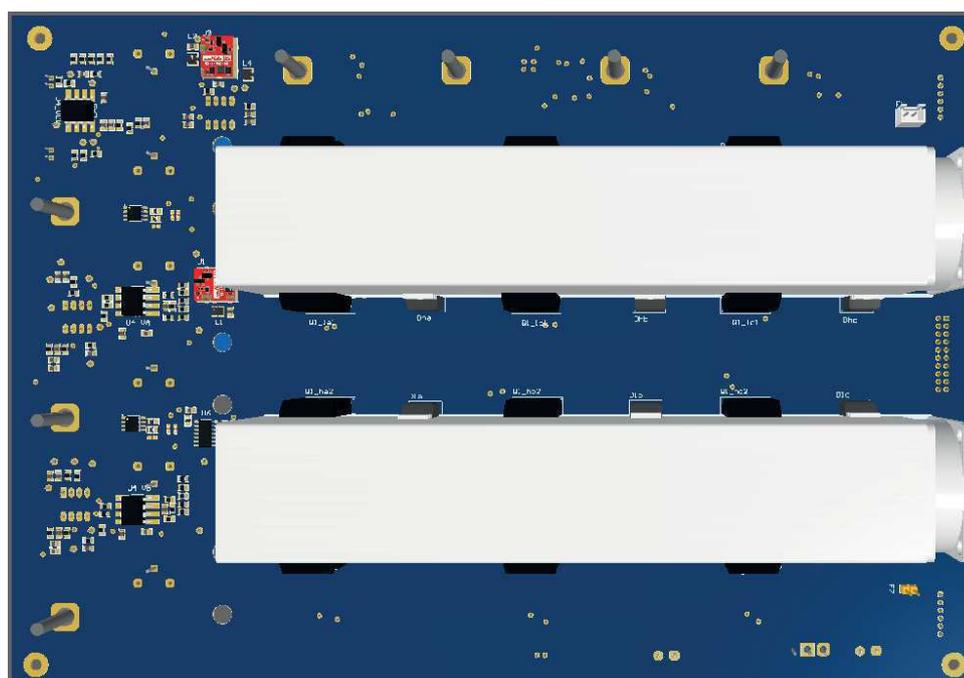
Pode-se ver nas Figuras 84 e 85 as vistas tridimensionais da placa RMCSC. Na Figura 84 observa-se a vista frontal da placa, enquanto na Figura 85 é possível ver a vista posterior. Já na Figura 86 é apresentado o *layout* detalhado da placa, a disposição dos componentes, trilhas de conexão e demais elementos do circuito.

Figura 84 – Vista frontal (*top layer*) RMCSC.



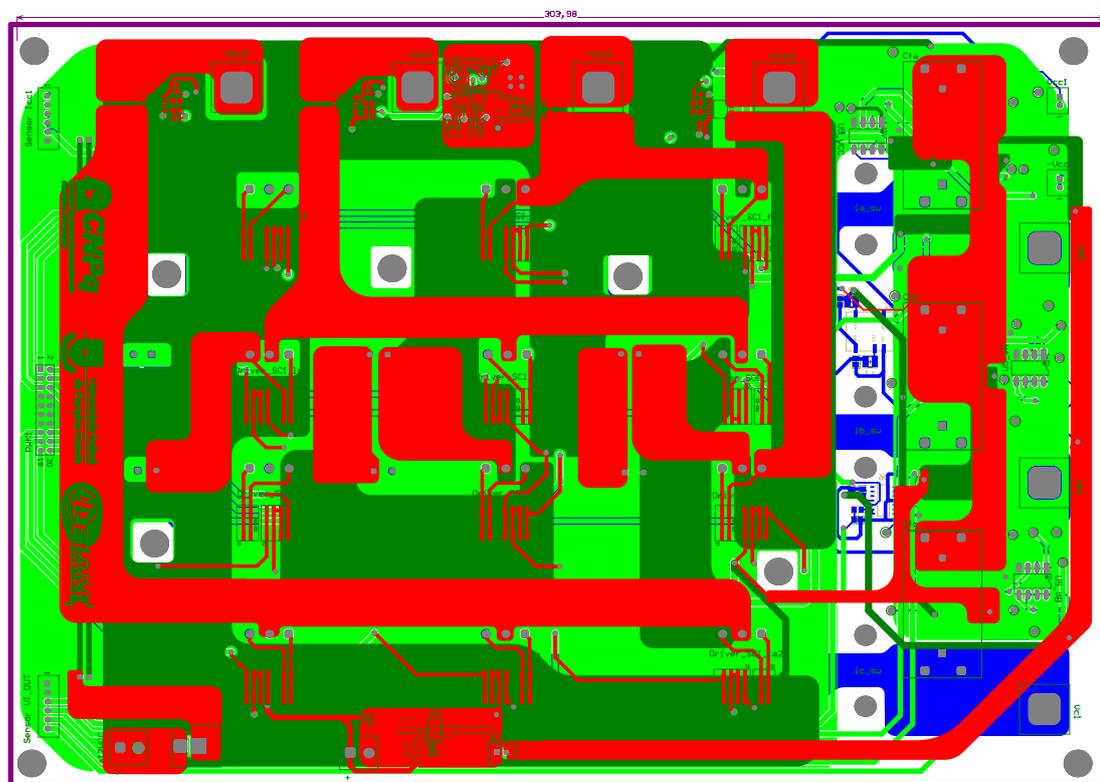
Fonte: Elaboração própria.

Figura 85 – Vista posterior (*bottom layer*) RMCSC.



Fonte: Elaboração própria.

Figura 86 – PCB layout do RMCS.



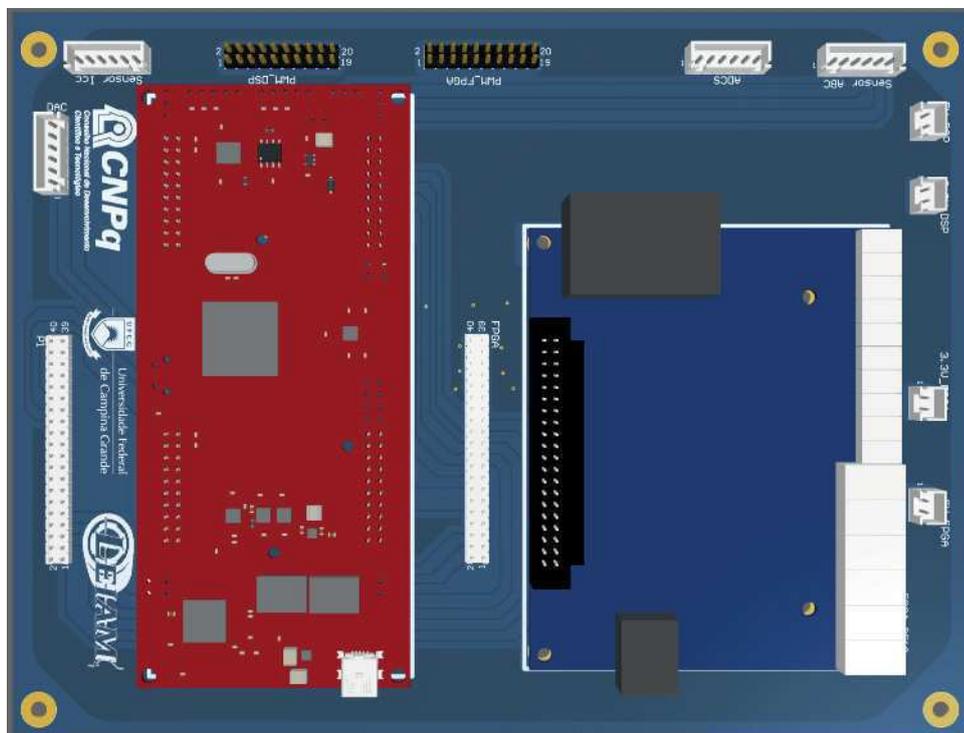
Fonte: Elaboração própria.

PCB da Placa de Controle

Neste apêndice, são apresentados o PCB *layout* da placa de controle juntamente com suas vistas tridimensionais, permitindo uma compreensão mais detalhada da disposição dos componentes e do design da placa. As visualizações incluem a vista frontal e a vista posterior da placa. A placa de controle foi responsável pela conexão entre o DSP e o FPGA com o processamento de sinais, controle dos conversores e geração dos sinais PWM.

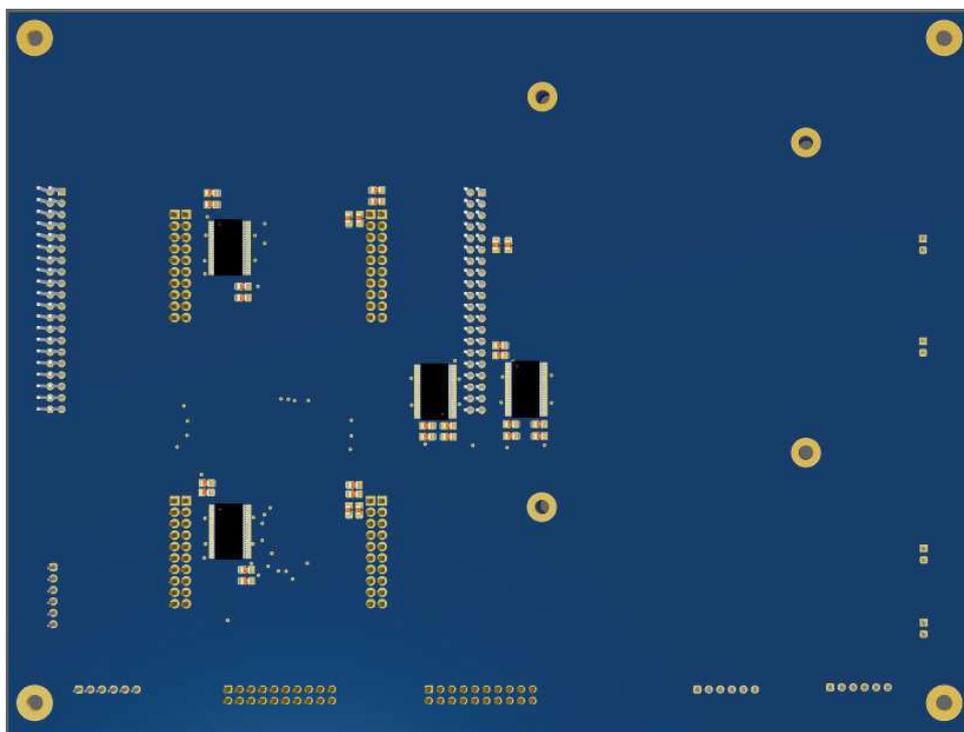
Pode-se ver nas Figuras 87 e 88 as vistas tridimensionais da placa de controle. Na Figura 87 observa-se a vista frontal da placa, enquanto na Figura 88 é possível ver a vista posterior. Já na Figura 89 é apresentado o *layout* detalhado da placa, a disposição dos componentes, trilhas de conexão e demais elementos do circuito.

Figura 87 – Vista frontal (*top layer*) da placa de controle.



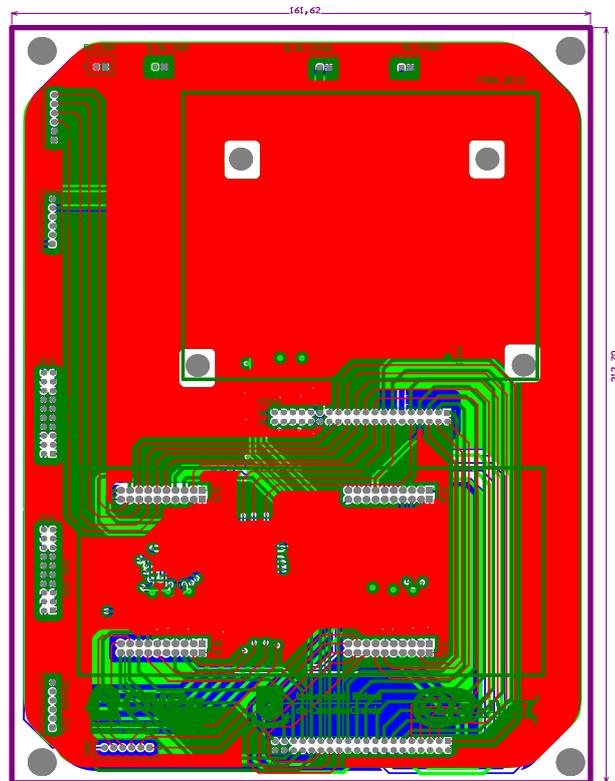
Fonte: Elaboração própria.

Figura 88 – Vista posterior (*bottom layer*) da placa de controle.



Fonte: Elaboração própria.

Figura 89 – PCB layout da Placa de Controle.



Fonte: Elaboração própria.