

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Inversor Trifásico Sem Barramento CC Aplicado ao Bombeamento Fotovoltaico

Luciano Francisco Sousa Alves

Área de Conhecimento: Processamento de Energia

Orientadores:
Maurício Beltrão de Rossiter Corrêa
Montiê Alves Vitorino

Campina Grande, Paraíba, Brasil

©Luciano Francisco Sousa Alves, Setembro de 2018

Dissertação de Mestrado

Dissertação apresentada à Coordenação do Curso de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande em cumprimento às exigências para obtenção do Grau de Mestre em Engenharia Elétrica.

Luciano Francisco Sousa Alves

Aluno

Maurício Beltrão de Rossiter Corrêa

Orientador

Montiê Alves Vitorino

Orientador

Campina Grande, Paraíba, Brasil

Setembro de 2018

A574i Alves, Luciano Francisco Sousa.
Inversor trifásico sem barramento CC aplicado ao bombeamento fotovoltaico / Luciano Francisco Sousa Alves. – Campina Grande, 2018.
94 f. : il. color.

Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2018.

"Orientação: Prof. Dr. Maurício Beltrão de Rossiter Corrêa, Prof. Dr. Montie Alves Vitorino".

Referências.

1. Processamento de Energia. 2. Barramento Pulsado – Inversor Trifásico. 3. Capacitor Eletrolítico. 4. Estratégia de Chaveamento. 5. Painéis Fotovoltaicos. I. Corrêa, Maurício Beltrão de Rossiter. II. Vitorino, Montie Alves. III. Título.

CDU 621.311(043)

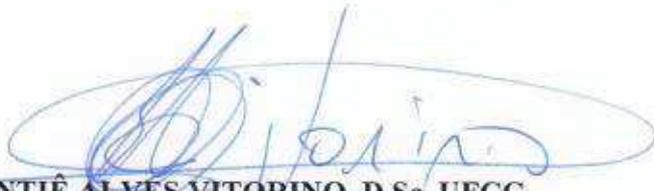
"INVERSOR TRIFÁSICO SEM BARRAMENTO CC APLICADO AO BOMBEAMENTO FOTOVOLTAICO"

LUCIANO FRANCISCO SOUSA ALVES

DISSERTAÇÃO APROVADA EM 04/09/2018



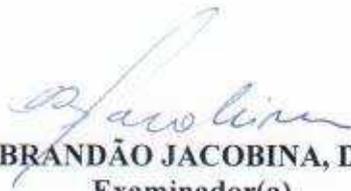
MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Orientador(a)



MONTIÊ ALVES VITORINO, D.Sc., UFCG
Orientador(a)



ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador(a)



CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Dedico este trabalho a minha
família, em especial aos meus pais.

The ultimate goal of science is to serve society.

Resumo

O tema desenvolvido consiste no estudo, caracterização e análise de um inversor trifásico com barramento pulsado utilizado para bombeamento de fluidos utilizando a energia gerado por painéis fotovoltaicos. No decorrer do trabalho, é abordado a escolha do conversor CC/CC a ser utilizado no estágio CC de potência, dimensionamento dos componentes magnéticos, justificativa da não utilização dos capacitores eletrolíticos e as estratégias de chaveamento para conversor CC/CC, CC/CA e circuito snubber. A importância da substituição do capacitor eletrolítico por um barramento pulsado, ou por um outro tipo de capacitor é abordada. Resultados de simulação e experimentais do inversor proposto são abordados a fim de validar este trabalho.

Palavras-chave: Barramento Pulsado, Inversor Trifásico, Capacitor Eletrolítico, Estratégia de Chaveamento, Painéis Fotovoltaicos.

Abstract

The developed theme consists of the study, characterization and analysis of a High-frequency pulsating DC-link three-phase inverter without electrolytic capacitor for pumping of fluids using the energy generated by photovoltaic panels. During the study, the choice of the DC/DC converter to be used in the DC power stage, the design of the magnetic components, the reasons for not using the electrolytic capacitors and the switching strategies for DC/DC, DC/AC and for the snubber circuit are discussed. The importance of replacing the electrolytic capacitor by a pulsating DC-link, or by another type of capacitor is addressed. Simulation and experimental results of the proposed inverter are addressed to validate this work.

Keywords: Pulsating DC-link, Three Phase Inverter, Electrolytic Capacitor, Switching Strategy, Photovoltaic Panels.

Índice

Resumo	v
Abstract	vi
Índice	vii
Índice de Tabelas	x
Índice de Figuras	xi
Lista de Símbolos	xiv
Glossário	xvi
1 Introdução Geral	1
1.1 Revisão Bibliográfica	2
1.2 Objetivos	4
1.3 Painéis Fotovoltaicos (PV)	6
1.3.1 Modelo matemático de um PV	6
1.3.2 Insolação e Temperatura	9
1.3.3 Rastreamento do ponto de máxima potência (MPPT)	10
1.4 Conversor CC/CC	11
1.4.1 Seleção do conversor CC/CC	12
1.5 Inversores Trifásicos	15
1.6 Organização do trabalho	21
1.7 Publicação	22
2 Capacitores Eletrolíticos	23

2.1	Parâmetros e Circuito equivalente	23
2.2	Vida Útil dos Capacitores Eletrolíticos	25
2.3	Estimativa de Vida Útil	26
2.4	Exemplo de Cálculo de Vida Útil	27
2.5	Conclusão	29
3	Componentes Magnéticos	30
3.1	Histerese, Saturação e Fluxo Residual	31
3.2	Equacionamento Básico de Projeto	32
3.3	Dimensionamento	35
3.4	Conclusão	37
4	Driver de Acionamentos	38
4.1	MOSFETs	38
4.1.1	Processo de Ativação do MOSFET	41
4.1.2	Processo de Desativação do MOSFET	44
4.2	Bootstrap Gate Driver	45
4.3	Conclusão	50
5	Estratégia da Modulação Proposta	52
5.0.1	Estratégia de PWM para conversor CC/CC	56
5.0.2	Estratégia de PWM para conversor CC/CCA	57
5.1	Conclusão	57
6	Indutância de dispersão e circuito Snubber	58
6.1	Indutância de dispersão e geometria do núcleo	58
6.2	Sunubber proposto	62
6.3	Conclusão	64
7	Resultados de Simulação	65
7.1	Conversor CC/CC	66
7.2	Inversor trifásico	68
7.3	Circuito Snubber	73
7.4	Conclusão	75

8	Resultados Experimentais	76
8.1	Hardwares	76
8.2	Experimentos	80
8.3	Conclusão	83
9	Conclusão Geral	84
9.1	Trabalhos futuros	85
	Referências Bibliográficas	87
A	Esquemáticos e PCB do Inversor Desenvolvido	89

Índice de Tabelas

1.1	Componentes necessários para as diferentes topologias de conversores CC/CC.	15
1.2	Topologia do conversor CC/CC e características de aplicação (potência).	15
2.1	Critérios de falha para capacitores eletrolíticos.	25
2.2	Aproximação para constante de radiação de calor β do capacitor eletrolítico.	27
2.3	Características do capacitor da Nippon Chemi-con EKXG451ELL101MM40S.	28
3.1	Parâmetros do projeto do transformador.	36
5.1	Modulação possível para o inversor trifásico.	54

Índice de Figuras

1.1	Inversor trifásico com barramento pulsado.	4
1.2	Sistema fotovoltaico para acionamento de motores de indução trifásicos.	5
1.3	Modelo detalhado de uma célula fotovoltaica.	6
1.4	Modelo resultante da associação de várias células fotovoltaicas.	7
1.5	Curva característica P(V) curva Potência vs. Tensão; I(V) curva Corrente vs. Tensão.	9
1.6	Influência da insolação (a) e da temperatura (b) sobre um painel fotovoltaico.	10
1.7	Fluxograma do algoritmo pertuba e observa.	11
1.8	Conversores CC/CC Pulsante. (a) Meia ponte, (b) Ponte Complete, (c) Forward e (d) Push-Pull.	13
1.9	Inversor trifásico convencional.	16
1.10	Diagrama de comando do inversor trifásico.	17
1.11	Tensões de carga para cada etapa (setor) de funcionamento.	17
1.12	Tensões em um inversor trifásico.	19
2.1	Modelo de um capacitor real (a) e de sua resistência equivalente em serie (b).	24
3.1	Uma família de curvas de histerese medida com uma densidade de fluxo modulada sinusoidal com frequência de 50 Hz e campo magnético variável de 0,3 T a 1,7 T.	32
3.2	Representação do núcleo tipo EE.	33
4.1	Modelos (a) e (b) de comutação do MOSFET.	39
4.2	Modelo simplificado de uma célula de comutação.	41
4.3	O processo de ativação (a) e desativação (b) do MOSFET.	42
4.4	Caminho da corrente de gate durante o turn-on do MOSFET.	43

4.5	Caminho da corrente de gate durante o turn-off do MOSFET.	44
4.6	Bootstrap driver.	46
4.7	Aplicação típica da técnica bootstrap.	47
4.8	Circuito Start-Up do bootstrap.	49
5.1	Sinais PWM das chaves do inversor e barramento CC (a) e zoom no setor II (b).	53
5.2	Sinais PWM das chaves do inversor e barramento CC (a) e o comportamento do ciclo de trabalho do conversor CC/CC para diferentes índices de modulação (b).	55
5.3	Implementação do PWM para o conversor CC/CC pulsante.	56
5.4	Implementação do PWM para o Inversor Trifásico.	57
6.1	Transformador na configuração convencional	60
6.2	Configuração com enrolamento primário centralizado (a) e com enrolamentos alternados (b).	60
6.3	Transformador com enrolamento seccionado (a) e com enrolamento seccionado modificado (b).	61
6.4	Snubber proposto.	63
6.5	Implementação da estratégia de acionamento do circuito snubber.	63
6.6	Introdução da tolerância delta na estratégia de acionamento do circuito snubber.	64
7.1	Circuito de potência simulado no PSIM.	65
7.2	Estratégia de acionamento das chaves do conversor CC/CC simulada no PSIM.	66
7.3	Resultado de simulação da estratégia de acionamento das chaves do conversor CC/CC.	67
7.4	Resultado de simulação; tensão de saída do conversor CC/CC.	67
7.5	Resultado de simulação; tensão no barramento pulsado (a) e sinais das chaves q_1 e q_2 (b).	68
7.6	Simulação da estratégia de PWM para o Inversor Trifásico.	69
7.7	Resultado de simulação; sinais de referência (a) e tensões de fase (b).	69
7.8	Formas de onda dos sinais q_1 , q_2 , q_3 e q_{bus}	70
7.9	Resultados de simulação; tensões de fase	70

7.10	Análise da tensão de fase em função de sua chave correspondente e do barramento pulsado.	71
7.11	Resultados de simulação; tensões de linha.	71
7.12	Correntes na saída do inversor trifásico com barramento CC pulsado.	72
7.13	THD em função do índice de modulação.	72
7.14	Estratégia de acionamento do circuito snubber simulada no PSIM.	73
7.15	Pulsos gerados segundo estratégia de acionamento do circuito snubber.	74
7.16	Spikes de tensão na ausência do circuito snubber gerados pela indutância de dispersão do transformador.	74
8.1	Primeiro protótipo desenvolvido no laboratório.	77
8.2	TIVA C Series LaunchPad TM4C123G.	78
8.3	Inversor IRAMX20UP60A da International Rectifier.	78
8.4	Aplicação típica do Inversor trifásico IRAMX20UP60A.	79
8.5	Comparação de densidade de potência entre o protótipo desenvolvido e inversores comerciais.	79
8.6	Sinas das chaves $q_1(CH1)$, $q_2(CH2)$, $q_3(CH3)$, $q_{link}(CH4)$, para $f = 5\text{k Hz}$	80
8.7	Tensões no conversor: $f_s = 10\text{kHz}$: CH1: v_{GS} in q_1 ; CH2: v_{DS} in \bar{q}_1	81
8.8	Comportamento das correntes CA para um degrau do tipo step-down, $m = 1$ a 60 Hz para $m = 0.5$ a 30 Hz.	82
8.9	Comportamento das correntes CA para um degrau do tipo step-up, $m = 0,5$ a 30 Hz para $m = 1$ a 60 Hz.	82
A.1	Esquemático da placa de potência do inversor.	90
A.2	Esquemático das fontes auxiliares.	91
A.3	Esquemático dos gate drivers.	92
A.4	Vista 'Top' da PCB completa gerada no software Altium Design 2015 $\text{\textcircled{R}}$	93
A.5	Vista 'Bottom' da PCB completa gerada no software Altium Design 2015 $\text{\textcircled{R}}$	94

Lista de Símbolos

- σ - Condutividade elétrica, $[1/(\Omega \cdot m)]$.
- ϕ - fluxo magnético, [webe].
- μ - Permeabilidade magnética, [H/m].
- μ_0 - constante dielétrica no espaço livre, [H/m].
- μ_x - Permeabilidade relativa de um material x , [].
- ω - Frequência angular generalizada, [rad/s].
- ω_0 - Frequência angular de ressonância, [rad/s].
- ω_n - Frequência angular normalizada, [].
- B - Densidade de fluxo magnético, [Wb/m²] ou [T].
- β - Constante de radiação de calor, [w/°C.cm²].
- C - Capacitor generalizado, [F].
- D - *Duty cycle*.
- \vec{E} - Vetor intensidade de campo elétrico, [V/m].
- f_s - Frequência de chaveamento, [Hz].
- \vec{H} - Vetor intensidade de fluxo magnético, [A/m].
- \vec{J} - Vetor densidade de corrente, [A/m²].
- j - Variável representante de número complexo, $j = \sqrt{-1}$
- L - Indutor generalizado, [H].
- R - Resistor generalizado, [Ω].

s - Operador de Laplace.

t - Tempo, [s].

Glossário

CC	- Corrente Contínua.
CA	- Corrente Alternada.
CGS	- Gate to souce capacitance.
CGD	- Gate to drain capacitance.
CDS	- Drain to source capacitance
DF	- Fator de dissipação.
<i>EMC</i>	- <i>Electromagnetic compatibility.</i>
<i>ESR</i>	- <i>Resistência Série Equivalente .</i>
<i>ESL</i>	- <i>Indutância Série Equivalente .</i>
FP	- Fator de potência.
FB	- <i>Full-Bridge.</i>
<i>HB</i>	- <i>Half-Bridge.</i>
IGBT	- <i>Insulated Gate Bipolar Transistor.</i>
LEIAM	- Laboratório de Eletrônica Industrial e Acionamento de Máquinas.
MOSFET	- <i>Metal oxide semiconductor field effect.</i>
MPP	- <i>Ponto de máxima potência .</i>
MPPT	- <i>Rastreamento do ponto de máxima potência.</i>
PCI	- Placa de circuito impresso.
PFC	- <i>Power factor correction.</i>

- PWM - *Pulse Width Modulation.*
- PV - *Painéis Fotovoltaicos.*
- THD - *Total Harmonic Distortion.*

1

Introdução Geral

O modelo de geração distribuída de energia vem sendo objeto de estudos aprofundados, e este modelo apresenta vantagens sobre o modelo centralizado. Fontes de energias renováveis, como eólica e solar, possuem um papel importante no modelo distribuído, e podem operar com baixo impacto ambiental. Neste trabalho, a fonte de geração de energia elétrica adotada, é a energia solar, i.e., os sistemas fotovoltaicos.

Os painéis fotovoltaicos possuem uma estimativa de vida útil de aproximadamente 25 anos, uma característica bastante atrativa. Porém, os sistemas fotovoltaicos são compostos por vários elementos, entre eles os conversores chaveados, e a estes conversores estão associados componentes elétricos, como os capacitores eletrolíticos, que podem comprometer todo o sistema mesmo antes de alcançar o tempo de vida estimado para os painéis fotovoltaicos.

Capacitores eletrolíticos têm sido por muitos anos a tecnologia mais utilizada para capacitores do barramento de inversores trifásicos. A tecnologia de capacitores eletrolíticos também permaneceu praticamente inalterada ao longo dos anos. Até agora, o ponto mais atrativo no uso de capacitores eletrolíticos em inversores tem sido a baixa razão Custo/Faraday. Porém a confiabilidade de um conversor chaveado depende principalmente destes capacitores, porque estes têm uma vida útil extremamente curta em comparação com outros componentes ativos e passivos.

Inversores trifásicos de alta frequência com barramento pulsado, como demonstrado em (M. A. VITORINO e SANTOS, 2017), têm a vantagem de, em sua estrutura de estágio de

potência, eliminar o uso de qualquer tipo de capacitor eletrolítico, especialmente no barramento CC do inversor, o que permite que o inversor tenha uma vida útil compatível com as aplicações em sistemas fotovoltaicos (PV). Além disso, estes inversores utilizam transformadores de alta frequência; isso reduz do peso e volume de componentes de armazenamento de energia, permitindo um aumento da densidade de potência do sistema.

Assim, neste trabalho, é proposto um Inversor Trifásico de Alta Frequência com Barramento CC Pulsado, a fim de contribuir com alta eficiência, elevada densidade de potência e aumento no tempo de vida útil dos sistemas de processamento de energia elétrica. A Eletrônica de Potência vem desempenhando seu papel fundamental no processamento de energia elétrica, possibilitando cada vez mais um aumento na eficiência de conversão, um aumento na potência processada, um processamento de tensões CC-CC, CC-CA e CA-CC.

Passando por veículos e processos industriais (acionamento de máquinas), conexão de fontes renováveis de energia com a Rede Elétrica (Geração Distribuída), sistemas de apoio em faltas elétricas (fontes de alimentação ininterrupta), melhoria da qualidade de energia elétrica (filtros ativos), a Eletrônica de Potência está em constante evolução.

Além da melhoria de topologias já existentes para as mais diversas aplicações, novas áreas de estudo surgem todo ano, não só com novos cenários, mas também com novas tecnologias que podem melhorar o que já existe, ou levar a novas descobertas na área de processamento da energia elétrica.

Seu avanço está ligado diretamente com o avanço nos estudos dos semicondutores, tais como diodos, IGBT e MOSFET, que são os principais elementos que constituem os conversores chaveados. As limitações desses elementos se baseiam principalmente: nas tensões de bloqueio dos dispositivos; na máxima corrente de condução; e na frequência de chaveamento de operação dos conversores.

1.1 Revisão Bibliográfica

Mais eficiência, baixo custo, elevada densidade de potência e longo tempo de vida útil são atributos importantes de um inversor trifásico com baixa tensão de entrada, como é o caso dos sistemas de geração distribuídos com fontes de energia renováveis. O isolamento

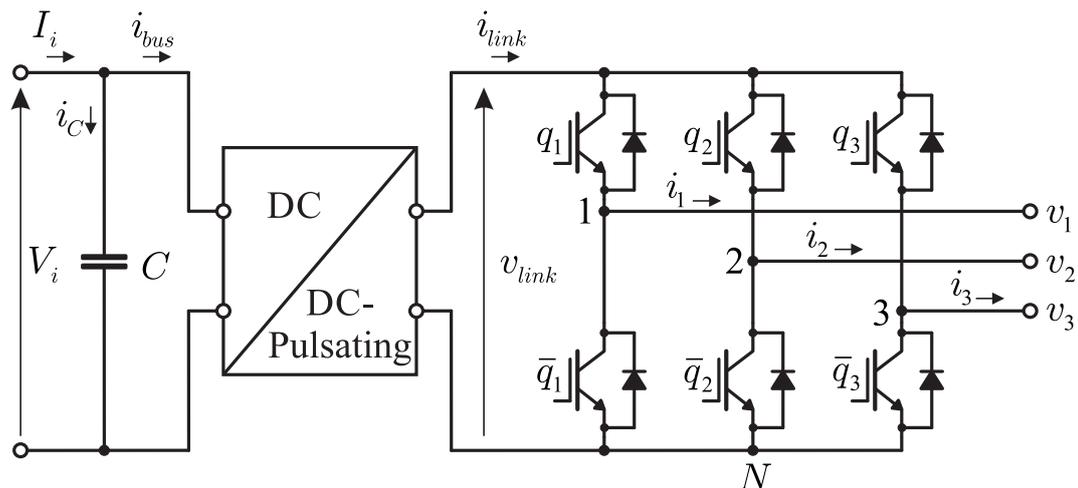
galvânico é tipicamente obrigatório por questões de segurança e escalabilidade de tensão e corrente e, a esse respeito, uma abordagem baseada em transformadores de alta frequência pode ser uma escolha preferível do ponto de vista do peso, das dimensões e da redução de custos.

Os conversores CC/CA com transformadores de isolamento são amplamente aplicados em inversores onde é necessária alta densidade de potência e longo ciclo de vida. Com o desenvolvimento de dispositivos semicondutores e materiais magnéticos, a topologia baseada no isolamento de alta frequência está gradualmente substituindo o uso dos transformadores de baixa frequência. Transformadores de alta frequência são atrativos, dentre outros motivos, por fornecer a possibilidade de redução do peso e volume de componentes de armazenamento de energia, e isso proporciona um aumento da densidade de potência do sistema. No inversor convencional, a tensão através do barramento CC fixo é frequentemente obtida por um filtro passa-baixa, que é conectado após o conversor CC/CC e consiste em indutores de alta frequência e capacitores de grande capacitância, deixando o inversor com grande volume. Entre todas as topologias possíveis, um inversor de alta frequência com barramento pulsado pode eliminar o filtro LC intermediário que é necessário em inversores de alta frequência com barramento comum.

Inversores trifásicos de alta frequência com barramento pulsado já foram abordados antes em (HUANG e MAZUMDER, 2008) e em (HUANG e MAZUMDER, 2009a) usando topologias do tipo Ponte Ativa Dupla (ou do inglês, Dual Active Bridge) como conversor CC/CC pulsante. No entanto, a modulação apresentada tem grande complexidade de implementação devido à topologia do conversor CC/CC usada, o que afeta a operação do inversor e sua implementação. As topologias apresentadas em (HUANG e MAZUMDER, 2009b), (U. R. PRASANNA e CHAKRABORTY, 2009), (PRASANNA e RATHORE, 2014) e (RAHNAMAEE e MAZUMDER, 2014) possuem um grande número de semicondutores (pelo menos dezesseis semicondutores) e transformadores de alta frequência (pelo menos dois) no conversor CC/CC pulsante. Em (MOONEM e KRISHNASWAMI, 2012) são utilizadas chaves bidirecionais no inversor trifásico, isso aumenta a complexidade da estrutura e diminui a eficiência do inversor. Os inversores de alta frequência com barramento pulsado apresentados em (J. ZHANG e CHEN, 2013), (CHEN e LI, 2004), (PEREDA e DIXON, 2011), (MAZUMDER e HUANG, 2010) e (MAZUMDER e HUANG, 2010) mostram vanta-

gens promissoras. No entanto, a topologia desses inversores possui três estágios de potência, o que aumentam as perdas de comutação do inversor. Como resultado, é necessário um esquema de comutação adequado para diminuir o requisito de comutação do inversor e gerar formas de onda de saída de alta qualidade. Na Fig.1.1 é mostrada a estrutura de um inversor trifásico com barramento pulsado.

Figura 1.1: Inversor trifásico com barramento pulsado.



Fonte: elaborada pelo autor.

1.2 Objetivos

Para solucionar os problemas acarretados pelos capacitores eletrolíticos em inversores trifásicos e propor uma alternativa as complexas estruturas apresentadas, assim como garantir elevada densidade de potência, propõe-se aqui desenvolver um inversor trifásico de alta frequência com barramento pulsado com uma modulação sem complexidade de implementação que pode ser aplicada a qualquer tipo de conversor CC/CC pulsante.

Os principais parâmetros de aplicação para o inversor são:

Potência de entrada: 1200 W;

Tensão de entrada: 40-72 V;

Corrente de entrada (máxima) 30 A;

Frequência de Chaveamento: 20 k Hz;.

Baseado nos estudos das seções posteriores, assim como na potência a ser processada pelo inversor, i.e. 1200 W, a configuração do processamento de energia, como mostrada na Fig.1.2, consistirá em um conversor CC/CC pulsante do tipo ponte completa em cascata com um inversor trifásico sem capacitor eletrolítico como barramento CC. O inversor proposto terá como aplicação o bombeamento de fluídos utilizando energia solar fotovoltaica. Com o inversor proposto, pretende-se contribuir de forma significativa em eficiência, densidade de potência e tempo de vida útil.

Nas seções subsequentes é estruturado o estudo individual de cada macro elemento que compõe o sistema de aplicação escolhido, i.e., a utilização dos Sistemas Fotovoltaicos para Acionamento de Motores de Indução Trifásicos. O objetivo desse estudo é analisar o princípio de funcionamento e o comportamento dos componentes que formam esse sistema. Como mostra a Fig.1.2, os macros elementos que formam o SFAMIT são;

Painéis Fotovoltaicos (PV);

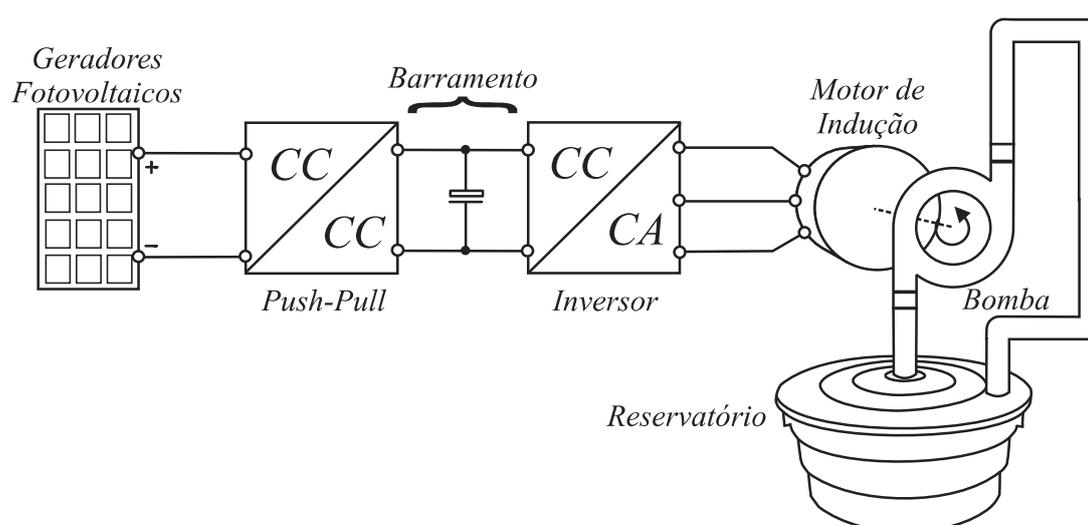
Conversor CC/CC;

Barramento, normalmente constituído por capacitores eletrolíticos;

Inversor ou conversor CC/CA;

Motor de indução.

Figura 1.2: Sistema fotovoltaico para acionamento de motores de indução trifásicos.



Fonte: elaborada pelo autor.

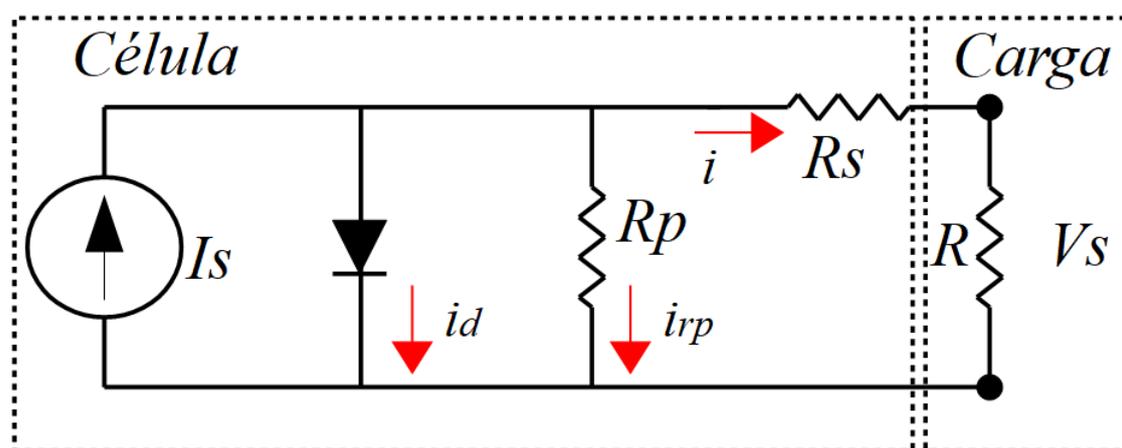
1.3 Painéis Fotovoltaicos (PV)

A energia solar pode ser utilizada com o auxílio das células fotovoltaicas, estas são responsáveis pela transformação da radiação solar em energia elétrica. Essas células são formadas por uma estrutura semicondutora, geralmente, de silício. E assim um conjunto de células forma o painel fotovoltaico.

1.3.1 Modelo matemático de um PV

Uma célula pode ser representada pelo seu modelo elétrico equivalente conforme ilustra a Fig.1.3.

Figura 1.3: Modelo detalhado de uma célula fotovoltaica.



Fonte: elaborada pelo autor.

A fonte de correntes I_s representa a corrente elétrica gerada pelo feixe de radiação luminosa incidente sobre a superfície ativa do gerador. Isso por causa do efeito fotoelétrico já analisado. Como o gerador é composto por silício, o mesmo se comportara como um diodo que é atravessado por uma corrente interna unidirecional i_d , que depende da tensão v_s nos terminais do gerador.

No gerador observa-se uma queda de tensão no circuito até os contatos exteriores, a qual é causada por uma resistência que pode ser representada por uma resistência parasita serie R_s . Do mesmo modo, existe corrente de fuga, provocada por uma resistência paralela que pode ser descrita por uma resistência parasita paralela, R_p .

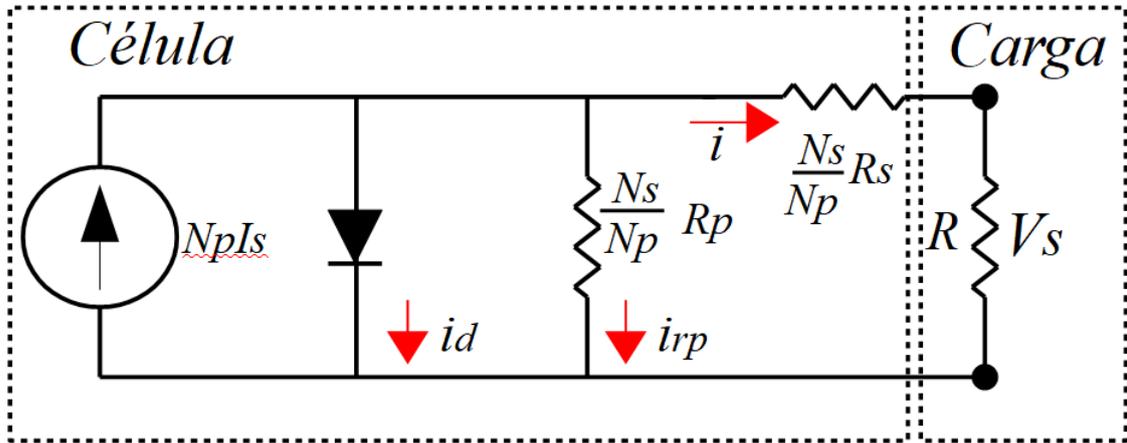
A partir do modelo elétrico equivalente, pode-se determinar as equações matemáticas

que descrevem o comportamento de uma célula fotovoltaica. A expressão 1.1 representa a corrente de saída da célula. Então temos em uma mesma equação as grandezas que descrevem o comportamento do circuito.

$$i = I_s - I_o(e^{V_d/mV_t} - 1) - (V_s + iR_s)/R_p \quad (1.1)$$

Como a energia transformada por uma única célula tem um valor significativamente baixo, é necessária a associação série e/ou paralelo de várias células fotovoltaicas. Daí passamos para um novo módulo fotovoltaico, ilustrado na Fig.1.4 N_s e N_p representam respectivamente a quantidade de células ligadas em série e em paralelo.

Figura 1.4: Modelo resultante da associação de várias células fotovoltaicas.



Fonte: elaborada pelo autor.

Analisando a Fig.1.4, pode-se estabelecer o seguinte conjunto de equações:

$$I_d = N_p i_d; I_{R_p} = N_p i_{R_p}; I = N_p i; V_d = N_s v_d; V = N_s v_s \quad (1.2)$$

$$V_d = N_s v_d = N_s R_s i + N_s v_s \quad (1.3)$$

$$N_s v_d = N_s N_p / N_p R_s i + V \quad (1.4)$$

$$N_s v_d = N_s / N_p R_s I + V \quad (1.5)$$

$$v_d = (N_s/N_p R_s I + V)/N_s \quad (1.6)$$

$$I_{R_p} = N_p i_{R_p} = N_p v_d / R_p = v_d / (R_p / N_p) \quad (1.7)$$

$$I_{R_p} = (N_s / N_p R_s I + V) / (N_s / N_p R_p) \quad (1.8)$$

$$I_d = N_p i_d = N_p I_o e^{v_d / m V_t} - 1) \quad (1.9)$$

Agora ao aplicar a lei de Kirchoff das correntes, encontra-se

$$N_p I_s = I_d + I_{R_p} + I \quad (1.10)$$

$$I = N_p I_s - I_d - I_{R_p} \quad (1.11)$$

E por fim

$$I = N_p I_s - N_p I_o (e^{(N_s / N_p R_s I + V) / (N_s m V_t)} - 1) - (N_s / N_p R_s I + V) / (N_s / N_p R_p) \quad (1.12)$$

Onde,

I – Corrente do módulo fotovoltaico;

V – Tensão do módulo fotovoltaico;

I_s – Corrente gerada;

I_o – Corrente de saturação do diodo;

R_s – Resistência de perdas por condução;

R_p – Resistência de perdas parasitas;

m – Fator de idealidade do diodo;

q – Carga do elétron ($1.602 \times 10^{-19} C$);

k – Constante de Boltzman ($1.381 \times 10^{-23} J/K$);

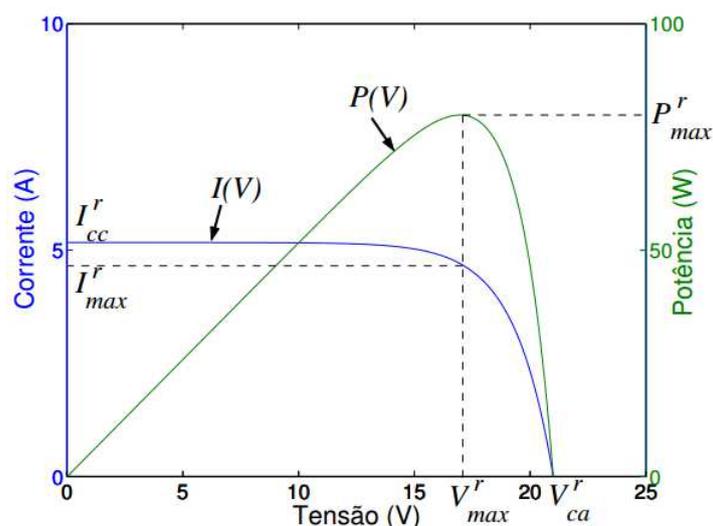
T – Temperatura (Kelvin);

V_t – Tensão térmica (kT/q).

1.3.2 Insolação e Temperatura

Os geradores fotovoltaicos possuem uma curva característica I x V, Fig.1.5, onde existe um ponto em que há fornecimento da máxima potência (MPP), para um determinado nível de insolação e temperatura.

Figura 1.5: Curva característica P(V) curva Potência vs. Tensão; I(V) curva Corrente vs. Tensão.



Fonte: elaborada pelo autor.

A temperatura e a insolação incidente sobre o gerador são parâmetros que influenciam no comportamento do gerador. A temperatura (T) tem influência sobre I_0 , já a insolação (G) tem influência sobre I_s . As expressões 1.13 e 1.14 descrevem matematicamente a influência da insolação e da temperatura sobre uma célula.

$$I_s = I_s^r G / G^r \quad (1.13)$$

$$I_o = I_o^r (T/T^r)^3 e^{\varepsilon/m(1/V_t^r - 1/V_t)} \quad (1.14)$$

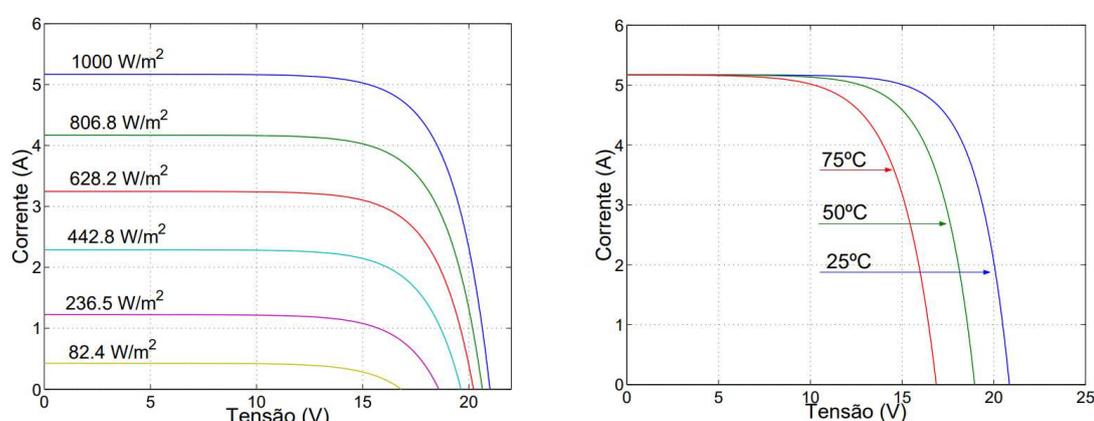
Os índices r indicam os valores dos parâmetros nas seguintes condições:

Radiação $G_r = 1000 \text{ W/m}^2$

Temperatura $T_r = 298,16 \text{ K}$

Assim é possível verificar o comportamento de um PV de determinada potência em função da insolação e da temperatura, como mostra a Fig. 1.6.

Figura 1.6: Influência da insolação (a) e da temperatura (b) sobre um painel fotovoltaico.



Fonte: elaborado pelo autor.

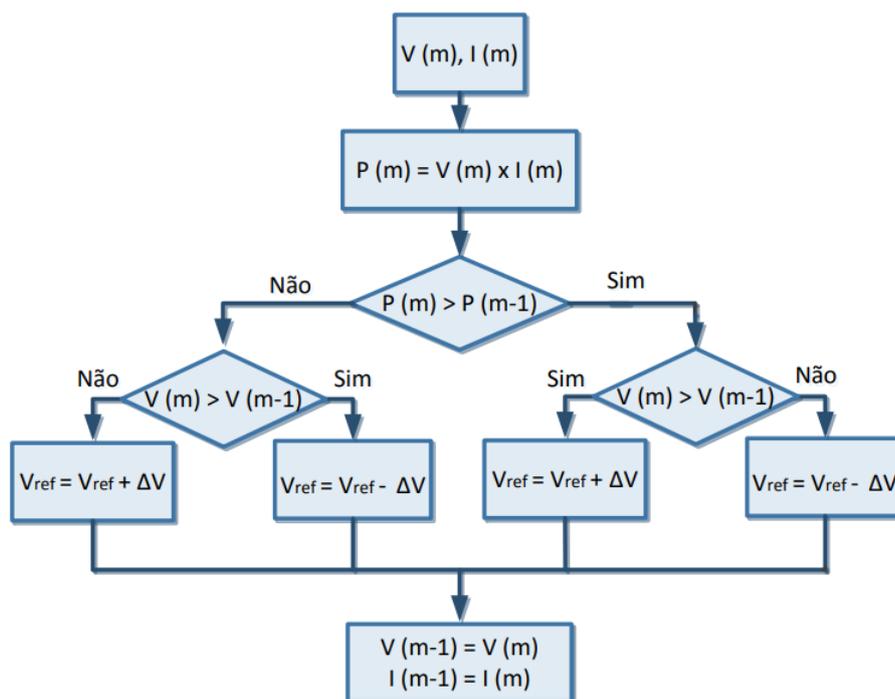
1.3.3 Rastreamento do ponto de máxima potência (MPPT)

O MPPT tem como objetivo rastrear o ponto de máxima potência (MPP) do painel e fazer com que o mesmo permaneça operando nesse ponto. Essa técnica faz parte do sistema de controle do conversor CC/CC. Existem várias técnicas de MPPT, entre elas, a mais conhecida é a Perturba e Observa (P&O). Existem vários outros algoritmos para a procura do ponto de Máxima transferência de potência, como Condutância Incremental, Tensão Constante, Fuzzy e redes Neurais.

Neste trabalho é apresentado o método Perturba e Observa (P&O). Trata-se de um algoritmo estável e é o método de MPPT mais utilizado, devido à sua fácil implementação. O algoritmo P&O é um método de MPPT de simples compreensão, de fácil implementação e boa eficiência nos sistemas de geração solar fotovoltaico. Na Fig. 1.7., é mostrado o fluxograma do algoritmo P&O, em que $V(m)$ e $I(m)$ são variáveis medidas na iteração atual do

algoritmo e $V(m-1)$ e $I(m-1)$ são os seus valores medidos na iteração anterior. O algoritmo, baseado nas curvas características das Figs. 5 e 6, trata-se de um método de perturbação e observação em que é aplicado um pequeno aumento na tensão, ou na corrente, e verificado a variação da potência. Caso ocorra aumento da potência fornecida pelo painel, o algoritmo segue com perturbações no mesmo sentido. No entanto, caso ocorra decréscimo de potência, na próxima iteração a perturbação irá acontecer no sentido contrário. Dessa forma, o algoritmo de P&O faz com que a referência fique variando em valores próximos ao MPP. Para que o algoritmo tenha uma boa eficiência é importante fazer uma escolha adequada para incremento da perturbação (dV). É importante que dV não assuma um valor muito pequeno, pois assim, o algoritmo demora a encontrar o MPP. Também não deve assumir valores muito grandes, pois resultará em grandes variações em torno do MPP.

Figura 1.7: Fluxograma do algoritmo perturba e observa.



Fonte: elaborada pelo autor.

1.4 Conversor CC/CC

Para realizar a interface entre o painel fotovoltaico e conversor CC/CA, utiliza-se um conversor CC-CC elevador e/ou abaixador de tensão. Esse conversor tem como função

de manipular a tensão de saída do painel fotovoltaico, visto que a tensão no barramento do conversor CC/CA deve ser maior ou igual a um valor de tensão necessário para o acionamento do motor de indução.

1.4.1 Seleção do conversor CC/CC

Para a seleção da topologia do conversor CC/CC é considerado um conjunto de requisitos:

Primeiro; o conversor deve ser hábil a gerar uma saída de tensão pulsada.

Segundo; devido à baixa tensão presente no sistema fotovoltaico o conversor precisa atuar como um estágio de elevação de tensão para a alimentação do barramento pulsado.

Terceiro; deseja-se evitar um grande volume de componentes magnéticos, pois a eles estão associados o comprometimento da densidade de potência.

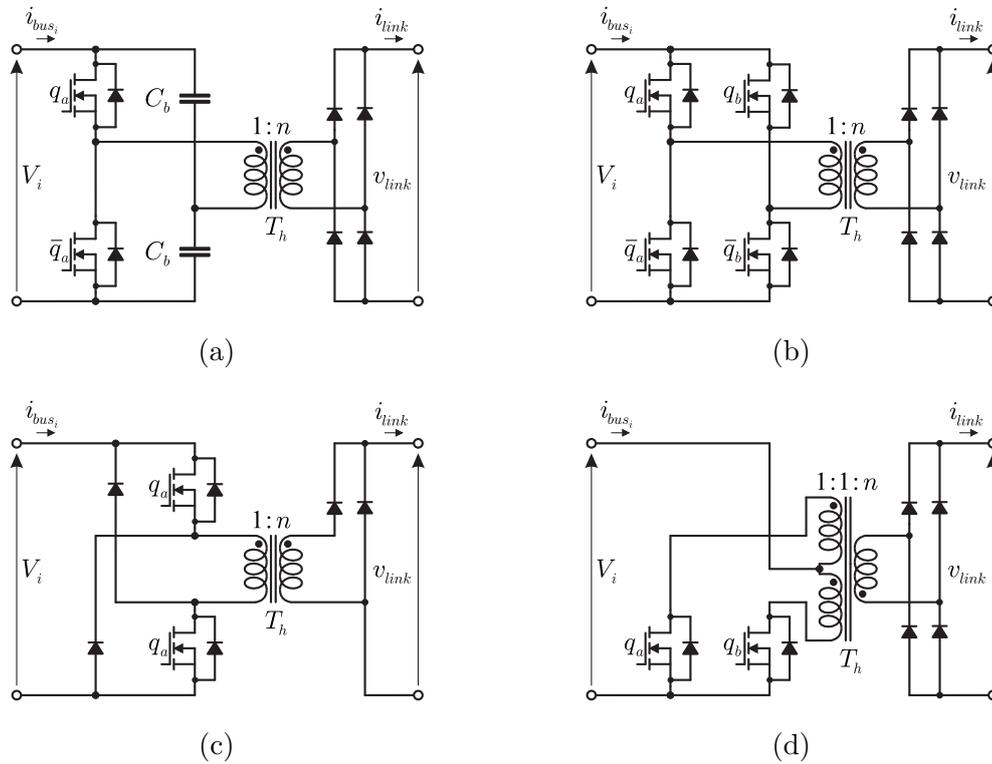
Quarto; deseja-se utilizar um número reduzido de componentes para manter o baixo custo do sistema.

Quinto; estresse de tensão, estresse de corrente, aplicação (potência), perdas por chaveamento, etc. também são parâmetros importantes a serem levados em conta na escolha do conversor CC/CC.

Na 1.8 é mostrado alguns dos possíveis conversores CC/CC a serem utilizados no projeto.

Estresse de Tensão; o uso do transformador nestes conversores requer um cuidado adicional; o pico de tensão (ou spike voltage, do inglês) é induzido principalmente pela indutância de dispersão dos enrolamentos do transformador; quanto menor essa indutância menor será estes picos, e conseqüentemente mais seguro e, menos perdas por chaveamento terá o sistema de conversão. Este estresse de tensão pode ser minimizado pelo uso de um circuito de supressão de picos de tensão (ou Snubber, do inglês). Os picos de tensão nas topologias Forward e Push-Pull são excessivos, mesmo que a indutância de dispersão do transformador tenha um valor reduzido (WANG, 2011). Portanto, para essas topologias, o uso de circuitos do tipo Snubber ainda é indispensável. Esse fenômeno (spike voltage) não ocorre nas topologias Half-Bridge (HB) e Full-Bridge (FB); se o barramento CC for projetado corretamente, os efeitos da indutância de dispersão durante o ciclo de comutação

Figura 1.8: Conversores CC/CC Pulsante. (a) Meia ponte, (b) Ponte Completa, (c) Forward e (d) Push-Pull.



Fonte: elaborado pelo autor.

podem ser minimizados, o que leva a picos de tensão insignificantes nos semicondutores das topologias HB e FB (WU e QIAN, 2007). Portanto, os semicondutores nestes conversores terão menor estresse de tensão do que naqueles em conversores do tipo Forward e Push-Pull.

Estresse de Corrente; outro parâmetro importante a ser levado em conta são os picos de correntes associados à topologia do conversor. Para topologias do tipo Forward, o pico de corrente no lado primário do o transformador é determinado diretamente pelo indutor de filtro associado à carga (ZHANG e YAN, 2009). Para conversores HB e FB, a corrente que passa através das chaves não é apenas determinada pela potência e tensão de saída, mas também pela relação de espira e indutância de dispersão do transformador. Teoricamente, uma vez que a tensão primária do transformador no conversor HB é apenas metade da entrada de tensão CC (metade que a dos conversores Forward, Push-Pull e Half-Bridge), o valor da corrente associada à carga no conversor HB é a maior das quatro topologias disponíveis com a mesma tensão de entrada e potência de saída. Uma vantagem do conversor FB é a necessidade de uma indutância de filtro muito menor (WU e ZHAO, 2008).

Perdas por chaveamento; perdas por chaveamento é outra preocupação em determinar qual topologia é a melhor escolha para a aplicação. Em (BAI, 2012), as eficiências de quatro topologias são comparadas para uma carga de 5 kW, sem inclusão de retificador e nem de circuito PFC (do inglês, Power Factor Correction). As eficiências são 71%, 76%, 83% e 93% para os conversores Foward, Push-Pull, HB e FB, respectivamente. Embora exista apenas um interruptor ativo por semi-ciclo em um conversor do tipo Forward e Push-Pull, a eficiência mostrou-se mais baixa. Outra desvantagem é que, para diminuir o estresse de tensão no conversor de Foward (única chave), é necessário um circuito amortecedor, o que resulta em perda extra para o sistema. Por exemplo, ainda segundo (BAI, 2012), quando o circuito do amortecedor tem uma capacitância de $0,1 \mu\text{F}$, uma tensão de entrada $V_{in} = 400 \text{ V}$ e frequência de chaveamento $f_s = 50 \text{ kHz}$, pode-se calcular, aproximadamente, a potência dissipada por um determinado circuito do tipo Snubber usando a expressão seguinte:

$$P_{loss} = CV_{in}^2/f_s \quad (1.15)$$

o que resulta, para os parâmetros indicados, uma perda de 200 W. A dissipação de potência no Snubber é atribuída à alta tensão CC e alta frequência de comutação. Quando a frequência de chaveamento diminui para 5 kHz, a perda causada pelo circuito do amortecedor será reduzida para 20 W. No entanto, nesta baixa frequência, o tamanho do transformador e outros componentes magnéticos aumentariam significativamente. Portanto, do ponto de vista de perda por chaveamento, os conversores HB e FB, que não precisam de circuitos do tipo Snubber, apresentam um melhor desempenho. Ainda, a eficiência do conversor HB é menor que a do conversor FB devido ao conversor HB experimentar um maior estresse de corrente que o conversor FB.

Custos; em comparação com os conversores Forward, Push-Pull, e HB, o conversor FB tem o menor estresse sob os mesmos parâmetros elétricos. Possui a maior utilização de tensão CC, portanto menor estresse de corrente do que o conversor HB. Além disso, sua eficiência é a mais alta entre as quatro topologias. No entanto, esta topologia possui o maior número de semicondutores. Portanto, uma comparação de custos precisa ser abordada. Na Tabela 1.1 são listados os principais componentes necessários para as diferentes topologias do tipo CC-CC.

Tabela 1.1: Componentes necessários para as diferentes topologias de conversores CC/CC.

Componentes	Foward	Push-Pull	HB	FB
*(MOSFET N-CH 500V 60A)	2(\$4.3956)	2(\$4.3956)	2(\$4.3956)	2(\$4.3956)
*(Diode Schottky 1.2 kV 9A)	4(\$1.45488)	4(\$1.45488)	4(\$1.45488)	4(\$1.45488)
**Transformador	(\$50)	(\$50)	(\$50)	(\$50)
Indutor de Filtro (saída)	(\$25)	–	–	–
***Capacitor	2(\$26.7)	2(\$26.7)	4(\$26.7)	2(\$26.7)
Snubber	(\$10.3)	(\$10.3)	0	0
Preço Total	2(\$239.142)	2(\$189.142)	2(\$232.242)	2(\$193.494)

*Todas as chaves são da mesma tecnologia -MOSFET N-CH 500V 60A, assim como os diodos -Diode Schottky 1.2 kV 9A. Todos os preços são baseados em uma cotação de 1000 peças.

**Os preços dos transformadores para as diferentes estruturas não foram investigados, assume-se que todos têm preços similares. As topologias com transformadores om mais de dois enrolamentos podem ter preços maiores.

***Capacitores de filme com tensão nominal de 500 V e capacitância de 100 μ F.

Capacitores de filme são usados para um longo tempo de vida útil e alta temperatura.

Potencialidade; a capacidade de processamento da potência é um fator chave para determinar a topologia certa para uma determinada aplicação. Embora não seja uma regra geral, na Tabela 1.2 é indicada, como parâmetro de escolha da topologia do conversor CC/CC, a potência requerida para uma determinada aplicação.

Tabela 1.2: Topologia do conversor CC/CC e características de aplicação (potência).

Topologia CC	Magnético	Chaves	* V_{DS}	Aplicação
Forward	Transformador	1	$2V_{IN}$	<200W
Forward (2 chvaes)	Transformador	2	V_{IN}	<500W
Half Bridge	Transformador	2	V_{IN}	<500W
Push Pull	Transformador	2	$2V_{IN}$	<500W
Full Bridge	Transformador	4	V_{IN}	500W - 2000W

*Tensão sobre a chave quando a mesma se encontra bloqueada.

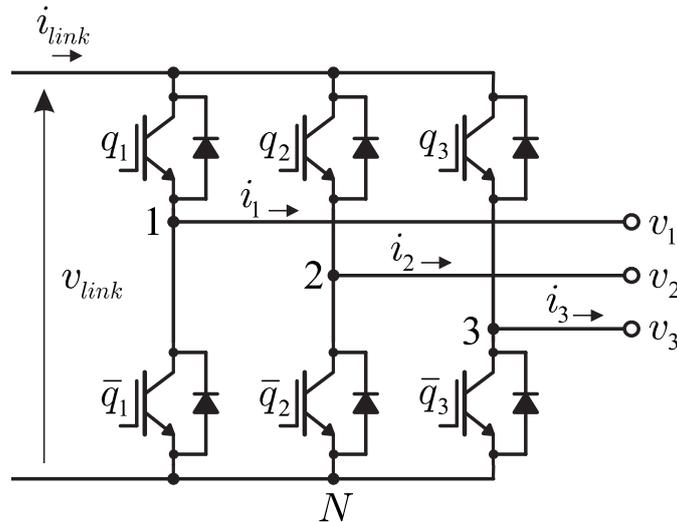
Baseado nos parâmetros descritos, na facilidade de implementação e potencialidade, o conversor FB foi escolhido como o conversor CC/CC a ser utilizado neste trabalho.

1.5 Inversores Trifásicos

O conversor CC-CA trifásico (ou inversor trifásico) de tensão, é uma das estruturas mais empregadas na indústria, normalmente aplicado em altas potências. Sua popularidade

deve-se à sua eficiência em obter tensões trifásicas com frequência controlável. Como cada tensão de entrada dos motores de indução é defasado em 120° , é necessário que a lógica aplicada para a comutação dos transistores também resulte em uma defasagem de 120° em cada fase na saída do conversor CC-CA trifásico. Um conversor CC-CA trifásico pode ser representado pela Fig.1.9.

Figura 1.9: Inversor trifásico convencional.



Fonte: elaborada pelo autor.

Nas estratégias comuns de PWM para inversores trifásicos, os interruptores são comandados segundo o diagrama representado na Fig.1.10. Em cada instante três interruptores em condução, 2 no grupo positivo e 1 no grupo negativo ou vice-versa. Cada interruptor é mantido habilitado durante 180° , ocorrendo uma comutação a cada 60° . Na Fig. 1.11 é representada de forma simplificada cada etapa de funcionamento do inversor trifásico.

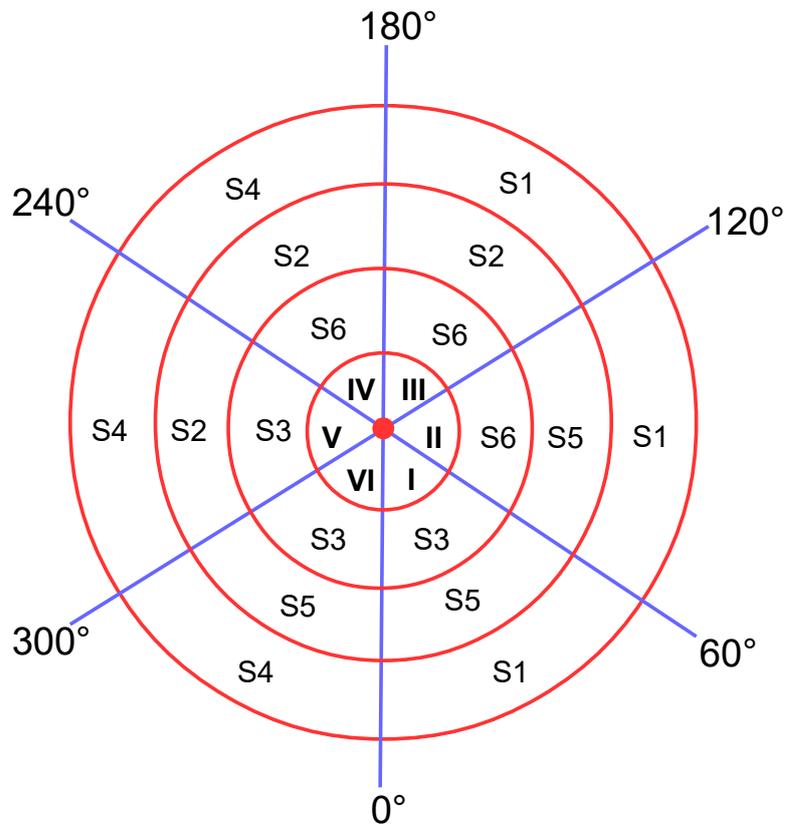
Assim as tensões de linha podem ser expressas como:

$$V_{RS} = V_{RO} - V_{SO} \quad (1.16)$$

$$V_{ST} = V_{RO} - V_{TO} \quad (1.17)$$

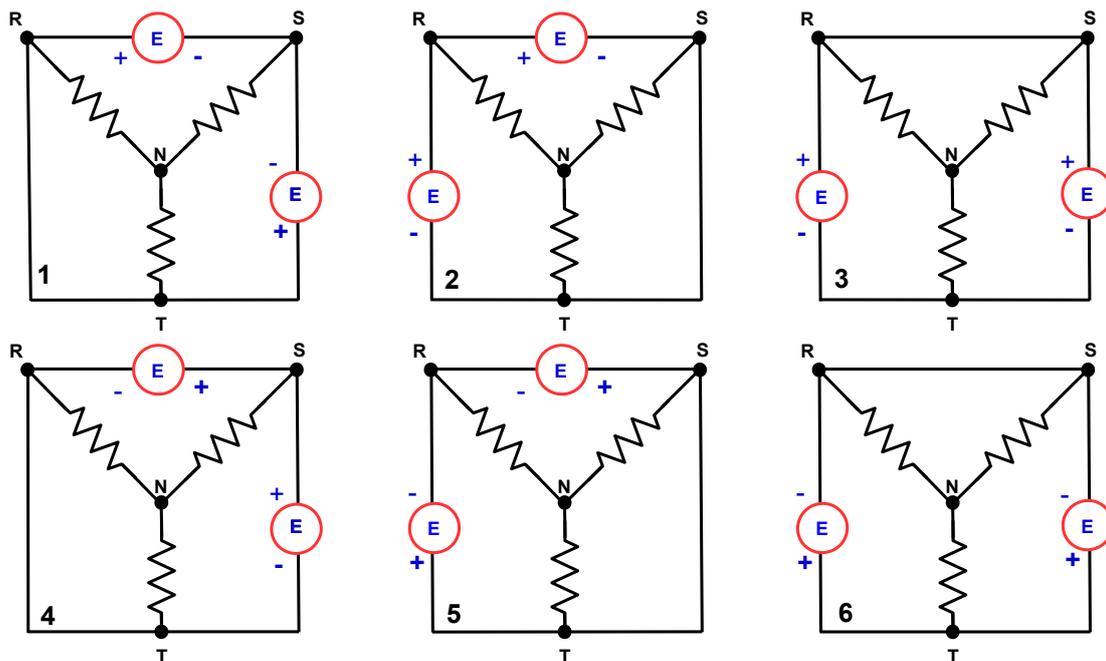
$$V_{TR} = V_{TO} - V_{RO} \quad (1.18)$$

Figura 1.10: Diagrama de comando do inversor trifásico.



Fonte: elaborada pelo autor.

Figura 1.11: Tensões de carga para cada etapa (setor) de funcionamento.



Fonte: elaborada pelo autor.

Estabelecendo as seguintes relações:

$$V_{RO} = V_{RN} - V_{NO} \quad (1.19)$$

$$V_{SO} = V_{SN} - V_{NO} \quad (1.20)$$

$$V_{TO} = V_{TN} - V_{NO} \quad (1.21)$$

Pode-se definir a seguinte equação:

$$V_{RO} + V_{SO} + V_{TO} = V_{RN} + V_{SN} + V_{TN} + 3V_{NO} \quad (1.22)$$

Como em um sistema trifásico (equilibrado) a soma das tensões de fase é nula, i.e.;

$$V_{RN} + V_{SN} + V_{TN} = 0; \quad (1.23)$$

Então pode-se estabelecer a seguinte expressão:

$$V_{NO} = \frac{V_{RO} + V_{SO} + V_{TO}}{3}; \quad (1.24)$$

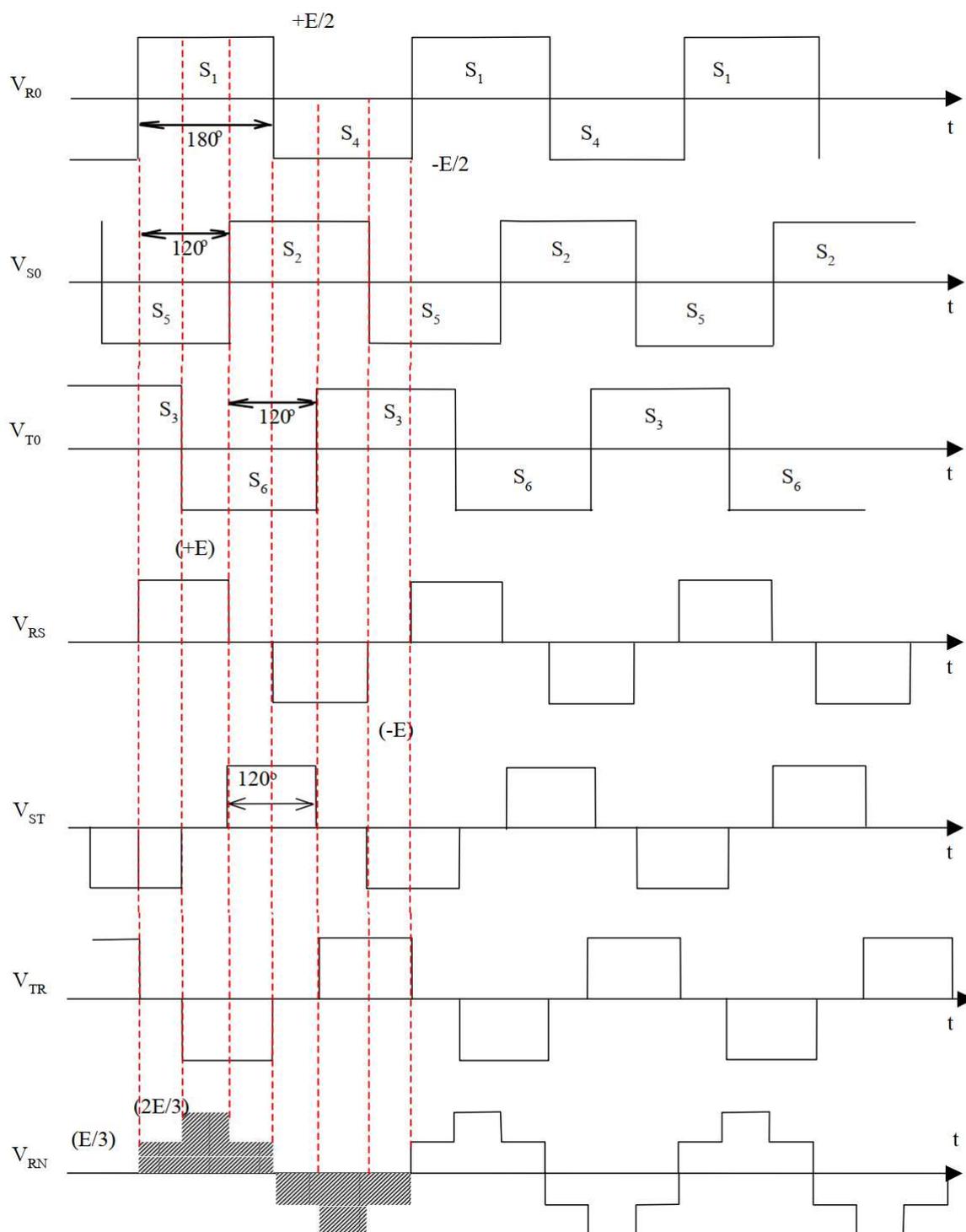
Assim, substituindo 1.24 em 1.19, 1.20 e 1.21, chega-se nas seguintes expressões que definem as tensões de fase na carga:

$$V_{RN} = \frac{2V_{RO}}{3} - \frac{V_{SO} + V_{TO}}{3}; \quad (1.25)$$

$$V_{SN} = \frac{2V_{SO}}{3} - \frac{V_{TO} + V_{RO}}{3}; \quad (1.26)$$

$$V_{TN} = \frac{2V_{TO}}{3} - \frac{V_{RO} + V_{SO}}{3}; \quad (1.27)$$

Figura 1.12: Tensões em um inversor trifásico.



Fonte: elaborada pelo autor.

Na Fig. 1.12 é mostrada a representação gráfica das tensões no inversor trifásico com comando auto sequencial, ou comando 180° .

As tensões V_{SN} e V_{TN} são iguais a V_{RN} , porém defasadas de 120° e 240° respectivamente. Representado as V_{RO} , V_{SO} e V_{TO} em série de Fourier, tem-se;

$$V_{RO} = \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t) + \frac{1}{3} \cos(3\omega t) + \frac{1}{5} \cos(5\omega t) + \dots) \quad (1.28)$$

$$V_{SO} = \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t - 120^\circ) + \frac{1}{3} \cos(3\omega t - 120^\circ) + \frac{1}{5} \cos(5\omega t - 120^\circ) + \dots) \quad (1.29)$$

$$V_{TO} = \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t + 120^\circ) + \frac{1}{3} \cos(3\omega t + 120^\circ) + \frac{1}{5} \cos(5\omega t + 120^\circ) + \dots) \quad (1.30)$$

Substituindo as expressões 1.28, 1.29 e 1.30 nas expressões 1.16, 1.17 e 1.18, obtém-se as expressões de linha em série de Fourier.

$$V_{RS} = \sqrt{3} \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t + 30^\circ) - \frac{1}{5} \cos(5\omega t + 30^\circ) - \frac{1}{7} \cos(7\omega t + 30^\circ) + \dots) \quad (1.31)$$

$$V_{ST} = \sqrt{3} \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t - 90^\circ) - \frac{1}{5} \cos(5\omega t - 90^\circ) - \frac{1}{7} \cos(7\omega t - 90^\circ) + \dots) \quad (1.32)$$

$$V_{TR} = \sqrt{3} \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t + 150^\circ) - \frac{1}{5} \cos(5\omega t + 150^\circ) - \frac{1}{7} \cos(7\omega t + 150^\circ) + \dots) \quad (1.33)$$

De maneira similar, substituindo as expressões 1.28, 1.29 e 1.30 nas expressões 1.25, 1.26 e 1.27, obtém-se as expressões de fase em série de Fourier.

$$V_{RN} = \sqrt{3} \frac{4E}{\pi} \frac{1}{2} (\cos(\omega t) - \frac{1}{5} \cos(5\omega t) - \frac{1}{7} \cos(7\omega t) + \dots) \quad (1.34)$$

$$V_{RN} = \sqrt{3} \frac{4E}{\pi 2} (\cos(\omega t - 120^\circ) - \frac{1}{5} \cos(5\omega t - 120^\circ) - \frac{1}{7} \cos(7\omega t - 120^\circ) + \dots) \quad (1.35)$$

$$V_{RN} = \sqrt{3} \frac{4E}{\pi 2} (\cos(\omega t + 120^\circ) - \frac{1}{5} \cos(5\omega t + 120^\circ) - \frac{1}{7} \cos(7\omega t + 120^\circ) + \dots) \quad (1.36)$$

1.6 Organização do trabalho

A organização deste trabalho é estruturado de forma clara e direta a fim de transmitir todo processo, conhecimento e resultados necessários para o desenvolvimento do Inversor Trifásico sem Barramento CC Aplicado ao Bombeamento Fotovoltaico. Para tanto, os capítulos subsequentes abordarão as seguintes questões:

- **Capítulo 2** - É apresentado os principais aspectos dos capacitores eletrolíticos; como o objetivo de justificar a substituição do mesmo por um barramento CC pulsado.
- **Capítulo 3** - É abordado o dimensionamento dos componentes magnéticos, como o transformador e indutor, o que é de grande importância devido a escolha do conversor ponte completa como conversor CC/CC, devido ao estágio necessário de elevação de tensão, a isolamento, ao filtro de entrada entre o PV etc..
- **Capítulo 4** - Neste capítulo é apresentado os Drivers de acionamento das chaves começando por uma breve introdução ao MOSFETS e suas principais características de comutação e em seguida é introduzido a técnica de acionamento Bootstrap.
- **Capítulo 5** - Aqui é apresentado as estratégias de chaveamento do conversor CC/CC, do inversor trifásico e do circuito snubber a fim da validação do correto funcionamento do barramento CC pulsado.
- **Capítulo 6** - É apresentada os principais resultados de simulação obtidos utilizando o software *PSIMTM*.
- **Capítulo 7** - Em seguida é apresentado a estrutura montada em laboratório, assim como dos valores e parâmetros dos práticos. Os resultados experimentais apresentados validam a propsta de modelo utilizado.

- **Capítulo 8** - Por fim, são apresentadas as conclusões gerais e as perspectivas de trabalhos futuros.

1.7 Publicação

As seguintes publicações foram realizadas durante o desenvolvimento deste trabalho:

- “High-Frequency Pulsating DC-Link Three-Phase Inverter Without Electrolytic Capacitor”
Autores: Vitorino, M.A.; Luciano F.S. Alves ; Correa, M.B.R.; Gutemberg G. dos Santos.
Publicado em: 2017 IEEE Applied Power Electronics Conference and Exposition (APEC).
- “Low-Frequency Power Decoupling in Single-Phase Applications: A Comprehensive Overview”
Autores: M. A. Vitorino, L. F. S. Alves, R. Wang and M. B. de Rossiter Corrêa.
Publicado em: IEEE Transactions on Power Electronics, vol. 32, no. 4, pp. 2892-2912, April 2017.
- “Influence of double-line frequency power oscillation in photovoltaic generator efficiency and H-bridge VSI performance”
Autores: L. F. S. Alves, M. A. Vitorino, M. A. P. Oliveira, M. B. R. Corrêa and G. S. Gonçalves.
Publicado em: 2016 IEEE Energy Conversion Congress and Exposition (ECCE), Milwaukee, WI, 2016, pp. 1-7.

2

Capacitores Eletrolíticos

Nas soluções usuais, utiliza-se como barramento CC um filtro constituído por capacitores eletrolíticos, pois a tensão fornecida pelo conversor CC/CC pode conter certas ondulações não desejadas. Dependendo da aplicação, o capacitor eletrolítico do barramento CC pode ter outras funções como o controle de corrente injetada na carga, por exemplo. O filtro pode ser formado basicamente por um capacitor ou banco de capacitores, onde o capacitor é carregado com a tensão de pico da entrada. Assim, se o projeto do filtro for realizado corretamente, a tensão de saída do filtro é uma tensão sem ondulações.

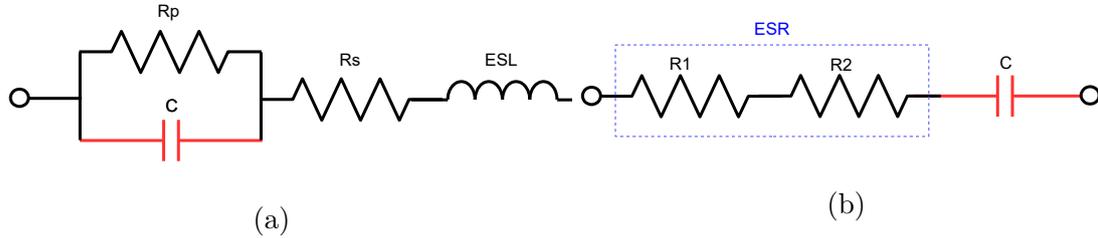
No que concerne aos capacitores eletrolíticos de alumínio (Al e-caps), estes podem fornecer alta capacitância para um custo relativamente baixo e, portanto, se destacam no armazenamento de energia para algumas aplicações como filtros, fontes de alimentação e circuitos de correção do fator de potência (INC., 2016). Porém os Al e-caps têm algumas falhas. Uma dessas deficiências é que eles têm uma Resistência Série Equivalente (ESR) relativamente alta, o que pode contribuir para desperdiçar energia e causar auto aquecimento. Outra lacuna é que, em relação à maioria de outros componentes eletrônicos (incluindo outros tipos de capacitores), os Al e-caps têm uma vida útil menor e uma menor confiabilidade.

2.1 Parâmetros e Circuito equivalente

O circuito equivalente de um capacitor eletrolítico de alumínio é mostrado na Fig. 2.1. Por causa dos elementos de design físico e da construção, um capacitor não possui apenas

capacitância, mas também possui uma resistência em série (R_s) e uma indutância equivalente (ESL), além de uma resistência paralela (R_p) que permite o fluxo de corrente.

Figura 2.1: Modelo de um capacitor real (a) e de sua resistência equivalente em série (b).



Fonte: elaborado pelo autor.

A capacitância de um Al e-cap, bem como de outros capacitores, pode ser expressa por :

$$C = \frac{\mu_0 \mu_r}{d} \quad (2.1)$$

onde μ_0 é a constante dielétrica no espaço livre $8.8542 \times 10^{-12} \text{ F/m}$;

μ_r é a constante dielétrica relativa do material;

A é área da superfície do dielétrico (m^2);

d é a espessura do dielétrico em (m)

O dielétrico de um capacitor tem uma alta resistência, o que impede a passagem de corrente CC. No entanto, algumas áreas defeituosas no dielétrico permitem que uma pequena quantidade dessa corrente passe, chamada corrente de fuga. A corrente de fuga é proporcional à capacitância e diminui à medida que a tensão é reduzida (INC., 2016). Se o capacitor estiver em temperaturas elevadas sem tensão aplicada por um longo período, pode ocorrer alguma degradação do dielétrico, o que pode resultar em uma corrente de fuga mais alta.

A indutância equivalente (ESL) de um capacitor é constante e é determinada principalmente pelos terminais de conexão e, portanto, o valor da indutância varia de acordo com a geometria física do capacitor. Geralmente a indutância não afeta a impedância total do capacitor, a menos que o capacitor esteja operando em altas frequências.

A resistência equivalente (ESR) gera dissipação de calor no capacitor devido aos ripples de corrente CA. A equação equivalente para a ESR é mostrada em 2.2 (INC., 2016).

$$ESR = R_1 + R_2 \quad (2.2)$$

Onde R_1 é a resistência em função da frequência e R_2 é a resistência em função da temperatura.

2.2 Vida Útil dos Capacitores Eletrolíticos

O tempo de vida útil e a confiabilidade esperada são fatores similares que estão relacionados a falhas de componentes, mas apresentam diferenças significativas. A vida útil diz quanto tempo um componente irá durar em condições específicas de operação (tensão aplicada, temperatura atual e operacional). É tipicamente um resultado do desgaste do componente. A confiabilidade, por outro lado, é uma medida estatística do número de falhas aleatórias esperadas, tipicamente devido a uma fraqueza latente em um componente específico. Considera-se que um capacitor eletrolítico atingiu o fim de sua vida quando já não funciona como previsto na sua aplicação. Essa redução de funcionalidade pode ser devido a uma diminuição da capacitância, aumento da ESR ou aumento do fator de dissipação (DF)(INC., 2016). Existem vários padrões internacionais que definem os critérios de falha para capacitores eletrolíticos. Dois desses padrões estão descritos na 2.1.

Tabela 2.1: Critérios de falha para capacitores eletrolíticos.

Tipo do teste	Normas	Condições	Critérios de falha
Resistência	IEC 60068-2	Teste à temperatura máxima e tensão nominal	<ul style="list-style-type: none"> • $DF > 1.3 \times$ Limite declarado. • Impedância $> 2 \times$ Limite declarado. • Mudança de capacitância mais do que 10%.
Vida útil	CECC 30301	Teste à temperatura máxima, tensão e corrente nominal	<ul style="list-style-type: none"> • $DF > 3 \times$ Limite declarado. • Impedância $> 3 \times$ Limite declarado. • Mudança de capacitância mais do que 30%.

2.3 Estimativa de Vida Útil

A estimativa da vida dos capacitores fornece uma avaliação de quanto tempo o capacitor funcionará antes que haja mudanças significativas em suas características. A estimativa de vida é baseada em estresse elétrico, estresse mecânico e temperatura. Os fabricantes de capacitores geralmente publicam os resultados do teste de estimativa de vida em uma determinada temperatura, tensão e ou ripple de corrente (derivado do inglês, Current Ripple). O processo de ajuste da vida esperada com base nas condições operacionais é feito a partir da versão da Equação de Arrhenius, que é uma fórmula usada para calcular as taxas de reação quando as taxas de reação dependem da temperatura (RENNIE, 2016). A equação específica geralmente é fornecida pelo fabricante do capacitor. Se a vida útil é reduzida devido à temperatura, a equação 1.13 deve ser utilizada.

$$VT = VT_b 2^{0.1(T_m - T_c)} \quad (2.3)$$

Onde VT é tempo de vida útil esperado;

VT_b é o tempo de vida base a uma temperatura elevada (determinada pelo fabricante);

T_m é a temperatura usada para estabelecer a vida útil de base;

T_c é a temperatura operacional da aplicação.

Se a vida útil é reduzida devido a uma tensão operacional, a equação 1.14 deve ser utilizada com um fato adicional (M_v).

$$VT = VT_b M_v 2^{0.1(T_m - T_c)} \quad (2.4)$$

Onde M_v é um multiplicador de tensão igual a 1 quando o capacitor está operando na tensão nominal (CC) e superior a 1 quando a tensão de operação menor que a nominal. Para determinar o multiplicador de tensão (M_v), usa-se:

$$M_v = 4.3 - 3.3 \frac{V_a}{V_n} \quad (2.5)$$

Onde V_a é a tensão aplicada e V_n é a tensão nominal.

A vida útil também pode ser afetada pelo ripple de corrente, que em um capacitor pode ser bastante significativo e, uma vez que a ESR dos capacitores eletrolíticos é relativamente alta, também proporciona um aumento de temperatura no capacitor devido ao aquecimento causado pela intensidade da ondulação de corrente ($I_{ripple}^2 \cdot ESR$). O aumento da temperatura será compensado (um pouco) pela capacidade do capacitor em dissipar o calor e isto depende da constante de radiação de calor β (em $\frac{w}{\circ C \cdot cm^2}$) e da área da superfície do capacitor A (em cm^2). O aumento de temperatura (ΔT) pode ser obtido de forma mais confiável medindo-o diretamente, mas também pode ser aproximado pela equação 2.6.

$$\Delta T = \frac{I_{ripple}^2 R_{ESR}}{\beta A} \quad (2.6)$$

O valor de β mudará de componente para componente assim como de circuito para circuito, mas uma boa estimativa pode ser obtida da 2.2 (JR, 2016), onde diâmetro D é expresso em (mm) e β em $\frac{w}{\circ C \cdot cm^2}$.

Tabela 2.2: Aproximação para constante de radiação de calor β do capacitor eletrolítico.

D	<5.0	6.3	8.5	10.0	12.5	16.0	18.0	20.0	22.0	25.0	30.0	35.0
β	2.18	2.16	2.13	2.10	2.50	2.0	1.96	1.93	1.88	1.84	1.75	1.66

A superfície de um capacitor cilíndrico pode ser calculada por:

$$A = \frac{\pi}{4} D(D + 4L) \quad (2.7)$$

Onde D é o diâmetro do cilindro e L é o seu comprimento.

Para estimar a vida útil global do capacitor na temperatura de operação, na tensão de operação e para um determinado ripple de corrente, usa-se a seguinte equação:

$$VT = VT_b M_v 2^{0.1(T_m - T_c)} 2^{\frac{\Delta T_0 - \Delta T}{\Delta T_0}} \quad (2.8)$$

Onde ΔT_0 é o aumento da temperatura devido a ondulação de corrente nominal.

2.4 Exemplo de Cálculo de Vida Útil

O seguinte exemplo estima o tempo de vida útil de um capacitor de $100 \mu F$ da Nippon Chemi-con EKXG451ELL101MM40S (NICHICON, 2016). Na 2.3 são mostradas suas

características avaliadas, bem como suas características operacionais.

Tabela 2.3: Características do capacitor da Nippon Chemi-con EKXG451ELL101MM40S.

Característica	Valor
Tempo de vida base (VT_b)	10000 horas
Tensão Nominal (V_n) (2 chvaes)	450 V
Tensão de operação (V_a)	400 V
Temperatura de base (T_m)	105 °C
Temperatura de operação (T_c)	85 °C
Ondulação de Corrente nominal (I_{rr})	0,8 A
Ondulação de Corrente de operação (I_r)	0,96 A
Resistência Série Equivalente ($R - ESR$)	33.18 Ω
Constante de Radiação de Calor (β)	1,96 $\frac{w}{\text{°C.cm}^2}$
Área de superfície (A)	25.16 cm^2

Iniciando pelo cálculo do multiplicador de tensão (M_v), tem-se:

$$M_v = 4.3 - 3.3 \frac{V_a}{V_n} = 4.3 - 3.3 \frac{400}{450} = 1.37 \quad (2.9)$$

Em seguida calcula-se aumento da temperatura (ΔT_0) devido a ondulação de corrente (I_{rr}) como mostrado na equação 1.16.

$$\Delta T = \frac{I_{rr}^2 R_{ESR}}{\beta A} = \frac{(0,8)^2 \frac{0,24}{2\pi 120 \text{Hz} 100 \mu\text{F}}}{1,96 \frac{\pi}{4} 1,8(1,8 + 4.4)} = \frac{0,64.3,18}{1,98.25,16} = 0,041^\circ\text{C} \quad (2.10)$$

Calculando agora o aumento de temperatura (ΔT), tem-se:

$$\Delta T = \frac{I_r^2 R_{ESR}}{\beta A} = \frac{(0,96)^2 \frac{0,24}{2\pi 120 \text{Hz} 100 \mu\text{F}}}{1,96 \frac{\pi}{4} 1,8(1,8 + 4.4)} = 0,059^\circ\text{C} \quad (2.11)$$

Por fim tem-se o tempo de vida útil estimado:

$$VT = VT_b M_v 2^{0.1(T_m - T_c)} 2^{\frac{\Delta T_0 - \Delta T}{\Delta T_0}} = 1000.1,37.2^2 .2^{-0,44} = 40388h. \quad (2.12)$$

Assim o tempo de vida útil estimado para o capacitor utilizado é de 40.388,00 horas de funcionamento.

2.5 Conclusão

Pode-se claramente perceber que o tempo de vida útil de um capacitor eletrolítico não é compatível com o tempo de vida útil de um painel fotovoltaico (25 anos em média). Assim, é desejado que o PV atinja seu tempo de vida útil antes que o inversor, uma vez que o este último é o elemento mais caro do sistema fotovoltaico. Portanto, é necessário substituir barramentos CC convencionais por soluções como a da proposta apresentada neste trabalho.

3

Componentes Magnéticos

Neste trabalho, o dimensionamento dos componentes magnéticos, como o transformador e indutor, é de grande importância devido a escolha do conversor ponte completa como conversor CC/CC, ao estágio necessário de elevação de tensão, a isolação, filtro de entrada entre o PV e o conversor CC/CC, etc. As características ideais de um componente magnético são: resistência nula, capacitância parasita nula, densidade de campo magnético (B) não-saturável (eventualmente pode-se desejar uma corrente de magnetização e indutância de dispersão nulas).

O desejo de não-saturação conduz a um elemento com núcleo de ar, o que implica num número elevado de espiras, com fio fino e, assim, elevada resistência e capacitância parasita. O uso de fios com maior secção transversal leva a enrolamentos muito grandes e pesados. É necessário, assim, o uso de algum núcleo magnético permitindo, com número razoável de espiras e volume aceitável, obter-se a indutância desejada, com reduzido fluxo disperso. O correto dimensionamento de um elemento magnético, seja ele um indutor ou um transformador não é um trabalho simples e seu sucesso depende em grande parte da quantidade e qualidade das informações disponíveis a respeito do núcleo a ser utilizado.

A principal característica de um material ferromagnético a ser usado na construção de um elemento magnético utilizado em um conversor CC/CC, como o conversor ponte completa deste trabalho, é a capacidade de trabalhar em frequência elevada sem apresentar elevadas perdas, o que significa possuir um laço de histerese com pequena área. Desejáveis

são o maior valor possível de densidade de campo magnético, B_{max} , bem como uma elevada permeabilidade. Além disso, a resistividade do núcleo deve ser elevada a fim de reduzir as perdas relativas às correntes induzidas no próprio núcleo.

O material utilizado, neste trabalho, é o ferrite. Este material possui valores relativamente reduzidos de B_{max} (entre 0,3T e 0,5T), porém apresenta baixas perdas em alta frequência e facilidades de manuseio e escolha, em função dos diversos tipos de núcleos disponíveis. Também possui resistividade muito maior do que os materiais metálicos (da ordem de 100 $kW.cm$) o que implica em perdas por correntes de Foucault desprezíveis quando operando com um campo magnético alternado.

Os núcleos de ferrite tipo "pot core" (e seus derivados tipos RM, PM, EP, cube core, etc.) são geralmente usados na construção de indutores e transformadores para pequenas e médias potências, com baixa dispersão, devido à sua forma fechada.

Os núcleos do tipo U e UI são utilizados em transformadores de alta tensão, devido à possibilidade de alocar-se cada enrolamento numa das pernas, facilitando a isolação, à custa de um maior fluxo disperso.

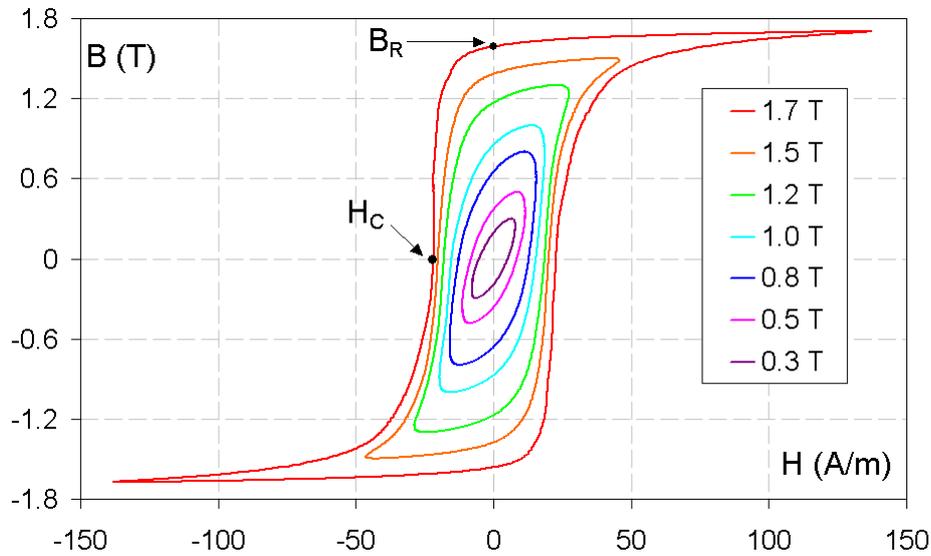
Aqui são escolhidos os núcleos do tipo EE para o transformador do conversor CC/CC e para o indutor do filtro de entrada. Este tipo de núcleo apresenta valores mais elevados de B_{max} , sendo mais usados em aplicações de potência mais elevada.

3.1 Histerese, Saturação e Fluxo Residual

A Fig. 3.1 mostra a relação entre B, densidade de campo magnético [$T = Wb/m^2$] e H, campo magnético [$A.esp/m$], quando uma tensão alternada é aplicada ao enrolamento que magnetiza o núcleo. B é proporcional ao fluxo magnético [Wb] e H é proporcional à corrente que circula pelo enrolamento. Nota-se que o caminho seguido quando o fluxo (ou B) cresce não é o mesmo seguido quando o fluxo diminui. Este comportamento é chamado histerese.

Quando $H = 0$, a densidade de fluxo não é zero, tendo um valor $+ B_r$, chamada magnetização remanente, ou densidade de fluxo residual. Quando $B = 0$, o campo magnético não é nulo, mas vale $\pm H_c$, parâmetro chamado força coerciva do material. A inclinação $\frac{\Delta B}{\Delta H}$ é a permeabilidade incremental do material, μ_i , a qual tende a μ_0 (permeabilidade do vácuo)

Figura 3.1: Uma família de curvas de histerese medida com uma densidade de fluxo modulada sinusoidal com frequência de 50 Hz e campo magnético variável de 0,3 T a 1,7 T.



Fonte: <https://pt.wikipedia.org/wiki/Histerese>.

quando B tende para seu valor máximo, B_{\max} , que caracteriza a saturação do núcleo. Na maior parte das aplicações, a operação na região de saturação é evitada. A razão para isso é que, na saturação ocorre uma drástica redução na indutância e, associado a isso, ocorrem grandes elevações de corrente (associada a H) para pequenas variações de tensão (associada a B). Para um transformador, a saturação significa ainda uma redução no fator de acoplamento entre os enrolamentos, uma vez que o núcleo perde sua característica de menor relutância em relação ao ar. O dimensionamento de um elemento magnético é feito, via de regra, em situações de regime permanente, ou seja, considerando-se que a tensão média nos terminais do dispositivo é nula e a densidade de campo magnético excursiona entre os valores simétricos de B .

3.2 Equacionamento Básico de Projeto

Pela lei de indução de Faraday, diante da presença de um fluxo magnético (N) variável no tempo, devido a corrente que circula nas espiras de um indutor, é induzida uma tensão a qual pode ser definida por:

$$E = -N_p \frac{d\phi}{dt} \quad (3.1)$$

Onde:

E = tensão induzida nos terminais do enrolamento;

N_P = número de espiras do enrolamento;

ϕ = fluxo magnético.

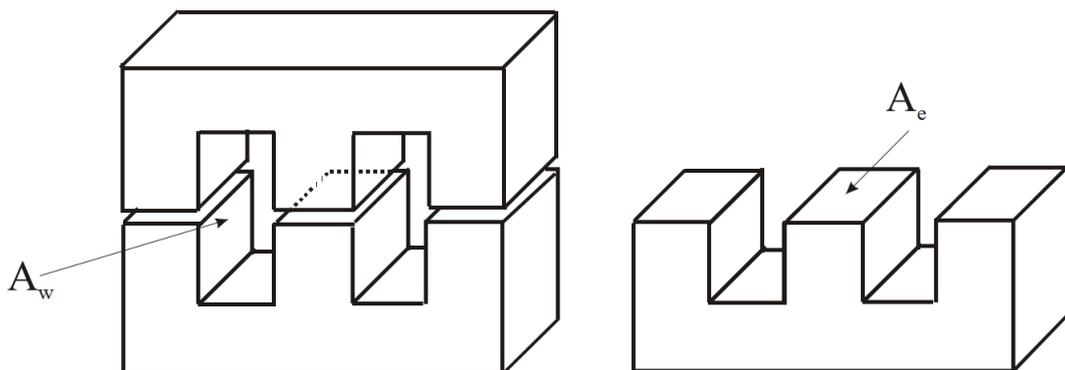
O fluxo magnético é definido pela densidade de fluxo magnético que cruza uma superfície plana, representado por:

$$d\phi = A_e \frac{dB}{dt} \quad (3.2)$$

Ondde: A_e = Área efetiva (cortada pelo fluxo magnético) mostrado na Fig. 3.2;

B = Densidade de fluxo magnético.

Figura 3.2: Representação do núcleo tipo EE.



Fonte: elaborada pelo autor

As expressões que definem a potência de entrada e a potência de saída, podem ser escritas como:

$$P_{in} = EI_{med} \quad (3.3)$$

$$P_{out} = P_{in} \cdot n \quad (3.4)$$

Através do fator de forma k_t que estabelece a relação entre corrente RMS do primário com a corrente média de entrada é dada pela expressão 3.5.

$$I_{Pmax} = \frac{I_{in(max)}}{k_t} = \frac{P_{out(max)}}{E_{min}k_t} \quad (3.5)$$

Substituindo 3.2 em 3.1, tem-se:

$$E = N_p \cdot A_e \frac{dB}{dt} \quad (3.6)$$

ou ainda,

$$E = N_p \cdot A_e \frac{\Delta B}{t_1} \quad (3.7)$$

Onde $t_1 = D \cdot T = D/f$;

D = razão cíclica;

T = período de chaveamento;

f = frequência de chaveamento.

Então, substituindo t_1 em 3.2, obtém-se:

$$E = N_p \cdot A_e \cdot \Delta B \cdot \frac{f}{D} \quad (3.8)$$

Assim, pode-se definir a área efetiva A_e como:

$$A_e = \frac{D \cdot E}{N_p \cdot \Delta B \cdot f} \quad (3.9)$$

Pela lei de Ampère:

$$N_p \cdot i_{p(ef)} = A_p \cdot J = I_{total} \quad (3.10)$$

Onde:

J = densidade de corrente;

N_p = número de espiras do primário;

$i_{p(ef)}$ = corrente eficaz no primário;

A_p = Área ocupada pelo enrolamento primário definida por:

$$A_p = k_p \cdot k_w \cdot A_w \quad (3.11)$$

Onde:

k_w = fator de utilização da área do enrolamento;

k_p = fator de utilização do primário;

A_w = área da janela do núcleo;

Assim,

$$N_p \cdot i_{p(ef)} = k_p \cdot k_w \cdot A_w \cdot J \quad (3.12)$$

Isolando A_w , tem-se:

$$A_w = \frac{N_p \cdot i_{p(ef)}}{k_p \cdot k_w \cdot J} \quad (3.13)$$

Considerando o fator de forma k_t , tem-se:

$$A_w = \frac{N_p \cdot P_{out}}{E_{mim} \cdot k_t \cdot k_w \cdot k_p \cdot J \cdot n} \quad (3.14)$$

Assim, podemos definir o produto das áreas $A_e \cdot A_w$, como mostra a expressão 3.15.

$$A_w \cdot A_e = \frac{D \cdot P_{out}}{f \cdot k_t \cdot k_w \cdot k_p \cdot J \cdot \Delta B \cdot n} \quad (3.15)$$

3.3 Dimensionamento

Para o dimensionamento de dois conversores (A e B) CC/CC ponte completa, os seguintes dados foram utilizados:

Tabela 3.1: Parâmetros do projeto do transformador.

Parâmetros	Conversor A	Conversor Bs	Descrição
Potência	1200 W	600 W	Potência
V_{pmin}	40 V	30 V	Tensão Mínima no primário
V_{pmax}	100 V	100 V	Tensão Máxima no primário
V_s	400 V	400 V	Tensão no secundário
f	40 kHz	40 kHz	Frequência
i_{pef}	17.2 A	11.6 A	Corrente RMS no primário
i_{sef}	17.2 A	0.86 A	Corrente RMS no secundário
D	1	1	Razão cíclica
k_t	1	1	Fator de forma
J	300 A/cm ²	300 A/cm ²	Densidade de corrente
k_w	0.4	0.4	Fator de utilização da área do enrolamento
k_p	0.4	0.4	Fator de utilização do primário
B	17.2 A	11.6 A	Densidade de fluxo magnético
n	0.98 A	0.98 A	Eficiência

Utilizando os dados da Tabela 3.1 e a expressão 3.15, foi possível calcular o produto das áreas $A_e.A_w$, e assim escolher o tipo do núcleo EE:

Núcleo Transformador A: NEE (55/28/21)

Núcleo Transformador B: NEE (42/21/20)

Núcleo Indutor A e B: EE42/15/7

O segundo passo dar-se ao calcular o número de espiras mínimas do primário:

$$N_{pmin} = \frac{D.E}{A_e.B_{max}.f} \quad (3.16)$$

O terceiro passo é calcular o enrolamento secundário. Para isso, a tensão no secundário do transformador, V_S , deve ser igual a soma da tensão de saída V_{out} mais a queda de tensão no diodo (V_D), ou seja:

$$V_s = V_{out} + V_D \quad (3.17)$$

Para garantir a desmagnetização, os Volts aplicados no primário devem ser iguais ao do secundário, considerando a razão cíclica máxima:

$$\frac{N_p}{N_s} \cdot V_s(1 - D_{max}) = V_p \cdot D_{max} \quad (3.18)$$

Isolando N_s , tem-se:

$$N_s = N_p \cdot \frac{V_s(1 - D_{max})}{V_p \cdot D_{max}} \quad (3.19)$$

Substituindo $V_s = V_{out} + V_D$ e $V_p = E_{min}$, tem-se:

$$N_s = N_p \cdot \frac{(V_{out} + V_D)(1 - D_{max})}{E_{min} \cdot D_{max}} \quad (3.20)$$

Sendo N_s o número total de espiras do secundário. Em caso de enrolamentos com tapes central, o número de espiras para obter-se este será a metade de N_s .

Assim, usando as expressões 3.16 e 3.20, obtem-se os seguintes valores:

$N_{Pmin}=3$ e $N_S=10$. $N_{Pmin}=30$, para o conversor de 1200 W. $N_{Pmin}=2$ e $N_S=14$. $N_{Pmin}=28$, para o conversor de 600 W.

3.4 Conclusão

O dimensionamento dos componentes magnéticos é de extrema importância para o correto funcionamento do projeto. A técnica de dimensionamento aqui apresentada, i.e., a técnica do produto das áreas, $A_w \cdot A_e$, é um método aceitável, no entanto é uma aproximação, e, portanto, fornece uma ideia de qual núcleo escolher. Normalmente, alguns ajustes devem ser realizados após o dimensionamento numérico dos magnéticos. Alguns outros parâmetros devem ser levados em consideração quando outros fatores como CEM e temperatura são partes consideráveis do projeto. No entanto, análises mais complexas, através de softwares dedicados, são necessárias para inserção destes fatores no projeto.

4

Driver de Acionamentos

Para desenvolvimento do conversor CC/CC, optou-se por MOSFETs N-CH 500V 60 A, como chaves à constituírem o conversor ponte completa. Isso implica, para o correto funcionamento dos MOSFETS, no desenvolvimento dos Drivers de acionamentos, ou do inglês; Gate Drivers. Características

4.1 MOSFETs

A popularidade dos MOSFETs para aplicações em eletrônica de potência são impulsionadas por duas vantagens. Um desses benefícios é a facilidade de uso dos MOSFETs em aplicações de comutação em alta frequência. Os transistores MOSFET são mais simples de controlar que um Transistor de Junção Bipolar (TJB), pois ao contrário do TJB, os MOSFETs não precisam de uma corrente contínua para manter o dispositivo em estado de condução. Quando os MOSFETs são acionados, a corrente de acionamento é praticamente zero. Além disso, a carga de controle e, conseqüentemente, o tempo de armazenamento nos MOSFETs é bastante reduzido. Como resultado, a tecnologia MOSFET permite usar circuitos de acionamento muito mais simples e eficientes, com benefícios econômicos significativos em comparação aos dispositivos bipolares.

Além disso, é especialmente importante destacar, que os MOSFETs têm uma natureza resistiva. A tensão V_{ds} (drain to source voltage) nos terminais de um MOSFET é uma função linear da corrente que circula no semicondutor. Esta relação linear é caracterizada

pelo $RDS_{(on)}$ do MOSFET e conhecido como resistência ON, ou resistência em condução. $RDS_{(on)}$ é constante para uma dada tensão V_{gs} (gate to source voltage) e temperatura.

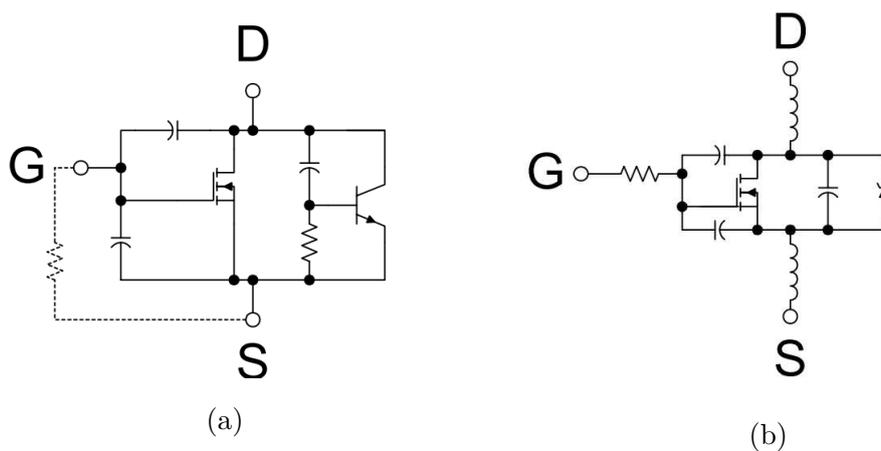
Existem vários modelos disponíveis para ilustrar como funciona um MOSFET, mas encontrar a representação certa pode ser difícil. A maioria dos fabricantes dos MOSFETs fornecem modelos Spices para seus dispositivos, mas esses modelos dizem muito pouco sobre as armadilhas de aplicação que os projetistas precisam enfrentar na prática.

O primeiro modelo mostrado na Fig. 4.1a) baseia-se na estrutura real do dispositivo MOSFET e pode ser usado principalmente para análise DC. O modelo da Fig. 4.1a) pode ser utilizada de forma muito eficaz para modelar a característica de degradação induzida pelo $\frac{dV}{dt}$ de um MOSFET. Ele mostra os dois principais mecanismos de decomposição, ou seja, a ativação induzida por $\frac{dV}{dt}$ do transistor bipolar parasita presente em todos os MOSFETs de potência e a ativação induzida por $\frac{dV}{dt}$ do canal, em função da impedância de terminação do gate. Os MOSFETs de potência modernos são praticamente imunes ao disparo por $\frac{dV}{dt}$.

Deve-se mencionar também que o transistor bipolar parasítico desempenha outro papel importante. Sua junção base-coletor é o famoso *bodydiode* do MOSFET.

Na Fig. 4.1b) é representado o modelo de comutação do MOSFET. Nele estão os componentes parasitas mais importantes que influenciam o desempenho da comutação do dispositivo.

Figura 4.1: Modelos (a) e (b) de comutação do MOSFET.



Fonte: elaborado pelo autor.

Quando a operação em modo de chaveamento do MOSFET é considerada, o objetivo é alternar entre seus modos (ON e OFF) no menor tempo possível. Como os tempos práticos

de comutação dos MOSFETs (aproximadamente 10 ns a 60 ns) são pelo menos duas a três ordens de magnitude maiores que o tempo teórico de comutação (aproximadamente 50 ps a 200 ps), parece importante entender a discrepância. Referindo-se novamente aos modelos na 4.1, observe-se que os dois modelos incluem três capacitores conectados entre os três terminais do dispositivo. Em última análise, o desempenho de comutação do transistor MOSFET é determinado pela rapidez com que as tensões podem ser alteradas através desses capacitores.

Portanto, em aplicações de comutação em alta velocidade, os parâmetros mais importantes são as capacitâncias parasitas do dispositivo. Dois destes capacitores, os capacitores CGS (gate to source capacitance) e CGD (gate to drain capacitance) correspondem à geometria real do dispositivo, enquanto o capacitor CDS (drain to source capacitance) é a capacitância do diodo coletor de base do transistor bipolar parasita (*bodydiode*). Infelizmente, nenhum dos valores de capacitância mencionados acima é definido diretamente nas folhas de dados do transistor. Seus valores são dados indiretamente pelos valores dos capacitores $CISS$, $CRSS$ e $COSS$ e devem ser calculados como mostrado nas equações:

$$CGD = CRSS \quad (4.1)$$

$$CGS = CISS - CRSS \quad (4.2)$$

$$CDS = COSS - CRSS \quad (4.3)$$

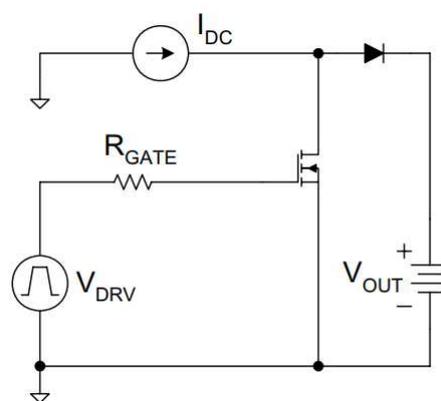
Outras complicações são causadas pelo capacitor CGD , porque ele é colocado no caminho de feedback entre a entrada e a saída do dispositivo. Assim, na prática, seu valor eficaz pode ser muito maior, dependendo do V_{ds} do MOSFET. Esse fenômeno é chamado de efeito *Miller*.

Outro importante parâmetro é a resistência intrínseca do gate, R_g . Esta resistência parasita descreve a resistência associada à distribuição do sinal do gate dentro do dispositivo. Sua importância é muito significativa em aplicações de chaveamento de alta velocidade porque ela se encontra entre o Driver e o capacitor de entrada do dispositivo, impedindo diretamente os tempos de chaveamento e a imunidade ao $\frac{dV}{dt}$ do MOSFET. A resistência R_g , não é especificada nas folhas de dados, mas em certas aplicações pode ser uma característica

muito importante do dispositivo.

O modelo simplificado de um célula de comutação é mostrado na Fig.4.2, onde a fonte de corrente CC é representada por um indutor. Sua corrente pode ser considerada constante durante o curto intervalo de comutação. O diodo fornece um caminho para a corrente durante o OFF time do MOSFET e grampeia o terminal do dreno do dispositivo à uma tensão de saída simbolizada pela bateria (V_{OUT}).

Figura 4.2: Modelo simplificado de uma célula de comutação.



Fonte:elabaorada pelo autor

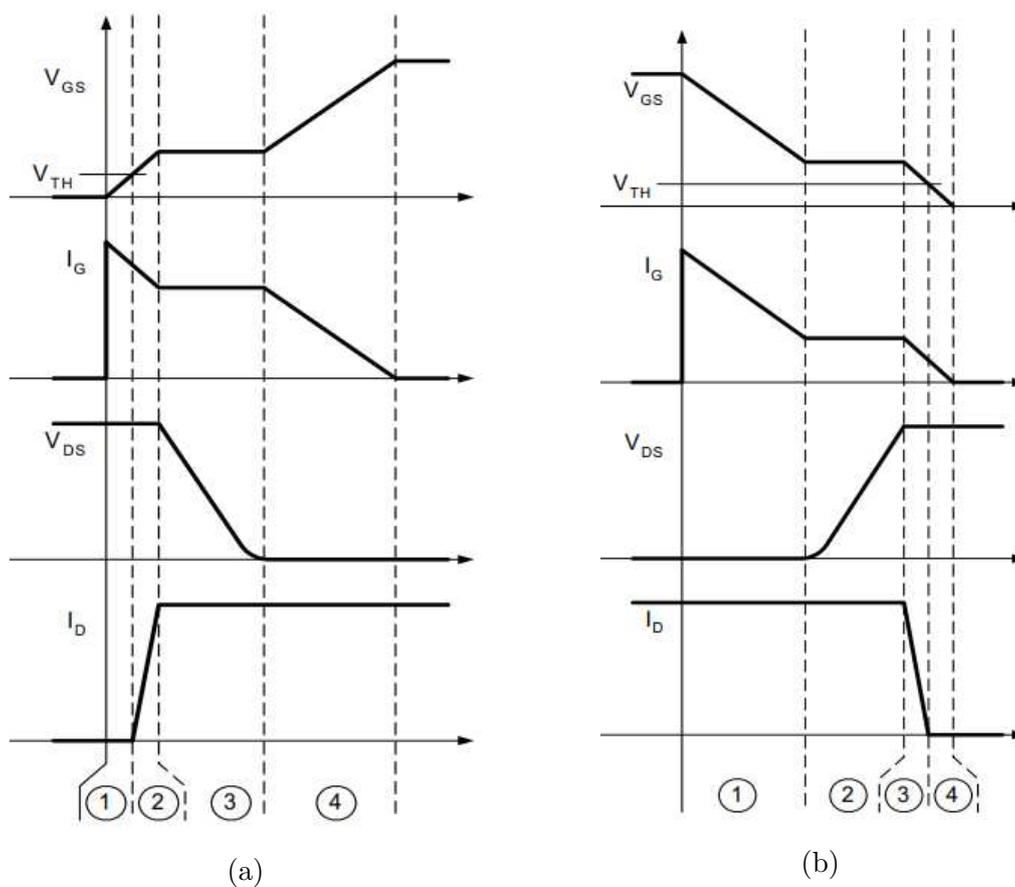
4.1.1 Processo de Ativação do MOSFET

O processo de ativação (turn-on) do MOSFET pode ser dividido em quatro intervalos, conforme ilustrado na Fig.4.3a.

Na primeira etapa (1), a capacitância de entrada do dispositivo é carregada de 0 V a V_{th} . Durante este intervalo, a maior parte da corrente do gate está carregando o capacitor CGS . Uma pequena corrente está fluindo através do capacitor CGD também. Como a tensão aumenta no terminal do gate e a tensão da capacitância CGD tem que ser ligeiramente reduzida. Este período é chamado de turn-on delay, porque a corrente de dreno e a tensão de dreno do dispositivo permanecem inalteradas.

Uma vez que a tensão V_{gs} atinge a tensão V_{th} , o MOSFET está pronto para carregar a corrente. No segundo intervalo (2), V_{gs} está subindo de V_{th} para o nível do Miller plateau, VGS-Miller. Esta é a operação linear do dispositivo quando a corrente é proporcional à tensão do gate. No lado do gate, a corrente está fluindo para os capacitores CGS e CGD ,

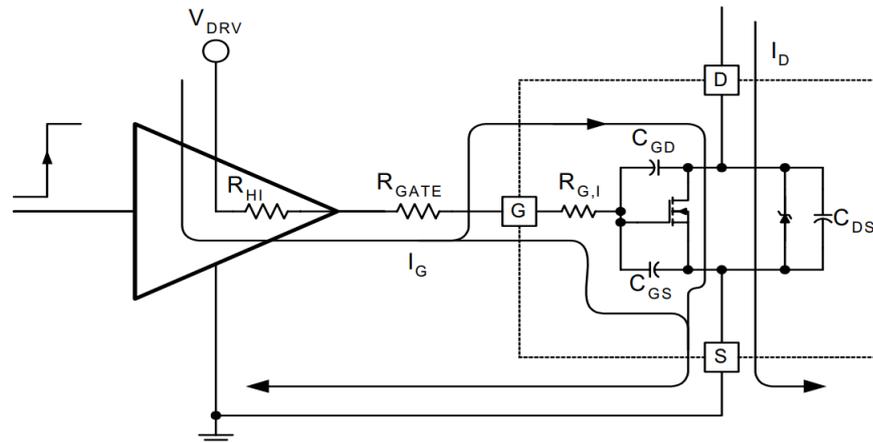
Figura 4.3: O processo de ativação (a) e desativação (b) do MOSFET.



Fonte: (INC., Oline).

assim como no primeiro intervalo de tempo e a tensão V_{gs} está aumentando. No lado de saída do dispositivo, a corrente de dreno está aumentando, enquanto a tensão de dreno na fonte permanece no nível anterior (V_{ds} , desligado). Isso pode ser entendido olhando para o esquema na Fig. 4.2. O caminho da corrente de gate e carregamento das capacitâncias de entradas, durante a ativação do MOSFET, são mostradas na Fig. 19.

Figura 4.4: Caminho da corrente de gate durante o turn-on do MOSFET.



Fonte:(INC., Oline)

Até que toda a corrente seja transferida para o MOSFET e o diodo seja desligado completamente para poder bloquear a tensão reversa através de sua junção pn, a tensão de dreno deve permanecer no nível de tensão de saída. Entrando no terceiro período (3), o gate já está carregado com tensão suficiente (V_{gs} , Miller) para transportar toda a corrente de carga e o diodo retificador é desligado. Isso agora permite que a tensão V_{ds} caia. Enquanto isso, a tensão da fonte de alimentação permanece estável. Esta é a região do platô de Miller da tensão V_{gs} . Toda a corrente do gate disponível a partir do Driver é desviada para descarregar o capacitor C_{GD} para facilitar a rápida mudança de tensão V_{ds} . A corrente do dreno do dispositivo permanece constante, uma vez que agora é limitada pelo circuito externo, ou seja, pela fonte de corrente CC.

Na última etapa (4) de ativação, o objetivo é melhorar totalmente o canal condutor do MOSFET aplicando uma maior tensão V_{gs} . A amplitude final da tensão V_{gs} determina a resistência máxima do dispositivo durante o tempo de ativação. Portanto, neste quarto intervalo, a tensão V_{gs} é aumentada de V_{gs} (Miller) para o seu valor final V_{gs} (final).

Isto é obtido através do carregamento dos capacitores C_{GS} e C_{GD} , assim a corrente

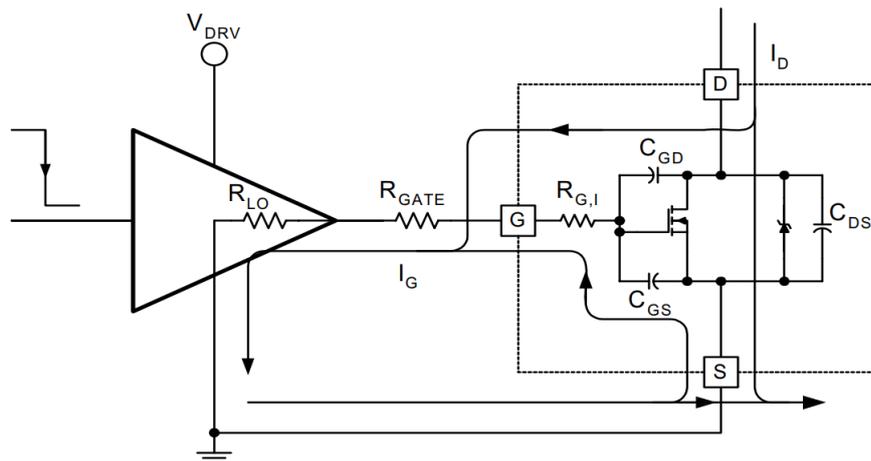
do gate é agora dividida entre os dois componentes. Enquanto esses capacitores estão sendo carregados, a corrente do dreno ainda é constante, e a tensão V_{ds} está diminuindo ligeiramente à medida que a resistência de ativação do dispositivo está sendo reduzida.

4.1.2 Processo de Desativação do MOSFET

A descrição do procedimento de desligamento do MOSFET é basicamente o rastreamento das etapas de ativação como descrito anteriormente. Começa com V_{gs} sendo igual a $V_{gs}(\text{final})$, e a corrente no dispositivo é a corrente de carga total representada por I_{DC} na Fig.4.2 V_{gs} . A tensão V_{ds} está sendo definida por I_{DC} e $R_{DS(on)}$. Os quatro passos de desligamento são mostrados na Fig.4.3b.

O primeiro intervalo de tempo (1) é o atraso no desligamento necessário para descarregar a capacitância C_{ISS} de seu valor inicial para o nível de platô de Miller. Durante este tempo, a corrente do gate é fornecida pelo próprio capacitor C_{ISS} e está fluindo através dos capacitores C_{GS} e C_{GD} do MOSFET. A tensão V_{ds} do dispositivo está aumentando ligeiramente. A corrente no dreno é ainda inalterada. O caminho da corrente de gate e carregamento das capacitâncias de entradas, durante a desativação do MOSFET, são mostradas na Fig.4.5.

Figura 4.5: Caminho da corrente de gate durante o turn-off do MOSFET.



Fonte:(INC., Oline)

No segundo período (2), a tensão V_{ds} do MOSFET sobe do $I_D \times R_{DS(on)}$ para o V_{ds} final, nível off, onde é grampeada na tensão de saída pelo diodo retificador de acordo com o esquema simplificado da Fig.4.2. Durante este intervalo de tempo, que corresponde ao platô de Miller na tensão V_{gs} , a corrente do gate é estritamente a corrente de carga do capacitor

CGD porque a tensão V_{gs} é constante. A corrente de dreno total ainda é igual a corrente de carga, ou seja, a corrente do indutor representada pela fonte de corrente CC na Fig.4.2.

O início do terceiro intervalo de tempo (3) é iniciado pela ativação do diodo, fornecendo assim uma rota alternativa para a corrente de carga. A tensão do gate continua a cair de V_{gs} (Miller) para V_{th} . A maior parte da corrente do gate está saindo do capacitor CGS, porque o capacitor CGD está praticamente totalmente carregado, fruto do processo do intervalo de tempo anterior. O MOSFET está na operação linear e a queda da tensão em V_{gs} faz com que a corrente de dreno diminua próximo à zero no final desse intervalo. Enquanto isso, a tensão $V_{ds(off)}$ é constante.

O último passo (4) do procedimento de desligamento é descarregar totalmente os capacitores de entrada do dispositivo. A tensão V_{gs} é reduzida ainda mais até atingir 0 V. A maior parte da corrente do gate, similarmente ao terceiro intervalo de tempo de desligamento (3), é fornecida pelo capacitor CGS. A corrente de dreno e a tensão de dreno no dispositivo permanecem inalteradas.

Resumindo os resultados, pode-se concluir que o transistor MOSFET pode ser alternado entre os estados de impedância mais alta e mais baixa (ativação ou desativação) em quatro intervalos de tempo. Os comprimentos de todos os quatro intervalos de tempo são uma função dos valores de capacitância parasita, a variação de tensão necessária através deles e a corrente do driver.

Isso enfatiza a importância da seleção adequada dos componentes e do projeto do Gate Driver em aplicações de comutação em alta velocidade e alta frequência.

4.2 Bootstrap Gate Driver

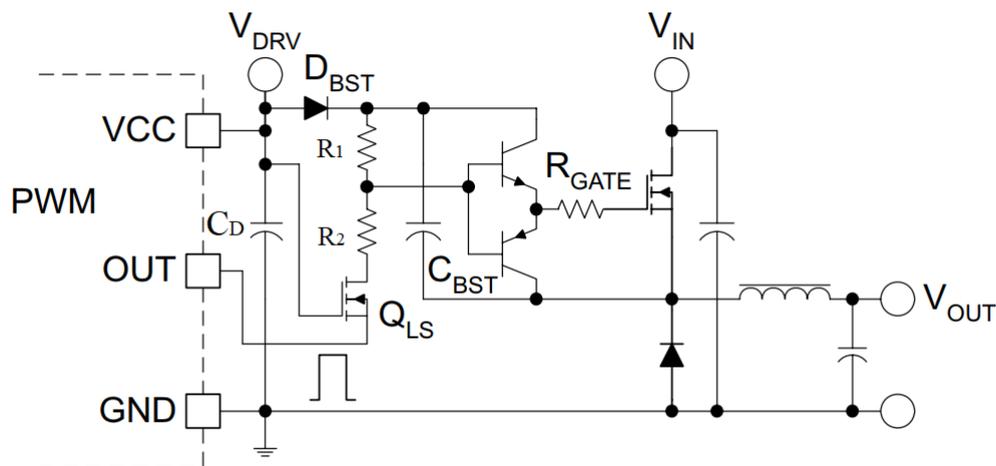
Quando os níveis de tensão de entrada não permitem o uso de drivers diretamente conectados ao gate do MOSFET, o princípio da técnica de acionamento bootstrap pode ser considerado. Este método utiliza um gate driver e um circuito de polarização, ambos referenciados a source do MOSFET de potência.

O driver e o circuito de polarização podem ser implementados por elementos de circuito de baixa tensão, já que a tensão de entrada nunca é aplicada em seus componentes. O

driver e o sinal de controle referenciado ao terra estão ligados por um circuito de mudança de nível, que deve tolerar uma tensão razoavelmente alta e as consideráveis correntes de comutação geradas pelos elementos capacitivos entre o high side (referência flutuante) e o low side (referenciados ao terra).

Uma implementação típica representando o princípio de bootstrap é exibida na Fig. 4.6. O gate driver é representado pelo capacitor C_{PWM} e pelo pino de saída, PWM. Os blocos de construção do Bootstrap podem ser facilmente reconhecidos. O circuito de deslocamento de nível é composto pelo diodo de bootstrap D_{BST} , R_1 , R_2 e o transistor de deslocamento de nível, Q_{LS} . O capacitor do bootstrap (C_{BST}), um driver formado por dois transistores bipolar ligados em uma configuração chamada totem-pole e o resistor gate (R_{GATE}) (ambos referenciados ao ponto flutuante do source do MOSFET).

Figura 4.6: Bootstrap driver.



Fonte: adaptado de (INC., Oline)

Essa implementação específica pode ser usada com muita eficiência em sistemas de 12 V a aproximadamente 24 V com controladores PWM simples de baixo custo que não possuem driver flutuante integrado. Além disso, o circuito de deslocamento de nível é um pequeno transistor NMOS não drena nenhuma corrente do C_{BST} durante o tempo em que o MOSFET está no estado ON. Isto é um recurso importante para manter a alta eficiência do deslocador de nível.

A operação pode ser resumida da seguinte forma: quando a saída PWM fica alta para ligar o MOSFET, o transistor deslocador de nível desliga-se. A corrente de base atravessa

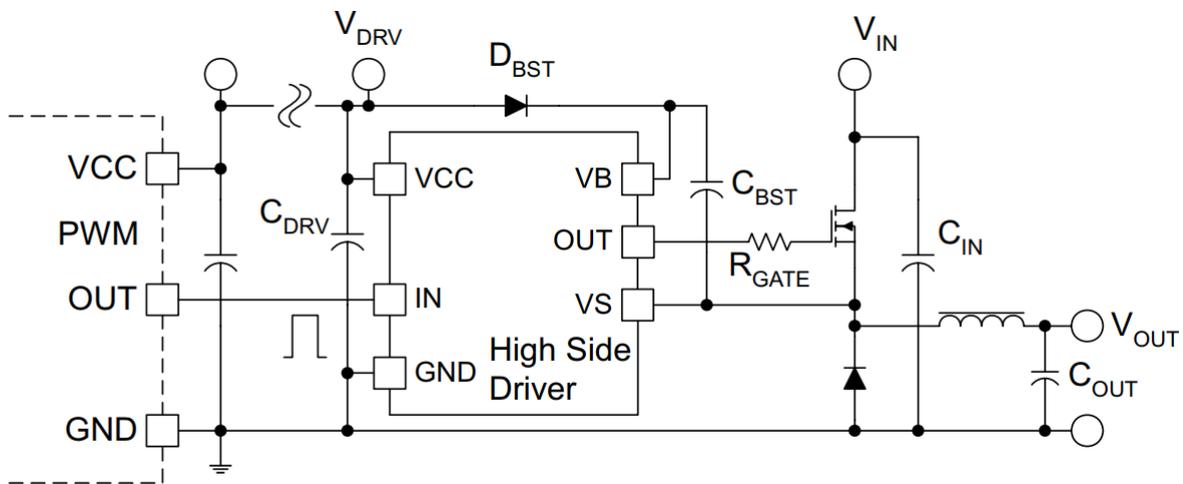
R_1 e vai para o transistor npn superior do driver (totem-pole) e então o MOSFET é ligado. A carga do gate é fornecida pelo capacitor C_{BST} .

Quando o interruptor é ligado, a tensão da source tende a deslocar-se para a tensão de entrada (V_{IN}). O diodo de bootstrap e o transistor bloqueiam a tensão de entrada e a energia do driver é fornecida pelo capacitor de bootstrap. No desligamento, a saída PWM fica baixa, ligando o transistor deslocador de nível.

A corrente começa a fluir em R_1 e R_2 em direção ao terra e o transistor pnp inferior do driver totem-pole é ligado. A medida que o gate do MOSFET é descarregado, a tensão Vds aumenta e a source transita para ao terra, permitindo que o retificador seja ligado. Durante o desligamento do MOSFET, o capacitor de bootstrap é recarregado no nível da tensão do driver (V_{DRV}) através do diodo de bootstrap. Esta corrente é fornecida pelo capacitor C_D do circuito referenciado ao terra e passa pelo D_{BST} , C_{BST} e pelo diodo da célula de comutação. Este é o princípio operacional básico da técnica de bootstrap.

A Fig.4.7 representa uma aplicação típica da técnica bootstrap.

Figura 4.7: Aplicação típica da técnica bootstrap.



Fonte: adaptado de (INC., Oline)

Existem quatro capacitores indicados no esquema da Fig.4.7. No entanto o capacitor de bootstrap, C_{BST} , é o componente mais importante do ponto de vista do projeto, uma vez que ele tem que filtrar a alta corrente de pico que carrega o gate do MOSFET, enquanto fornece polarização para o ponto flutuante referenciado à source. Em cada ciclo de comutação durante a operação normal, o capacitor de bootstrap fornece a carga total de gate (Q_G)

para ligar o MOSFET, a carga de recuperação reversa (Q_{RR}), a corrente de fuga do diodo bootstrap ($I_{LK,D}$), a corrente do deslocador de nível ($I_{Q,LS}$), a corrente do driver ($I_{Q,DRV}$) e a corrente de fuga entre os terminais gate-source (I_{GS}), incluindo a corrente consumida pelo pela resistência entre o gate e o source. Algumas dessas correntes fluem apenas durante o tempo de ativação do MOSFET e algumas delas podem ser zero dependendo da implementação real do driver e do deslocador de nível.

Assumindo a operação em regime permanente, pode-se utilizar a equação 4.4 para calcular o valor do capacitor de bootstrap.

$$C_{BST} = \frac{Q_G + Q_{RR} + I_{BST} \cdot \frac{D_{max}}{f_{DRV}}}{\Delta V_{BST}} \quad (4.4)$$

Onde:

V_{BST} = variação de tensão desejada; f_{DRV} = frequência do gate-drive, na maioria dos casos igual à frequência de chaveamento;

$$I_{BST} = I_{LK,D} + I_{Q,DRV} + I_{Q,LS} + I_{GS} \quad (4.5)$$

Para determinar o valor do capacitor de bootstrap, duas condições extremas de operação devem ser verificadas. Durante os transitórios presentes na carga, pode ser necessário manter o MOSFET ligado ou desligado durante vários ciclos de comutação. A fim de assegurar uma operação ininterrupta sob estas circunstâncias, o capacitor CBST deve armazenar energia suficiente para manter a tensão de polarização flutuante acima do limite de bloqueio de sobtensão do IC do driver (high side) por um longo período de tempo.

Passando de uma carga leve para uma carga pesada, certos controladores podem manter o MOSFET ligado continuamente até que a corrente do indutor de saída atinja o valor da corrente de carga. O tempo (ON) máximo ($t_{ON,MAX}$) é geralmente definido pelo valor e pela derivada de tensão no indutor de saída. Para estes casos, um valor mínimo do capacitor de bootstrap pode ser estabelecido como mostrado na Equação 4.6.

$$C_{BST(min)} = \frac{Q_G + Q_{RR} + I_{BST} \cdot t_{(ON,MAX)}}{V_{Boot}} \quad (4.6)$$

Onde:

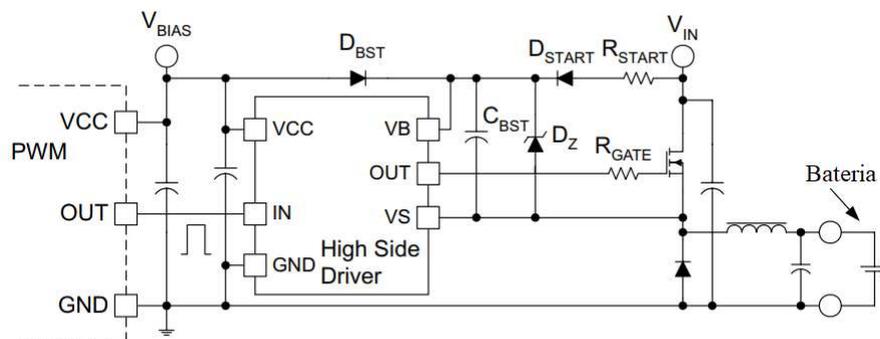
$V_{Boot} = \text{tensão } V_{DRV} \text{ menos a queda de tensão no diodo menos a mínima tensão } V_{gs}$.

Qualquer transição de carga na outra direção exigirá pulsos quando o MOSFET permanecer desligado por vários ciclos de comutação. Quando a corrente do indutor de saída chegar a zero, a source do MOSFET ajustado no nível de tensão de saída. O capacitor de bootstrap deve fornecer todos os componentes atuais da corrente de descarga e armazenar energia suficiente para poder ligar o interruptor no final do período de inatividade. Semelhante ao modo transitório anterior, um valor mínimo do capacitor pode ser calculado como mostrado na equação 4.7.

$$C_{BST(min)} = \frac{Q_G + (I_{LK,D} + I_{Q,DRV} + I_{Q,LS}).t_{OFF,MAX}}{V_{Boot}} \quad (4.7)$$

Em certas aplicações, como em carregadores de bateria, a tensão de saída pode estar presente antes que a energia de entrada seja aplicada ao conversor. Nesses casos, a source do MOSFET e o nó negativo do C_{BST} estão na tensão de saída e o diodo de bootstrap pode ser polarizado reversamento na inicialização. A entrega da carga inicial ao capacitor de bootstrap pode não ser possível dependendo da diferença de potencial entre os níveis de polarização e tensão de saída. Assumindo que haja tensão diferencial suficiente entre as tensões de entrada e saída, um circuito, conhecido como circuito Start-Up, composto de um resistor R_{START} , um diodo D_{START} e um diodo DZ zener pode resolver o problema de partida como mostrado na Fig. 4.8.

Figura 4.8: Circuito Start-Up do bootstrap.



Fonte: adaptado de(INC., Oline)

Neste circuito de inicialização, o D_{START} serve como um segundo diodo de bootstrap

usado para carregar o capacitor de bootstrap na energização. O C_{BST} será carregado com a tensão zener do diodo DZ, que deve ser maior que a tensão inicial de polarização do driver durante a operação normal. A corrente de carga do capacitor de bootstrap e a corrente zener são limitadas pelo resistor de partida. Para melhor eficiência, deve-se selecionar o valor de R_{START} para limitar a corrente a um valor baixo, já que o segundo caminho de bootstrap através do diodo de inicialização está permanentemente no circuito.

O cálculo do capacitor C_{BST} , pode ser facilmente realizado utilizando a equação 4.7. Por exemplo, utilizando os dados abaixo:

Gate Driver CI: FAN7382 (Fairchild);

$C_{D,BST}$: UF4007;

Q_{GATE} : 96 nC;

$I_{LK,D} = 10$ nA;

$I_{Q,DRV} = 50$ μ A;

$I_{Q,LS} = 120$ μ A;

$I_{GS} = 100$ nA;

$V_{Boot} = 1$ V;

$t_{ON} = 25$ μ s

E inserindo-os na equação 4.7, tem-se:

$$C_{BST(min)} = \frac{96 \cdot 10^{-9} + (10 \cdot 10^{-9} + 50 \cdot 10^{-6} + 120 \cdot 10^{-6}) \cdot 25 \cdot 10^{-6}}{1} \quad (4.8)$$

$$C_{BST(min)} = 100nF \quad (4.9)$$

4.3 Conclusão

Neste capítulo foi apresentada a técnica de acionamento usada no projeto, i.e., a técnica de bootstrap, a qual tem a vantagem de ser simples e de baixo custo. No entanto, tem

algumas limitações; o tempo de ciclo de trabalho é limitado pelo requisito de carregar o capacitor de bootstrap e problemas que ocorrem quando é necessária a imposição de uma tensão negativa na source do dispositivo de comutação. Felizmente, estes problemas não fazem parte deste projeto.

5

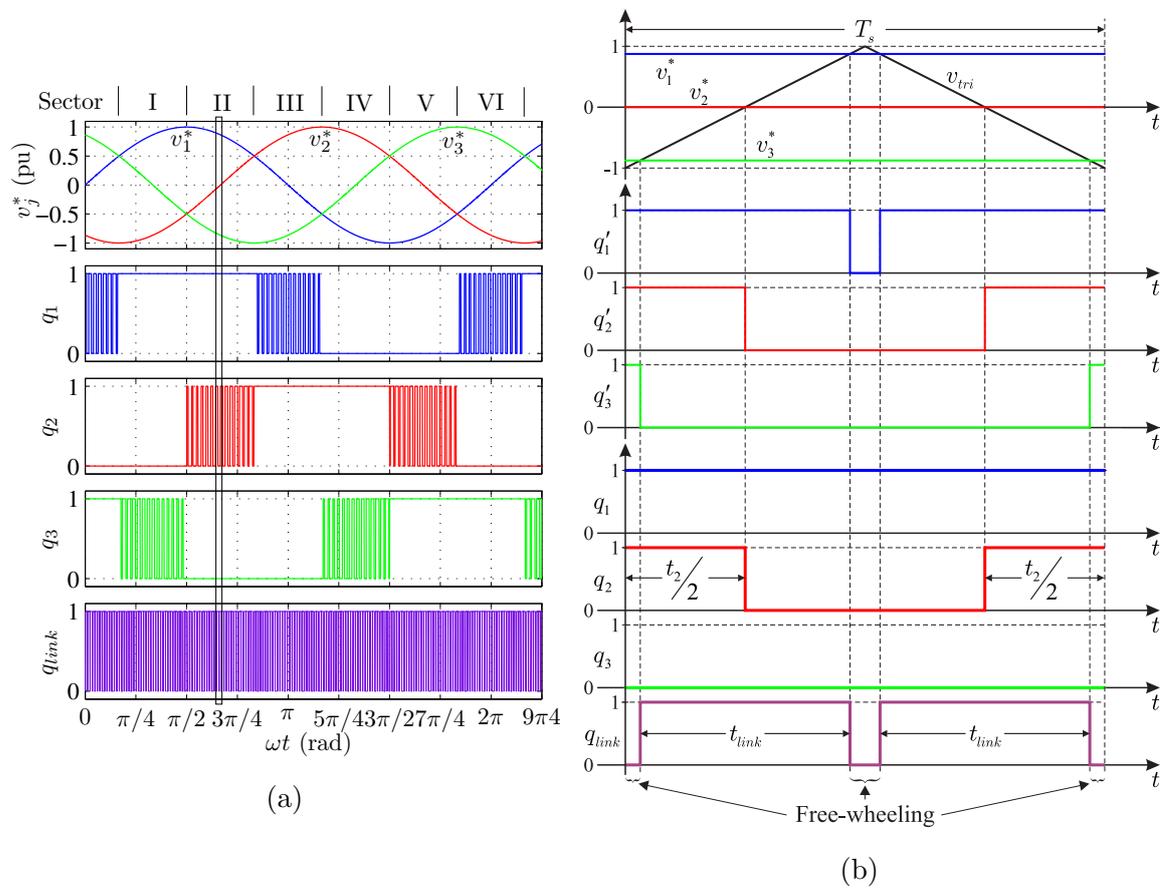
Estratégia da Modulação Proposta

Devido à ausência do capacitor eletrolítico, o comportamento da tensão no barramento CC é definido pela tensão de saída do conversor CC/CC, o qual deve ser sincronizado com a comutação do inversor trifásico. A estratégia de modulação capaz de assegurar este sincronismo é representada na Fig.5.1a, onde a forma de onda CA da frequência fundamental é dividida em seis setores, juntamente com o eixo do tempo, e os sinais das chaves superiores do inversor são representados por q'_1 , q'_2 e q'_3 na Fig.5.1b, para a modulação convencional, os sinais das chaves superiores são representados por q_1 , q_2 e q_3 .

Como pode ser visto na Fig.5.1, diferentemente da modulação convencional, com a modulação proposta apenas um dos três braços do inversor é comutado por período ($T_s = \frac{1}{f_s}$), enquanto os outros dois braços mantêm-se grampeados (ativo ou bloqueado). Isso reduz as perdas de comutação do inversor.

Para definir qual braço irá comutar, a lógica consiste em grampear um braço no estado ativo (aquele no qual seu valor de referência de tensão é maior entre os outros), grampear outro braço no estado bloqueado (aquele no qual seu valor de referência de tensão é menor entre os outros) e modular o braço restante (aquele no qual seu valor de referência de tensão está entre os outros dois). Na 5.1 está sumarizada esta estratégia de grampeamento, onde m_j ($j = 1, 2, 3$) representa a modulação associada ao sinal da comparação da tensão de referência com o sinal da portadora, a qual é uma função de tempo de forma de onda triangular, definida como:

Figura 5.1: Sinais PWM das chaves do inversor e barramento CC (a) e zoom no setor II (b).



Fonte: elaborada pelo autor.

$$v_{tri}(t) = V_{tri} \frac{t}{T_s/4} - V_{tri}, \quad 0 < t < T_s/2, \quad (5.1)$$

$$v_1^* = V_m \text{sen}(\omega t), \quad (5.2)$$

$$v_2^* = V_m \text{sen}(\omega t - 3\pi/2), \quad (5.3)$$

$$v_3^* = V_m \text{sen}(\omega t + 3\pi/2), \quad (5.4)$$

Onde $V_m = m_a V_{tri}$, m_a é o índice de modulação.

Tabela 5.1: Modulação possível para o inversor trifásico.

Sector	q_1	q_2	q_3
I	1	0	m_3
II	1	m_2	0
III	m_1	1	0
IV	0	1	m_3
V	0	m_2	1
VI	m_1	0	1

O tempo de condução, para o braço modulado durante o período de comutação do inversor é definido como:

$$\frac{V_{tri} + v_j}{t_j/2} = \frac{V_{tri}}{T_s/4}$$

$$t_j = \left(1 + \frac{v_j}{V_{tri}}\right) \frac{T_s}{2}, \quad j = 1, 2, 3. \quad (5.5)$$

Como pode ser visto nas Figs.5.1a e 5.1b, a tensão no barramento CC deve apresentar um padrão semelhante ao que é ilustrado por q_{link} .

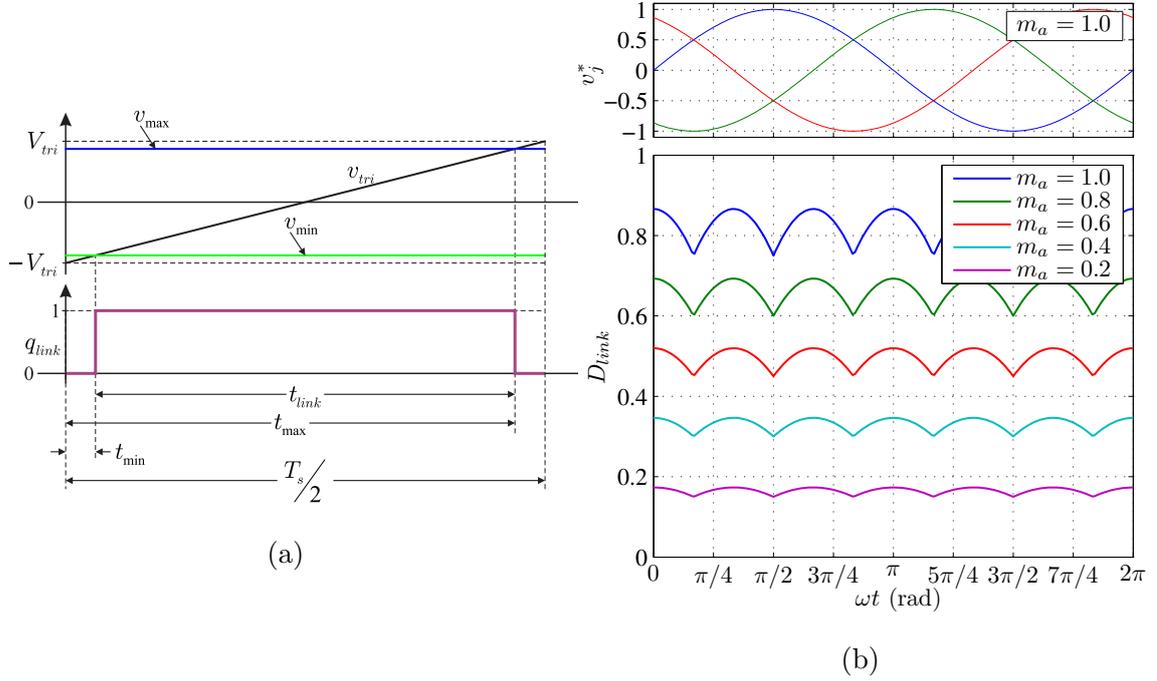
$$v_{\max} = \text{MAX}\{v_1^*, v_2^*, v_3^*\}, \quad (5.6)$$

$$v_{\min} = \text{MIN}\{v_1^*, v_2^*, v_3^*\}. \quad (5.7)$$

Para determinar o tempo de condução e o conseqüente ciclo de trabalho, a Fig.5.2a deve ser analisada, cujas tensões máximas mínimas são dadas como:

Os tempos definidos pela comparação de v_{\max} e v_{\min} com a portadora v_{tri} são dados como:

Figura 5.2: Sinais PWM das chaves do inversor e barramento CC (a) e o comportamento do ciclo de trabalho do conversor CC/CC para diferentes índices de modulação (b).



Fonte: elaborada pelo autor.

$$\begin{aligned} \frac{V_{tri} + v_{\max}}{t_{\max}} &= \frac{2V_{tri}}{T_s/2}, \\ t_{\max} &= \left(\frac{1}{2} + \frac{v_{\max}}{2V_{tri}} \right) \frac{T_s}{2}, \end{aligned} \quad (5.8)$$

$$\begin{aligned} \frac{V_{tri} + v_{\min}}{t_{\min}} &= \frac{2V_{tri}}{T_s/2}, \\ t_{\min} &= \left(\frac{1}{2} + \frac{v_{\min}}{2V_{tri}} \right) \frac{T_s}{2}. \end{aligned} \quad (5.9)$$

Ao usar 5.8 e 5.9, o ciclo de trabalho para a tensão de saída do conversor CC / CC é definido como:

$$\begin{aligned} t_{link} &= t_{\max} - t_{\min}, \\ t_{link} &= \frac{v_{\max} - v_{\min}}{2V_{tri}} \frac{T_s}{2}, \\ D_{link} &= \frac{v_{\max} - v_{\min}}{2V_{tri}}, \end{aligned} \quad (5.10)$$

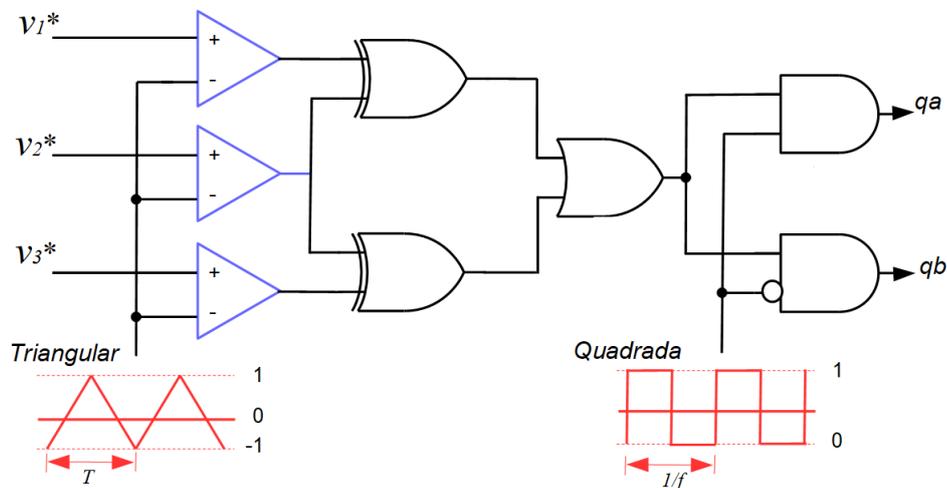
Onde $D_{link} = t_{link}/(T_s/2)$, uma vez que a frequência de chaveamento do conversor CC/CC pulsante é duas vezes a frequência de chaveamento do inversor. O comportamento do D_{link} em função das tensões de referência CA é mostrado na Fig.5.2b para diferentes valores de índice de modulação de amplitude.

5.0.1 Estratégia de PWM para conversor CC/CC

A modulação apresentada permite que o inversor trifásico de alta frequência proposto funcione corretamente. Para uma implementação mais fácil, a modulação para o inversor apresentado pode ser obtida usando uma abordagem de modulação de largura de pulso escalar (EPWM).

Na Fig.5.3 é mostrado a estratégia de implementação da modulação por porta lógica do EPWM para todo o conversor CC/CC. A implementação da porta lógica do EPWM, mostrada na Fig.5.3, é realizada usando o PWM convencional para determinar os sinais modulados m_1 , m_2 e m_3 , e o perfil de tensão do barramento CC q_{link} .

Figura 5.3: Implementação do PWM para o conversor CC/CC pulsante.



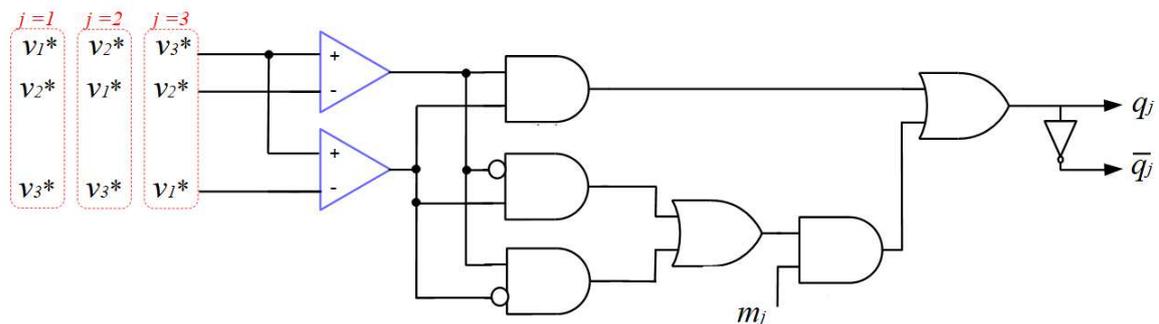
Fonte:elaboraada pelo autor.

Basicamente, como nos PWMs convencionais, os sinais de referência senoidais são comparados com as ondas triangulares, o produto dessa comparação gera os sinais modulados m_1 , m_2 e m_3 , que por sua vez, são tratados segundo a lógica apresentada na Fig.5.3 e por fim gerando os sinais responsáveis pela comutação das chaves do conversor CC/CC.

5.0.2 Estratégia de PWM para conversor CC/CCA

Os sinais para chaves do inversor trifásico são gerados conforme a estratégia mostrada na Fig.5.4. A estratégia consiste em comparar os sinais de referência senoidais com os sinais das ondas triangulares, em seguida, utiliza-se a lógica apresentada na Fig.5.4 juntamente com os sinais modulados m_1 , m_2 e m_3 gerados na estratégia apresentada na Fig.5.3, para gerar os sinais responsáveis pela comutação das chaves do inversor.

Figura 5.4: Implementação do PWM para o Inversor Trifásico.



Fonte:elaboraada pelo autor.

5.1 Conclusão

Neste capítulo foram analisadas as estratégias de modulação utilizadas para o controle de comutação dos semicondutores que constituem o inversor aqui proposto. A técnica de modulação PWM para o conversor CC/CC, assim com a técnica de modulação para o conversor CC/CA trifásico foram apresentadas em conjunto.

6

Indutância de dispersão e circuito Snubber

Devido a indutância de dispersão do transformador, durante a comutação das chaves do inversor, spikes de tensão podem ser gerados, uma vez que há uma diferença momentânea entre os valores da corrente que atravessa esta indutância e a corrente que atravessa a indutância de uma das fases. No barramento convencional, esse problema não aparece por causa do capacitor eletrolítico, o qual tem energia suficiente para fornecer essa diferença de corrente.

Duas soluções para reduzir os efeitos da indutância de dispersão são citadas neste trabalho, i.e., através da geometria do núcleo do transformador ou através de circuitos snubber, como discutido nas secções seguintes.

6.1 Indutância de dispersão e geometria do núcleo

A principal indutância de fuga L_P , no inversor com barramento pulsado, não encontra um caminho para a corrente acumulada durante a comutação das chaves, e ela leva a picos de tensão no desligamento do MOSFET e também atrasa a transferência de energia do primário para o secundário. Os elementos parasitas no transformador e no comutador determinam a magnitude desse pico de tensão. A indutância de fuga, L_P , e a capacitância de enrolamento primário no transformador, C_P , e a capacitância de saída, $COSS$, do MOSFET formam

uma rede LC parasita. A tensão de pico é dada por:

$$V_{PEAK} = I_P \left(\sqrt{\frac{L_P}{C_P + COSS}} \right) + V_{IN} + \frac{V_{OUT}}{N} \quad (6.1)$$

Onde I_P é o nível de corrente circulando no momento em que o MOSFET é desligado, N é a relação de tensão entre o secundário e primário, V_{IN} é a tensão de entrada e V_{OUT} é a tensão de saída.

O termo raiz quadrada na equação 6.1 representa a impedância característica da rede LC parasita. Observe que o transiente de tensão mais alto ocorre durante a comutação das chaves com o nível mais alto de corrente. Esse overshoot de tensão pode causar uma dissipação de energia excessiva no MOSFET, mesmo se estiver dentro dos limites operacionais seguros do dispositivo, reduzindo assim a eficiência total. Além disso, pode causar instabilidade no circuito devido à ativação involuntária do MOSFET devido ao alto nível de dV/dt provocado pelos spikes de tensão.

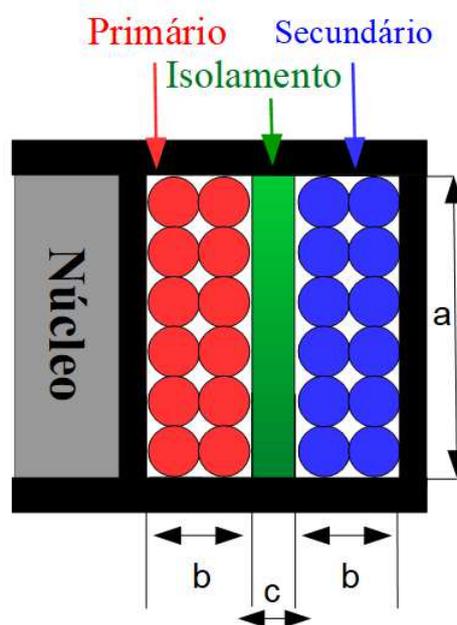
A forma construtiva dos enrolamentos é muito significativa para a determinação dos valores da indutância de dispersão e das capacitâncias. Para obter uma pequena dispersão de fluxo deve-se colocar os enrolamentos numa disposição que permita ao fluxo produzido por um deles enlaçar de maneira mais efetiva as espiras do outro. Por exemplo, a disposição mostrada na Fig. 6.1, com todo o secundário colocado sobre o primário, apresenta um maior fluxo disperso do que um arranjo no qual o primário é enrolado entre 2 segmentos do secundário como mostra a Fig. 6.2a. Outra possibilidade é fazer um enrolamento bifilar, mas isto só é possível quando ambos condutores tiverem diâmetros semelhantes, e quando não for necessária uma maior isolamento entre os enrolamentos.

Na configuração mostrada na Fig.6.1, a indutância de dispersão é dada por:

$$L_p = 4\pi \frac{(MLT)N_p^2}{a} \left(c + \frac{\sum b}{3} \right) (10^{-9}) \quad (6.2)$$

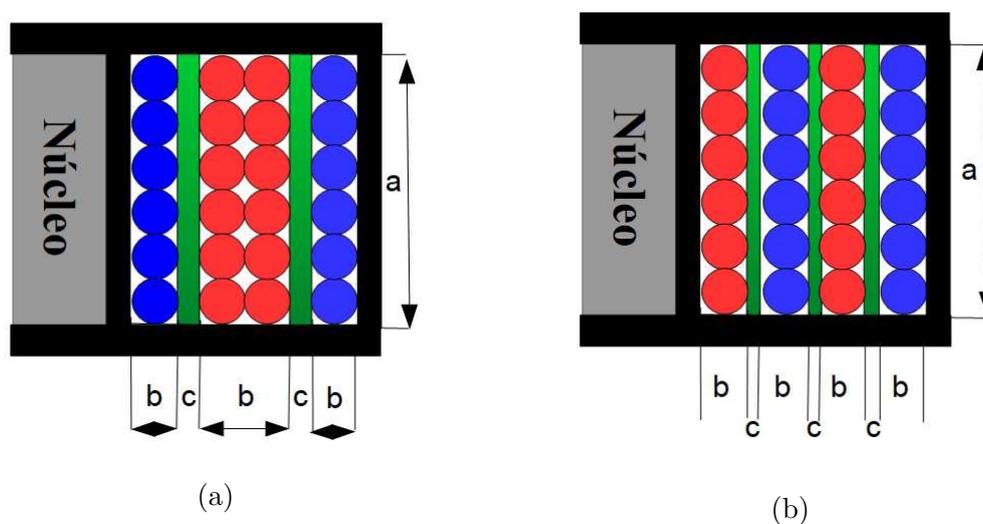
Enquanto que na configuração mostrada na Fig.6.2a, a indutância de dispersão é dada pela equação 6.3.

Figura 6.1: Transformador na configuração convencional



Fonte: elaborada pelo autor

Figura 6.2: Configuração com enrolamento primário centralizado (a) e com enrolamentos alternados (b).



Fonte: elaborada pelo autor.

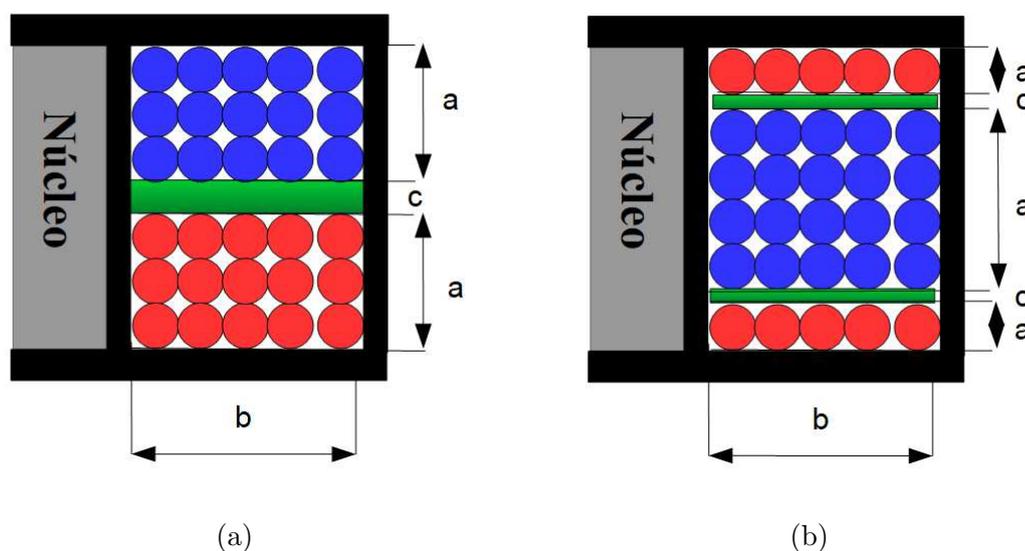
$$L_p = \pi \frac{(MLT)N_p^2}{a} \left(\sum c + \frac{\sum b}{3} \right) (10^{-9}) \quad (6.3)$$

Um terceira configuração é mostrada na Fig. 6.2b, onde sua indutância de dispersão é dada pela equação 6.4.

$$L_p = \pi \frac{(MLT)N_p^2}{a} \left(\sum c + \frac{\sum b}{3} \right) (10^{-9}) \quad (6.4)$$

A quarta configuração é mostrada na Fig. 6.3a, e sua indutância de dispersão é dada pela equação 6.5.

Figura 6.3: Transformador com enrolamento seccionado (a) e com enrolamento seccionado modificado (b).



$$L_p = 4\pi \frac{(MLT)N_p^2}{b} \left(c + \frac{\sum a}{3} \right) (10^{-9}) \quad (6.5)$$

A última configuração é mostrada na Fig. 6.3b, e sua indutância de dispersão é dada pela equação 6.6.

$$L_p = \pi \frac{(MLT)N_p^2}{b} \left(\sum c + \frac{\sum a}{3} \right) (10^{-9}) \quad (6.6)$$

Se, por um lado o arranjo pode reduzir a dispersão, por outro, pode aumentar a capacitância entre os enrolamentos.

A redução da capacitância entre enrolamentos pode ser obtida pela colocação de um filme ou fita entre cada enrolamento. Uma fita metálica pode ser usada ainda como uma blindagem eletrostática, o que pode ser útil para efeito de redução de interferência eletromagnética. Obviamente a fita não pode se constituir numa espira em curto, devendo ser adequadamente isolada.

Em resumo, como mostrado, a geometria do núcleo magnético tem uma grande influência na indutância de dispersão. No entanto, para o projetista, nem sempre é uma tarefa simples desenvolver ou modificar a geometria do núcleo. E portanto, outras soluções devem ser usadas para reduzir os efeitos da indutância de dispersão, como é o caso dos Snubbers , abordado na secção seguinte.

6.2 Sunubber proposto

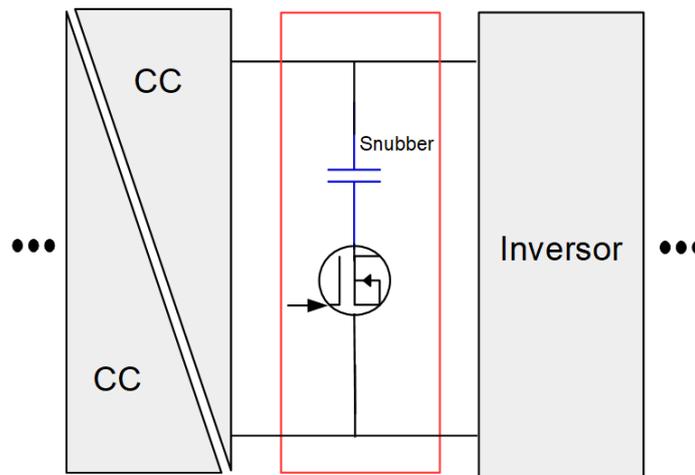
Como mencionado, devido a indutância de dispersão do transformador, durante a comutação das chaves do inversor, spikes de tensão podem ser gerados.

A solução mais comum é o uso dos snubbers, que podem ser do tipo passivo ou ativo. Os snubbers passivos são restritos a resistores, capacitores, indutores e diodos, e podem controlar a tensão ou a corrente e podem ser dissipativos ou não dissipativos. Se há potência dissipada em um elemento resistivo, então o snubber é classificado como dissipativo, mas se a energia é retornada para a entrada ou movida para a saída, ele é classificado como não dissipativo.

Há solução aqui proposta, para reduzir estes picos de tensão, é de utilizar um snubber ativo, mostrado na Fig. 6.4, constituído de uma chave semicondutora e um capacitor não eletrolítico e de tamanho muito menor que o convencional, para suprir estes picos de tensão. Para isso, é necessário que o capacitor seja responsável apenas para tratar os spikes de tensão gerados durante a comutação. Sendo assim, é proposto utilizar um snubber simples, constituído de um capacitor e uma chave responsável pela introdução do capacitor nos momentos de comutação onde os spikes de tensão normalmente ocorreriam.

A estratégia de controle do circuito snubber é mostrada na Fig.6.5. O resultado do conjunto de blocos MAX e MIN é a média das tensões senoidais de referência. Este sinal é

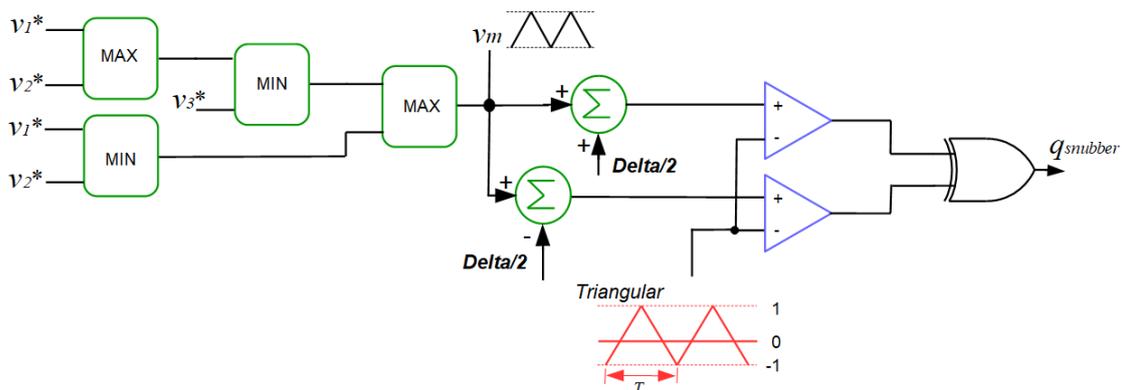
Figura 6.4: Snubber proposto.



Fonte: elaborada pelo autor.

então comparado com a forma de onda triangular, sempre que o sinal da triangular for igual a triangular, isto implica que uma das chaves comuta.

Figura 6.5: Implementação da estratégia de acionamento do circuito snubber.



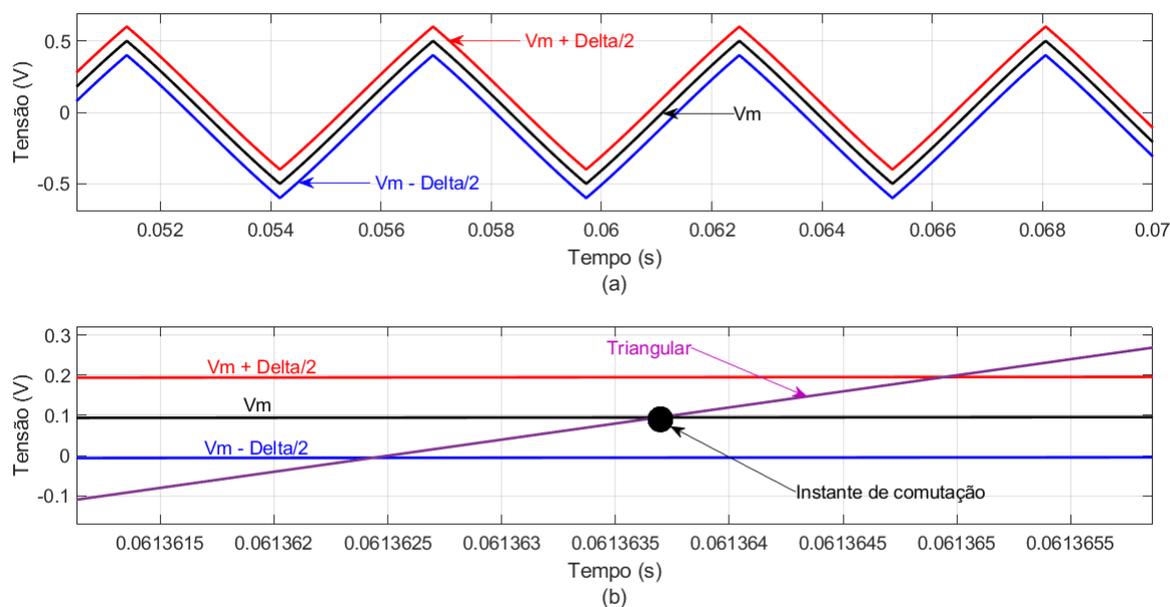
Fonte: elaborada pelo autor.

No entanto, para garantir que a chave do snubber esteja ativa antes da comutação e que continue ativa até o fim da comutação, uma constante de tempo $\delta/2$ é adicionada e subtraída da média das tensões senoidais de referência (V_m) como mostra as formas de onda na Fig.6.6.

Na Fig.6.6 (a) pode ser observado que referência da tensão média foi deslocada de $+/- \delta/2$, gerando uma tolerância δ , *i.e.*, os pulsos gerados têm largura δ , porem centralizados no ponto do instante de comutação mostrado na Fig.6.6(b).

Assim, esta estratégia permite que o snubber seja ativo apenas quando necessário, *i.e.*,

Figura 6.6: Introdução da tolerância delta na estratégia de acionamento do circuito snubber.



Fonte: elaborada pelo autor.

durante a comutação de qualquer chave do inversor. Com isso, os spikes de tensão podem ser reduzidos.

6.3 Conclusão

Neste capítulo foram analisadas as estratégias de modulação utilizadas para o controle de comutação dos semicondutores que constituem o inversor aqui proposto. A técnica de modulação PWM para o conversor CC/CC, assim com a técnica de modulação para o conversor CC/CA trifásico foram apresentadas em conjunto. A justificativa e análise da introdução do circuito snubber no barramento CC foi apresentada juntamente com a estratégia de acionamento deste circuito.

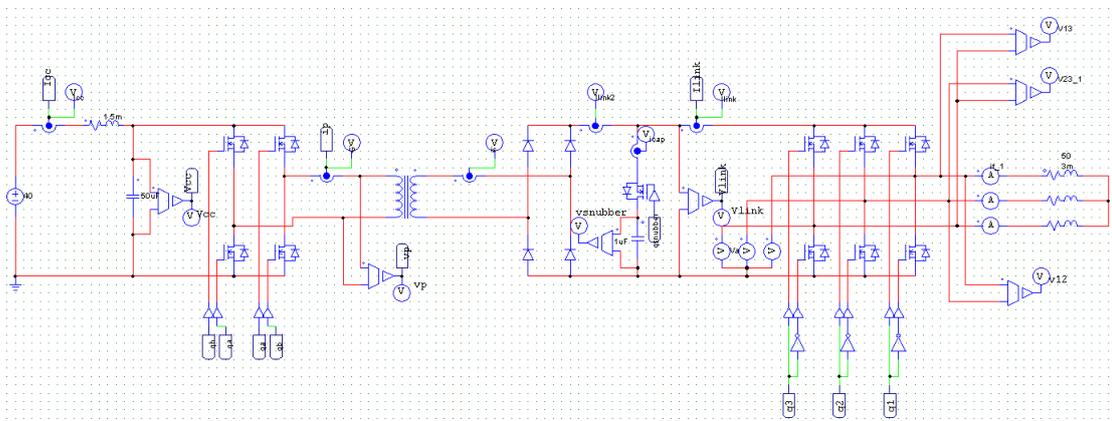
7

Resultados de Simulação

Aqui são apresentados os resultados de simulação a fim de validar numericamente o inversor trifásico com barramento pulsado, mas especificamente a fim de verificar que a modulação PWM proposta juntamente com toda a estrutura de potência funcionarão corretamente.

O software utilizado para realizar as simulações foi o *PSIMTM*. Por se tratar de um software não tipo spice, alguns parâmetros e aspectos reais não são levados em consideração. O circuito de potência simulado é apresentado na Fig.7.1. Onde temos, da esquerda para direita, tensão e filtro de entrada, conversor CC/CC ponte completa, ponte retificadoras de diodo, circuito snubber, inversor trifásico e carga RL.

Figura 7.1: Circuito de potência simulado no PSIM.

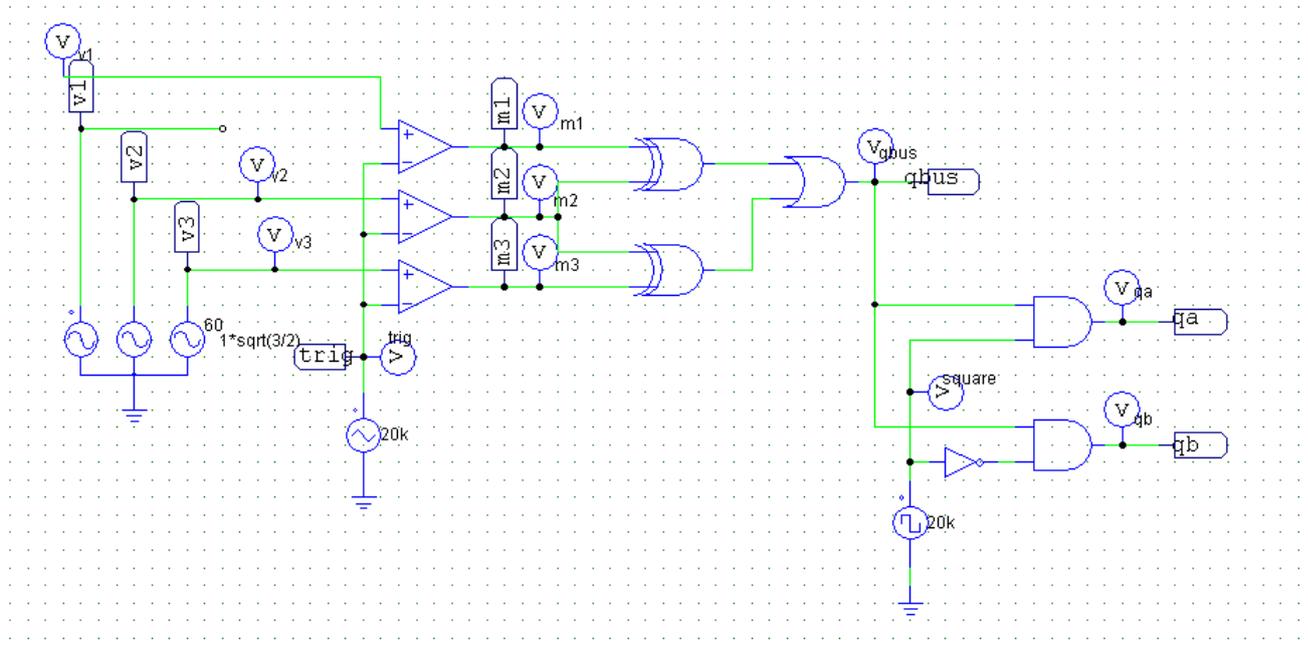


Fonte: elaborada pelo autor.

7.1 Conversor CC/CC

Para a correto funcionamento do conversor CC/CC, foi realizado a simulação da estratégia de chaveamento do mesmo, como mostra a Fig. 7.2.

Figura 7.2: Estratégia de acionamento das chaves do conversor CC/CC simulada no PSIM.



Fonte: elaborada pelo autor.

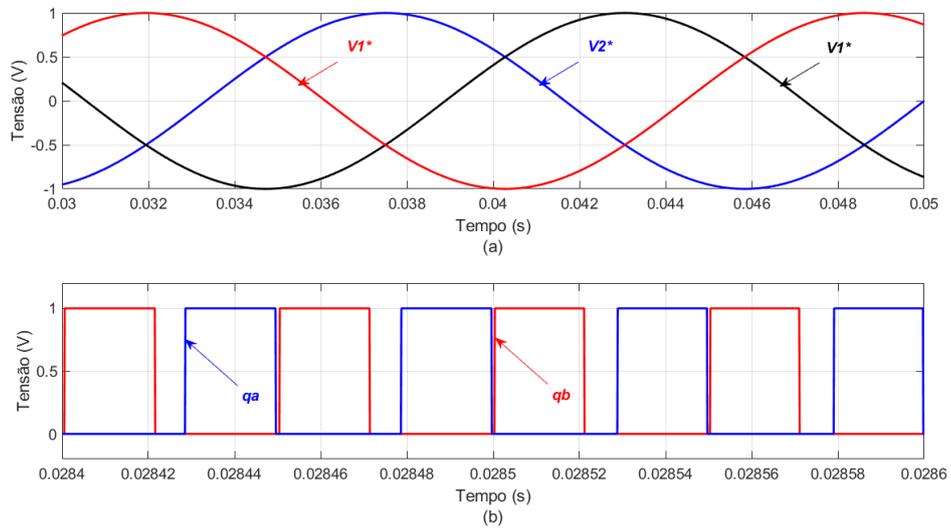
Os resultados de simulação da estratégia de chaveamento da Fig. 7.2 são mostrados na Fig. 7.3., onde é apresentada as três referências senoidais juntamente com os sinais (q_a e q_b) responsáveis pela comutação do conversor CC/CC ponte completa.

Para assegurar que os sinais responsáveis pela comutação do conversor CC/CC ponte completa estão corretos e que o barramento pulsado será gerado, na Fig. 7.4 é mostrada a tensão de saída do conversor CC/CC, *i.e.*, a tensão no primário do transformador.

Como pode ser observado, a tensão de saída do conversor CC/CC apresenta as características corretas de operação, *i.e.*, as tensões $+V_{dc}$ e $-V_{dc}$ e o período de necessário de desmagnetização do núcleo do transformador, impedindo assim que o núcleo sature. Uma vez que o conversor CC/CC opera corretamente, é esperado que o barramento CC pulsado seja gerado como mostra a Fig.7.5.

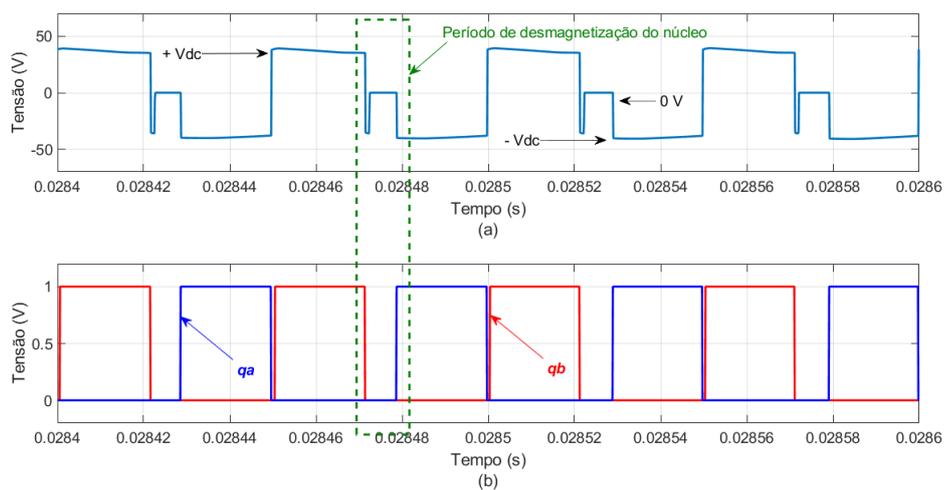
Como mostrado, o barramento CC pulsado está sendo gerado corretamente; a tensão do barramento com valor entre 400 V e 0 V, e o tempo de roda livre necessário para o correto

Figura 7.3: Resultado de simulação da estratégia de acionamento das chaves do conversor CC/CC.



Fonte: elaborada pelo autor.

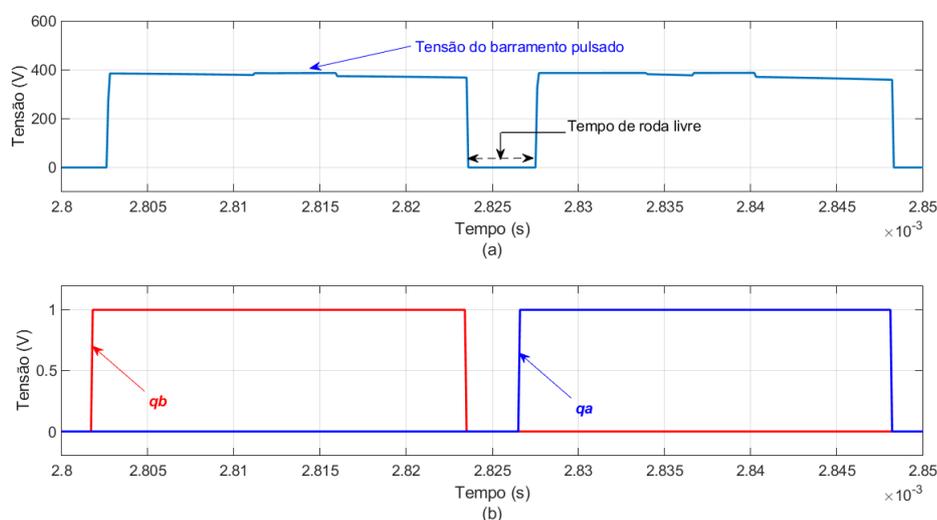
Figura 7.4: Resultado de simulação; tensão de saída do conversor CC/CC.



Fonte: elaborada pelo autor.

funcionamento do inversor.

Figura 7.5: Resultado de simulação; tensão no barramento pulsado (a) e sinais das chaves q_1 e q_2 (b).



Fonte: elaborada pelo autor.

7.2 Inversor trifásico

Os próximos passos são destinados a análise da estratégia de chaveamento do inversor trifásico. Esta simulação foi realizada segundo a Fig.7.6.

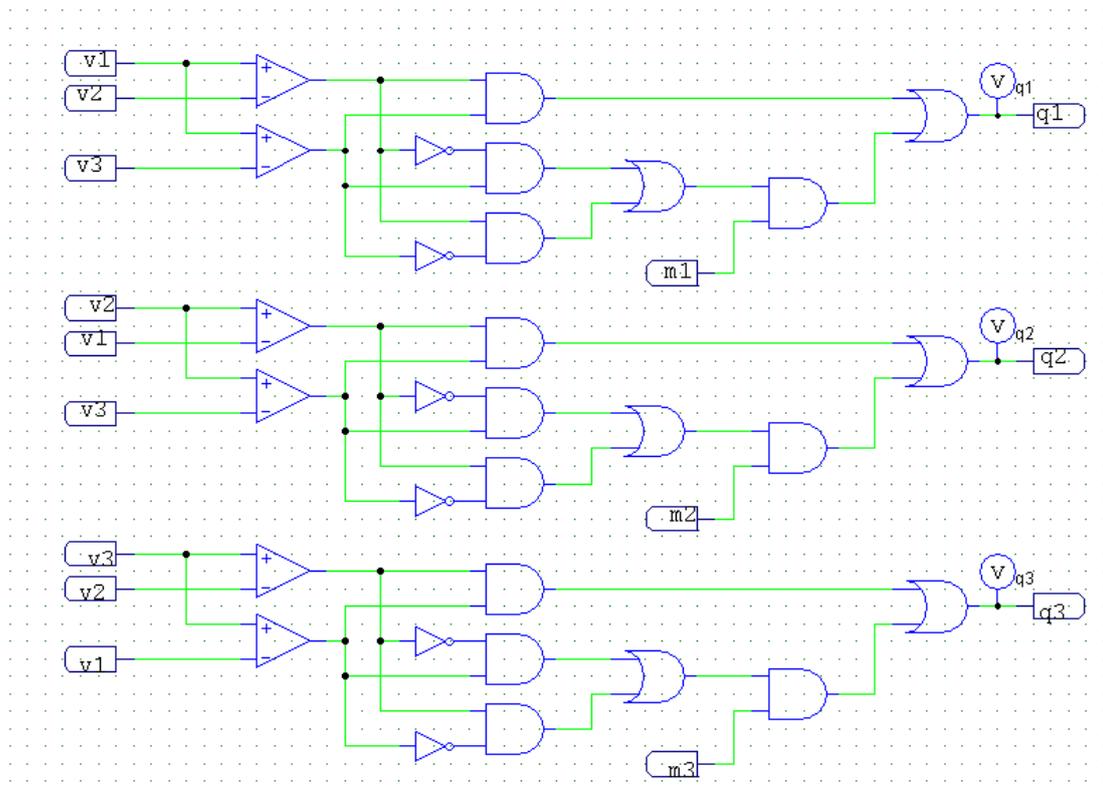
Assim, na Fig.7.7 é mostrado os sinais responsáveis pelo chaveamento do inversor e que são gerados segundo a estratégia simulada e mostrada na Fig.7.6.

Aplicando um zoom nas formas de onda dos sinais q_1 , q_2 e q_3 , e inserindo o sinal representativo do barramento CC q_{bus} , pode-se analisar o setor II, como mostra a Fig.7.8.

Como pode ser visto na Fig.7.8, durante um período de comutação, apenas uma chave (q_2 na Fig.7.8, por exemplo) das três, comuta por vez, enquanto as outras duas mantêm-se grampeadas em zero (q_3) e em um (q_1). Isso significa que as perdas por comutação são reduzidas.

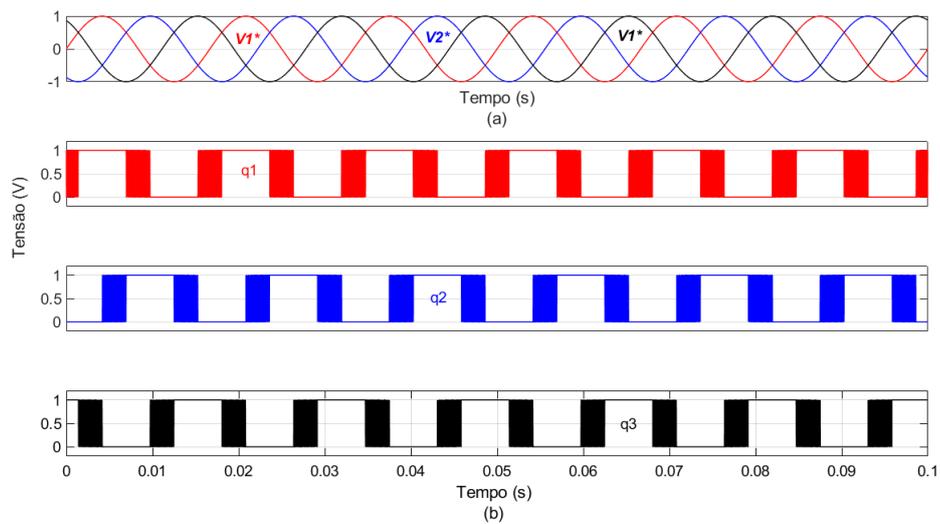
É importante notar que, embora duas (de três) chaves permanecem grampeadas por período de chaveamento, as tensões de fase não têm o mesmo comportamento, pois elas são também função da tensão do barramento pulsado, que por sua vez oscila entre 0 V e V_{bus} mesmo que as chaves estejam grampeadas em 1.

Figura 7.6: Simulação da estratégia de PWM para o Inversor Trifásico.

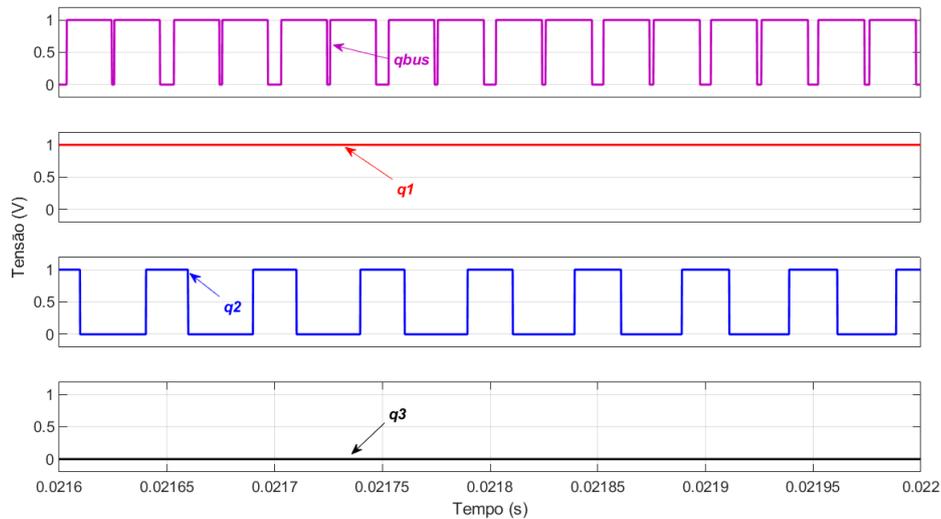


Fonte: elaborada pelo autor.

Figura 7.7: Resultado de simulação; sinais de referência (a) e tensões de fase (b).



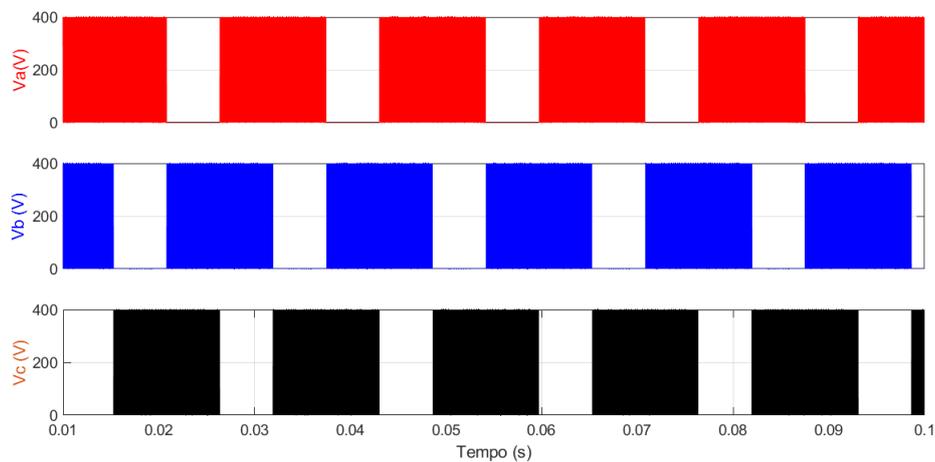
Fonte: elaborada pelo autor.

Figura 7.8: Formas de onda dos sinais q_1 , q_2 , q_3 e q_{bus} .

Fonte: elaborada pelo autor.

Os resultados de simulação, em relação às tensões de fase, são mostrados na Fig.7.9.

Figura 7.9: Resultados de simulação; tensões de fase

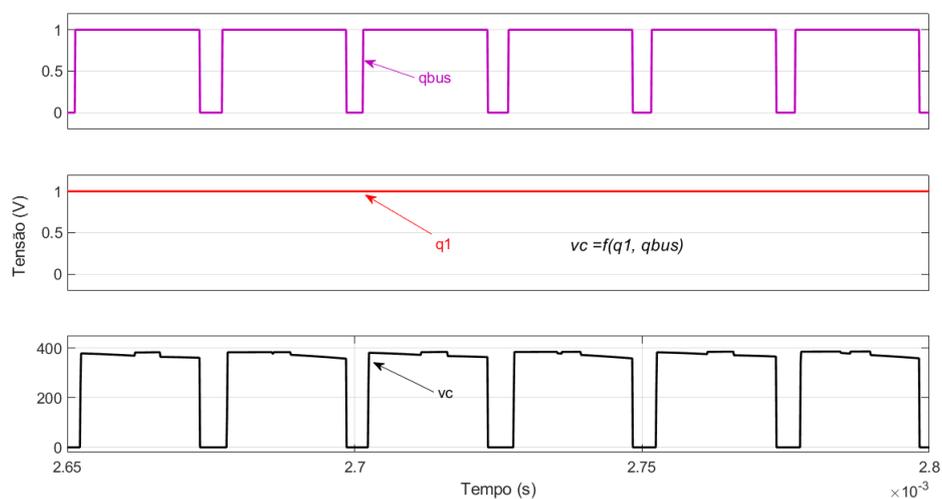


Fonte: elaborada pelo autor.

Aplicando um zoom, na tensão de fase V_c , e inserindo o sinais da chave q_1 (responsável por aplicar a tensão do barramento na fase C) e do barramento q_{bus} , é possível perceber pela Fig.7.10, como já mencionado, que embora duas de três chaves estejam grampeadas por período de chaveamento, as tensões de fase associadas a estas chaves não têm o mesmo comportamento, pois o barramento pulsado alterna seu valor entre 0 V e V_{bus} , como mostra o resultado de simulação.

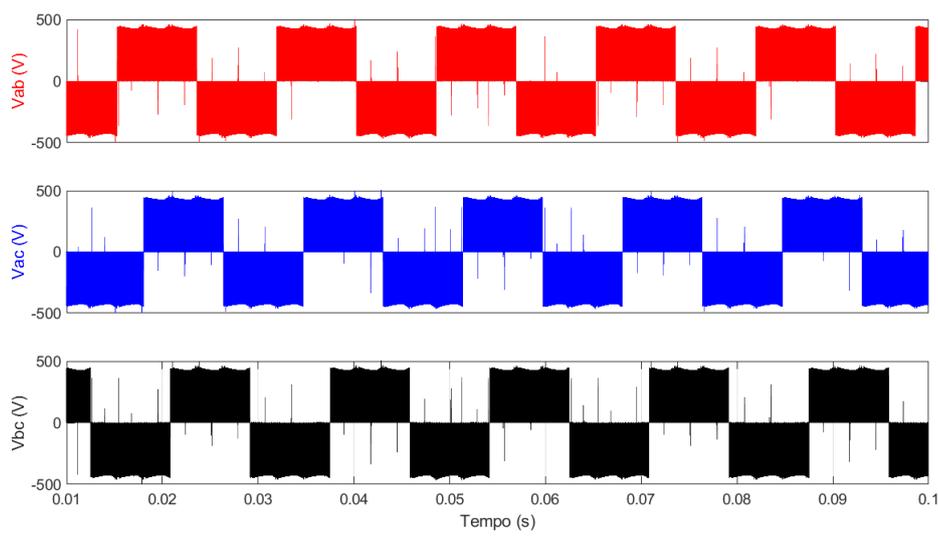
As tensões de linha V_{ab} , V_{ac} e V_{bc} são mostradas na Fig.7.11.

Figura 7.10: Análise da tensão de fase em função de sua chave correspondente e do barramento pulsado.



Fonte: elaborada pelo autor.

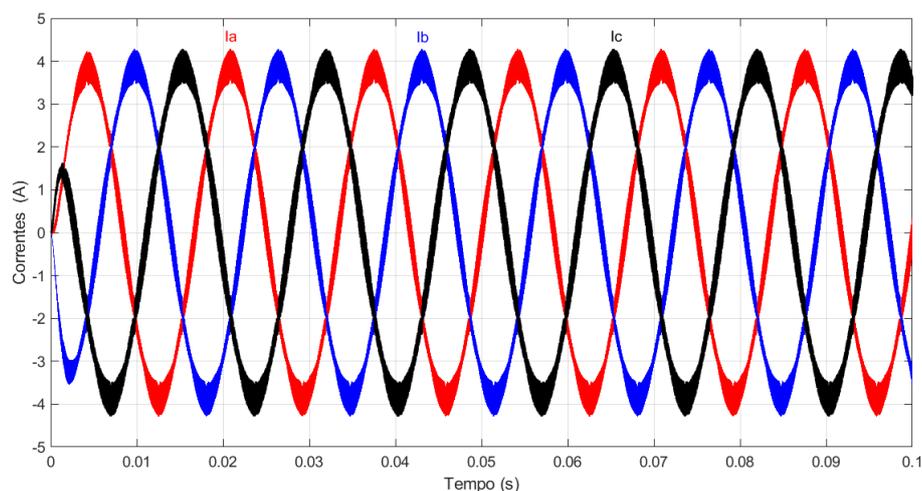
Figura 7.11: Resultados de simulação; tensões de linha.



Fonte: elaborada pelo autor.

Na Fig.7.12 é mostrado o comportamento da corrente de saída do inversor trifásico com barramento pulsado.

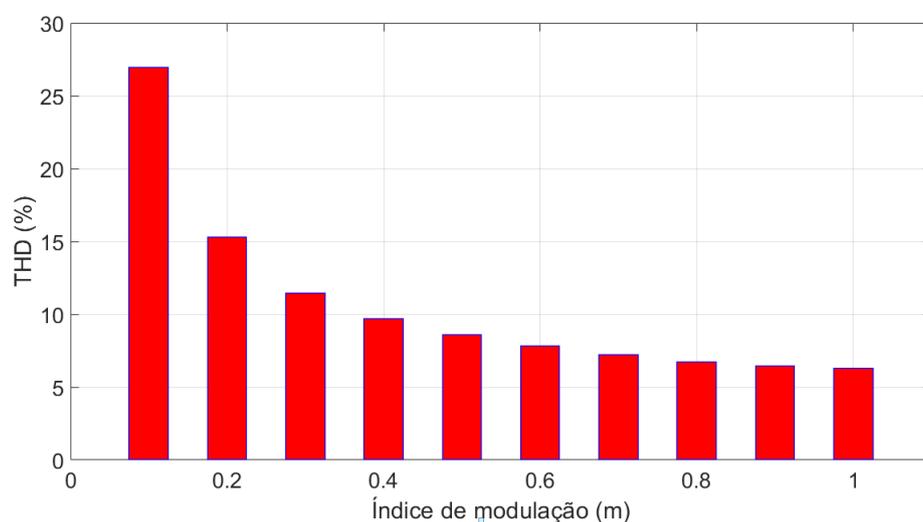
Figura 7.12: Correntes na saída do inversor trifásico com barramento CC pulsado.



Fonte: elaborada pelo autor.

Assim, percebe-se que a estrutura de potência e a estratégia de modulação adotada são satisfatórias em relação ao funcionamento correto esperado.

Figura 7.13: THD em função do índice de modulação.



Fonte: elaborada pelo autor.

Os harmônicos não produzem torque quando inversor é aplicado ao acionamento de máquinas, no entanto, eles são capazes de provocar aquecimento nos enrolamentos e assim provocar perdas por efeito joule. Assim, na Fig. 7.13 é mostrado o resultado de simulação do inversor com barramento pulsado no que diz respeito ao THD de corrente em função do

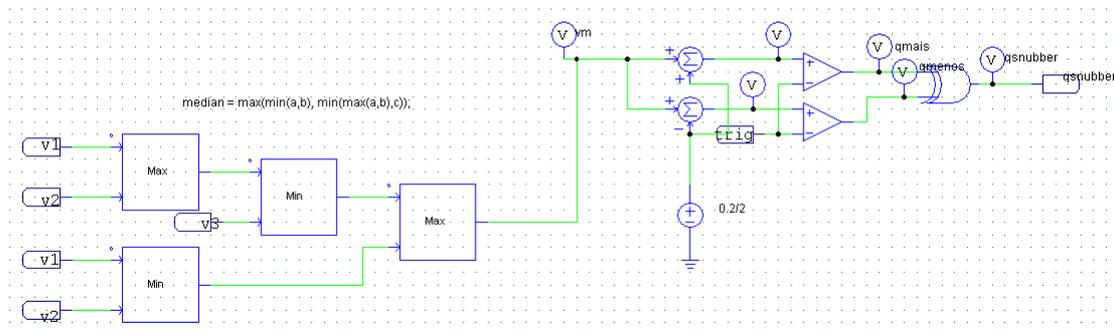
índice de modulação. Um carga RL (50 Ohms, 30 mH) foi usada para a análise.

Percebe-se que o inversor simulado, apresenta uma THD de corrente relativamente baixa para índices de modulação próximos de 1, e portanto, não provoca aquecimento excessivo dos enrolamentos da máquina.

7.3 Circuito Snubber

Todos os resultados de simulação até aqui mostrados foram obtidos com a inclusão do circuito snubber no barramento pulsado. A estratégia de acionamento do circuito snubber utilizada durante a simulação é mostrada na Fig.7.14.

Figura 7.14: Estratégia de acionamento do circuito snubber simulada no PSIM.



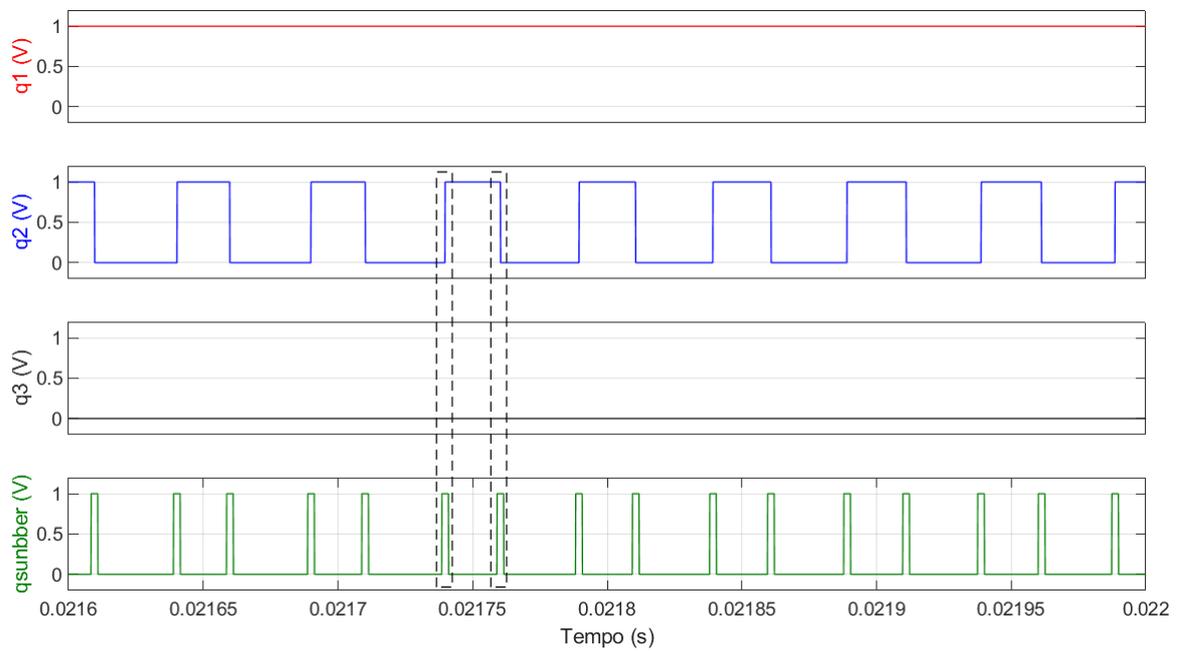
Fonte: elaborada pelo autor.

Na Fig.7.15 é verificado que a estratégia de implementação do circuito snubber funciona corretamente, *i.e.*, o circuito é ativado sempre que ocorre uma comutação de uma chave qualquer. Embora na Fig.7.15 mostre o instante de comutação para um determinado setor, a estratégia implementada para o circuito snubber funciona, *i.e.*, insere o capacitor no barramento CC sempre que ocorre uma comutação, de qualquer chave, em qualquer setor.

A isenção o circuito snubber é de extrema importância, pois isto evita demasiados spikes de tensão como pode ser observado na Fig.7.16, onde são mostradas a tensões do barramento pulsado com e sem o circuito snubber.

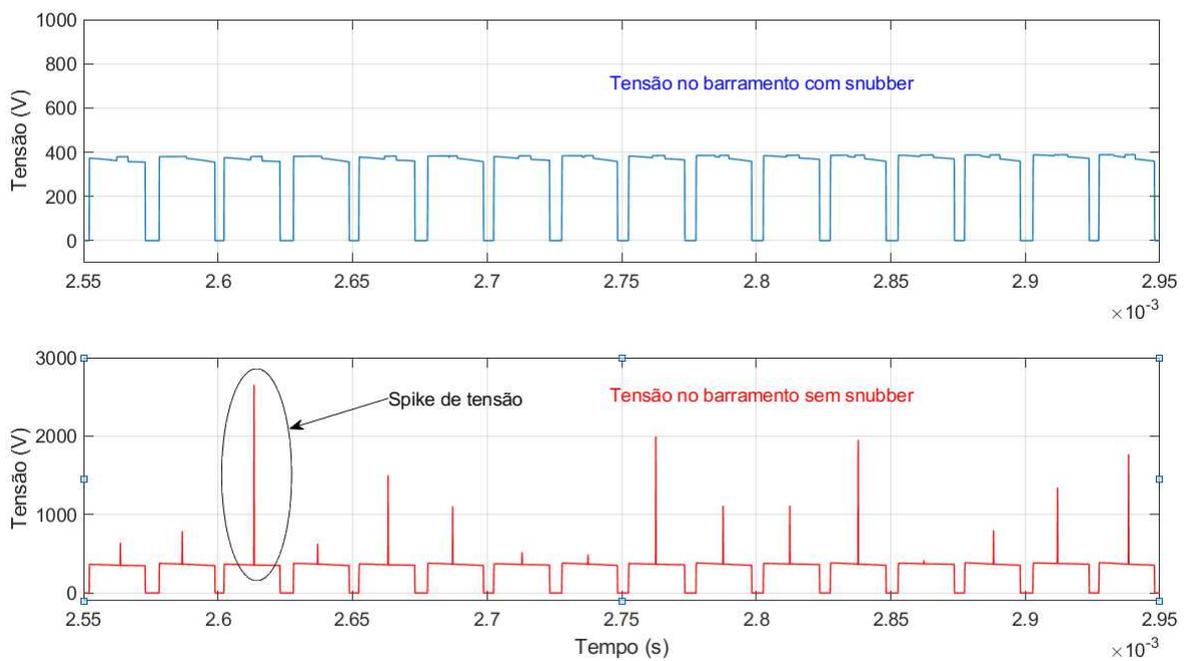
Assim, é verificado que os spikes de tensão podem ser reduzidos, e conseqüentemente, manter o inversor operando corretamente sem influência de picos de tensão que podem danificar os componentes, em especial, as chaves de potência.

Figura 7.15: Pulsos gerados segundo estratégia de acionamento do circuito snubber.



Fonte: elaborada pelo autor.

Figura 7.16: Spikes de tensão na ausência do circuito snubber gerados pela indutância de dispersão do transformador.



Fonte: elaborada pelo autor.

7.4 Conclusão

Neste capítulo foram apresentados os principais resultados de simulação no que se refere as estratégias de modulação PWM utilizadas, tensão pulsada no barramento CC, tensões e correntes de saída do inversor trifásico, circuito snubber, redução dos spikes de tensão etc.. Assim, foi validado inicialmente, através dos resultados de simulação, a proposta de um inversor trifásico com barramento CC pulsado, aqui apresentado.

8

Resultados Experimentais

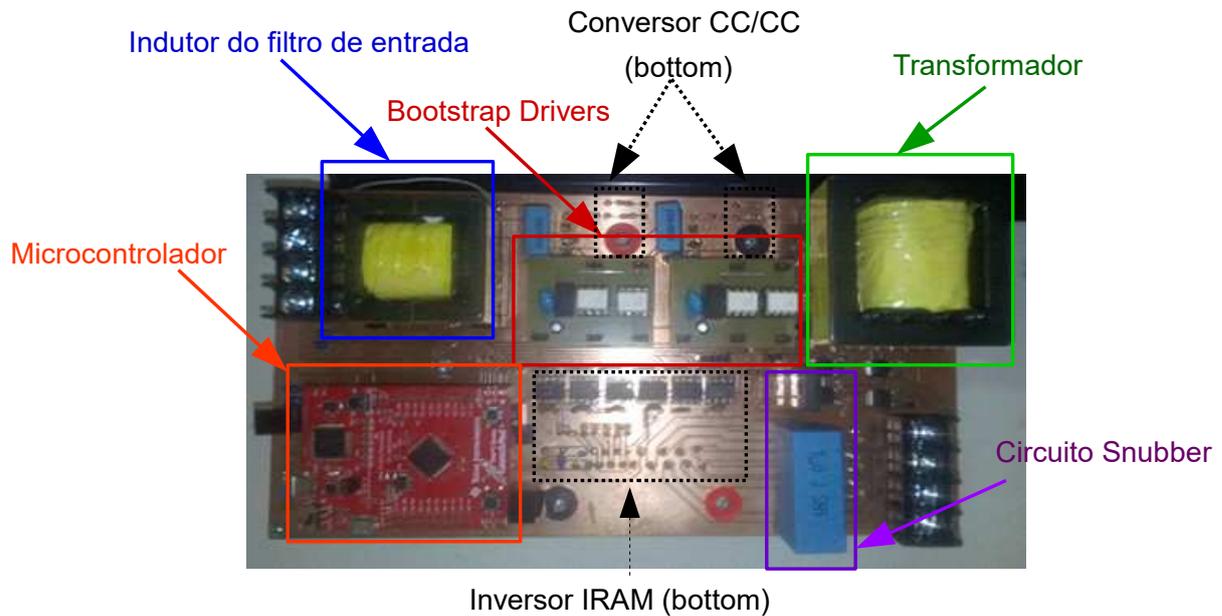
Este capítulo é destinado aos aspectos práticos em relação ao desenvolvimento físico do inversor trifásico com barramento pulsado.

8.1 Hardwares

Na Fig.8.1 é mostrado o primeiro protótipo do projeto. Nela, aparecem os componentes magnéticos projetados no laboratório e desenvolvidos pela empresa RalpTM, os gate drivers desenvolvidos no laboratório, o circuito snubber, e outros componentes auxiliares. O conversor CC/CC ponte completa e o inversor trifásico estão localizados na camada *bottom* da placa de circuito impresso.

A plataforma de controle usada é TIVATM C Series LaunchPad, Fig.8.2. TM4C123G é uma plataforma de avaliação de baixo custo para microcontroladores baseados em ARM®CortexTM-M4F, da Texas Instruments, com 32 bits operando a 80-120 MHz. O design do TM4C123G LaunchPad destaca o microcontrolador TM4C123GH6PM com uma interface USB 2.0 e módulo de hibernação. O EK-TM4C123GXL também possui botões programáveis pelo usuário e um LED RGB para aplicativos personalizados. O microcontrolador também possui suporte para PWMs, controle de movimento e funcionalidade de host USB. Há muitos pinos de entrada/saída (40 a 80, dependendo versão) que tem múltiplas funcionalidades, isso significa que eles podem ser facilmente configurados como entradas digitais ou saídas, entradas e saídas analógicas ou outras funções, permitindo uma grande variedade de aplicações. Algumas

Figura 8.1: Primeiro protótipo desenvolvido no laboratório.

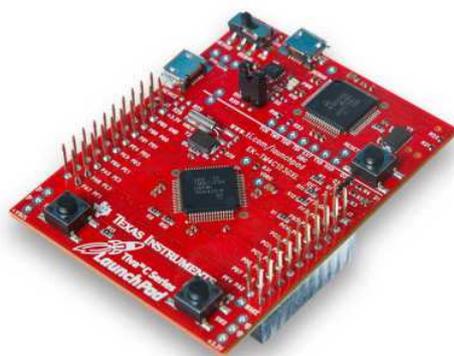


Fonte: elaborada pelo autor.

portas seriais tem a capacidade de interagir com diversos periféricos, tais como cartões SD ou módulos de comunicação. O clock é de 80 ou 120 MHz o que torna a placa de 5 a 7 vezes mais rápida do que modelos de 16 MHz do microcontrolador UNO (Arduino), por exemplo. Como acontece com qualquer Cortex M4, a CPU tem algumas instruções DSP (Digital Signal Processor), com algumas limitações, pode-se fazer processamento de sinal, por exemplo, a amostragem voz humana com uma boa qualidade, capaz de ser processado em Matlab. A CPU contém a unidade de ponto flutuante opcional com operações Single-Precision ponto flutuante suportados. Eles têm uma porta USB adicional que pode atuar como host USB, permitindo a conexão de vários dispositivos e "conectado" a pessoa tem uma 10/100 Ethernet MAC + PHY integrado para conectividade com a Internet. Eles também têm um sensor de temperatura e on-board LED (s).

O IRAMX20UP60A da International RectifierTM, mostrado na Fig.8.3, é um CI integrado de 20 A e 600 V, destinado a aplicações de acionamentos de motores, tais como sistemas de ar condicionado, acionadores de compressor e bombeamento de fluidos, bem como em aplicações industriais leves. A tecnologia da IR oferece um driver para acionamento de motor CA extremamente compacto e de alto desempenho em um único encapsulamento para simplificar o design e adquirir mais densidade de potência. Este CI avançado é uma

Figura 8.2: TIVA C Series LaunchPad TM4C123G.



Fonte: (INC., Online).

combinação da tecnologia IGBT de baixo $V_{CE(on)}$ da IR e do driver de alta velocidade encapsulados em um dissipador termicamente aprimorado totalmente isolado. Uma função integrada de monitoração de temperatura, proteção lógica contra curto-circuito dos IGBTs e função integrada de bloqueio de subtensão, oferecem alto nível de proteção e operação à prova de falhas.

Figura 8.3: Inversor IRAMX20UP60A da International Rectifier.

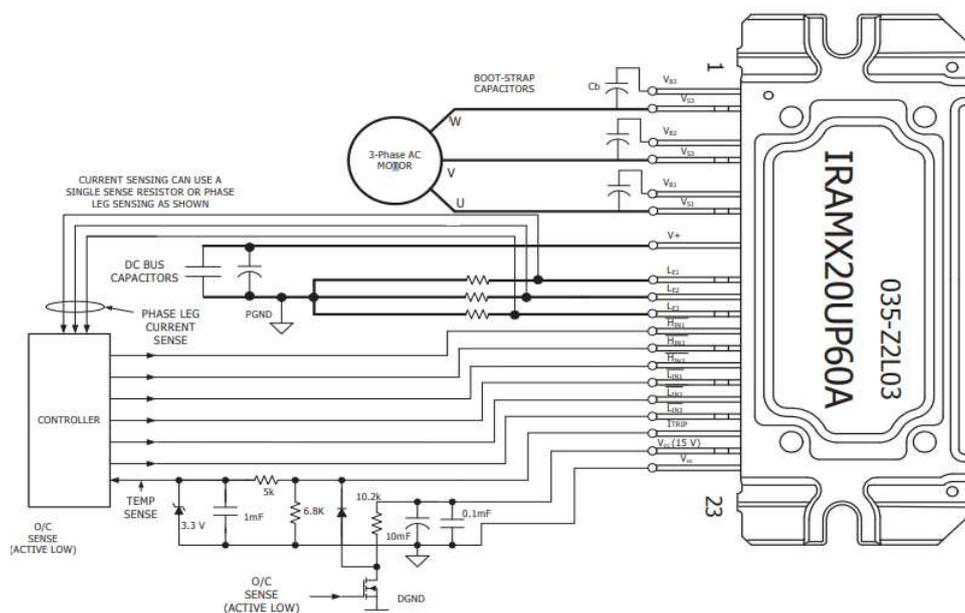


Fonte: (RECTIFIER, Online).

O uso de um encapsulamento com um estrutura completa de transferência de calor, minimiza o espaço da PCB e resolve os problemas de isolamento para o dissipador de calor. O esquema de Aplicação típica do Inversor trifásico IRAMX20UP60A é mostrado na Fig. 8.4.

Assim, com uso do IRAM como inversor trifásico e o dimensionamento dos componentes

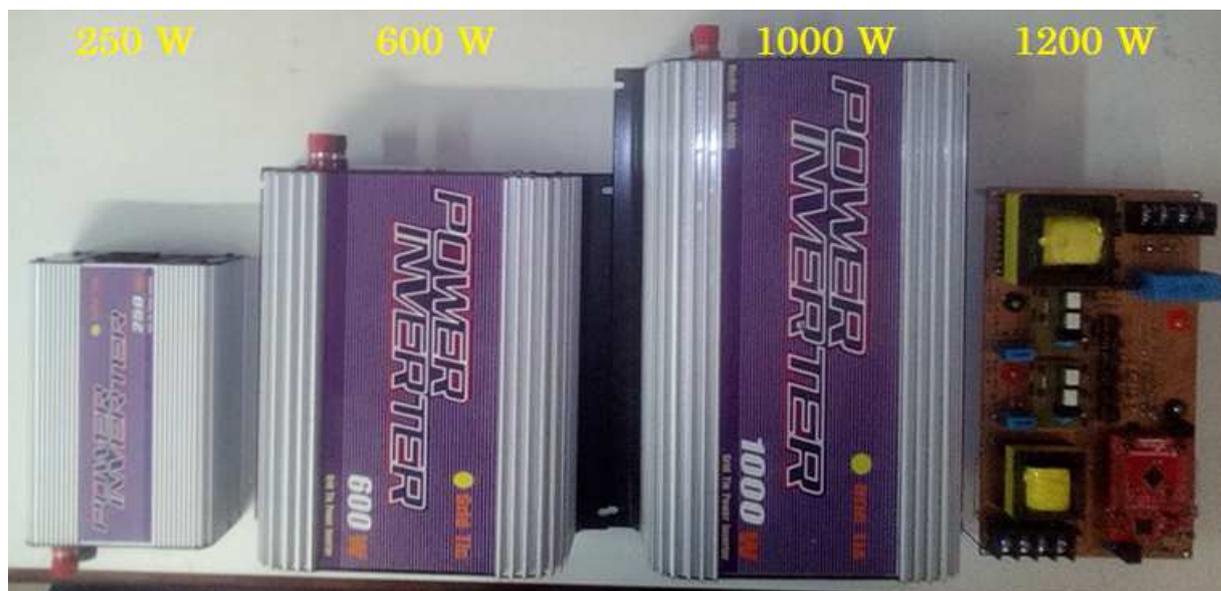
Figura 8.4: Aplicação típica do Inversor trifásico IRAMX20UP60A.



Fonte: IRAMX20UP60A datasheet.

magnéticos para uma frequência de 40 kHz, foi possível ter ganhos consideráveis em densidade de potência como mostra a Fig.8.5.

Figura 8.5: Comparação de densidade de potência entre o protótipo desenvolvido e inversores comerciais.



Fonte: elaborada pelo autor.

8.2 Experimentos

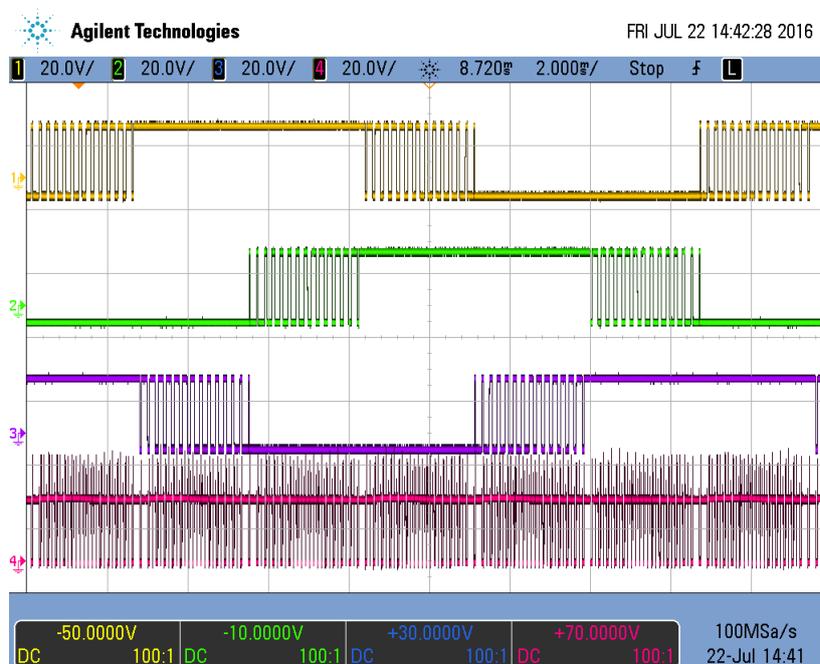
Os resultados experimentais foram obtidos usando uma estrutura semelhante à desta proposta. Uma potência de 1,6 kW foi utilizada, associando um inversor trifásico com um conversor Buck, para criar o inversor trifásico de alta frequência com barramento CC pulsado.

Uma tensão de entrada $V = 360\text{ V}$ (linha) foi usada para gerar uma tensão de 220 Vrms no lado CA para um índice de modulação de amplitude de $m = 1$ e uma carga RL ($50\ \Omega$ e 20 mH) por fase. O conversor foi controlado por um DSP TMS320F28335 da Texas Instruments.

Inicialmente, verificou-se a geração de sinais destinados as chaves do inversor trifásico, assim como para a chave do conversor CC/CC. O conversor foi programado para funcionar com uma frequência de chaveamento $f = 5\text{ k Hz}$, e o resultado pode ser visto na Fig. 8.6.

É possível ver os sinais de gate q_1 , q_2 e q_3 , bem como o comportamento da tensão do barramento CC, representado por q_{link} . Como pode ser visto, o resultado é semelhante ao que é teoricamente esperado e mostrado na Fig. 8.6.

Figura 8.6: Sinas das chaves $q_1(CH1)$, $q_2(CH2)$, $q_3(CH3)$, $q_{link}(CH4)$, para $f = 5\text{ k Hz}$.



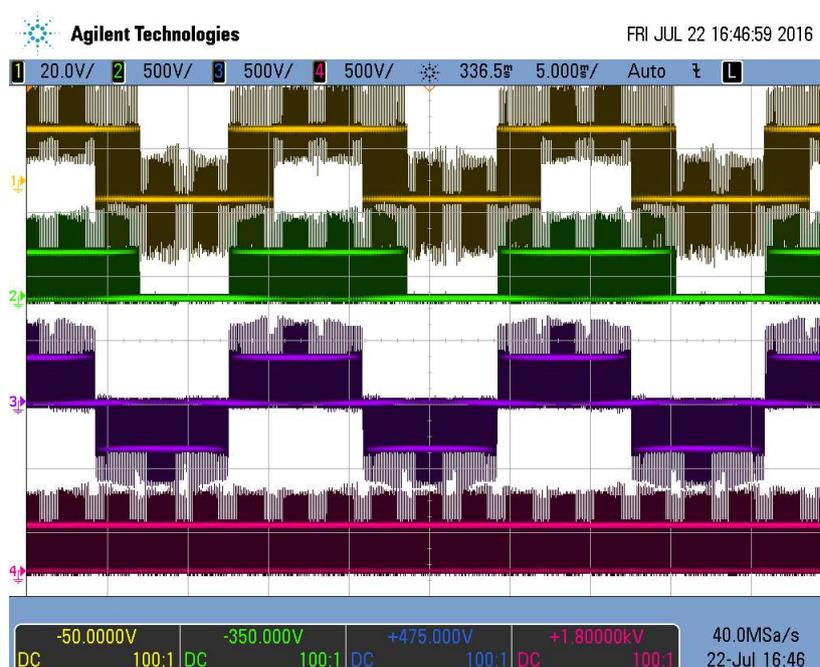
Fonte: elaborada pelo autor.

Na Fig. 8.7 são mostrados os resultados das tensões do conversor em potência máxima. Foram utilizados uma frequência de chaveamento $f = 10\text{ kHz}$ e um índice de modulação m

= 1 na frequência CA de 60 Hz.

Na Fig.8.7 é mostrado as tensões V_{gs} em q_1 , V_{ds} em \bar{q}_1 a tensão de fase V_{12} e a tensão no barramento CC pulsado V_{link} . Como pode ser visto, a tensão de saída tem três níveis e a tensão do barramento CC é pulsada com passos de 0 e 360V.

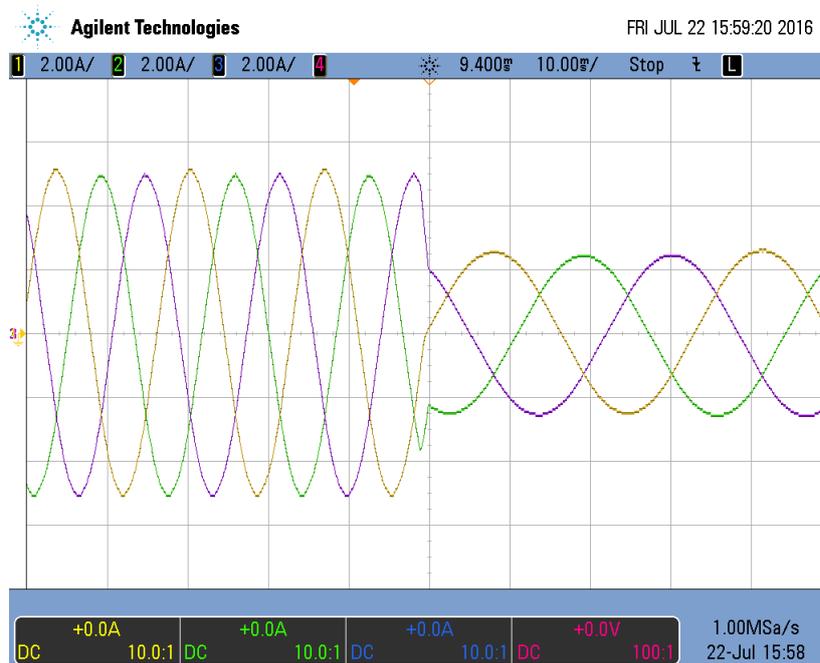
Figura 8.7: Tensões no conversor: $f_s = 10\text{kHz}$: CH1: v_{GS} in q_1 ; CH2: v_{DS} in \bar{q}_1 .



Fonte: elaborada pelo autor.

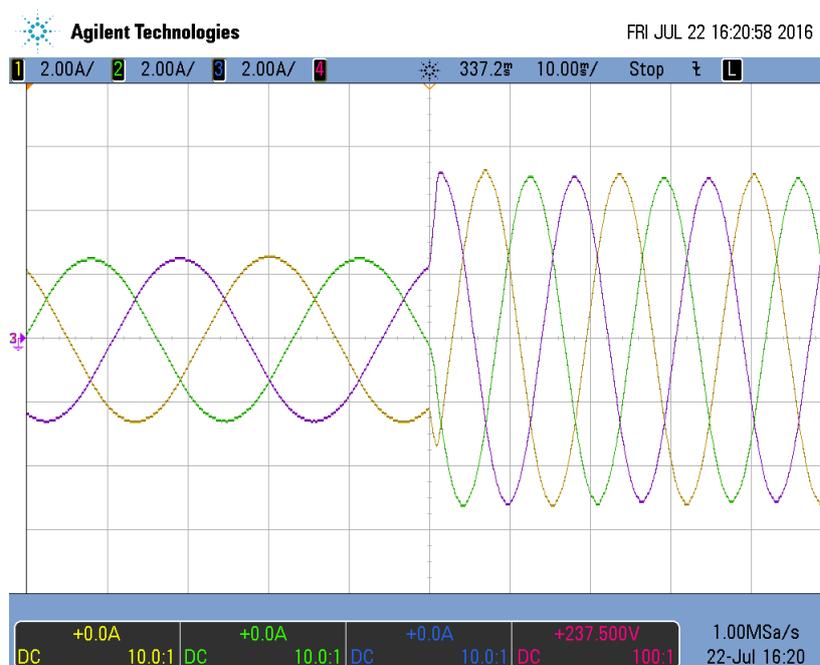
Para verificar a resposta transitória do sistema, foi implementada uma estratégia de controle Volt/Hertz e as correntes CA observadas são mostradas nas Figs.8.8 e 8.9. O teste consiste em aplicar um passo para o índice de modulação de amplitude e frequência ao mesmo tempo, mantendo o fluxo constante. A Fig.8.8 mostra o resultado das correntes CA para um degrau do tipo *step-down*, onde o passo passa de $m = 1$ a 60 Hz para $m = 0.5$ a 30 Hz. A Fig.8.9 mostra as correntes CA para um degrau do tipo *step-up*, onde é aplicado um passo $m = 0,5$ a 30 Hz para $m = 1$ a 60 Hz. Como pode ser visto, o inversor apresenta uma resposta muito rápida para os dois testes acima mencionados e as formas de onda de corrente CA são senoidais sem distorções.

Figura 8.8: Comportamento das correntes CA para um degrau do tipo step-down, $m = 1$ a 60 Hz para $m = 0.5$ a 30 Hz.



Fonte: elaborada pelo autor.

Figura 8.9: Comportamento das correntes CA para um degrau do tipo step-up, $m = 0,5$ a 30 Hz para $m = 1$ a 60 Hz.



Fonte: elaborada pelo autor.

8.3 Conclusão

Neste capítulo foi mostrado os principais resultados experimentais que suportam a proposta deste trabalho. Portanto, o inversor trifásico com barramento pulsado para bombeamento fotovoltaico aqui apresentado mostrou-se eficiente através de testes relacionados as tensões de fase e de linha do inversor, assim como as correntes nas fases de um carga RL.

9

Conclusão Geral

Um Inversor com Barramento Pulsado foi apresentado neste trabalho. Os passos necessários ao desenvolvimento do projeto; revisão bibliográfica, escolha do conversor CC/CC, dimensionamento dos componentes magnéticos, justificativa da não utilização dos capacitores eletrolíticos e as estratégias de chaveamento para conversor CC/CC, CC/CA e circuito snubber foram apresentados e detalhados.

A importância da substituição do capacitor eletrolítico por um barramento pulsado, ou um outro tipo de capacitor, foi claramente justificada, principalmente pela sua relação com densidade de potência e tempo de vida útil. Os resultados de simulação mostram o correto funcionamento das estratégias de chaveamento propostas, que embora não complexas, mostraram ser eficientes dentro da proposta deste trabalho.

Um circuito snubber foi introduzido no barramento afim de anular os spikes de tensão gerados pela indutância de dispersão do transformador, e como mostrado nos resultados de simulação, estes picos de tensão foram drasticamente reduzidos.

Por fim, foram apresentados um protótipo desenvolvido no laboratório, assim como resultados experimentais a fim de validar as estratégias de chaveamento para gerar o barramento pulsado. Os resultados, como pode ser visto, mostraram-se satisfatórios e validaram a proposta de dissertação desenvolvida neste trabalho.

9.1 Trabalhos futuros

A partir do que foi alcançado nesse trabalho, projeta-se estudos e desenvolvimento de inversores multiníveis com barramento pulsado, que até a data de apresentação deste trabalho, ainda não foram abordados na literatura, e são, por tanto, objetos de futuros trabalhos a serem desenvolvidos nas pesquisas em eletrônica de potência.

Em relação ao capítulo 3, pode-se acrescentar estudos mais detalhados sobre o dimensionamento dos magnéticos, uma vez que parâmetros mais complexos (temperatura, interferência eletromagnética, geometria etc.) devem ser levados em consideração. Alguns softwares dedicados a este tipo de estudo podem ser utilizados como ferramenta numérica.

O Capítulo 4, que se refere aos drivers de acionamento das chaves, onde a técnica de Bootstrap foi apresentada, cabe um estudo mais detalhado de outros tipos de drivers, que pode ser diferente para cada tipo de aplicação e tipo de componente, em especial os drivers para acionamento de semicondutores WBG (do inglês, wide band gap), uma vez que esses semicondutores substituirão os de Silício em um futuro não muito distante.

Em relação ao capítulo 7, resustados experimentais mais detalhados devem ser apresentados juntamente com todo o sistema em funcionamento, i.e., a adição do sistema fotovoltaico e do motor de indução.

Por fim, resume-se o que se projeta para os trabalhos futuros:

- Estudo detalhado dos componentes magnéticos;
- Estudo detalhado de drivers de acionamentos em função da aplicação e tipo do componente;
- Adção do sistemas fotovoltaico e do motor de indução ao inversor afim de obter resultados experimentais mais detalhados;
- Estruturas de inversores mutiniveis com barramento CC pulsado.

Agradecimentos

Meus mais sinceros agradecimentos a minha família, em especial aos meus pais, pelo apoio e incentivo durante todo o curso de graduação e pós-graduação.

Aos professores e orientadores Maurício Beltrão de Rossiter Corrêa e Montiê Alves Victorino, pela orientação e disponibilidade irrestrita. Assim como por todo suporte fornecido durante toda minha graduação e pós-graduação.

Aos amigos do Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM).

Um especial agradecimento aos grandes amigos adquiridos durante a graduação (e pós) no curso de Engenharia Elétrica da Universidade Federal de Campina Grande (UFCG) pelo grande apoio durante todas as etapas deste trabalho e pelos majestosos momentos vividos juntos.

Enfim, a todos aqueles que contribuíram de forma direta e indireta para a conclusão deste trabalho e que tornaram estes anos, de estudos e pesquisas, mais prazerosos.

Referências Bibliográficas

- BAI, H., Comparison and evaluation of different DC/DC topologies for plug-in hybrid electric vehicle chargers, **Int. J. Power Electronics**, v. 4, n. 2, (2012).
- CHEN, D. e LI, L., Novel static inverters with high frequency pulse DC link, **IEEE Transactions on Power Electronics**, v. 19, n. 4, p. 971–978 (2004).
- HUANG, R. e MAZUMDER, S., A novel soft-switching scheme for an isolated dc/dc converter with pulsating dc output for a three-phase high frequency-link PWM converter, v. , p. 1–9 (2008).
- HUANG, R. e MAZUMDER, S., A soft-switching scheme for an isolated dc/dc converter with pulsating dc output for a three-phase high-frequency-link PWM converter, **IEEE Transactions on Power Electronics**, v. 24, n. 10, p. 2276 – 2288 (2009a).
- HUANG, R. e MAZUMDER, S., Soft switching schemes for multiphase dc/dc converter with sixpulse modulated pulsating output, v. , p. 853 – 860 (2009b).
- INC., T. I., Fundamentals of MOSFET and IGBT Gate Driver Circuits, v. , (Oline).
- INC., T. I., Tiva C Series TM4C123G LaunchPad Evaluation Board, v. , (Online).
- INC., V. I., Engineering Solutions: Aluminum Capacitors in Power Supplies, v. , (2016).
- J. ZHANG, F. H. B. Y. e CHEN, D., Unidirectional buck DC-DC converter mode photovoltaic grid-connected inverters with high frequency link, v. , p. 376–381 (2013).
- JR, S. G. P., Reliability of CDE Aluminum Electrolytic Capacitors, v. , (2016).
- M. A. VITORINO, L. F. S. ALVES, . R. F. M. P. D. S. M. B. R. C. e DOS SANTOS, G. G., High-frequency pulsating DC-link three-phase inverter without electrolytic capacitor, v. , p. 3456–3461 (2017).
- MAZUMDER, S. e HUANG, R., Multiphase converter apparatus and method, **USPTO Patent 7,768,800 B2**, v. , p. 3884 –3892 (2010).

- MOONEM, M. A. e KRISHNASWAMI, H., Analysis of dual active bridge based power electronic transformer as a three-phase inverter, v. , p. 238 – 243 (2012).
- NICHICON, General Description of Aluminum Electrolytic Capacitors, v. , (2016).
- PEREDA, J. e DIXON, J., High-frequency link: A solution for using only one DC source in asymmetric cascaded multilevel inverters, **IEEE Trans. Ind. Electron**, v. 58, n. 9, p. 3884 –3892 (2011).
- PRASANNA, U. R. e RATHORE, A. K., Dual three-pulse modulationbased high-frequency pulsating dc link two-stage three-phase inverter for electric/hybrid/fuel cell vehicles applications, **IEEE Journal of Emerging and Selected Topics in Power Electronics**, v. 2, n. 3, p. 477 – 486 (2014).
- RAHNAMAEI, A. e MAZUMDER, S., A soft-switched hybrid-modulation scheme for a capacitor-less three-phase pulsating-dc-link inverter, **IEEE Transactions on Power Electronics**, v. 29, n. 8, p. 3893–3906 (2014).
- RECTIFIER, I., Integrated Power Hybrid IC for Appliance Motor Drive Applications, v. , (Online).
- RENNIE, R., A Dictionary of Chemistry (7 ed.), v. , (2016).
- U. R. PRASANNA, A. K. R. e CHAKRABORTY, C., High-frequency three-phase inverter employing new six-pulse-modulation (spm) technique for rural electrification/micro-grid/ders/evs, v. , p. 1585 – 1590 (2009).
- WANG, C.-M., A novel ZCS-PWM flyback converter with a simple ZCS-PWM commutation cell, **IEEE Transactions on Industrial Electronics**, v. 55, n. 2, p. 749 – 757 (2011).
- WU, X., X. X. Z. C. Q. Z. e ZHAO, R., Low voltage and current stress ZVZCS full-bridge DC-DC converter using center tapped rectifier reset, **IEEE Transactions on Industrial Electronics**, v. 55, n. 3, p. 1470 – 1477 (2008).
- WU, X., X. X. Z. J. Z. R. e QIAN, Z., Soft switched full-bridge DC-DC converter with reduced circulating loss and filter requirement, **IEEE Transactions on Power Electronics**, v. 22, n. 5, p. 1949 – 1955 (2007).
- ZHANG, F. e YAN, Y., Novel forward-flyback hybrid bidirectional DC-DC converter, **IEEE Transactions on Industrial Electronics**, v. 56, n. 5, p. 1578 – 1584 (2009).

A

Esquemáticos e PCB do Inversor Desenvolvido

A Figura A.1 ilustra o esquemático da parte de potência desenvolvido no software Altium Design 2015 ® .

A Figura A.2 ilustra o esquemático das fontes auxiliares utilizadas para converter a energia CC do PV e alimentar os dispositivos que integram o inversor.

A Figura A.3 ilustra o esquemático dos gate drivers usados para o acionamento das chaves do conversor CC/CC e do circuito snubber.

Por fim, as Figura A.4 e Figura A.5 ilustram a PCB completa nas vistas 'Top' e 'Bottom', respectivamente.

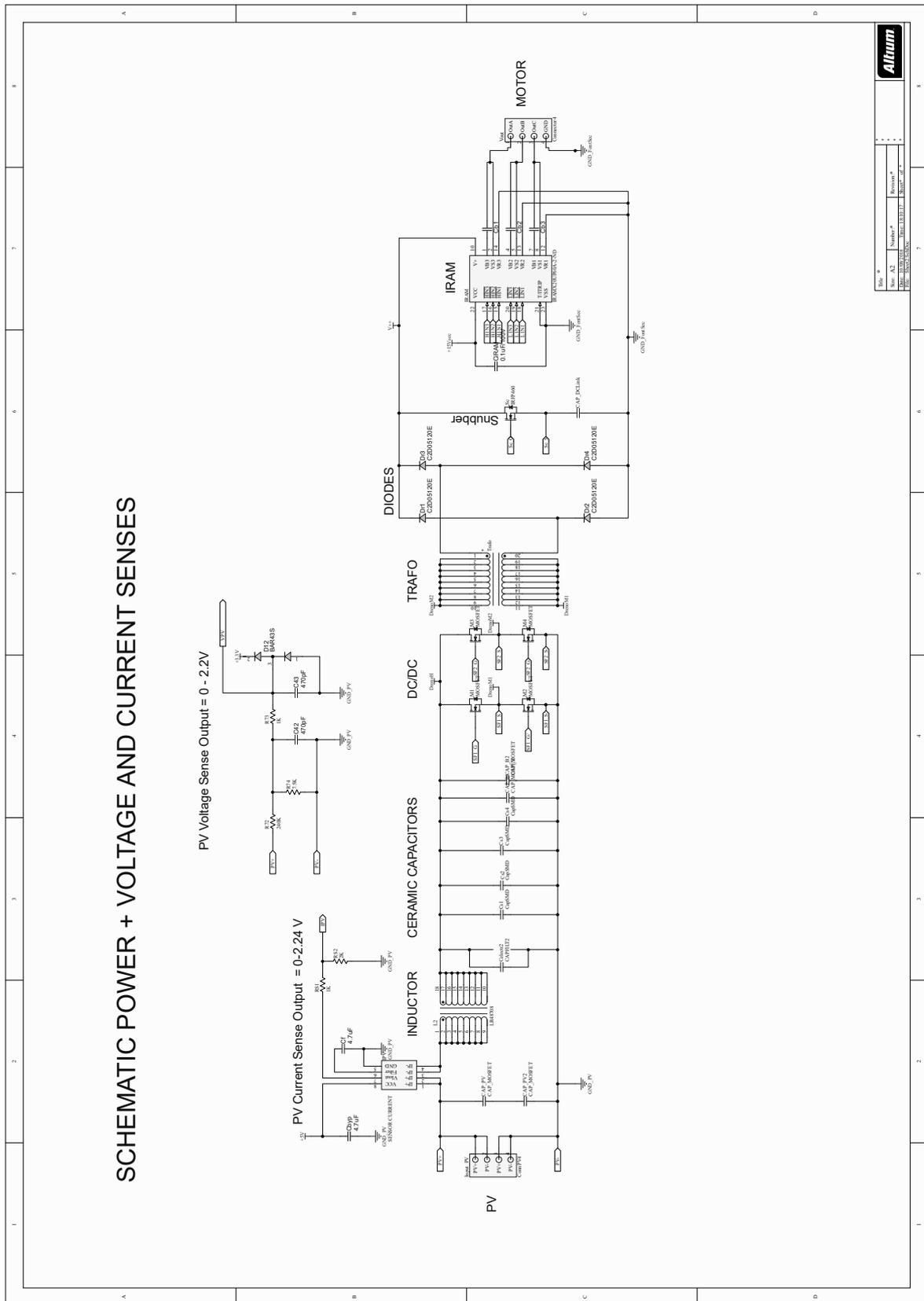


Figura A.1: Esquemático da placa de potência do inversor.

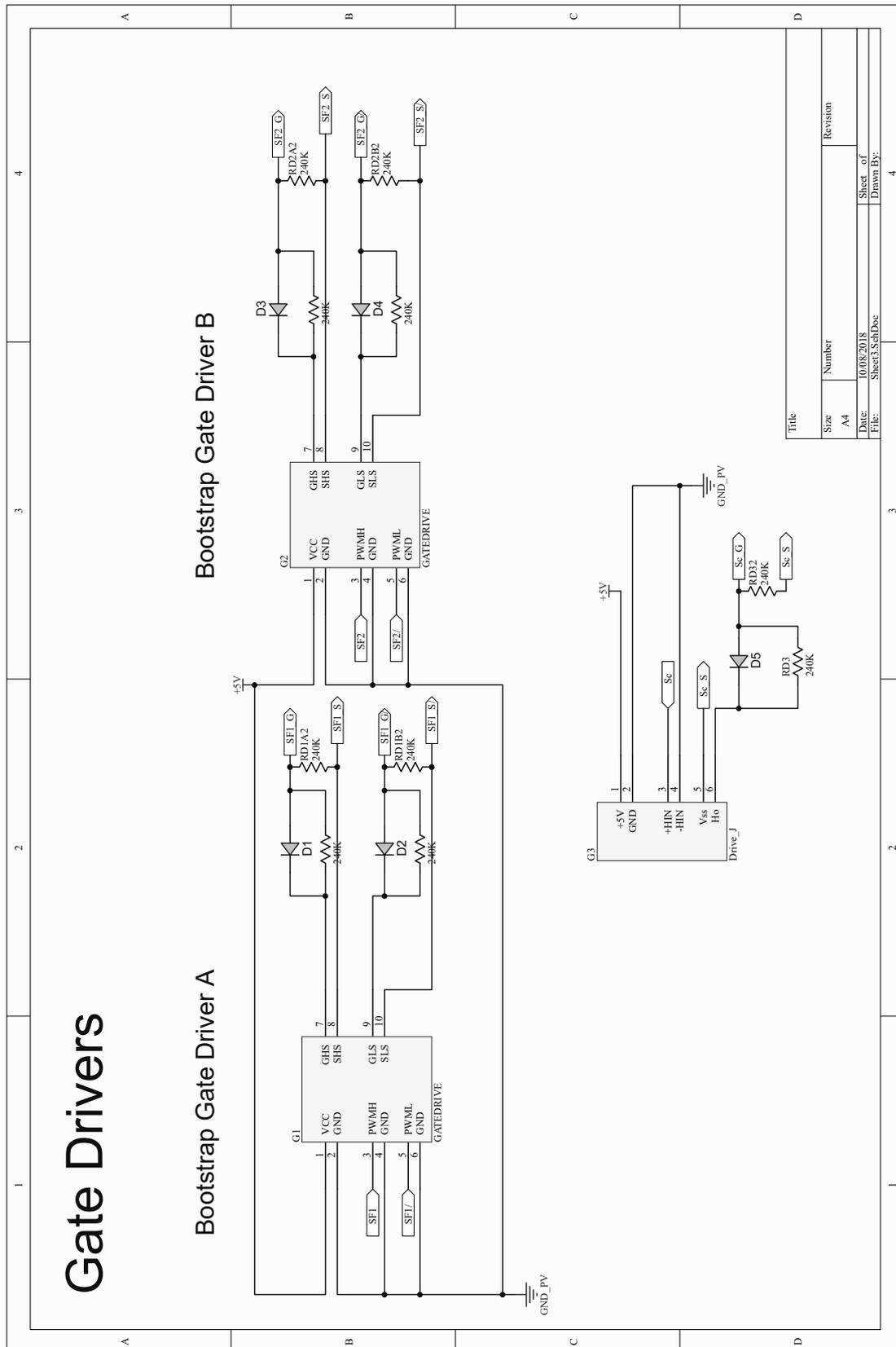


Figura A.3: Esquemático dos gate drivers.

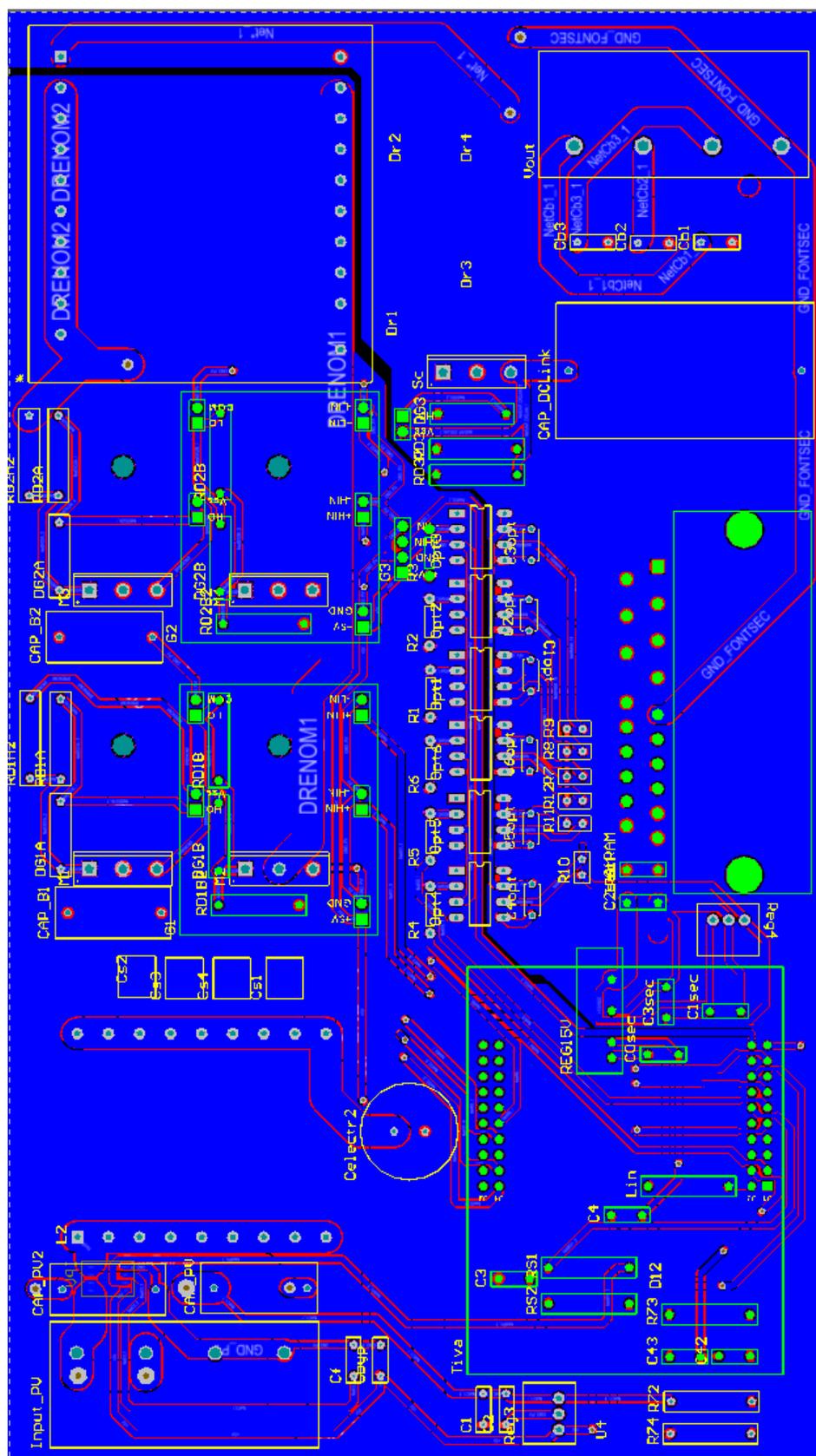


Figura A.5: Vista 'Bottom' da PCB completa gerada no software Altium Design 2015 ® .