

Universidade Federal de Campina Grande - UFCG
Centro de Engenharia Elétrica e Informática - CEEI
Departamento de Engenharia Elétrica - DEE
Coordenação de Pós-Graduação em Engenharia Elétrica - COPELE

Ulisses Gomes Lima

Trabalho de Dissertação

Sistemas de Conversão CC-CA e CA-CC Monofásicos Multiníveis em Cascata

Campina Grande, Brasil

Julho de 2021

Ulisses Gomes Lima

Trabalho de Dissertação

**Sistemas de Conversão CC-CA e CA-CC
Monofásicos Multiníveis em Cascata**

Trabalho de Dissertação apresentado à Coordenação de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para a obtenção do grau de Mestre em Engenharia Elétrica.

Orientadores:

Cursino Brandão Jacobina, D. Sc
Reuben Palmer Rezende de Sousa, D. Sc

Campina Grande, Brasil

Julho de 2021

L732s Lima, Ulisses Gomes.
 Sistemas de conversão CC-CA e CA-CC monofásicos multiníveis em cascata / Ulisses Gomes Lima. – Campina Grande, 2021.
 91 f. : il. color.

 Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2021.
 “Orientação: Prof. Dr. Cursino Brandão Jacobina, Prof. Dr. Reuben Palmer Rezende de Sousa”.

 Referências.

 1.Sistemas de Conversão – CC-CA e CA-CC. 2. Processamento de Energia 3. Dupla Banda de Histerese. 4. Capacitor Flutuante. 5. Número Reduzido de Chaves. 6. LS-PWM. I. Jacobina, Cursino Brandão. II. Sousa, Reuben Palmer Rezende de. III. Título.

CDU 621.314.2(043)

Sistemas de Conversão CC-CA e CA-CC Monofásicos Multiníveis em Cascata

ULISSES GOMES LIMA

DISSERTAÇÃO APROVADA EM 29/07/2021



CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Orientador(a)



REUBEN PALMER REZENDE DE SOUSA, D.Sc.
Orientador(a)



MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Examinador(a)



MONTIÊ ALVES VITORINO, D.Sc., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Agradecimentos

Agradeço, primeiramente, a Deus e nosso Senhor Jesus Cristo por ter dado forças para que eu conseguisse chegar até aqui, mesmo em meio às adversidades e ventos contrários que a vida impunha. Minha fé foi primordial durante a jornada acadêmica. Nesse contexto, também se incluem os irmãos da vida da Igreja, que será o meu lar até o fim dos meus dias. Os conselhos e palavras de sabedoria recebidos geraram parte do meu amadurecimento.

A toda a minha família, em especial, às duas pessoas mais importantes na minha vida: minha mãe, Marlene, e meu irmão, Vinícius. Acredito que, se meu pai (*in memoriam*) estivesse aqui, também sentiria muito orgulho. Conteí com grande apoio dos meus tios, serei eternamente grato. O momentos de descanso aos domingos na casa da minha vó também foram essenciais, um lugar em que eu me sinto em paz.

Agradeço aos amigos que fiz, aos que já partiram e aos que hão de vir. Muitas vezes, podemos encontrar em um amigo uma conexão de almas e talvez esta seja a maior riqueza que achei nos últimos anos. Não citarei nomes, mas há aqueles que você dá as mais sinceras risadas quando se encontram; os que você compartilha conhecimentos; os que você se sente a vontade para conversar sobre quaisquer assuntos; aqueles que, mesmo não se falando todos os dias, você sabe que vão até a Coreia do Sul contigo, se precisar; os que desfrutam da mesma fé que você; os que te mandam memes e vice-versa; os que te dão vácuo, mas mesmo assim, você ama; os que você escolhe para compartilhar os segredos mais íntimos do coração; os que você briga feio, mas não consegue guardar raiva por mais de uma semana e todos aqueles que são especiais só por existirem, seja porque passam uma tampinha de refrigerante nas suas pernas seja porque roubam brigadeiros contigo num aniversário.

Devo toda gratidão ao pessoal do meu grupo de pesquisa, o LEIAM. Ao professor Cursino, que estou em parceria desde 2016, em um período que não me achava capaz de conseguir um projeto. Uma pessoa que me deu todo o auxílio em momentos extra-classe. Aos mestrandos e doutorandos, a quem devo todos os resultados da minha pesquisa, desde a iniciação científica (Phelipe Leal, Filipe Bahia, João Paulo e Nayara), passando pelo TCC, em que Amanda foi de grande importância, até o mestrado, onde conheci pessoas que só agregaram, como Jean, Samuel e Alan. Este trabalho, especificamente, dedico a Reuben, sem sua ajuda eu não teria conseguido, sua paciência e calma vão te tornar um excelente professor, em quem irei me inspirar.

"O medo se vai quando ouço a voz do alto a me dizer: Sê valente!"

Marcos Almeida

Resumo

O objetivo do trabalho é analisar uma família de doze topologias de conversores monofásicos multiníveis e em cascata de duas células nos modos CC-CA (fluxo bidirecional de potência) e CA-CC (unidirecional). No caso dos inversores, utiliza-se braços completamente controláveis capazes de gerar dois e três níveis de tensão nas duas células. Para os retificadores, esses braços compõem apenas a Célula B já que, na Célula A, são utilizados braços reduzidos e passivos, que possuem número reduzido de chaves e conferem aos retificadores deste trabalho a natureza unidirecional. Em ambos os casos, as relações de barramento são assimétricas e a tensão total da célula de menor tensão é fornecida exclusivamente pelos capacitores que a compõem, chamados de flutuantes. A técnica de modulação utilizada é a de deslocamento de portadoras em nível, sempre priorizando o chaveamento entre os dois níveis mais próximos para minimizar a distorção harmônica nos sinais gerados. São apresentados os algoritmos necessários para equilibrar as tensões dos quatro capacitores, além das técnicas de controle e as sequências de vetores do LS-PWM (*Level-Shifted Pulse-Width Modulation*). Além disso, também são mostrados os resultados das simulações computacionais no *software* PSIM[®], para comparação em termos de distorção harmônica e perdas de potência, e os experimentais, com aplicação em diferentes cenários de carga.

Palavras-chave: CC-CA, CA-CC, dupla banda de histerese, capacitor flutuante, número reduzido de chaves, LS-PWM.

Abstract

The aim of this work is to analyze a family of twelve single-phase multilevel and cascade converters with two power cells in DC-AC (bidirectional power flow) and AC-DC (unidirectional) modes. In the case of inverters, fully controllable legs which are capable of generating two and three voltage levels are used in the two cells. For the rectifiers, these legs comprise only Cell B since reduced and passive legs are used in Cell A, they have a reduced number of switches and give the rectifiers in this work a unidirectional feature. In both cases, the DC-link voltage ratio are asymmetric and the total voltage of the lowest voltage cell is supplied exclusively by the capacitors that compose it, they are called floating capacitors. The modulation technique used is the level-shifted carriers, always prioritizing the switching between the two nearest voltage levels to minimize harmonic distortion in the generated signals. The algorithms needed to balance the voltages of the four capacitors are presented, as well as the control techniques and the LS-PWM (Level-Shifted Pulse-Width Modulation) vector sequences. In addition, the results of computational simulations in the software PSIM[®] are also shown, for comparison in terms of harmonic distortion and power losses, and the experimental ones, with application in different load scenarios..

Keywords: DC-AC, AC-DC, double-band hysteresis, floating capacitor, reduced number of switches, LS-PWM.

Lista de tabelas

Tabela 1 – Estados de chaves, tensões geradas e efeitos no barramento da célula 33 para $i_L > 0$	12
Tabela 2 – Estados de chaves, tensões geradas e efeitos no barramento da célula 32 para $i_L > 0$	13
Tabela 3 – Estados de chaves, tensões geradas e efeitos no barramento da célula 22 para $i_L > 0$	13
Tabela 4 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-33 com relação de barramento 3:1 para $i_L > 0$	17
Tabela 5 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-32 com relação de barramento 3:1 para $i_L > 0$	18
Tabela 6 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-33 com relação de barramento 3:1 para $i_L > 0$	19
Tabela 7 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-32 com relação de barramento 2:1 para $i_L > 0$	20
Tabela 8 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-22 com relação de barramento 4:1 para $i_L > 0$	21
Tabela 9 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-22 com relação de barramento 2:1 para $i_L > 0$	22
Tabela 10 – Parâmetros utilizados nas simulações dos inversores.	30
Tabela 11 – Quantidade de dispositivos semicondutores nas topologias em estudo.	31
Tabela 12 – Tensões percentuais máximas a que os dispositivos semicondutores estão submetidas com relação a V_L^*	31
Tabela 13 – Valores percentuais de WTHD em v_L nas topologias de inversores.	32
Tabela 14 – Perdas percentuais das topologias de inversores considerando a mesma WTHD em v_L de 0,1213%.	33
Tabela 15 – Frequências médias de chaveamento de cada braço das topologias de inversores em Hz.	33
Tabela 16 – Resumo dos resultados experimentais para tensões e correntes da carga dos inversores.	38
Tabela 17 – Resumo dos resultados experimentais para tensões dos barramentos dos inversores.	39
Tabela 18 – Resumo dos resultados experimentais para tensões e correntes da carga não-linear dos inversores.	40

Tabela 19	–Resumo dos resultados experimentais para tensões dos barramentos com aplicação da carga não-linear nos inversores.	40
Tabela 20	–Estados de chaves, tensões geradas e efeitos no barramento da célula RR.	51
Tabela 21	–Estados de chaves, tensões geradas e efeitos no barramento da célula RP.	53
Tabela 22	–Estados de chaves, tensões geradas e efeitos no barramento da célula 33 para $i_g > 0$	53
Tabela 23	–Estados de chaves, tensões geradas e efeitos no barramento da célula 32 para $i_g > 0$	54
Tabela 24	–Estados de chaves, tensões geradas e efeitos no barramento da célula 22 para $i_g > 0$	54
Tabela 25	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-33 com relação de barramento 3:1.	57
Tabela 26	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-32 com relação de barramento 3:1.	58
Tabela 27	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-33 com relação de barramento 2:1.	59
Tabela 28	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-32 com relação de barramento 2:1.	60
Tabela 29	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-22 com relação de barramento 4:1.	61
Tabela 30	–Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-22 com relação de barramento 2:1.	61
Tabela 31	–Parâmetros utilizados nas simulações dos retificadores.	69
Tabela 32	–Quantidade de dispositivos semicondutores nas topologias em estudo. .	69
Tabela 33	–Tensões percentuais máximas a que os dispositivos semicondutores estão submetidas com relação a V_g^*	70
Tabela 34	–Valores percentuais de WTHD em v_g nas topologias de retificadores. .	70
Tabela 35	–Perdas percentuais das topologias de inversores considerando a mesma WTHD em v_g de 0,1289%.	71
Tabela 36	–Frequências médias de chaveamento de cada braço das topologias de retificadores em Hz.	72
Tabela 37	–Resumo dos resultados experimentais para tensões e correntes dos retificadores.	76
Tabela 38	–Resumo dos resultados experimentais para tensões dos barramentos dos retificadores.	77

Lista de ilustrações

Figura 1 – Topologias de conversores multiníveis.	4
Figura 2 – Braços utilizados nas topologias do trabalho.	7
Figura 3 – Esquemas dos circuitos para as topologias de a) Inversores e b) Retificadores.	8
Figura 4 – Circuito simplificado das topologias de inversores.	11
Figura 5 – Células utilizadas nos inversores.	12
Figura 6 – Topologias de inversores propostas.	14
Figura 6 – Topologias de inversores propostas.	15
Figura 7 – Exemplificação do LS-PWM.	15
Figura 8 – Controle por dupla banda de histerese.	21
Figura 9 – Fluxograma do algoritmo utilizado no LS-PWM dos inversores.	23
Figura 10 – Sequências de vetores dos padrões de chaveamento para a topologia 33-33.	24
Figura 11 – Sequências de vetores dos padrões de chaveamento para a topologia 33-32.	25
Figura 12 – Sequências de vetores dos padrões de chaveamento para a topologia 32-33.	26
Figura 13 – Sequências de vetores dos padrões de chaveamento para a topologia 32-32.	27
Figura 14 – Sequências de vetores dos padrões de chaveamento para a topologia 33-22.	28
Figura 15 – Sequências de vetores dos padrões de chaveamento para a topologia 32-22.	29
Figura 16 – Tensões e correntes na carga dos inversores na simulação dinâmica.	35
Figura 17 – Tensões nos capacitores das células A e B dos inversores na simulação dinâmica.	36
Figura 18 – Bancada utilizada nos experimentos.	37
Figura 19 – Modelo da carga não-linear utilizada nos inversores.	40
Figura 20 – Tensões e correntes experimentais dos inversores.	41
Figura 21 – Tensões experimentais dos barramentos dos inversores	42
Figura 22 – Aplicação do transitório na topologia 33-33.	43
Figura 23 – Aplicação do transitório na topologia 33-32.	43
Figura 24 – Aplicação do transitório na topologia 32-33.	44
Figura 25 – Aplicação do transitório na topologia 32-32.	44
Figura 26 – Aplicação do transitório na topologia 33-22.	45
Figura 27 – Aplicação do transitório na topologia 32-22.	45
Figura 28 – Tensões e correntes experimentais dos inversores após aplicação da carga não-linear.	46

Figura 29 – Tensões experimentais dos barramentos dos inversores após aplicação da carga não-linear	47
Figura 30 – Circuito simplificado das topologias de inversores.	49
Figura 31 – Células utilizadas nos retificadores.	51
Figura 32 – Topologias de retificadores propostas.	52
Figura 32 – Topologias de retificadores propostas.	53
Figura 33 – Controle em cascata utilizado nos retificadores.	55
Figura 34 – Diagrama fasorial relacionando tensões e corrente do conversor.	55
Figura 35 – Fluxograma do algoritmo utilizado no LS-PWM dos retificadores.	62
Figura 36 – Sequências de vetores dos padrões de chaveamento para a topologia RR-33.	63
Figura 37 – Sequências de vetores dos padrões de chaveamento para a topologia RR-32.	64
Figura 38 – Sequências de vetores dos padrões de chaveamento para a topologia RP-33.	65
Figura 39 – Sequências de vetores dos padrões de chaveamento para a topologia RP-32.	66
Figura 40 – Sequências de vetores dos padrões de chaveamento para a topologia RR-22.	67
Figura 41 – Sequências de vetores dos padrões de chaveamento para a topologia RP-22.	68
Figura 42 – Tensões e correntes dos retificadores na simulação dinâmica.	74
Figura 43 – Tensões nos capacitores das células A e B dos retificadores na simulação dinâmica.	75
Figura 44 – Tensões e correntes experimentais dos retificadores.	79
Figura 45 – Tensões experimentais dos barramentos dos retificadores.	80
Figura 46 – Aplicação do transitório na topologia RR-33.	81
Figura 47 – Aplicação do transitório na topologia RR-32.	81
Figura 48 – Aplicação do transitório na topologia RP-33.	82
Figura 49 – Aplicação do transitório na topologia RP-32.	82
Figura 50 – Aplicação do transitório na topologia RR-22.	83
Figura 51 – Aplicação do transitório na topologia RP-22.	83

Lista de abreviaturas e siglas

CA	Corrente Alternada
CC	Corrente Contínua
CHB	<i>Cascaded H-Bridge</i>
FC	<i>Flying Capacitor</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LS-PWM	<i>Level-Shifted Pulse Width Modulation</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
NPC	<i>Neutral-Point-Clamped</i>
pPLL	<i>Power Phase-Locked Loop</i>
PS-PWM	<i>Phase-Shifted Pulse Width Modulation</i>
PWM	<i>Pulse Width Modulation</i>
SV-PWM	<i>Space Vector Pulse Width Modulation</i>
WTHD	<i>Weighted Total Harmonic Distortion</i>

Sumário

1	Introdução	1
1.1	Revisão Bibliográfica	2
1.2	Objetivos	6
1.3	Organização do Trabalho	7
1.4	Contribuições	9
1.5	Produção Científica	9
2	Sistemas CC-CA	10
2.1	Modelo do Sistema	10
2.2	<i>Level-Shifted Pulse-Width Modulation</i>	13
2.3	Resultados das Simulações	29
2.3.1	Tensões sobre os dispositivos semicondutores	30
2.3.2	Distorção harmônica	31
2.3.3	Perdas de potência	32
2.3.4	Simulação dinâmica	34
2.4	Resultados Experimentais	37
2.5	Conclusões	48
3	Sistemas CA-CC	49
3.1	Modelo do Sistema	49
3.2	Estratégia de Controle	54
3.3	Análise Fasorial	55
3.4	<i>Level-Shifted Pulse-Width Modulation</i>	56
3.5	Resultados das Simulações	68
3.5.1	Tensões sobre os dispositivos semicondutores	69
3.5.2	Distorção harmônica	70
3.5.3	Perdas de potência	71
3.5.4	Simulação dinâmica	72
3.6	Resultados Experimentais	76
3.7	Conclusões	78
4	Conclusões	84
	Referências	86

1 | Introdução

Dentre as várias áreas da Engenharia Elétrica existe a Eletrônica de Potência, que faz uso de dispositivos para alcançar formas de onda desejáveis na saída de um sistema por meio do controle e processamento da energia disponível na entrada de modo eficiente. Os conversores de potência são circuitos que utilizam chaves semicondutoras, tais como IGBT (*Insulated Gate Bipolar Transistor*) e MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) (Vitorino, 2012), para controlar a saída tanto em relação à amplitude quanto à forma de onda. Eles podem ser classificados observando se a entrada e a saída são de corrente contínua (CC) ou de corrente alternada (CA), existindo, portanto, quatro tipos de conversão possíveis: CC-CC, CC-CA (nesse caso, os conversores são chamados de inversores), CA-CC (nesse caso, os conversores são chamados de retificadores) e CA-CA (Vitorino, 2012).

Conversores de potência são uma ótima solução para processos que envolvem sistemas de acionamento elétrico. Podem ter várias aplicações, como no setor de transportes, manufatura, mineração e na indústria petroquímica, por exemplo. Esses processos estão demandando cada vez mais potência para que seja possível uma maior produção com maior eficiência e menor custo. Para sanar essa questão, pesquisas têm sido focadas em duas vertentes: i) o desenvolvimento de dispositivos semicondutores com tensões e correntes nominais maiores (cerca de 8 kV e 6 kA) mantendo as topologias de conversores tradicionais (com dois níveis de tensão e conversores fontes de corrente) e ii) criando novas topologias de conversores com a tecnologia de semicondutores existente, conhecidas como conversores multiníveis (Rodriguez et al., 2009).

Na primeira opção, há a vantagem de se utilizarem estruturas e mecanismos de controle bem conhecidos na literatura, entretanto, são dispositivos mais caros e, por apresentarem uma potência maior, esses novos semicondutores necessitam de filtros para melhorar a qualidade da energia. A segunda abordagem traz os semicondutores já conhecidos e de baixo custo, mas com estruturas de circuito mais complexas que trazem desafios para implementação e estratégias de controle. Esses desafios logo se tornaram grandes oportunidades para as pesquisas e alavancaram o desenvolvimento dos conversores multiníveis com o passar dos anos (Rodriguez et al., 2009).

Compostos por um conjunto de semicondutores e capacitores, os conversores multi-

níveis sintetizam tensões cuja forma de onda possui formato semelhante a degraus, por isso, o nome multinível. Uma característica interessante é que a tensão reversa experimentada pelos semicondutores pode ser significativamente diminuída, o que dispensa o uso de dispositivos mais robustos. Com o aumento do número de níveis de tensão, a onda gerada possuirá mais degraus na sua forma e, conseqüentemente, a distorção harmônica será reduzida. Entretanto, isso também aumenta a complexidade do controle utilizado e introduz problemas de desequilíbrios de tensão (Rodriguez; Jih-Sheng Lai; Fang Zheng Peng, 2002).

As vantagens tornaram os conversores multiníveis muito atrativos para a indústria. Pesquisadores do mundo todo estão engajados em melhorar o desempenho e simplificar o controle desses sistemas com diferentes algoritmos que evidenciem a melhora da taxa de distorção harmônica do sinal de saída, do balanceamento dos barramentos CC e da ondulação da corrente (Franquelo et al., 2008).

1.1 Revisão Bibliográfica

As topologias de conversores multiníveis mais conhecidas existentes na literatura são as seguintes: diodo grampeado no ponto neutro (NPC, do inglês *Neutral-Point-Clamped*) (Nabae; Takahashi; Akagi, 1981), capacitor flutuante (FC, do inglês *Flying-Capacitor*) (Meynard; Foch, 1992) e Ponte H em cascata (CHB, do inglês *cascaded H-Bridge*) (Baker; Bannister, 1975). Além disso, vários métodos de controle e de PWM (*Pulse Width Modulation*) foram criados, de forma a se aproveitar ao máximo os graus de liberdade proporcionados pelas topologias, tais como *Level-Shifted* PWM (LS-PWM) (Carrara et al., 1992), *Phase-Shifted* PWM (PS-PWM) (Hammond, 1997) e *Space-Vector* PWM (SV-PWM) (Holtz, 1994).

O conversor NPC da Figura 1a é composto por dois pares de chaves ($q_1, q_2, \bar{q}_1, \bar{q}_2$) conectadas em série em que seus pontos centrais são interconectados por dois diodos de grampeamento (D_1, D_2) que formam o ponto do neutro N e dividem a tensão total do barramento em duas. Cada dispositivo bloqueia apenas metade da tensão do conversor, o que aumenta a capacidade de transferência de potência, caso seja utilizado o mesmo material semiconductor para os dispositivos. É fácil observar que q_1 e \bar{q}_1 devem ter níveis lógicos complementares assim como q_2 e \bar{q}_2 , caso contrário, haveria curto-circuito do barramento CC. Dessa forma, quatro combinações de chaves são possíveis, das quais três permitem a síntese dos níveis de tensão $+V_{dc}$, $-V_{dc}$ e zero na saída V_{AN} do braço, sendo o nível nulo obtido pelo ponto de neutro. A combinação que consiste em q_1 ligada e q_2 desligada é proibida, uma vez que não oferece caminho para a corrente circular (Rodriguez et al., 2009).

Dentre as vantagens do conversor NPC destaca-se a possibilidade de dispensar a utilização de filtros na saída, já que o aumento do número de níveis de tensão diminui a distorção harmônica; devido à baixa frequência de comutação, possui alto rendimento e permite-se controlar a potência reativa. Como desvantagens há o elevado número de diodos com o aumento de níveis, incrementando a complexidade controle; dificuldade de se controlar o fluxo de energia em tempo real (Rodrigues, 2011).

O conversor FC da Figura 1b, utiliza capacitores flutuantes, ao invés de diodos grampeados como no caso do NPC. O nível zero é obtido com conexão do capacitor de modo que sua polaridade fique contrária em relação ao barramento. Para evitar curto-circuito no barramento, a chave q_1 é complementar à \bar{q}_1 e q_2 à \bar{q}_2 . Nesta topologia, as quatro combinações das chaves podem ser utilizadas, uma delas vai gerar o nível $+V_{dc}$, outra, o $-V_{dc}$ e duas, o nível zero, gerando redundâncias que podem ser úteis em estratégias de controle (Rodriguez et al., 2009).

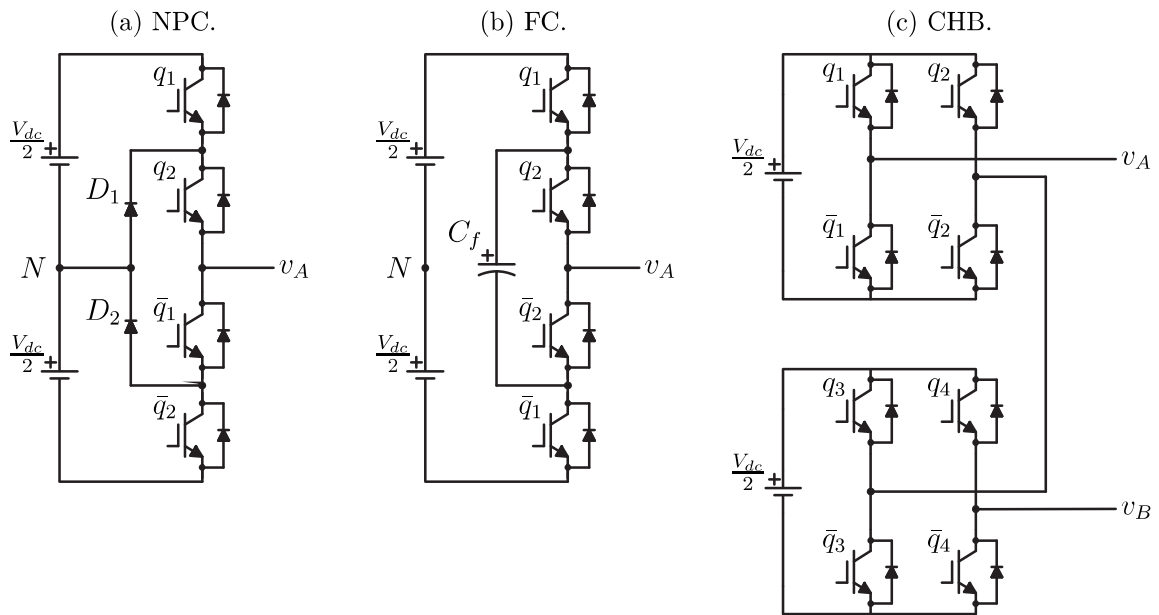
Como vantagens, o conversor FC apresenta maior modularidade na adição de novos capacitores para gerar mais níveis na saída; possibilita o controle de potência ativa e reativa, além de um controle mais flexível com a presença das redundâncias. Entretanto, a presença de capacitores flutuantes aumenta o custo, diminui o tempo médio de vida e fornece uma maior complexidade no controle das tensões desses componentes, além de que no uso para transmissão de potência ativa, a eficiência do conversor e a capacidade de comutação das chaves são afetadas (Rodrigues, 2011).

O conversor CHB é composto por, no mínimo, duas Ponte-H conectadas em série, como mostrado na Figura 1c. As chaves de um mesmo braço são complementares para evitar curto-circuito do barramento. Assim como o FC, todas as quatro combinações de chave são possíveis com a geração dos mesmos três níveis e uma redundância no nível zero em cada Ponte-H isoladamente (resultando em, no mínimo, 5 níveis para a topologia CHB de duas células, a depender da relação de barramento) (Rodriguez et al., 2009).

A topologia CHB gera um número mínimo de níveis igual a $2N+1$, sendo N a quantidade de células em cascata e apresenta um reduzido número de componentes, comparada às demais topologias de conversores multiníveis. Também se destaca por sua estrutura simples e modular. Todavia, há uma dependência de fontes CC independentes nos barramentos e elas devem estar preparadas tanto para fornecer quanto para absorver potência (Rodrigues, 2011).

Especificamente, o conversor NPC é amplamente utilizado em aplicações da ordem de mega-volts e também naquelas que envolvem baixas e médias frequências de chaveamento. Além disso, possui a maior eficiência em termos de conversão de energia entre as soluções disponíveis na indústria, sendo mais utilizados em transportadores, bombas e moinhos,

Figura 1 – Topologias de conversores multiníveis.



entre outros (Abu-Rub et al., 2010). A configuração *back-to-back* é um grande benefício dessa topologia, usada em aplicações de transportadores na indústria de mineração e na interface de rede de fontes de energia renováveis, tal como energia eólica (Abu-Rub et al., 2010).

Os barramentos de um inversor em cascata convencional pode ser composto por fontes CC ou capacitores que são alimentados por uma fonte vindas de retificadores, por exemplo. Entretanto, existe um conjunto específico em que um ou mais barramentos fazem uso apenas de capacitores, dispensando as fontes. Esses capacitores compõem os barramentos flutuantes. A presença de mais fontes CC isoladas no sistema para alimentar os barramentos implica na utilização de mais transformadores e retificadores (Malinowski et al., 2010). Com os barramentos flutuantes, torna-se possível a conexão com apenas uma fonte CC, o que leva a um conversor de menor tamanho e menos custoso (Vahedi; Al-Haddad, 2016), (Veenstra; Rufer, 2005) e (Monteiro, 2019). Todavia, o método também traz desafios com relação à regulação de tensão do capacitor, que dependerá do índice de modulação e do fator de potência da carga utilizados (Monteiro, 2019).

Na literatura, são encontrados trabalhos que abordam o tema. O inversor monofásico CHB com apenas uma fonte é apresentado em (Zhong Du et al., 2006), em que os estados das chaves são definidos por uma técnica de eliminação de harmônicos. E em (Vazquez et al., 2009), é desenvolvida uma técnica baseada em SV-PWM para controle dessa topologia. Já em (Routray; Singh; Mahanty, 2017), um inversor composto por três Ponte-H em cascata e um deles barramento flutuante é controlado com a implementação de um algoritmo genético. Em (Sepahvand; Ferdowsi; Corzine, 2011), (Silva et al., 2011) e (Silva; Espinoza;

Lezana, 2010), os inversores trifásicos propostos são híbridos, com braços NPC em cascata e com Ponte-H convencionais alimentadas por capacitores. Esse inversor é projetado para se recuperar caso ocorra falta em alguma das Ponte-H.

O equilíbrio de tensões de barramentos com capacitores flutuantes também é analisado em (Pereira Monteiro et al., 2020), com inversores em cascata de duas e três Ponte-H convencionais por meio das redundâncias do LS-PWM. Além disso, são encontrados trabalhos com a configuração *open-end* para acionamento de motores trifásicos de indução (Sivakumar et al., 2010), (Drisya V; Samina T, 2015), (Chowdhury et al., 2016), (Singh et al., 2019), (Perera et al., 2019) e (Perera; Kish; Salmon, 2020) e a ímã permanente (Zhao et al., 2018) e (Zhao et al., 2020), todos com barramento flutuante.

Há aplicações em que não há necessidade de fluxo bidirecional de potência na conversão CA-CC, dispensando braços completamente controláveis, como é o caso de aplicações para sistemas de bombeamento submersos (Liang; Kar; Liu, 2015), carregadores de baterias de carros elétricos (Yilmaz; Krein, 2013), geração de energia eólica e aplicações aeroespaciais. Nessa última, o fluxo bidirecional é até proibido (Wang et al., 2013).

Para que um conversor seja unidirecional, ou seja, com o fluxo seguindo de fonte CA para barramento CC, pode-se utilizar os retificadores passivos (como em (Zhao et al., 2020) para sistemas ferroviários, e em (Jiang, 2015), numa proposta multinível em cascata) que, embora sejam menos custosos e complexos, dispensando as chaves, injetam mais distorções na corrente da rede que os completamente controláveis (Sousa, 2019).

Outra alternativa são os retificadores Vienna, utilizados, por exemplo, em (Kolar; Zach, 1997), (Bashar et al., 2016), (Gabriel et al., 2013), (Nannam; Banerjee, 2018), (Jia et al., 2017) e (Wang et al., 2020), que possibilitam a redução no número de chaves, se tornando menos custosos e complexos, quando comparados às topologias totalmente controladas, e permitem o controle de tensão no barramento CC, elevado fator de potência e correntes senoidais, apresentando menores distorções harmônicas quando comparados aos retificadores passivos (Sousa, 2019).

Essa redução de componentes no sistema aumenta sua confiabilidade, na medida que as mudanças de temperatura nos dispositivos é uma das principais causas de falhas na eletrônica de potência, por causa dos diferentes coeficientes térmicos dos materiais que formam os semicondutores (Ma et al., 2015).

Alguns trabalhos que utilizam esse tipo de topologia fazem aplicações em sistemas de telecomunicações e conversão de energia (Lee; Lee, 2016), filtros ativos e fontes de alimentação para aeronaves (Zhang et al., 2013) e sistemas de transmissão de alta tensão em corrente contínua (Jiang et al., 2014).

No caso dos retificadores, a aplicação do capacitor flutuante é estudada em (Felinto et al., 2018), em que dois conversores trifásicos com braços de dois níveis convencionais são conectados em *open-end* com a rede elétrica e um dos dois barramentos é flutuante. Em (Foti et al., 2017), a configuração *open-end* com barramento flutuante é utilizada em uma aplicação de geradores de alta velocidade.

Em (Felinto et al., 2017), cada fase de um retificador trifásico é composta por uma Ponte-H convencional, formada por barramento flutuante, em série com um braço de dois níveis, que formam a célula principal. Esse mesmo retificador é analisado em (Felinto et al., 2020), do ponto de vista da redução do número de chaves na célula principal. A diminuição de componentes também é o foco de (Monteiro et al., 2019) e (Méllo; Jacobina; da Silva, 2017). Em (Lee; Fajri; Ferdowsi, 2015), as tensões dos barramentos flutuantes das Ponte-H convencionais de cada fase de um retificador trifásico são controladas por uma estratégia de modulação híbrida.

Acerca das relações de tensão utilizadas nos barramentos, apesar dos conversores simétricos (com a mesma tensão nos barramentos, do contrário, assimétricos) se apresentarem mais modulares e tolerantes a faltas, os assimétricos permitem a geração de muito mais níveis de tensão, contribuindo para uma maior qualidade da forma de onda, sendo possível dispensar filtros e tornando o sistema mais compacto (Malinowski et al., 2010), (Pereda; Dixon, 2013) e (Kouro et al., 2015).

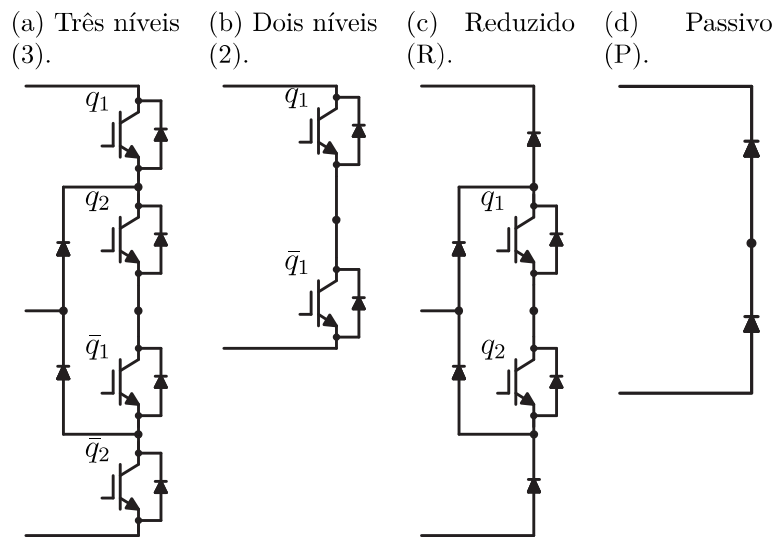
1.2 Objetivos

O objetivo do trabalho é analisar 12 topologias de conversores monofásicos multiníveis com duas células conectadas em cascata divididos entre os modos CC-CA, que são os inversores com fluxo de potência bidirecional, e CA-CC, os retificadores unidirecionais com número reduzido de chaves semicondutoras em relação aos inversores. As células dos conversores serão identificadas por Célula A (maior tensão) e Célula B (menor tensão). Em ambos os casos, é empregado o capacitor flutuante na célula de menor tensão, ou seja, nos inversores a conexão CC externa envolve apenas o barramento A e nos retificadores a carga é conectada apenas na Célula A. As tensões dos barramentos são assimétricas para maximizar a capacidade de geração de níveis de tensão. A técnica PWM utilizada é a de deslocamento em nível das portadoras (LS-PWM), em que se busca sempre o chaveamento entre os níveis mais próximos, para que as distorções harmônicas sejam minimizadas.

As topologias serão identificadas de acordo com os tipos de braços utilizados. Como cada uma é composta de quatro braços distribuídos em duas células, a nomenclatura segue o padrão "WX-YZ", em que WX são os braços da célula A e YZ, os da B. Na Figura 2, são

mostrados os diferentes tipos citados daqui para frente: o braço de três níveis (referenciado por "3", Figura 2a, usado em conversores NPC), o braço de dois níveis (referenciado por "2", Figura 2b, usado em conversores CHB), o braço reduzido, proposto em (Corzine; Baker, 2002) (referenciado por "R", Figura 2c), parecido com aqueles utilizados nos retificadores Vienna (Kolar; Zach, 1997), e o braço passivo, proposto em (Bird; Marsh; McLellan, 1969) (referenciado por "P", Figura 2d). Os dois primeiros permitem fluxo bidirecional e são aplicados tanto nos inversores quanto nos retificadores. Já os dois últimos, apenas nos retificadores, pois permitem somente fluxo unidirecional de potência.

Figura 2 – Braços utilizados nas topologias do trabalho.

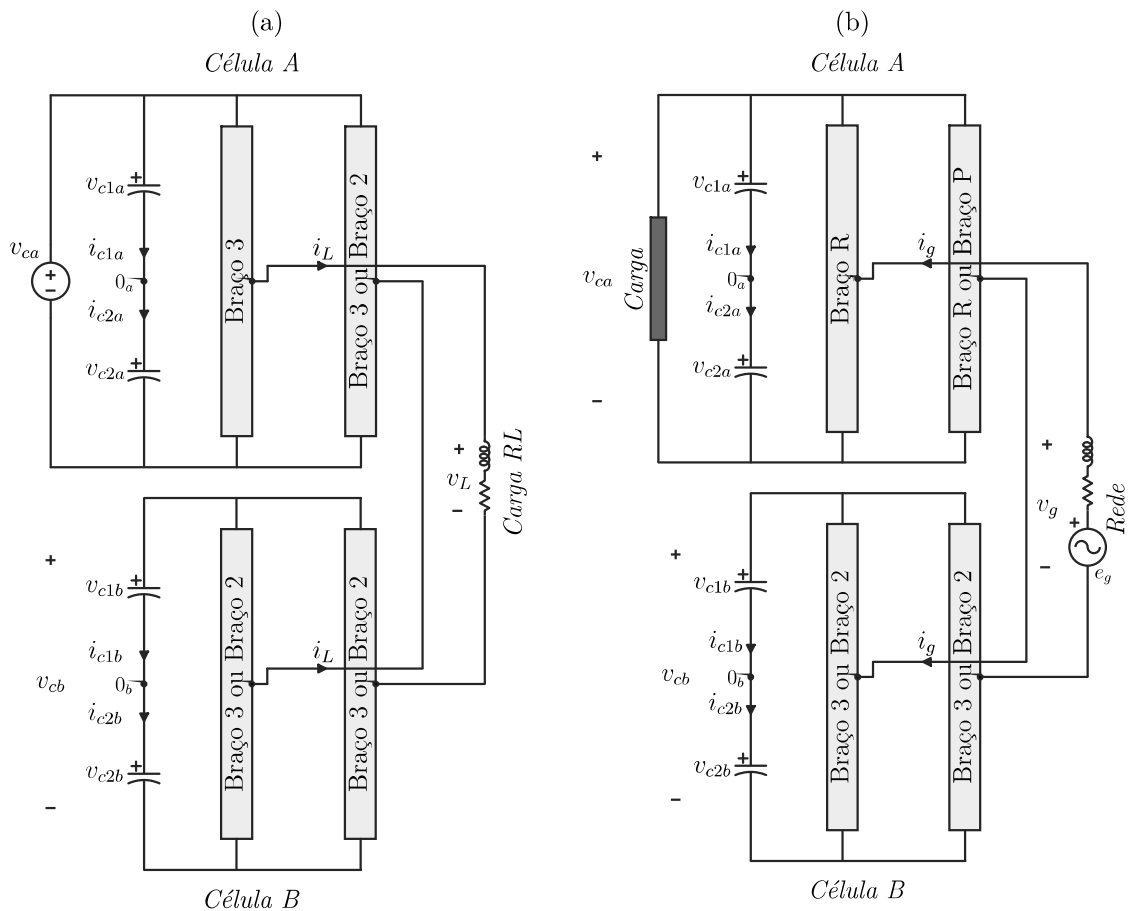


As topologias apresentadas neste trabalho seguem os esquemas ilustrados nas Figuras 3a, para os inversores, e 3b, para os retificadores, de acordo com os braços mostrados na Figura 2. Elas podem ser usadas para acionamentos de motores industriais (Malinowski et al., 2010), (Franquelo et al., 2008), (Veenstra; Rufer, 2005), (Jung; Kim; Sul, 2018) e (Lu; Corzine, 2007); em sistemas fotovoltaicos (Kouro et al., 2015), (Kakosimos; Bayhan; Abu-Rub, 2016) e (Chattopadhyay; Chakraborty; Pal, 2012); em veículos elétricos, seja para acionar o motor (Liu et al., 2008) e (Du et al., 2009), seja para recarregar a bateria (Yilmaz; Krein, 2013); em sistemas de transmissão em corrente contínua (Jiang et al., 2014) e (Doukas; Kalpatsinidou; Labridis, 2017); em sistemas de geração de energia eólica (Kouro et al., 2010) e (Monteiro et al., 2019).

1.3 Organização do Trabalho

No Capítulo 2, aborda-se o estudo dos inversores bidirecionais com controle das tensões dos capacitores dos barramentos sendo realizados, exclusivamente, pelas redundân-

Figura 3 – Esquemas dos circuitos para as topologias de a) Inversores e b) Retificadores.



cias geradas no LS-PWM. As seis topologias estudadas (33-33, 33-32, 32-33, 32-32, 33-22 e 32-22) consistem em combinações de braços de três e dois níveis, em que um barramento é alimentado por uma fonte CC independente e o outro é formado por capacitores flutuantes. Alguns trabalhos que aplicam essas topologias, porém utilizando mais de uma fonte. É o caso de (Wanjekeche; Nicolae; Jimoh, 2009) e (Wanjekeche; Nicolae; Jimoh, 2010) para a topologia 33-33, sendo esse último uma aplicação em um sistema fotovoltaico; (Corzine; Familant, 2002) e (Yun Xu et al., 2008) para a 33-22 e (Ding Kai et al., 2004) para a 32-22.

O Capítulo 3 trata dos retificadores unidirecionais, em que as redundâncias do LS-PWM também são utilizadas para controle das tensões dos capacitores, porém, é necessária uma técnica de controle adicional para sincronizar tensão e corrente do conversor para a correta síntese da tensão, já que as tensões de polo dos braços R e P dependem do sentido da corrente da rede. As topologias de estudo (RR-33, RR-32, RP-33, RP-32, RR-22 e RP-22) são modificações daquelas estudadas no Capítulo 2. A diferença é que os braços de três e dois níveis do barramento alimentado pela fonte CC são substituídos por braços reduzidos e passivos, respectivamente. Esse estudo, com fim de diminuir a quantidade de

dispositivos semicondutores, também é realizado em (de Sousa et al., 2019), em topologias *open-end* trifásicas.

Resultados das simulações computacionais no *software* PSIM[®] e experimentais realizados no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM) são apresentados ao final dos capítulos 2 e 3 para fins de comparação entre as topologias estudadas. Adicionalmente, as configurações propostas são comparadas com a convencional 22-22, que apresenta apenas braços de dois níveis, cujo estudo com capacitor flutuante e controle por redundâncias é apresentado em (Pereira Monteiro et al., 2020) (denominada 2CHB). No Capítulo 4, são apresentadas as conclusões gerais do trabalho, assim como os trabalhos futuros, que visam o complemento das atividades desenvolvidas.

1.4 Contribuições

As técnicas aplicadas no trabalho permitem reduzir o tamanho do sistema, comparados aos conversores multiníveis de mesma natureza. No caso dos inversores, isso é feito por meio da aplicação do barramento flutuante, que dispensa o uso de fontes adicionais e, conseqüentemente, de transformadores e retificadores que fariam a conexão com os barramentos. No caso dos retificadores, o foco é a diminuição da quantidade de chaves semicondutoras em comparação às topologias bidirecionais utilizadas no modo inversor, tornando o sistema mais confiável. Como algumas aplicações CA-CC requerem apenas fluxo unidirecional, algumas chaves podem ser substituídas por diodos, que são dispositivos mais simples.

A inovação se dá pelo fato de que, na literatura, não foram encontrados conversores em cascata com combinações de braços de dois níveis, três níveis, reduzidos e passivos aplicando-se barramento flutuante e, além disso, com uma análise comparativa entre eles, em termos de distorção harmônica e perdas.

1.5 Produção Científica

Como resultado deste trabalho, um artigo foi publicado em um congresso internacional do IEEE:

- "AC-DC Single-Phase Multilevel Converters with Floating DC-Link and Reduced Controlled Switches"

Autores: Lima, U.G.; Jacobina, C.B.; Sousa, R.P.R.; de Lacerda, R.P..

Publicado em: Energy Conversion Congress and Exposition (ECCE), IEEE, Oct. 2021.

2 | Sistemas CC-CA

Neste capítulo, são analisadas seis topologias de inversores monofásicos bidirecionais com dois barramentos, sendo um deles flutuante, seguindo a nomenclatura descrita na seção Objetivos do Capítulo 1: 33-33, 33-32, 32-33, 32-32, 33-22 e 32-22.

A distribuição de tensão entre os barramentos CC, ou relação de barramento, pode ser simétrica (quando as tensões são iguais) ou assimétrica (quando são tensões diferentes). Uma vantagem interessante das topologias assimétrica é a maior quantidade de níveis de tensão na forma de onda da saída, em relação à configuração simétrica. Conseqüentemente, obtém-se menor distorção harmônica e melhor qualidade de energia. Por esse motivo, adotou-se as relações de barramento assimétricas neste trabalho.

2.1 Modelo do Sistema

Todas as topologias seguem o padrão de circuito apresentado na Figura 4, em que a tensão na carga (v_L) é a soma das tensões geradas nas células A e B (chamadas de v_a e v_b , respectivamente) que, por sua vez, são representadas como uma subtração das tensões de polo de cada braço (chamadas de v_{10a} e v_{20a} , para a Célula A, e v_{10b} e v_{20b} , para a Célula B), ou seja, a diferença de potencial entre os pontos centrais do respectivo braço e o barramento. As equações (2.1), (2.2) e (2.3) mostram todas essas relações.

$$v_a = v_{10a} - v_{20a} \quad (2.1)$$

$$v_b = v_{10b} - v_{20b} \quad (2.2)$$

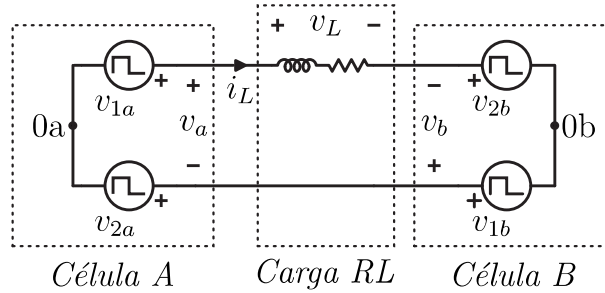
$$v_L = v_a + v_b. \quad (2.3)$$

$$v_{3l} = (q_1 + q_2 - 1) \cdot \frac{v_{cx}}{2} \quad (2.4)$$

$$v_{2l} = (2q_1 - 1) \cdot \frac{v_{cx}}{2}. \quad (2.5)$$

O cálculo das tensões de polo dependem do tipo de braço utilizado. Para o braço NPC, de três níveis, a tensão de polo v_{3n} é calculada por meio de (2.4), ao passo que o braço de dois níveis tem sua tensão de polo v_{2n} definida por (2.5). As numerações das chaves são aquelas indicadas nas Figuras 2a e 2b, respectivamente. Além disso, devem ser considerados os estados binários das chaves presentes nesse braço, onde o estado 1 indica

Figura 4 – Circuito simplificado das topologias de inversores.



que a chave está fechada, e 0, aberta. O traço horizontal acima dos nomes das chaves serve para demarcar aquelas que são complementares. As equações podem ser escritas apenas em função das chaves não complementares. A tensão total do barramento é dada por V_C .

$$v_{3n} = (q_1 + q_2 - 1) \cdot \frac{V_C}{2} \quad (2.6)$$

$$v_{2n} = (2q_1 - 1) \cdot \frac{V_C}{2}. \quad (2.7)$$

A combinação de dois braços compõe uma célula. A partir dos braços descritos, percebe-se que as células podem ser 33, 32 ou 22, cada uma com diferentes características. A célula 33, apresentada na Figura 5a, pode ser chamada de Ponte-H NPC, pois é formada por dois braços NPC. Na Tabela 1 são mostrados os nove estados de chaves possíveis, excluindo-se aqueles que contém $[q_1 \ q_2] = [1 \ 0]$ e $[q_3 \ q_4] = [1 \ 0]$, visto que, são estados proibidos para o braço NPC. Essa célula gera 5 níveis de tensão no total.

A célula 32, mostrada na Figura 5b, é uma composição híbrida, possuindo menos combinações que a 33, porém mais que a 22, conforme pode ser visto na Tabela 2. Pode-se gerar os mesmos 5 níveis de tensão da célula 33, mas com menos chaves. Por outro lado, na célula 33, todos os semicondutores são submetidos à tensão de $V_C/2$ enquanto que, no caso da 32, as chaves do braço de dois níveis são submetidas à tensão total V_C , o que exige dispositivos mais robustos.

A célula mais simples é a 22, apresentada na Figura 5c, que pode gerar apenas 3 níveis de tensão, conforme é observado na Tabela 3. Se por um lado, é a de menor complexidade, já que as correntes e tensões dos capacitores são as mesmas, pela inexistência de um ponto central no barramento, por outro, todos os dispositivos estão sujeitos a uma tensão reversa V_C .

Além dos estados das chaves, as Tabelas 1, 2 e 3 apresentam as respectivas tensões geradas (V_o) e os efeitos em cada capacitor do barramento CC para $i_L > 0$. A coluna v_n representa os vetores, que são os estados das chaves convertidos de binário para decimal, que serão importantes para o desenvolvimento do LS-PWM.

Os sentidos das correntes capacitivas i_{C1} e i_{C2} indicam os efeitos dos estados das chaves nas respectivas tensões: o sinal "+" significa que o capacitor é carregado, o sinal "-", que ele descarrega, enquanto que o "0" indica que a corrente que passa pelo capacitor é nula, ou seja, o respectivo estado de chave é indiferente para o controle da tensão do capacitor. Quando $i_L \leq 0$, os efeitos nos barramentos se invertem.

Figura 5 – Células utilizadas nos inversores.

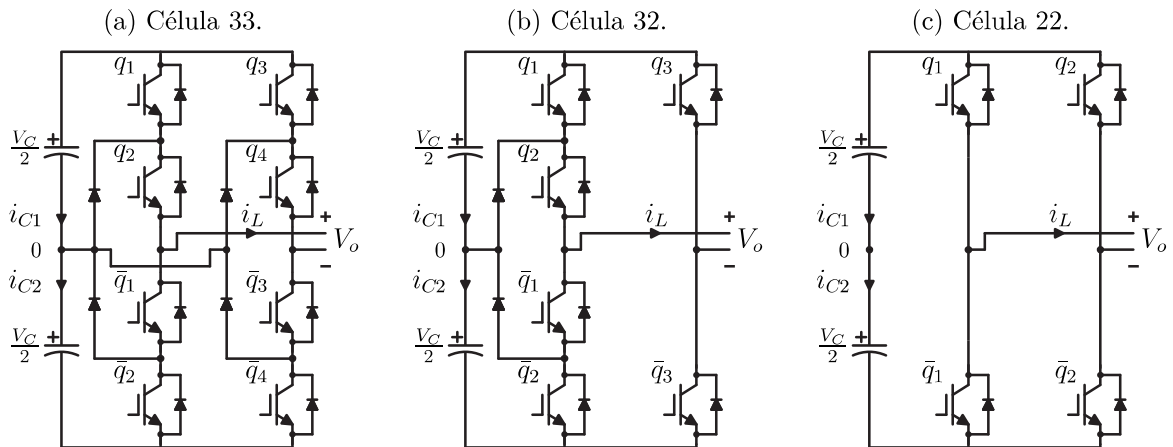


Tabela 1 – Estados de chaves, tensões geradas e efeitos no barramento da célula 33 para $i_L > 0$.

v_n	$[q_1 \ q_2 \ q_3 \ q_4]$	V_o	$[i_{C1} \ i_{C2}]$
v_{12}	[1 1 0 0]	V_C	[- -]
v_{13}	[1 1 0 1]	$V_C/2$	[- 0]
v_4	[0 1 0 0]	$V_C/2$	[0 -]
v_0	[0 0 0 0]	0	[0 0]
v_5	[0 1 0 1]	0	[0 0]
v_{15}	[1 1 1 1]	0	[0 0]
v_7	[0 1 1 1]	$-V_C/2$	[+ 0]
v_1	[0 0 0 1]	$-V_C/2$	[0 +]
v_3	[0 0 1 1]	$-V_C$	[+ +]

Os inversores propostos são formados pela união de duas células. A topologia 33-33, por exemplo, apresentada na Figura 6a, é composta por duas células 33. A relação de barramento utilizada é 3:1. Assim, ela pode gerar até 17 níveis de tensão em v_L . As configurações 33-32, 32-33, 32-32, 33-22 e 32-22 estão ilustradas nas Figuras 6b, 6c, 6d, 6e e 6f, possuem relações de barramento 3:1, 3:1, 2:1, 4:1 e 2:1, e podem gerar, no máximo, 17, 17, 13, 11 e 7 níveis em v_L , respectivamente.

Tabela 2 – Estados de chaves, tensões geradas e efeitos no barramento da célula 32 para $i_L > 0$.

v_n	$[q_1 \ q_2 \ q_3]$	V_o	$[i_{C1} \ i_{C2}]$
v_6	$[1 \ 1 \ 0]$	V_C	$[- \ -]$
v_2	$[0 \ 1 \ 0]$	$V_C/2$	$[0 \ -]$
v_0	$[0 \ 0 \ 0]$	0	$[0 \ 0]$
v_7	$[1 \ 1 \ 1]$	0	$[0 \ 0]$
v_3	$[0 \ 1 \ 1]$	$-V_C/2$	$[+ \ 0]$
v_1	$[0 \ 0 \ 1]$	$-V_C$	$[+ \ +]$

Tabela 3 – Estados de chaves, tensões geradas e efeitos no barramento da célula 22 para $i_L > 0$.

v_n	$[q_1 \ q_2 \ q_3]$	V_o	$[i_{C1} \ i_{C2}]$
v_2	$[1 \ 0]$	V_C	$[- \ -]$
v_0	$[0 \ 0]$	0	$[0 \ 0]$
v_3	$[1 \ 1]$	0	$[0 \ 0]$
v_1	$[0 \ 1]$	$-V_C$	$[+ \ +]$

2.2 *Level-Shifted Pulse-Width Modulation*

Como foi dito no Capítulo 1, a técnica LS-PWM, exemplificada na Figura 7, será utilizada na implementação dos conversores. Para a síntese de n níveis de tensão, são necessárias $(n-1)$ portadoras de alta frequência, denominadas v_{T1} , v_{T2} , v_{T3} e v_{T4} no exemplo. Essas portadoras são limitadas pelos níveis de tensão V_C , $V_C/2$, 0 , $-V_C/2$ e $-V_C$. Tendo em vista que a frequência das portadoras é muito maior que a frequência da tensão de referência (v_L^*), esta pode ser considerada praticamente constante durante um período das portadoras, T_s .

Supondo que a tensão de referência esteja entre os níveis de tensão V_C e $V_C/2$. Nos intervalos em que a referência é maior que a portadora, as chaves do conversor serão acionadas de modo a se obter o nível de tensão superior (V_C). Caso contrário, será aplicado um estado de chave que sintetize o inferior ($V_C/2$). Dessa forma, ao fim de um período T_s , o valor médio da tensão gerada tenderá a ser igual à referência. Para minimizar as distorções harmônicas, é importante que os níveis de tensão sejam igualmente espaçados.

Como foi visto, cada estado de chave causa um efeito diferente nos barramentos. Ao unir duas células para formar uma topologia, duas ou mais combinações distintas de estados de chaves podem gerar um mesmo nível de tensão, porém com efeitos diferentes nas tensões dos barramentos. Elas são chamadas de redundâncias e são importantes porque permitem criar vários padrões de chaveamento do PWM para carregar ou descarregar os capacitores, de acordo com a necessidade, até alcançarem os valores de referência.

Figura 6 – Topologías de inversores propuestas.

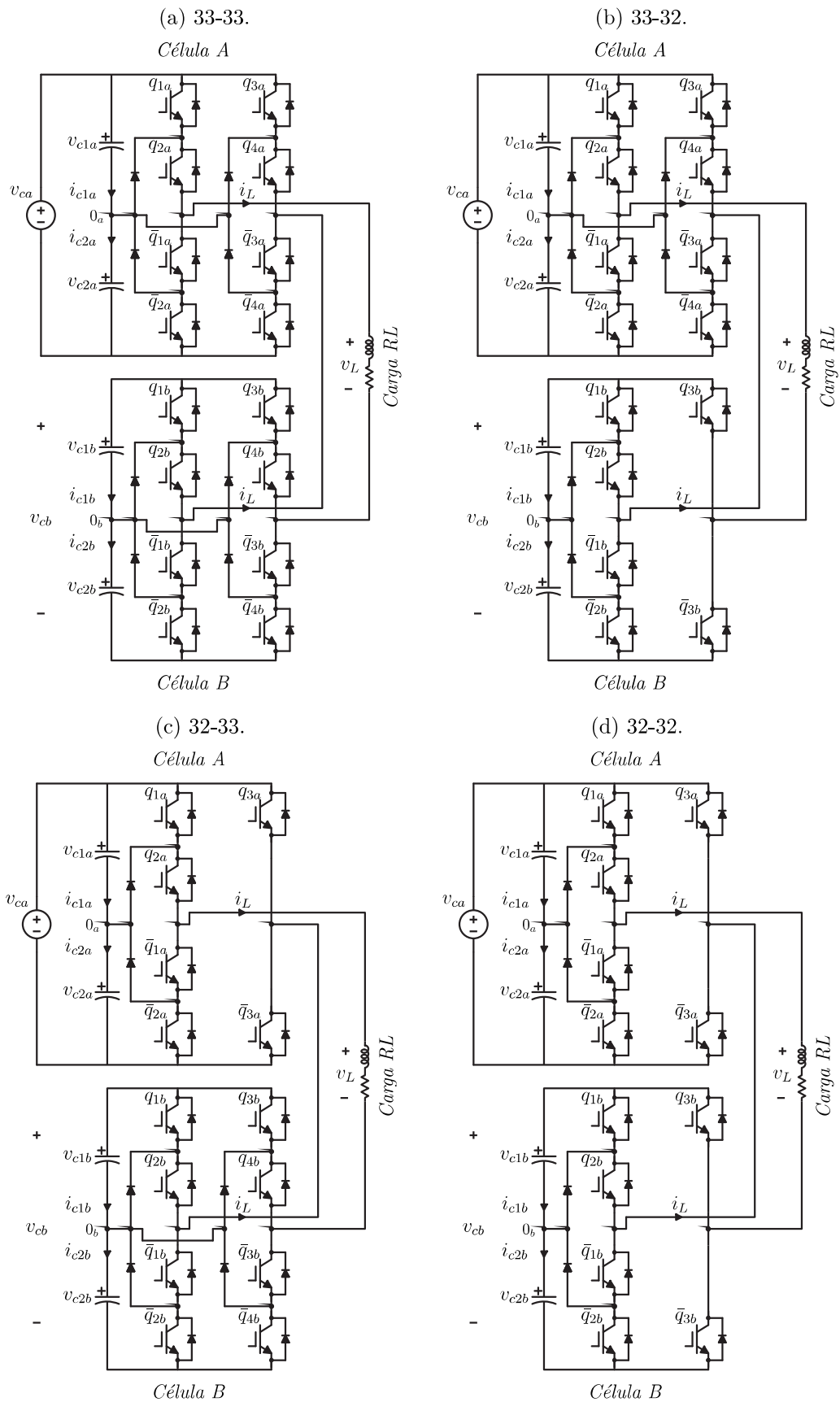


Figura 6 – Topologias de inversores propostas.

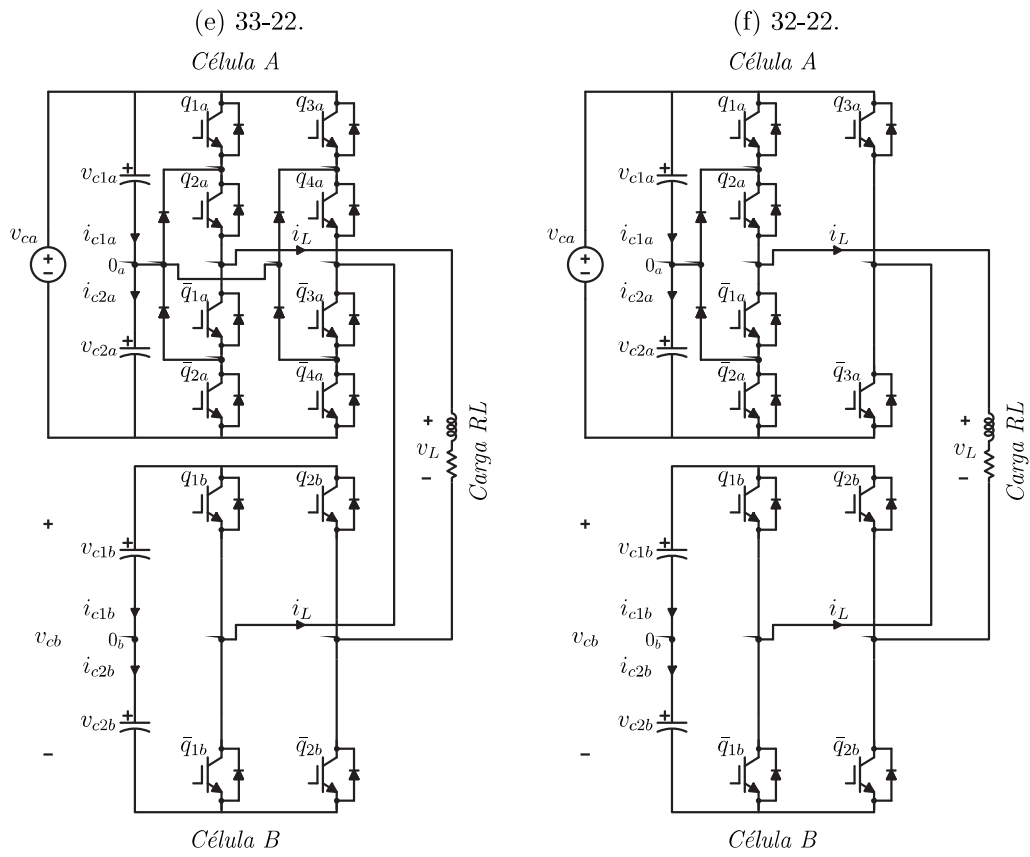
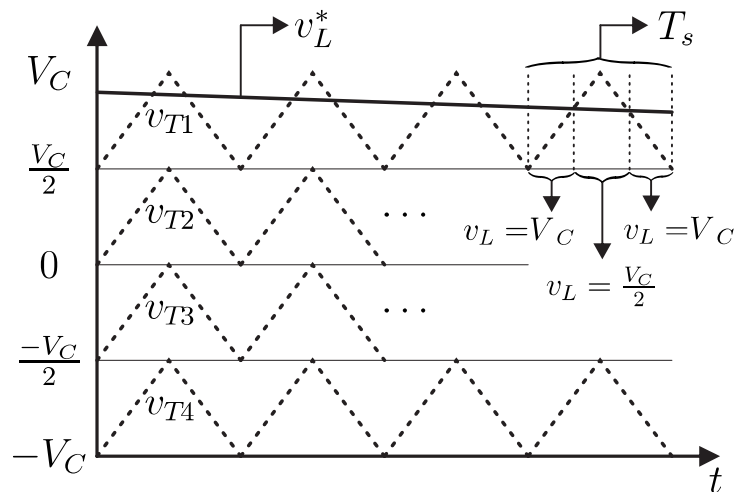


Figura 7 – Exemplificação do LS-PWM.



A partir das Tabelas 1, 2 e 3, pode-se criar as Tabelas 4, 5, 6, 7, 8 e 9, que detalham os estados de chaves, como também os níveis de tensão gerados em v_L e o sentido das correntes dos capacitores para $i_L > 0$ nas topologias 33-33, 33-32, 32-33, 32-32, 33-22 e 32-22, respectivamente. Quando $i_L \leq 0$, os efeitos nos barramentos são o oposto. Na primeira coluna, os vetores são definidos a partir da notação $v_{x,y}$, em que "x" e "y" representam a conversão das chaves presentes nas células A e B, respectivamente, de binário para decimal. Por exemplo, o vetor $v_{12,12}$ da topologia 33-33 corresponde ao estado de chave $[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b} q_{3b} q_{4b}] = [1 1 0 0 1 1 0 0]$. A tensão total dos barramentos é indicada por $V_C = v_{Ca} + v_{Cb}$. Vale ressaltar que há diversas outras combinações de chaves válidas, além das que estão apresentadas nas Tabelas 4, 5, 6, 7, 8 e 9, porém, optou-se por mostrar apenas as que foram utilizadas na técnica PWM, por uma questão de simplificação.

Já que a fonte CC garante a soma das tensões dos capacitores da Célula A, há duas opções para esse barramento em todas as topologias: C_{1a} carrega, enquanto que C_{2a} descarrega ou vice-versa. Para a Célula B, que contém o barramento flutuante, há quatro opções possíveis nas topologias 33-33, 33-32, 32-33 e 32-32: ambos C_{1b} e C_{2b} carregam, C_{1b} carrega enquanto C_{2b} descarrega, C_{1b} descarrega enquanto C_{2b} carrega ou ambos descarregam. E para as topologias 33-22 e 32-22, há apenas duas possibilidades: ambos C_{1b} e C_{2b} carregam ou ambos descarregam, já que essas configurações não apresentam ponto de derivação central no barramento B, fazendo com que $i_{C1b} = i_{C2b}$ e eles tenham sempre a mesma variação de tensão. Por esse motivo, nesses casos, daqui em diante, será mencionada apenas a soma dessas tensões, dada por $v_{Cb} = v_{C1b} + v_{C2b}$. Pode-se ver que, para permitir o controle total das tensões dos quatro capacitores são necessários seis padrões de chaveamento para 33-33, 33-32, 32-33 e 32-32, e quatro para 33-22 e 32-22.

Visando regular as tensões dos capacitores dos barramentos, será utilizada a estratégia da dupla banda de histerese, ilustrada na Figura 8. Seja v_{Cx}^* a tensão de referência de um capacitor genérico, os limites superior e inferior serão $v_{Cx}^*(1 + \epsilon_x)$ e $v_{Cx}^*(1 - \epsilon_x)$, respectivamente, em que ϵ_x é a banda de histerese. Se a tensão medida v_{Cx} é maior que o limite superior, é escolhido um padrão de chaveamento do LS-PWM que descarregue o capacitor. O contrário acontece se v_{Cx} for menor que o limite inferior. Estados neutros, ou seja, que não alteram v_{Cx} , são escolhidos caso essa tensão esteja dentro da banda.

O algoritmo do esquema utilizado no LS-PWM é mostrado na Figura 9. A nomenclatura adotada indica os efeitos dos padrões de chaveamento nas tensões dos capacitores dos barramentos para $i_L > 0$. Por exemplo, para as topologias 33-33, 33-32, 32-33 e 32-32, o "PWM_CDXX" atua na Célula A, carregando C_{1a} e descarregando C_{1b} , enquanto que, nas configurações 33-22 e 32-22, o padrão "PWM_XXCC" é responsável por carregar os ca-

Tabela 4 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-33 com relação de barramento 3:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b} q_{3b} q_{4b}]$	v_L	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$
$v_{12,12}$	[1 1 0 0 1 1 0 0]	V_C	[- - - -]
$v_{12,13}$	[1 1 0 0 1 1 0 1]	$7V_C/8$	[- - - 0]
$v_{12,4}$	[1 1 0 0 0 1 0 0]	$7V_C/8$	[- - 0 -]
$v_{12,0}$	[1 1 0 0 0 0 0 0]	$3V_C/4$	[- - 0 0]
$v_{13,12}$	[1 1 0 1 1 1 0 0]	$5V_C/8$	[- 0 - -]
$v_{12,7}$	[1 1 0 0 0 1 1 1]	$5V_C/8$	[- - + 0]
$v_{12,1}$	[1 1 0 0 0 0 0 1]	$5V_C/8$	[- - 0 +]
$v_{4,12}$	[0 1 0 0 1 1 0 0]	$5V_C/8$	[0 - - -]
$v_{13,13}$	[1 1 0 1 1 1 0 1]	$V_C/2$	[- 0 - 0]
$v_{13,4}$	[1 1 0 1 0 1 0 0]	$V_C/2$	[- 0 0 -]
$v_{12,3}$	[1 1 0 0 0 0 1 1]	$V_C/2$	[- - + +]
$v_{4,13}$	[0 1 0 0 1 1 0 1]	$V_C/2$	[0 - - 0]
$v_{4,4}$	[0 1 0 0 0 1 0 0]	$V_C/2$	[0 - 0 -]
$v_{13,0}$	[1 1 0 1 0 0 0 0]	$3V_C/8$	[- 0 0 0]
$v_{4,0}$	[0 1 0 0 0 0 0 0]	$3V_C/8$	[0 - 0 0]
$v_{13,7}$	[1 1 0 1 0 1 1 1]	$V_C/4$	[- 0 + 0]
$v_{13,1}$	[1 1 0 1 0 0 0 1]	$V_C/4$	[- 0 0 +]
$v_{4,7}$	[0 1 0 0 0 1 1 1]	$V_C/4$	[0 - + 0]
$v_{4,1}$	[0 1 0 0 0 0 0 1]	$V_C/4$	[0 - 0 +]
$v_{0,12}$	[0 0 0 0 1 1 0 0]	$V_C/4$	[0 0 - -]
$v_{13,3}$	[1 1 0 1 0 0 1 1]	$V_C/8$	[- 0 + +]
$v_{4,3}$	[0 1 0 0 0 0 1 1]	$V_C/8$	[0 - + +]
$v_{0,13}$	[0 0 0 0 1 1 0 1]	$V_C/8$	[0 0 - 0]
$v_{0,4}$	[0 0 0 0 0 1 0 0]	$V_C/8$	[0 0 0 -]
$v_{0,0}$	[0 0 0 0 0 0 0 0]	0	[0 0 0 0]
$v_{7,12}$	[0 1 1 1 1 1 0 0]	$-V_C/8$	[+ 0 - -]
$v_{1,12}$	[0 0 0 1 1 1 0 0]	$-V_C/8$	[0 + - -]
$v_{0,7}$	[0 0 0 0 0 1 1 1]	$-V_C/8$	[0 0 + 0]
$v_{0,1}$	[0 0 0 0 0 0 0 1]	$-V_C/8$	[0 0 0 +]
$v_{7,13}$	[0 1 1 1 1 1 0 1]	$-V_C/4$	[+ 0 - 0]
$v_{7,4}$	[0 1 1 1 0 1 0 0]	$-V_C/4$	[+ 0 0 -]
$v_{1,13}$	[0 0 0 1 1 1 0 1]	$-V_C/4$	[0 + - 0]
$v_{1,4}$	[0 0 0 1 0 1 0 0]	$-V_C/4$	[0 + 0 -]
$v_{0,3}$	[0 0 0 0 0 0 1 1]	$-V_C/4$	[0 0 + +]
$v_{7,0}$	[0 1 1 1 0 0 0 0]	$-3V_C/8$	[+ 0 0 0]
$v_{1,0}$	[0 0 0 1 0 0 0 0]	$-3V_C/8$	[0 + 0 0]
$v_{7,7}$	[0 1 1 1 0 1 1 1]	$-V_C/2$	[+ 0 + 0]
$v_{7,1}$	[0 1 1 1 0 0 0 1]	$-V_C/2$	[+ 0 0 +]
$v_{3,12}$	[0 0 1 1 1 1 0 0]	$-V_C/2$	[+ + - -]
$v_{1,7}$	[0 0 0 1 0 1 1 1]	$-V_C/2$	[0 + + 0]
$v_{1,1}$	[0 0 0 1 0 0 0 1]	$-V_C/2$	[0 + 0 +]
$v_{7,3}$	[0 1 1 1 0 0 1 1]	$-5V_C/8$	[+ 0 + +]
$v_{3,13}$	[0 0 1 1 1 1 0 1]	$-5V_C/8$	[+ + - 0]
$v_{3,4}$	[0 0 1 1 0 1 0 0]	$-5V_C/8$	[+ + 0 -]
$v_{1,3}$	[0 0 0 1 0 0 1 1]	$-5V_C/8$	[0 + + +]
$v_{3,0}$	[0 0 1 1 0 0 0 0]	$-3V_C/4$	[+ + 0 0]
$v_{3,7}$	[0 0 1 1 0 1 1 1]	$-7V_C/8$	[+ + + 0]
$v_{3,1}$	[0 0 1 1 0 0 0 1]	$-7V_C/8$	[+ + 0 +]
$v_{3,3}$	[0 0 1 1 0 0 1 1]	$-V_C$	[+ + + +]

Tabela 5 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-32 com relação de barramento 3:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b} q_{3b}]$	v_L	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$
$v_{12,6}$	[1 1 0 0 1 1 0]	V_C	[- - - -]
$v_{12,2}$	[1 1 0 0 0 1 0]	$7V_C/8$	[- - 0 -]
$v_{12,0}$	[1 1 0 0 0 0 0]	$3V_C/4$	[- - 0 0]
$v_{13,6}$	[1 1 0 1 1 1 0]	$5V_C/8$	[- 0 - -]
$v_{12,3}$	[1 1 0 0 0 1 1]	$5V_C/8$	[- - + 0]
$v_{4,6}$	[0 1 0 0 1 1 0]	$5V_C/8$	[0 - - -]
$v_{13,2}$	[1 1 0 1 0 1 0]	$V_C/2$	[- 0 0 -]
$v_{12,1}$	[1 1 0 0 0 0 1]	$V_C/2$	[- - + +]
$v_{4,2}$	[0 1 0 0 0 1 0]	$V_C/2$	[0 - 0 -]
$v_{13,0}$	[1 1 0 1 0 0 0]	$3V_C/8$	[- 0 0 0]
$v_{4,0}$	[0 1 0 0 0 0 0]	$3V_C/8$	[0 - 0 0]
$v_{13,3}$	[1 1 0 1 0 1 1]	$V_C/4$	[- 0 + 0]
$v_{5,6}$	[0 1 0 1 1 1 0]	$V_C/4$	[0 0 - -]
$v_{4,3}$	[0 1 0 0 0 1 1]	$V_C/4$	[0 - + 0]
$v_{0,6}$	[0 0 0 0 1 1 0]	$V_C/4$	[0 0 - -]
$v_{13,1}$	[1 1 0 1 0 0 1]	$V_C/8$	[- 0 + +]
$v_{5,2}$	[0 1 0 1 0 1 0]	$V_C/8$	[0 0 0 -]
$v_{4,1}$	[0 1 0 0 0 0 1]	$V_C/8$	[0 - + +]
$v_{0,2}$	[0 0 0 0 0 1 0]	$V_C/8$	[0 0 0 -]
$v_{0,0}$	[0 0 0 0 0 0 0]	0	[0 0 0 0]
$v_{7,6}$	[0 1 1 1 1 1 0]	$-V_C/8$	[+ 0 - -]
$v_{5,3}$	[0 1 0 1 0 1 1]	$-V_C/8$	[0 0 + 0]
$v_{1,6}$	[0 0 0 1 1 1 0]	$-V_C/8$	[0 + - -]
$v_{0,3}$	[0 0 0 0 0 1 1]	$-V_C/8$	[0 0 + 0]
$v_{7,2}$	[0 1 1 1 0 1 0]	$-V_C/4$	[+ 0 0 -]
$v_{5,1}$	[0 1 0 1 0 0 1]	$-V_C/4$	[0 0 + +]
$v_{1,2}$	[0 0 0 1 0 1 0]	$-V_C/4$	[0 + 0 -]
$v_{0,1}$	[0 0 0 0 0 0 1]	$-V_C/4$	[0 0 + +]
$v_{7,0}$	[0 1 1 1 0 0 0]	$-3V_C/8$	[+ 0 0 0]
$v_{1,0}$	[0 0 0 1 0 0 0]	$-3V_C/8$	[0 + 0 0]
$v_{7,3}$	[0 1 1 1 0 1 1]	$-V_C/2$	[+ 0 + 0]
$v_{3,6}$	[0 0 1 1 1 1 0]	$-V_C/2$	[+ + - -]
$v_{1,3}$	[0 0 0 1 0 1 1]	$-V_C/2$	[0 + + 0]
$v_{7,1}$	[0 1 1 1 0 0 1]	$-5V_C/8$	[+ 0 + +]
$v_{3,2}$	[0 0 1 1 0 1 0]	$-5V_C/8$	[+ + 0 -]
$v_{1,1}$	[0 0 0 1 0 0 1]	$-5V_C/8$	[0 + + +]
$v_{3,0}$	[0 0 1 1 0 0 0]	$-3V_C/4$	[+ + 0 0]
$v_{3,3}$	[0 0 1 1 0 1 1]	$-7V_C/8$	[+ + + 0]
$v_{3,1}$	[0 0 1 1 0 0 1]	$-V_C$	[+ + + +]

Tabela 6 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-33 com relação de barramento 3:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{1b} q_{2b} q_{3b} q_{4b}]$	v_L	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$
$v_{6,12}$	[1 1 0 1 1 0 0]	V_C	[- - - -]
$v_{6,13}$	[1 1 0 1 1 0 1]	$7V_C/8$	[- - - 0]
$v_{6,4}$	[1 1 0 0 1 0 0]	$7V_C/8$	[- - 0 -]
$v_{6,0}$	[1 1 0 0 0 0 0]	$3V_C/4$	[- - 0 0]
$v_{6,7}$	[1 1 0 0 1 1 1]	$5V_C/8$	[- - + 0]
$v_{6,1}$	[1 1 0 0 0 0 1]	$5V_C/8$	[- - 0 +]
$v_{2,12}$	[0 1 0 1 1 0 0]	$5V_C/8$	[0 - - -]
$v_{6,3}$	[1 1 0 0 0 1 1]	$V_C/2$	[- - + +]
$v_{2,13}$	[0 1 0 1 1 0 1]	$V_C/2$	[0 - - 0]
$v_{2,4}$	[0 1 0 0 1 0 0]	$V_C/2$	[0 - 0 -]
$v_{2,0}$	[0 1 0 0 0 0 0]	$3V_C/8$	[0 - 0 0]
$v_{2,7}$	[0 1 0 0 1 1 1]	$V_C/4$	[0 - + 0]
$v_{2,1}$	[0 1 0 0 0 0 1]	$V_C/4$	[0 - 0 +]
$v_{0,12}$	[0 0 0 1 1 0 0]	$V_C/4$	[0 0 - -]
$v_{2,3}$	[0 1 0 0 0 1 1]	$V_C/8$	[0 - + +]
$v_{0,13}$	[0 0 0 1 1 0 1]	$V_C/8$	[0 0 - 0]
$v_{0,4}$	[0 0 0 0 1 0 0]	$V_C/8$	[0 0 0 -]
$v_{0,0}$	[0 0 0 0 0 0 0]	0	[0 0 0 0]
$v_{3,12}$	[0 1 1 1 1 0 0]	$-V_C/8$	[+ 0 - -]
$v_{0,7}$	[0 0 0 0 1 1 1]	$-V_C/8$	[0 0 + 0]
$v_{0,1}$	[0 0 0 0 0 0 1]	$-V_C/8$	[0 0 0 +]
$v_{3,13}$	[0 1 1 1 1 0 1]	$-V_C/4$	[+ 0 - 0]
$v_{3,4}$	[0 1 1 0 1 0 0]	$-V_C/4$	[+ 0 0 -]
$v_{0,3}$	[0 0 0 0 0 1 1]	$-V_C/4$	[0 0 + +]
$v_{3,0}$	[0 1 1 0 0 0 0]	$-3V_C/8$	[+ 0 0 0]
$v_{1,12}$	[0 0 1 1 1 0 0]	$-V_C/2$	[+ + - -]
$v_{3,7}$	[0 1 1 0 1 1 1]	$-V_C/2$	[+ 0 + 0]
$v_{3,1}$	[0 1 1 0 0 0 1]	$-V_C/2$	[+ 0 0 +]
$v_{1,13}$	[0 0 1 1 1 0 1]	$-5V_C/8$	[+ + - 0]
$v_{1,4}$	[0 0 1 0 1 0 0]	$-5V_C/8$	[+ + 0 -]
$v_{3,3}$	[0 1 1 0 0 1 1]	$-5V_C/8$	[+ 0 + +]
$v_{1,0}$	[0 0 1 0 0 0 0]	$-3V_C/4$	[+ + 0 0]
$v_{1,7}$	[0 0 1 0 1 1 1]	$-7V_C/8$	[+ + + 0]
$v_{1,1}$	[0 0 1 0 0 0 1]	$-7V_C/8$	[+ + 0 +]
$v_{1,3}$	[0 0 1 0 0 1 1]	$-V_C$	[+ + + +]

Tabela 7 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-32 com relação de barramento 2:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} \ q_{2a} \ q_{3a} \ q_{1b} \ q_{2b} \ q_{3b}]$	v_L	$[i_{c1a} \ i_{c2a} \ i_{c1b} \ i_{c2b}]$
$v_{6,6}$	[1 1 0 1 1 0]	V_C	[- - - -]
$v_{6,2}$	[1 1 0 0 1 0]	$5V_C/6$	[- - 0 -]
$v_{6,0}$	[1 1 0 0 0 0]	$2V_C/3$	[- - 0 0]
$v_{2,6}$	[0 1 0 1 1 0]	$2V_C/3$	[0 - - -]
$v_{6,3}$	[1 1 0 0 1 1]	$V_C/2$	[- - + 0]
$v_{2,2}$	[0 1 0 0 1 0]	$V_C/2$	[0 - 0 -]
$v_{6,1}$	[1 1 0 0 0 1]	$V_C/3$	[- - + +]
$v_{2,0}$	[0 1 0 0 0 0]	$V_C/3$	[0 - 0 0]
$v_{0,6}$	[0 0 0 1 1 0]	$V_C/3$	[0 0 - -]
$v_{2,3}$	[0 1 0 0 1 1]	$V_C/6$	[0 - + 0]
$v_{0,2}$	[0 0 0 0 1 0]	$V_C/6$	[0 0 0 -]
$v_{3,6}$	[0 1 1 1 1 0]	0	[+ 0 - -]
$v_{2,1}$	[0 1 0 0 0 1]	0	[0 - + +]
$v_{0,0}$	[0 0 0 0 0 0]	0	[0 0 0 0]
$v_{3,2}$	[0 1 1 0 1 0]	$-V_C/6$	[+ 0 0 -]
$v_{0,3}$	[0 0 0 0 1 1]	$-V_C/6$	[0 0 + 0]
$v_{3,0}$	[0 1 1 0 0 0]	$-V_C/3$	[+ 0 0 0]
$v_{1,6}$	[0 0 1 1 1 0]	$-V_C/3$	[+ + - -]
$v_{0,1}$	[0 0 0 0 0 1]	$-V_C/3$	[0 0 + +]
$v_{3,3}$	[0 1 1 0 1 1]	$-V_C/2$	[+ 0 + 0]
$v_{1,2}$	[0 0 1 0 1 0]	$-V_C/2$	[+ + 0 -]
$v_{3,1}$	[0 1 1 0 0 1]	$-2V_C/3$	[+ 0 + +]
$v_{1,0}$	[0 0 1 0 0 0]	$-2V_C/3$	[+ + 0 0]
$v_{1,3}$	[0 0 1 0 1 1]	$-5V_C/6$	[+ + + 0]
$v_{1,1}$	[0 0 1 0 0 1]	$-V_C$	[+ + + +]

pacitores flutuantes da Célula B. Portanto, "C" significa carga e "D", descarrega. Quando o "X" está presente, significa que o padrão procura manter a tensão do respectivo capacitor constante. Se a corrente na carga mudar de sentido, devem ser utilizados os padrões complementares. Por exemplo, no lugar do "PWM_XXCD", usa-se o "PWM_XXDC" e vice-versa.

Os erros de tensão são dados pelas equações (2.6) - (2.9). Para as topologias 33-33, 33-32, 32-33 e 32-32 são calculados os erros da tensão total do barramento A (ϵ_a) e dos capacitores C_{1b} (ϵ_{1b}) e C_{2b} (ϵ_{2b}). Para as configurações 33-22 e 32-22, os erros correspondem à tensão total dos barramentos A (ϵ_a) e B (ϵ_b).

Se os valores absolutos dos erros de tensão ($|\epsilon_a|$, $|\epsilon_{1b}|$, $|\epsilon_{2b}|$ e $|\epsilon_b|$) forem menores que os limites da banda de histerese (ϵ'_a , e ϵ'_b), um padrão de chaveamento neutro ("PWM_XXXX") é escolhido para gerar todos os níveis. Caso contrário, outro padrão é selecionado para corrigir o desbalanceamento de tensão.

Tabela 8 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 33-22 com relação de barramento 4:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} \ q_{2a} \ q_{3a} \ q_{4a} \ q_{1b} \ q_{2b}]$	v_L	$[i_{c1a} \ i_{c2a} \ i_{c1b} \ i_{c2b}]$
$v_{12,2}$	$[1 \ 1 \ 0 \ 0 \ 1 \ 0]$	V_C	$[- \ - \ - \ -]$
$v_{12,0}$	$[1 \ 1 \ 0 \ 0 \ 0 \ 0]$	$4V_C/5$	$[- \ - \ 0 \ 0]$
$v_{4,2}$	$[0 \ 1 \ 0 \ 0 \ 1 \ 0]$	$3V_C/5$	$[0 \ - \ - \ -]$
$v_{12,1}$	$[1 \ 1 \ 0 \ 0 \ 0 \ 1]$	$3V_C/5$	$[- \ - \ + \ +]$
$v_{13,2}$	$[1 \ 1 \ 0 \ 1 \ 1 \ 0]$	$3V_C/5$	$[- \ 0 \ - \ -]$
$v_{4,0}$	$[0 \ 1 \ 0 \ 0 \ 0 \ 0]$	$2V_C/5$	$[0 \ - \ 0 \ 0]$
$v_{13,0}$	$[1 \ 1 \ 0 \ 1 \ 0 \ 0]$	$2V_C/5$	$[- \ 0 \ 0 \ 0]$
$v_{0,2}$	$[0 \ 0 \ 0 \ 0 \ 1 \ 0]$	$V_C/5$	$[0 \ 0 \ - \ -]$
$v_{4,1}$	$[0 \ 1 \ 0 \ 0 \ 0 \ 1]$	$V_C/5$	$[0 \ - \ + \ +]$
$v_{5,2}$	$[0 \ 1 \ 0 \ 1 \ 1 \ 0]$	$V_C/5$	$[0 \ 0 \ - \ -]$
$v_{13,1}$	$[1 \ 1 \ 0 \ 1 \ 0 \ 1]$	$V_C/5$	$[- \ 0 \ + \ +]$
$v_{0,0}$	$[0 \ 0 \ 0 \ 0 \ 0 \ 0]$	0	$[0 \ 0 \ 0 \ 0]$
$v_{0,1}$	$[0 \ 0 \ 0 \ 0 \ 0 \ 1]$	$-V_C/5$	$[0 \ 0 \ + \ +]$
$v_{1,2}$	$[0 \ 0 \ 0 \ 1 \ 1 \ 0]$	$-V_C/5$	$[0 \ + \ - \ -]$
$v_{5,1}$	$[0 \ 1 \ 0 \ 1 \ 0 \ 1]$	$-V_C/5$	$[0 \ 0 \ + \ +]$
$v_{7,2}$	$[0 \ 1 \ 1 \ 1 \ 1 \ 0]$	$-V_C/5$	$[+ \ 0 \ - \ -]$
$v_{1,0}$	$[0 \ 0 \ 0 \ 1 \ 0 \ 0]$	$-2V_C/5$	$[0 \ + \ 0 \ 0]$
$v_{7,0}$	$[0 \ 1 \ 1 \ 1 \ 0 \ 0]$	$-2V_C/5$	$[+ \ 0 \ 0 \ 0]$
$v_{1,1}$	$[0 \ 0 \ 0 \ 1 \ 0 \ 1]$	$-3V_C/5$	$[0 \ + \ + \ +]$
$v_{3,2}$	$[0 \ 0 \ 1 \ 1 \ 1 \ 0]$	$-3V_C/5$	$[+ \ + \ - \ -]$
$v_{7,1}$	$[0 \ 1 \ 1 \ 1 \ 0 \ 1]$	$-3V_C/5$	$[+ \ 0 \ + \ +]$
$v_{3,0}$	$[0 \ 0 \ 1 \ 1 \ 0 \ 0]$	$-4V_C/5$	$[+ \ + \ 0 \ 0]$
$v_{3,1}$	$[0 \ 0 \ 1 \ 1 \ 0 \ 1]$	$-V_C$	$[+ \ + \ + \ +]$

Figura 8 – Controle por dupla banda de histerese.

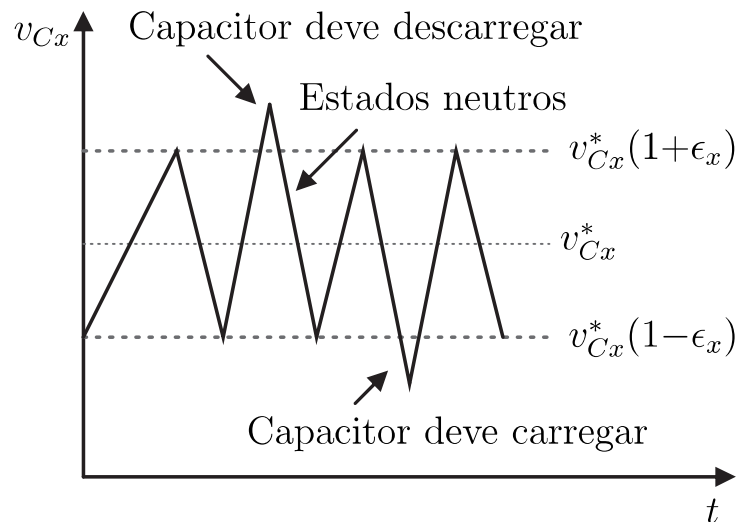


Tabela 9 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia 32-22 com relação de barramento 2:1 para $i_L > 0$.

$v_{x,y}$	$[q_{1a} \ q_{2a} \ q_{3a} \ q_{1b} \ q_{2b}]$	v_L	$[i_{c1a} \ i_{c2a} \ i_{c1b} \ i_{c2b}]$
$v_{6,2}$	[1 1 0 1 0]	V_C	[- - - -]
$v_{6,0}$	[1 1 0 0 0]	$2V_C/3$	[- - 0 0]
$v_{2,2}$	[0 1 0 1 0]	$2V_C/3$	[0 - - -]
$v_{6,1}$	[1 1 0 0 1]	$V_C/3$	[- - + +]
$v_{2,0}$	[0 1 0 0 0]	$V_C/3$	[0 - 0 0]
$v_{0,2}$	[0 0 0 1 0]	$V_C/3$	[0 0 - -]
$v_{3,2}$	[0 1 1 1 0]	0	[+ 0 - -]
$v_{2,1}$	[0 1 0 0 1]	0	[0 - + +]
$v_{0,0}$	[0 0 0 0 0]	0	[0 0 0 0]
$v_{3,0}$	[0 1 1 0 0]	$-V_C/3$	[+ 0 0 0]
$v_{1,2}$	[0 0 1 1 0]	$-V_C/3$	[+ + - -]
$v_{0,1}$	[0 0 0 0 1]	$-V_C/3$	[0 0 + +]
$v_{3,1}$	[0 1 1 0 1]	$-2V_C/3$	[+ 0 + +]
$v_{1,0}$	[0 0 1 0 0]	$-2V_C/3$	[+ + 0 0]
$v_{1,1}$	[0 0 1 0 1]	$-V_C$	[+ + + +]

$$\epsilon_a = \frac{v_{C1a} - v_{C2a}}{v_{Ca}^*} \quad (2.8)$$

$$\epsilon_{1b} = \frac{v_{C1b}}{v_{Cb}^*/2} - 1 \quad (2.9)$$

$$\epsilon_{2b} = \frac{v_{C2b}}{v_{Cb}^*/2} - 1 \quad (2.10)$$

$$\epsilon_b = \frac{v_{Cb}}{v_{Cb}^*} - 1 \quad (2.11)$$

A seleção dos vetores de cada padrão de chaveamento é ilustrada nas Figuras 10, 11, 12, 13, 14 e 15, para as topologias 33-33, 33-32, 32-33, 32-32, 33-22 e 32-22, respectivamente. Estão representadas, da esquerda para a direita, os níveis de tensão gerados em v_L , com relação a V_C , as portadoras de alta frequência e as sequências dos vetores. A forma como as sequências dos vetores estão apresentados designa o sentido de V_C até $-V_C$. Se a derivada da tensão se inverter, as setas também se invertem. Vale notar também que as setas não indicam que deve-se percorrer uma sequência inteira de uma vez. O vetor utilizado para gerar um determinado nível é escolhido a cada período do PWM. Apenas nas simulações de distorção harmônica e perdas de potência é que as sequências completas são utilizadas, pois são realizadas uma simulação para cada padrão de chaveamento.

Figura 9 – Fluxograma do algoritmo utilizado no LS-PWM dos inversores.

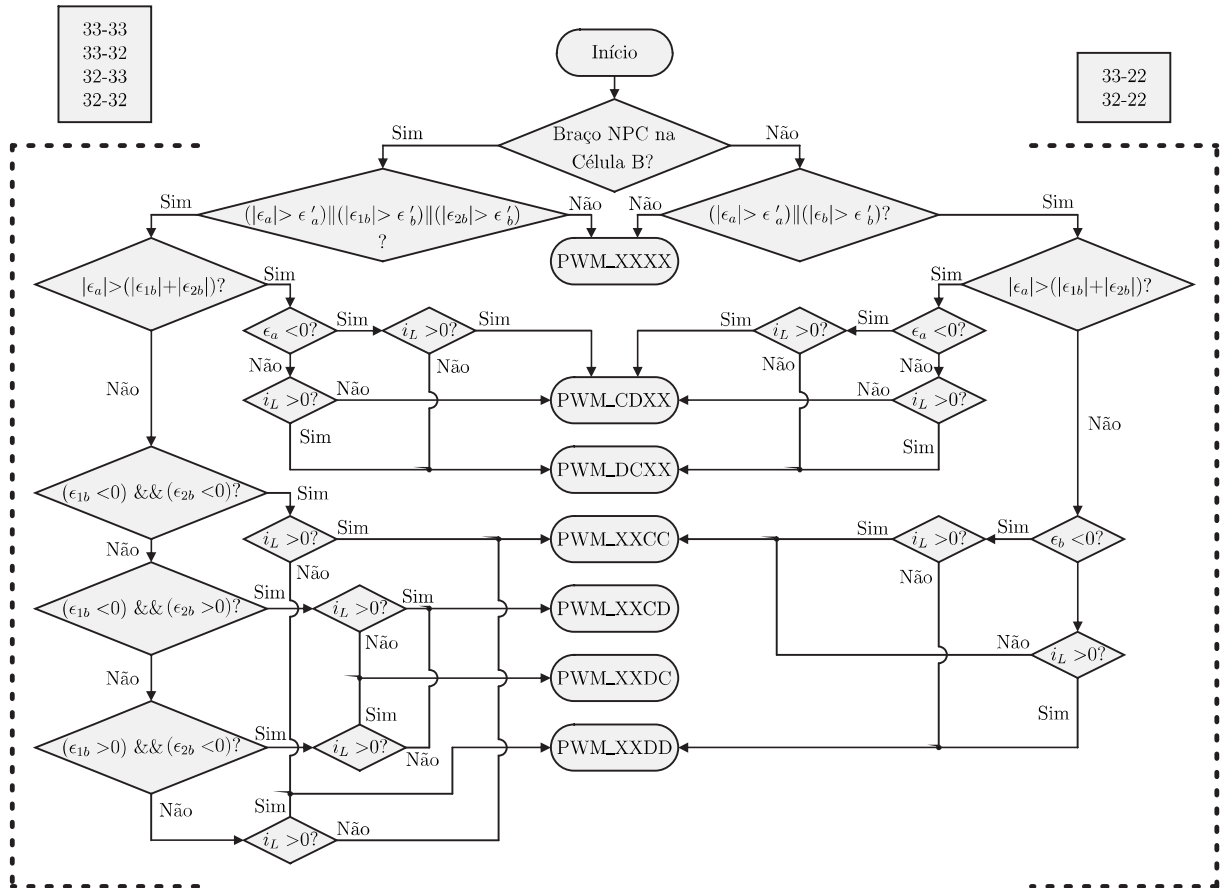


Figura 14 – Sequências de vetores dos padrões de chaveamento para a topologia 33-22.

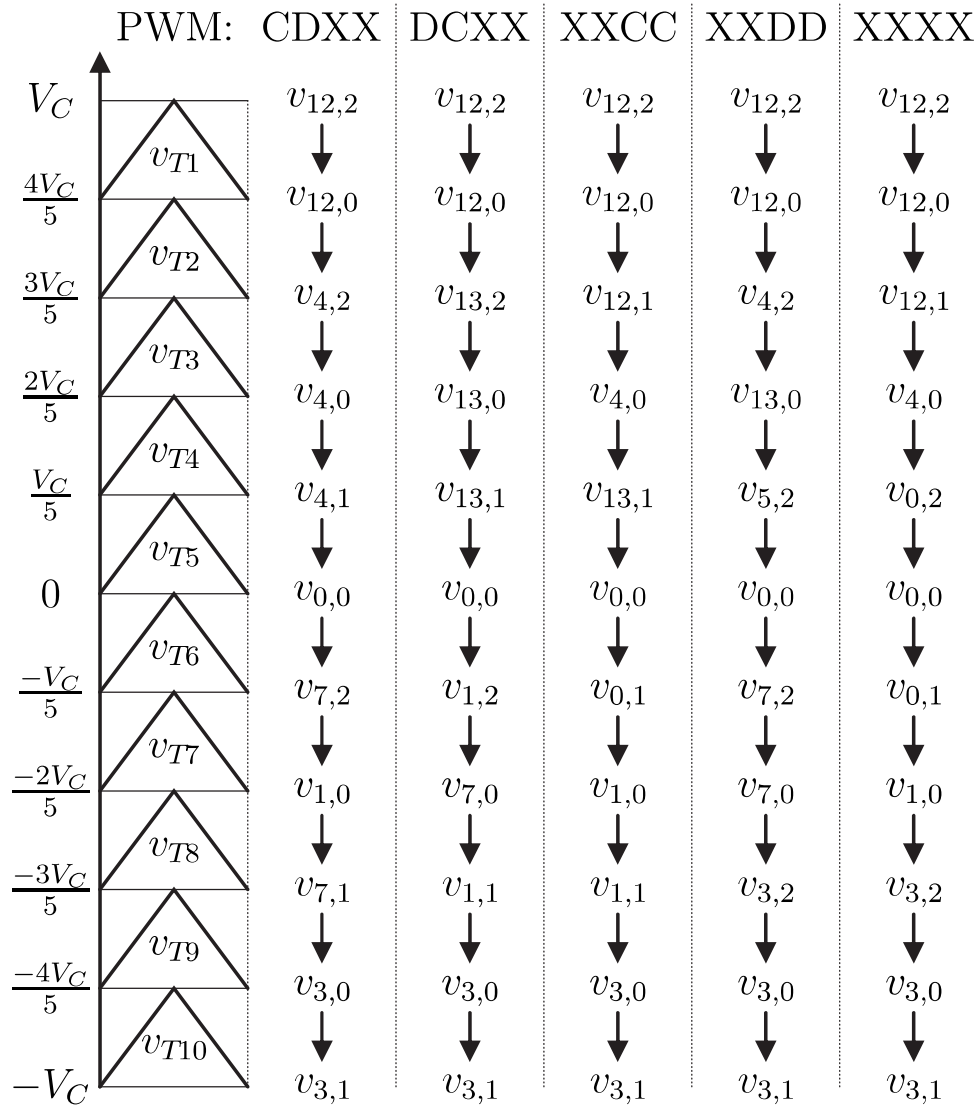
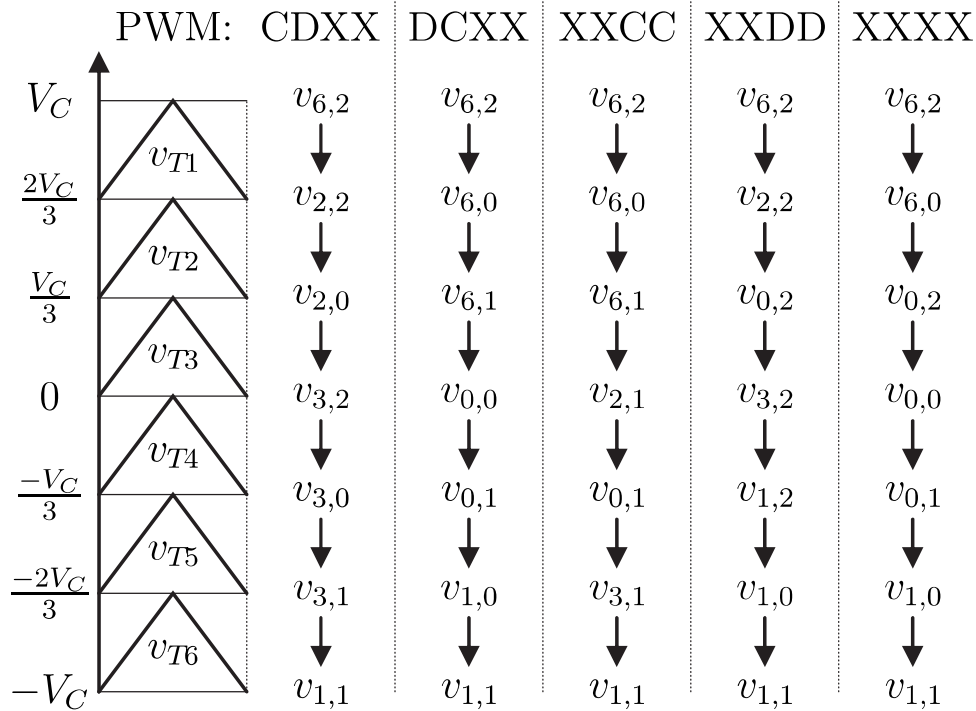


Figura 15 – Sequências de vetores dos padrões de chaveamento para a topologia 32-22.



2.3 Resultados das Simulações

As simulações foram realizadas no *software* PSIM[®], a fim de verificar o funcionamento das técnicas descritas e também fazer o cálculo de parâmetros utilizados na comparação entre as topologias estudadas, como distorção harmônica e perdas de potência nos dispositivos semicondutores. Na Tabela 10, são listados os parâmetros utilizados nas simulações.

Em um conversor monofásico, a tensão CC mínima no barramento deve ser igual à da amplitude da tensão de referência na carga para que a tensão de saída seja gerada corretamente, evitando sobremodulação. Entretanto, pode ocorrer de determinada topologia necessitar de mais tensão CC no barramento para gerar uma mesma tensão na carga que outra, em virtude de limites operacionais, tais como, evitar o chaveamento nos níveis mais externos que, geralmente, não contribuem com redundâncias suficientes para atender a todos os cenários do LS-PWM. A razão entre V_L^* e a tensão de barramento de referência é chamada de índice de modulação em amplitude (m_a). Na Tabela 10, são mostrados os valores de m_a adotados para as topologias, as relações de barramento e as tensões de referência das células A (V_{Ca}^*) e B (V_{Cb}^*). A topologia convencional 22-22 foi adicionada para comparação com as configurações propostas.

Tabela 10 – Parâmetros utilizados nas simulações dos inversores.

Parâmetro		Valor						
		33-33	33-32	32-33	32-32	33-22	32-22	22-22
Tensão de referência da carga	V_L^*	127 V (RMS)						
Frequência da rede	f	60 Hz						
Frequência do LS-PWM	f_c	10 kHz						
Banda de histerese (Célula A)	ϵ'_a	6%						
Banda de histerese (Célula B)	ϵ'_b	3%						
Potência do sistema	P_L	1 kW						
Capacitância dos barramentos	C_a, C_b	4,4 mF						
Resistor da carga	R_L	10,32 Ω						
Indutor da carga	L_L	20,54 mH						
Índice de modulação	m_a	0,86	0,82	0,87	0,78	0,93	0,88	0,88
Relação de barramento	$V_{Ca}^* : V_{Cb}^*$	3:1	3:1	3:1	2:1	4:1	2:1	2:1
Tensão de referência (Célula A)	V_{Ca}^*	156,64 V	164,28 V	154,84 V	153,51 V	154,50 V	136,07 V	136,07 V
Tensão de referência (Célula B)	V_{Cb}^*	52,21 V	54,73 V	51,61 V	76,76 V	38,63 V	68,03 V	68,03 V

Para determinação dos índices de modulação que irão compor os testes, costuma-se, primeiramente, realizar um estudo de absorção e fornecimento de potência nos barramentos CC. Esses testes consistem na substituição dos capacitares no barramento CC por fontes CC, e em seguida são aplicados todos os cenários do LS-PWM. Por meio da análise da potência de cada fonte, pode-se ter uma noção da faixa de índice de modulação que fará com que os capacitores desempenhem a função imposta pelo cenário. Se a potência da fonte for positiva, o respectivo capacitor carregaria e, se negativa, descarregaria. Essa faixa é obtida fazendo-se a interseção dos intervalos de todos os cenários. Acontece que, devido a derivação central dos braços de três níveis, existem muitos cenários e, a partir da interação de todos eles na simulação dinâmica, pode ocorrer de um determinado índice de modulação que estava dentro da faixa desequilibrar o sistema e vice-versa. Assim, o critério de escolha dos índices de modulação da Tabela 10 foi que eles deveriam ser os mais próximos possíveis de 1, para gerar o maior número de níveis de tensão, desde que fosse possível manter o valor médio das tensões dos capacitores dentro da faixa delimitada pela dupla banda de histerese.

2.3.1 Tensões sobre os dispositivos semicondutores

Na Tabela 11, é mostrada a quantidade de dispositivos semicondutores (chaves controladas e diodos) presentes em cada topologia. Quanto mais braços de três níveis, mais dispositivos são necessários. A redução, principalmente, de chaves controladas no sistema é importante porque implica em um menor número de *drivers* de acionamento necessários, que leva a uma redução na complexidade e no tamanho do conversor.

Cada dispositivo semicondutor é submetido, no máximo, à metade da tensão do barramento da célula em que ele se encontra, se o braço for de três níveis, e à tensão total, se o braço for de dois níveis. Na Tabela 12, são apresentados os valores percentuais de máxima tensão sobre os dispositivos com relação a V_L^* para cada braço.

Tabela 11 – Quantidade de dispositivos semicondutores nas topologias em estudo.

Topologia	Chaves	Diodos
33-33	16	24
33-32	14	20
32-33	14	20
32-32	12	16
33-22	12	16
32-22	10	12
22-22	8	8

Tabela 12 – Tensões percentuais máximas a que os dispositivos semicondutores estão submetidas com relação a V_L^* .

Topologia	Célula A		Célula B	
	Braço 1	Braço 2	Braço 3	Braço 4
33-33	43,61%	43,61%	14,53%	14,53%
33-32	45,73%	45,73%	15,24%	30,49%
32-33	43,10%	86,21%	14,37%	14,37%
32-32	42,73%	85,47%	21,37%	42,73%
33-22	43,01%	43,01%	21,51%	21,51%
32-22	37,88%	75,76%	37,88%	37,88%
22-22	75,76%	75,76%	37,88%	37,88%

Para a análise dos próximos parâmetros (distorção harmônica, perdas e frequência de chaveamento das chaves), os resultados representam a média aritmética de todos os cenários de carga e descarga dos capacitores. A média foi uma forma encontrada de abranger todos os cenários por igual, já que a escolha deles não é algo que se pode prever teoricamente.

2.3.2 Distorção harmônica

A distorção harmônica foi analisada por meio do cálculo da WTHD, sigla em inglês para Distorção Harmônica Total Ponderada, da tensão v_L , segundo a equação (2.10)

$$WTHD_{v_L}(\%) = \frac{100}{V_1} \sqrt{\sum_{h=2}^{N_h} \left(\frac{V_h}{h}\right)^2}, \quad (2.12)$$

em que V_1 e V_h são as amplitudes das componentes fundamental e da harmônica de ordem h de v_L , respectivamente, e N_h é a quantidade de harmônicas levadas em consideração, 1000.

Na Tabela 13, são mostrados os valores da WTHD da tensão na carga, com frequência de chaveamento igual a 10 kHz. Os resultados sugerem que a distorção harmônica é inversamente proporcional ao número de níveis gerados. A WTHD dos piores casos, a 32-22

e a 22-22 que geram 7 níveis de tensão, é quase três vezes maior que a distorção harmônica medida na 32-33, que gera 15, o melhor caso. Além disso, a WTHD das topologias com mesmo número de níveis se apresentaram bem próximas: 33-33/33-32/32-33, 32-32/33-22 e 32-22/22-22.

Tabela 13 – Valores percentuais de WTHD em v_L nas topologias de inversores.

Topologia	WTHD (%)	Níveis em v_L
33-33	0,0428	15
33-32	0,0467	15
32-33	0,0419	15
32-32	0,0650	11
33-22	0,0667	11
32-22	0,1213	7
22-22	0,1213	7

As topologias 33-33, 33-32, 32-33 e 32-32 não atingiram a quantidade de máxima possível de níveis de tensão em v_L , as três primeiras poderiam gerar 17 e a última, 13 níveis. Isso aconteceu porque houve a necessidade de se escolher índices de modulação menores nesses casos, para que o sistema pudesse convergir. Os níveis de tensão externos são mais problemáticos e tiveram que ser suprimidos, pois não possuem redundâncias, como explicado anteriormente, ou eles sempre carregam os capacitores ou sempre descarregam, o que pode desbalancear o sistema. Provavelmente, a operação da carga dentro de certos limites de fator de potência mitigaria esse problema de balanceamento.

2.3.3 Perdas de potência

As perdas nos dispositivos semicondutores são estimadas por meio dos módulos térmicos do *software* PSIM[®], correspondentes ao IGBT CM1000HA-24H e ao diodo CS240650, fabricados pela POWEREX[®]. O modelo inclui as perdas por condução (P_{cond}) nos diodos e IGBT e as perdas por chaveamento (P_{chav}), que abrangem as perdas ao ligar e desligar os IGBT e desligar os diodos. As perdas totais nos semicondutores são dadas por $P_t = P_{cond} + P_{chav}$. Os cálculos foram feitos igualando-se a WTHD de todas as topologias com relação ao pior caso, mostrado na Tabela 13 como sendo 0,1213%, por meio da mudança de f_c .

Na Tabela 14, são apresentados os valores das perdas percentuais com relação a P_L e as respectivas frequências de chaveamento utilizadas. Os resultados apontam que as perdas por condução, que representam a maior parcela de P_t , são maiores nas topologias com maior quantidade de chaves e diodos no caminho da corrente. Entre as topologias com o mesmo número de componentes, a 32-33 se apresentou mais eficiente que a 33-32, nesse

quesito. Da mesma maneira, a 33-22 apresentou menor taxa de P_{cond} , em comparação com a 32-32.

Tabela 14 – Perdas percentuais das topologias de inversores considerando a mesma WTHD em v_L de 0,1213%.

Topologia	P_{chav} (%)	P_{cond} (%)	P_t (%)	f_c (kHz)
33-33	0,3679	6,5449	6,9128	3,8
33-32	0,3977	5,7727	6,1704	3,9
32-33	0,4099	5,7191	6,1290	3,8
32-32	0,6184	4,9734	5,6047	5,4
33-22	0,5554	4,9493	5,5047	5,4
32-22	1,0461	4,1672	5,2133	10
22-22	1,1910	3,3073	4,4983	10

Por outro lado, as perdas por chaveamento se mostraram inversamente proporcionais ao número de dispositivos semicondutores. Isso pode ser explicado com base nos valores de frequência média de chaveamento das chaves de cada braço, apresentadas na Tabela 15. Verifica-se que há uma tendência de aumento na frequência de comutação quando há menos dispositivos no caminho da corrente do sistema, contribuindo para um valor maior de P_{chav} .

Tabela 15 – Frequências médias de chaveamento de cada braço das topologias de inversores em Hz.

Topologia	Célula A		Célula B	
	Braço 1	Braço 2	Braço 3	Braço 4
33-33	495	665	2175	1135
33-32	515	455	2250	1980
32-33	725	330	2365	2200
32-32	845	450	2965	1930
33-22	1098	972	3000	2940
32-22	2298	1464	3096	3636
22-22	1440	1460	5160	5040

Comparando as topologias 33-33, 33-32 e 32-33, com relação de barramento 3:1, as frequências são maiores nos braços da 32-33, o que faz ela apresentar perdas por chaveamento superiores às demais. As topologias 33-33 e 33-32 apresentam um certo equilíbrio nas frequências médias dos braços 1 e 2, porém, quando observa-se os braços 3 e 4, a 33-33 possui frequências menores. Isso faz toda diferença nas perdas por chaveamento, já que a 33-32 possui um braço de dois níveis na célula B, cujas chaves são submetidas a uma maior tensão reversa, como mostrado na Tabela 12.

Algo semelhante ocorre na comparação da 32-22 com a 22-22, ambas com relação 2:1. Apesar da 32-22 apresentar frequências ligeiramente maiores na Célula A, o resultado é compensado pela Célula B, fazendo com que a 22-22 tenda a dissipar mais potência por chaveamento.

Comparando, agora, as topologias com mesmo número de chaves, observa-se que a 33-22 apresenta frequências maiores em todos os braços em comparação à 32-32, entretanto, as perdas são menores. Isso é explicado pelas elevadas tensões reversas nos dispositivos dos braços de dois níveis da 32-32, como mostrado na Tabela 12. Os braços de dois níveis da topologia 33-22 estão localizados na Célula B, cujas tensões sobre os dispositivos são mais baixas devido à elevada relação de barramento 4:1.

Observando-se P_t , percebe-se que as perdas por condução foram definitivas para saber qual a topologia mais eficiente nesse critério, apesar de as perdas por chaveamento não seguirem o mesmo padrão. As topologias com menos componentes se apresentaram mais eficientes, mas a com pouca diferença, a 22-22 dissipou 4,5% da potência total, enquanto que a 33-33, 7%. As topologias propostas são mais adequadas para aplicações com altas tensões e baixas correntes, porque isso contribuiria para uma diminuição de P_{cond} . Além disso, as topologias propostas geraram uma forma de onda com muito mais qualidade que a convencional em termos de distorção harmônica.

2.3.4 Simulação dinâmica

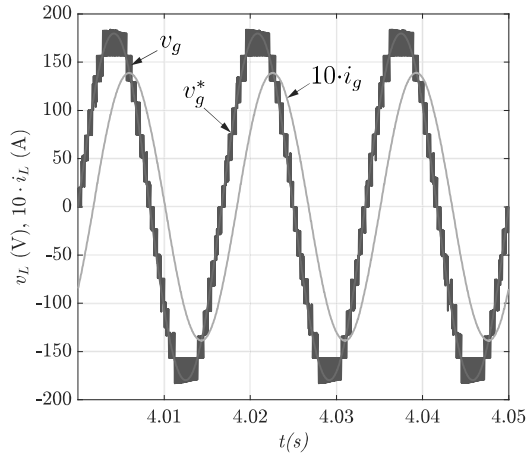
A seguir, serão apresentadas a dinâmica dos sistemas para verificar a atuação do controle dos barramentos por meio das redundâncias. Para isso, definiu-se que as tensões iniciais dos capacitores seriam nulas e a fonte CC acoplada à Célula A dos inversores seria linear, partindo de zero até atingir a tensão de referência, a fim de evitar um degrau de tensão nos barramentos.

Na Figura 16, são apresentadas as tensões na carga medida (v_L) e de referência (v_L^*) e as respectivas correntes na carga (i_L) multiplicadas por 10 para evidenciar o defasamento com a tensão. Na Figura 17, pode-se observar as tensões nos capacitores da Célula A (v_{C1a} e v_{C2a}) e da Célula B (v_{C1b} , v_{C2b} e v_{Cb}).

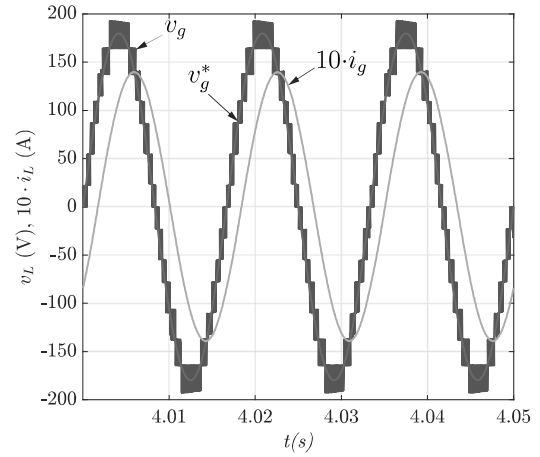
A tensão chaveada na carga RL seguiu a referência com os níveis bem definidos e a corrente apresenta com um formato senoidal. As tensões nos capacitores dos barramentos ficaram dentro dos limites da faixa de histerese, garantindo o bom funcionamento das topologias e comprovando a estratégia de controle por meio das redundâncias do LS-PWM.

Figura 16 – Tensões e correntes na carga dos inversores na simulação dinâmica.

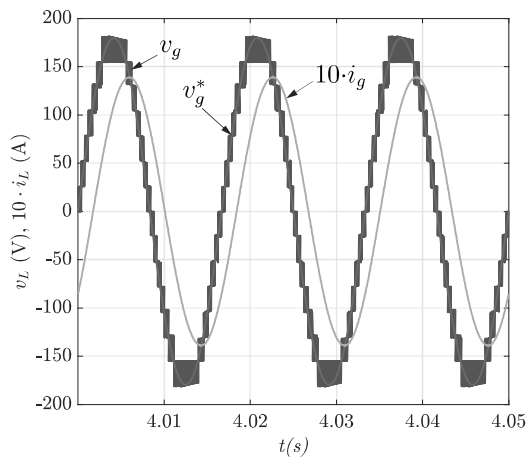
(a) 33-33.



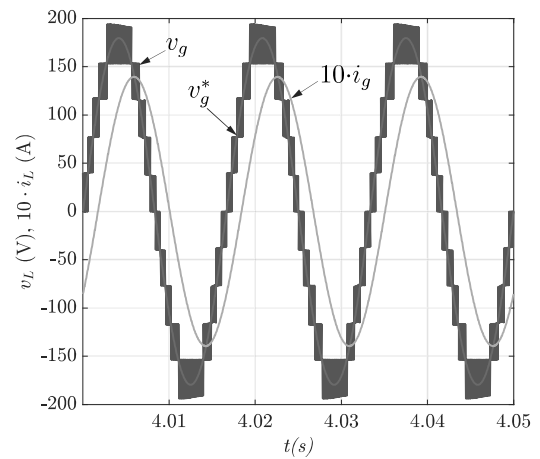
(b) 33-32.



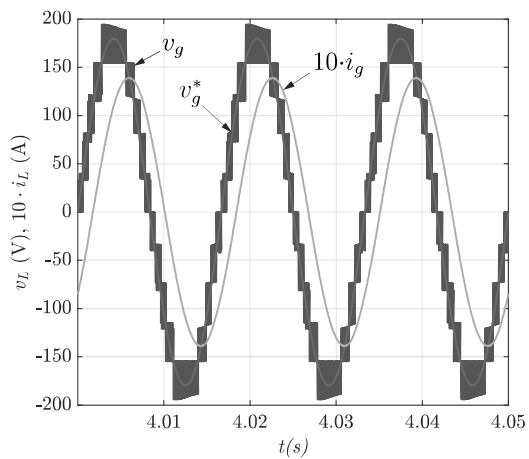
(c) 32-33.



(d) 32-32.



(e) 33-22.



(f) 32-22.

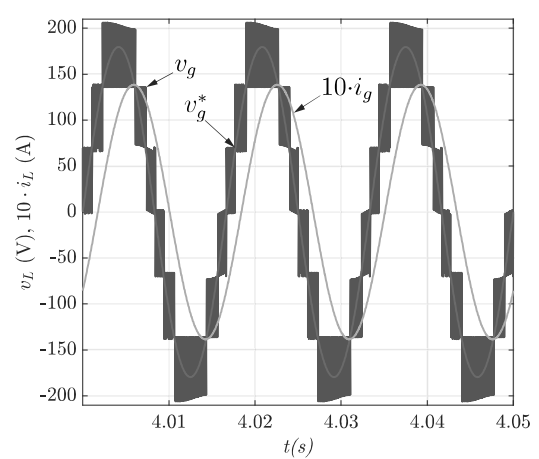
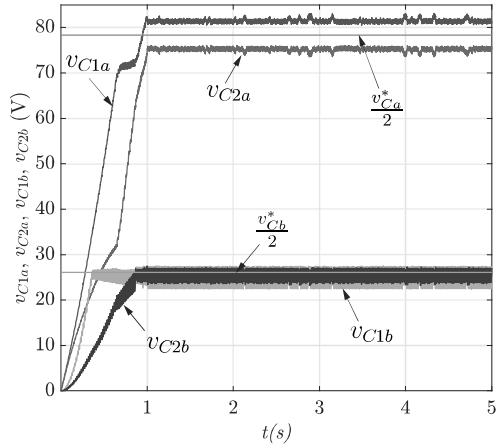
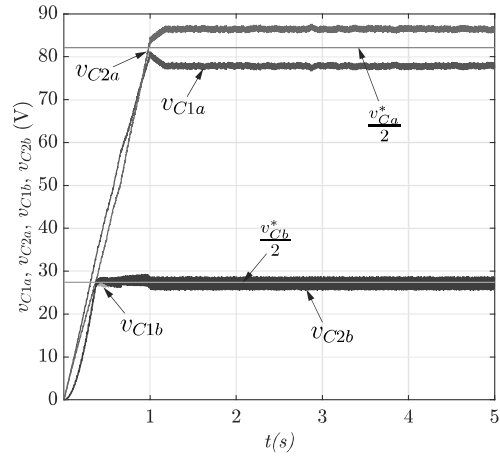


Figura 17 – Tensões nos capacitores das células A e B dos inversores na simulação dinâmica.

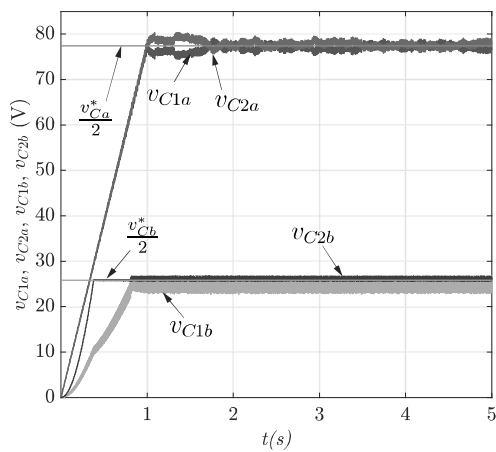
(a) 33-33.



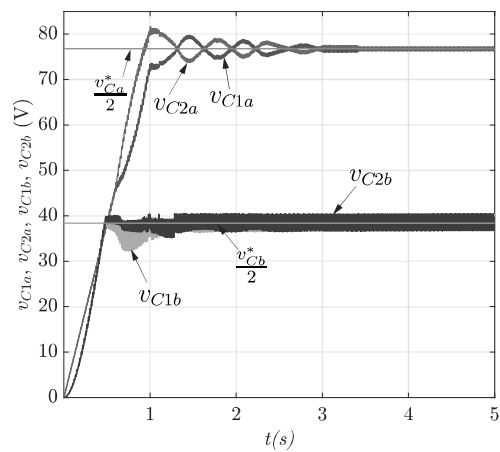
(b) 33-32.



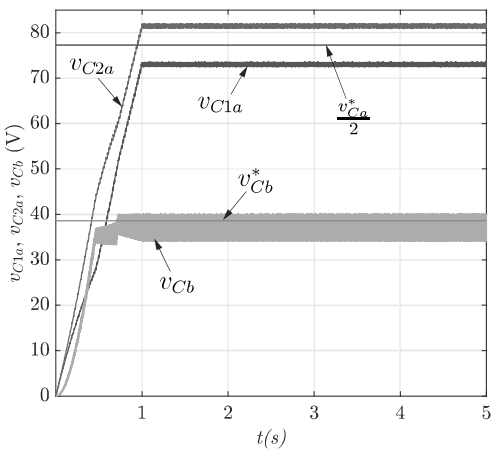
(c) 32-33.



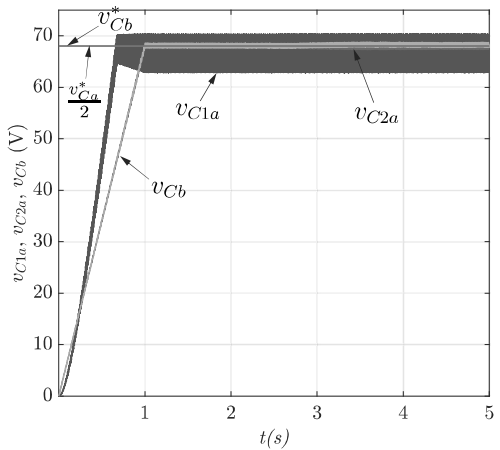
(d) 32-32.



(e) 33-22.



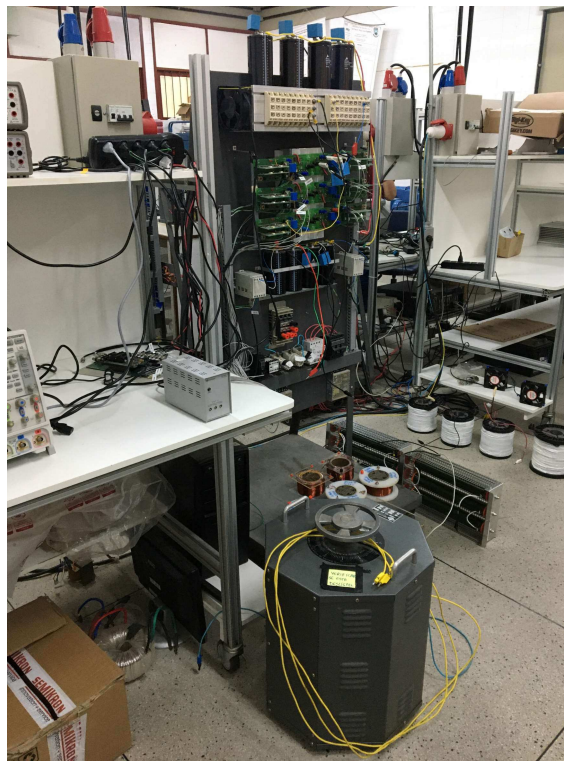
(f) 32-22.



2.4 Resultados Experimentais

A fim de demonstrar a viabilidade das topologias propostas, foi montado um protótipo em escala reduzida na bancada mostrada na Figura 18. A montagem experimental utilizou um DSP TMS320F28335 da Texas Instruments para execução das rotinas de controle e do PWM. Conectado a sensores e placas de condicionamento de sinal, o DSP realizou a leitura das grandezas elétricas necessárias. Foram utilizados os módulos IGBT SK50MLI066 da Semikron, cujas chaves de potência eram acionadas por drivers SKHI20opA, também fabricados pela Semikron.

Figura 18 – Bancada utilizada nos experimentos.



Os parâmetros utilizados foram iguais aos das simulações: tensão RMS da carga de 127 V, frequência da rede de 60 Hz, frequência de chaveamento de 10 kHz, banda de histerese de 6% para a Célula A e 3% para a B, e potência consumida pela carga de 1kW. Na Figura 20, é mostrada a tensão do conversor e a corrente da rede para cada topologia.

Na Tabela 16, encontra-se um resumo dos resultados obtidos, com os valores RMS das tensões e das correntes, além dos índices de modulação, potência consumida, fator de potência e quantidade de níveis de tensão gerados. Sabendo-se que o valor RMS de i_L teórico é de 9,84 A, pode-se fazer uma comparação.

Como se pode ver, os índices de modulação experimentais foram parecidos com

Tabela 16 – Resumo dos resultados experimentais para tensões e correntes da carga dos inversores.

Parâmetro	Topologia					
	33-33	33-32	32-33	32-32	33-22	32-22
Relação de barramento	3:1	3:1	3:1	2:1	4:1	2:1
Índice de modulação	0,85	0,86	0,86	0,65	0,92	0,85
v_L RMS (V)	127,25	127,96	127,12	127,66	127,29	127,33
i_L RMS (A)	9,83	9,92	9,88	9,76	9,79	9,63
P_L (kW)	1,010	1,020	1,010	0,986	1,000	0,997
Fator de potência	0,804	0,8	0,8	0,794	0,802	0,807
Níveis de tensão	15	15	15	9	11	7

os das simulações na maioria dos casos, o que permitiu a mesma quantidade de níveis de tensão gerados. A exceção foi a topologia 32-32, que foi capaz de gerar 9 níveis no experimento, contra 11 na simulação, onde foi possível um m_a com maior valor. Quanto maior o m_a , maior a quantidade de níveis de tensão gerados, sendo que, quando $m_a = 1$, são gerados todos os níveis possíveis. As formas de onda de v_L e i_L estão com o defasamento correto, evidenciados pelo fator de potência em torno de 0,8 para todas as topologias. Os valores RMS também estão dentro do esperado, o que garantiu uma potência de 1 kW para a carga das configurações propostas.

Na Figura 21, é mostrado o comportamento das tensões dos capacitores no regime e, na Tabela 17, um resumo das tensões médias nos barramentos, bem como os erros de tensão resultantes nos experimentos. Pode-se ver que a maioria das tensões capacitivas oscilaram dentro da faixa delimitada pela dupla banda de histerese, ou seja, $|\epsilon_a| \leq 6\%$, $|\epsilon_{1b}| \leq 3\%$, $|\epsilon_{2b}| \leq 3\%$ e $|\epsilon_b| \leq 3\%$. O único caso em que o limite foi ultrapassado foi v_{Cb} da topologia 33-22. Entretanto, como a diferença foi pequena, isso pode ser atribuído aos erros de leitura das pontas de tensão e do próprio osciloscópio. Esses equipamentos, por mais precisos que sejam, nunca são perfeitos.

Um transitório, causado por uma alteração do fator de potência de 0,8 para 0,6 e mantendo a mesma potência consumida pela carga dos inversores, foi aplicado para mostrar a operação dos sistemas e como se comportariam as grandezas elétricas. Os sistemas encontram-se no regime em $t = 0$ s e, em $t = 5$ s, ocorre uma mudança na carga, os valores de resistência e indutância passam a ser $R = 5,81 \Omega$ e $L = 20,54$ mH. Os resultados são apresentados nas Figuras 22 - 27. Em todas as topologias, a corrente na carga aumentou, como esperado, já que a resistência diminuiu, e v_L se manteve com a mesma forma de onda antes e depois do transitório. As tensões dos capacitores dos barramentos permaneceram equilibradas, mostrando uma eficiência da estratégia PWM e do controle por dupla banda de histerese.

Tabela 17 – Resumo dos resultados experimentais para tensões dos barramentos dos inversores.

Parâmetro	Topologia					
	33-33	33-32	32-33	32-32	33-22	32-22
v_{C1a} (V)	83,04	81,72	80,29	92,27	79,22	70,42
v_{C2a} (V)	83,00	81,39	84,41	99,85	85,46	75,15
v_{C1b} (V)	26,02	26,88	26,81	46,38	-	-
v_{C2b} (V)	26,74	26,64	26,42	46,78	-	-
v_{Cb} (V)	-	-	-	-	40,44	71,58
v_{Ca}^* (V)	158,48	156,64	156,64	184,22	156,18	140,87
v_{Cb}^* (V)	52,83	52,21	52,21	92,11	39,05	70,44
$ \epsilon_a $ (%)	0,03	0,21	2,63	4,11	4,00	3,36
$ \epsilon_{1b} $ (%)	1,50	2,97	2,70	0,71	-	-
$ \epsilon_{2b} $ (%)	1,23	2,05	1,21	1,57	-	-
$ \epsilon_b $ (%)	-	-	-	-	3,56	1,62

Por fim, aplicou-se uma carga não-linear às topologias de inversores, conforme ilustrado na Figura 19. Por meio de simulações, verificou-se que com $v_L^* = 127$ V (RMS), a corrente na carga é $i_L^* = 15,88$ A (RMS), a potência consumida é $P_L = 1,5$ kW, o fator de potência é 0,744 e o fator de crista da corrente na carga (que é a razão entre os valores de pico e RMS de i_L) é 1,686. Nas Figuras 28 e 29, são apresentadas as tensões e correntes na carga, e as tensões nos capacitores dos barramentos, respectivamente. Verifica-se que v_L não sofreu alteração no formato em comparação à carga linear, enquanto que i_L se ajustou à demanda da nova carga, como esperado. Observa-se também o balanceamento das tensões dos capacitores, indicando que as técnicas empregadas funcionam bem mesmo nesse cenário mais excêntrico.

Nas Tabelas 18 e 19, está descrito um resumo dos resultados experimentais com a carga não-linear nos inversores. Na primeira, são apresentados os valores de relação de barramento, índice de modulação, tensão, corrente e potência da carga, fator de potência, fator de crista de i_L e o número de níveis de tensão obtidos. Na segunda, as tensões medidas nos capacitores, juntamente com as tensões de referência nas células A e B, e os erros de tensão. Verifica-se que, em todos os casos, v_L se manteve praticamente em 127 V (RMS), P_L foi um pouco menor que 1,5 kW, provavelmente devido às perdas, o que levou a uma pequena queda em i_L RMS, porém o valor de pico se aproximou bem mais da referência, dado um aumento no fator de crista. Os valores de fator de potência também podem ser considerados satisfatórios. Para as tensões nos capacitores dos barramentos, os únicos casos em que os erros de tensão ultrapassaram os limites foram em v_{C2b} para a topologia 33-33, em v_{C1b} para a 32-32 e em v_{Cb} para a 32-22, porém com diferenças mínimas, que pode ter sido em razão de imprecisões dos equipamentos, tais como na aplicação da carga linear.

Tabela 18 – Resumo dos resultados experimentais para tensões e correntes da carga não-linear dos inversores.

Parâmetro	Topologia					
	33-33	33-32	32-33	32-32	33-22	32-22
Relação de barramento	3:1	3:1	3:1	2:1	4:1	2:1
Índice de modulação	0,85	0,86	0,86	0,65	0,92	0,85
v_L RMS (V)	127,47	127,72	127,87	127,94	127,05	127,87
i_L RMS (A)	14,55	14,55	14,54	14,34	14,40	14,22
P_L (kW)	1,42	1,43	1,43	1,39	1,41	1,42
Fator de potência	0,768	0,762	0,769	0,756	0,765	0,783
Fator de crista de i_L	1,789	1,754	1,783	1,776	1,776	1,798
Níveis de tensão	15	15	15	9	11	7

Tabela 19 – Resumo dos resultados experimentais para tensões dos barramentos com aplicação da carga não-linear nos inversores.

Parâmetro	Topologia					
	33-33	33-32	32-33	32-32	33-22	32-22
v_{C1a} (V)	82,04	81,24	82,77	96,30	78,68	70,58
v_{C2a} (V)	83,47	79,65	80,70	96,84	86,43	75,18
v_{C1b} (V)	26,974	26,78	26,61	48,33	-	-
v_{C2b} (V)	27,27	26,49	26,46	46,76	-	-
v_{Cb} (V)	-	-	-	-	40,00	73,13
v_{Ca}^* (V)	158,48	156,64	156,64	184,22	156,18	140,87
v_{Cb}^* (V)	52,83	52,21	52,21	92,11	39,05	70,44
$ \epsilon_a $ (%)	0,90	1,02	1,32	0,29	4,96	3,27
$ \epsilon_{1b} $ (%)	2,12	2,59	1,93	4,94	-	-
$ \epsilon_{2b} $ (%)	3,24	1,47	1,36	1,53	-	-
$ \epsilon_b $ (%)	-	-	-	-	2,43	3,82

Figura 19 – Modelo da carga não-linear utilizada nos inversores.

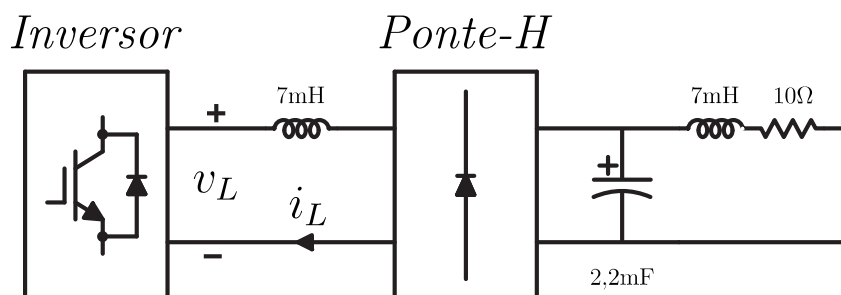
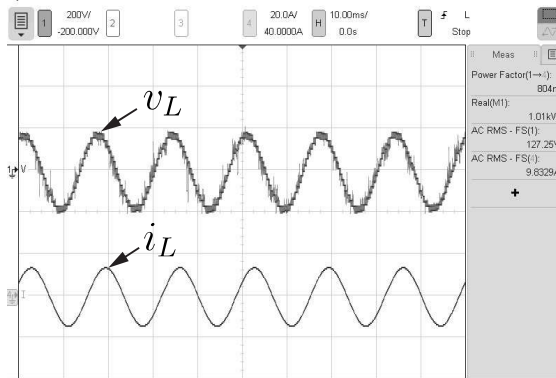
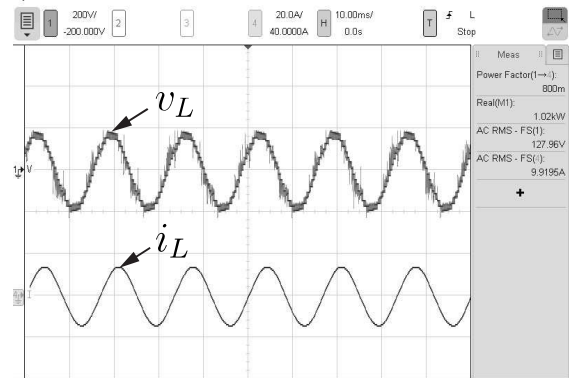


Figura 20 – Tensões e correntes experimentais dos inversores.

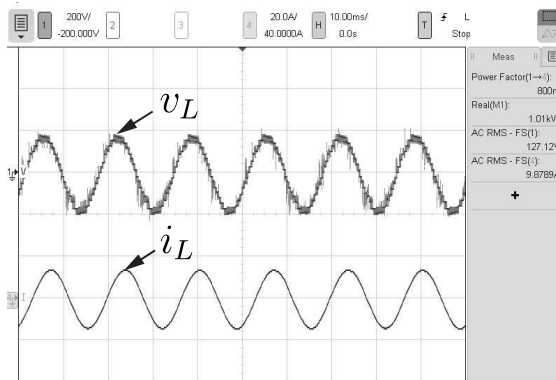
(a) 33-33.



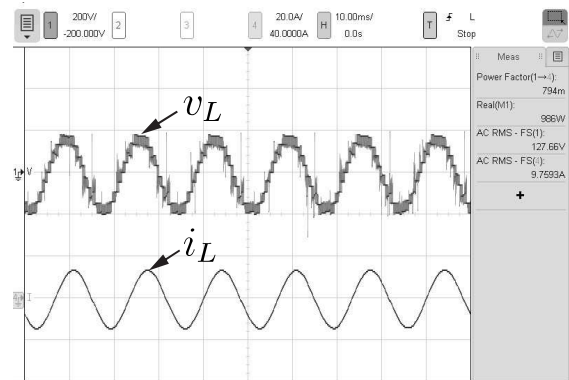
(b) 33-32.



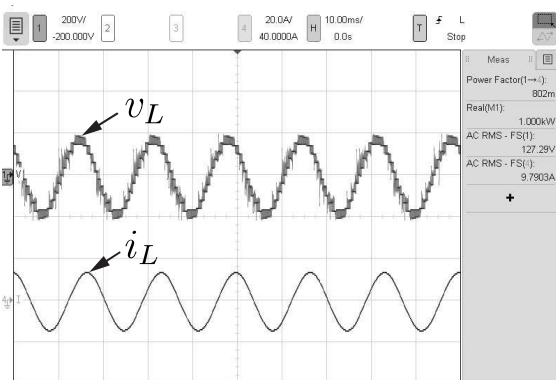
(c) 32-33.



(d) 32-32.



(e) 33-22.



(f) 32-22.

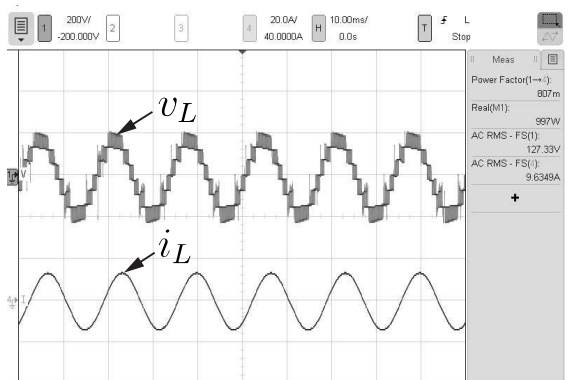


Figura 21 – Tensões experimentais dos barramentos dos inversores

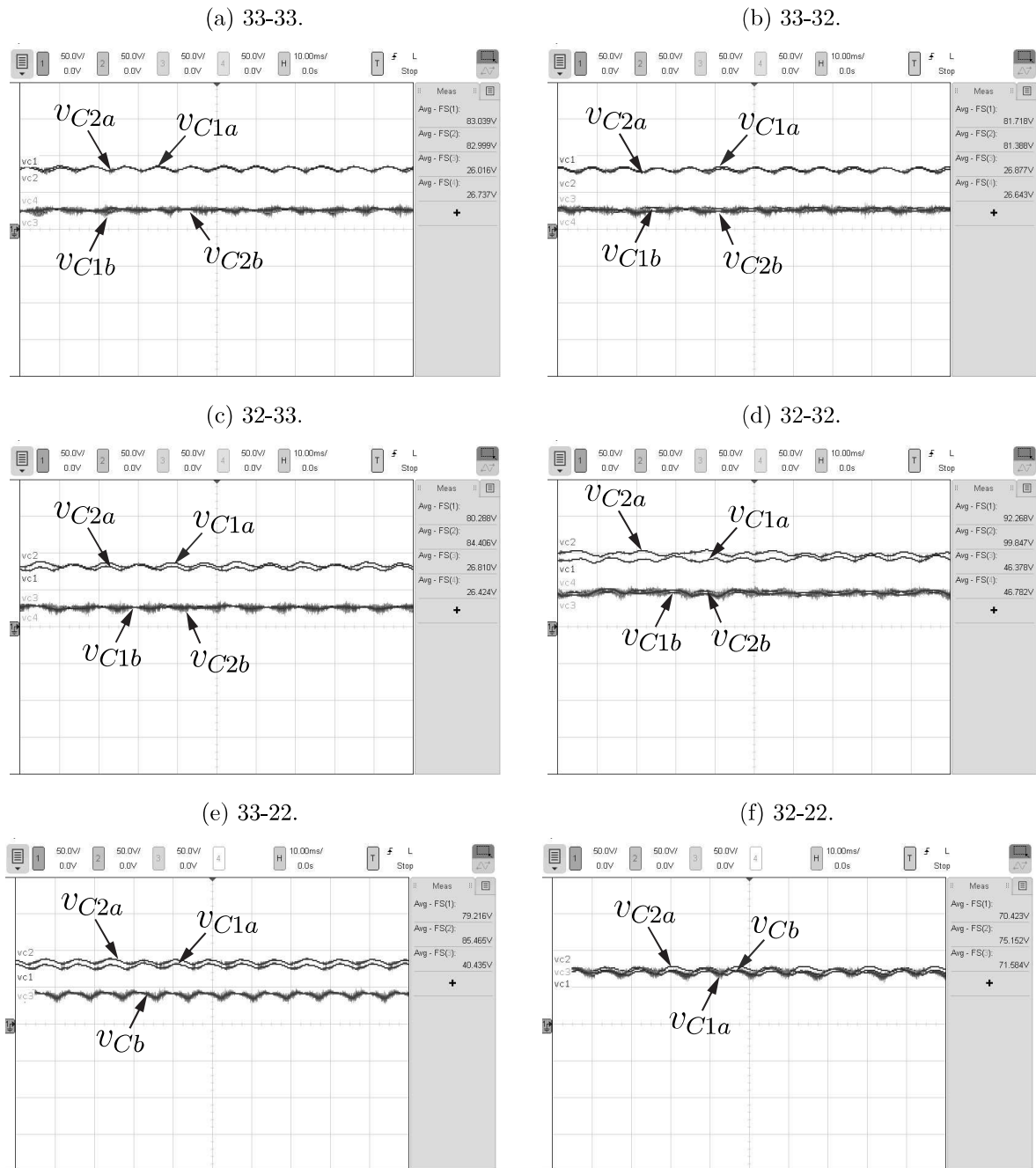


Figura 22 – Aplicação do transitório na topologia 33-33.

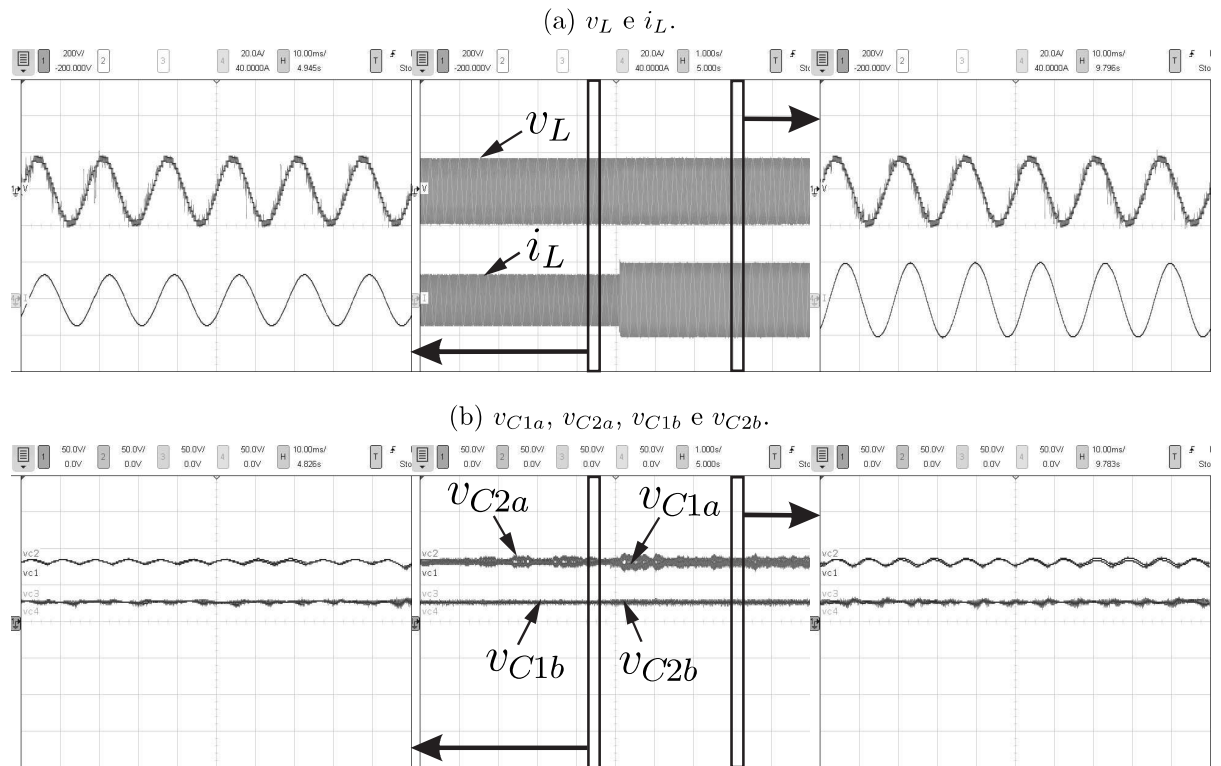


Figura 23 – Aplicação do transitório na topologia 33-32.

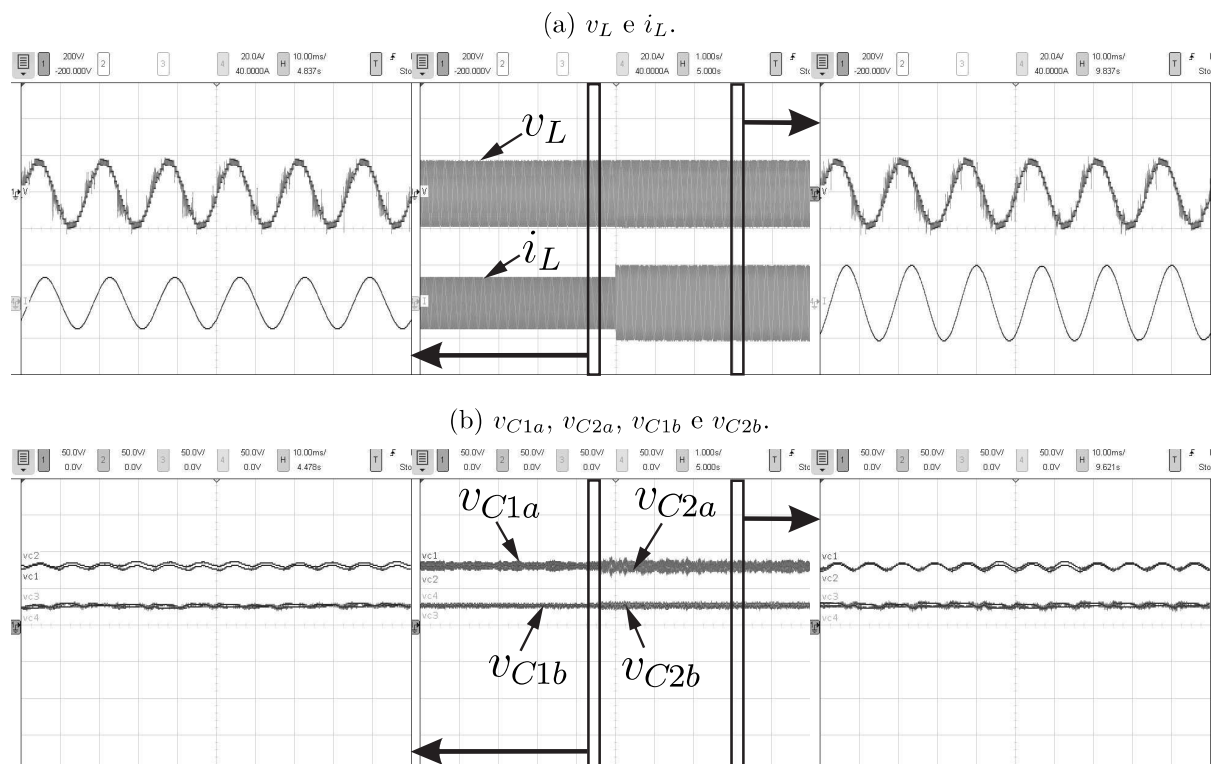


Figura 24 – Aplicação do transitório na topologia 32-33.

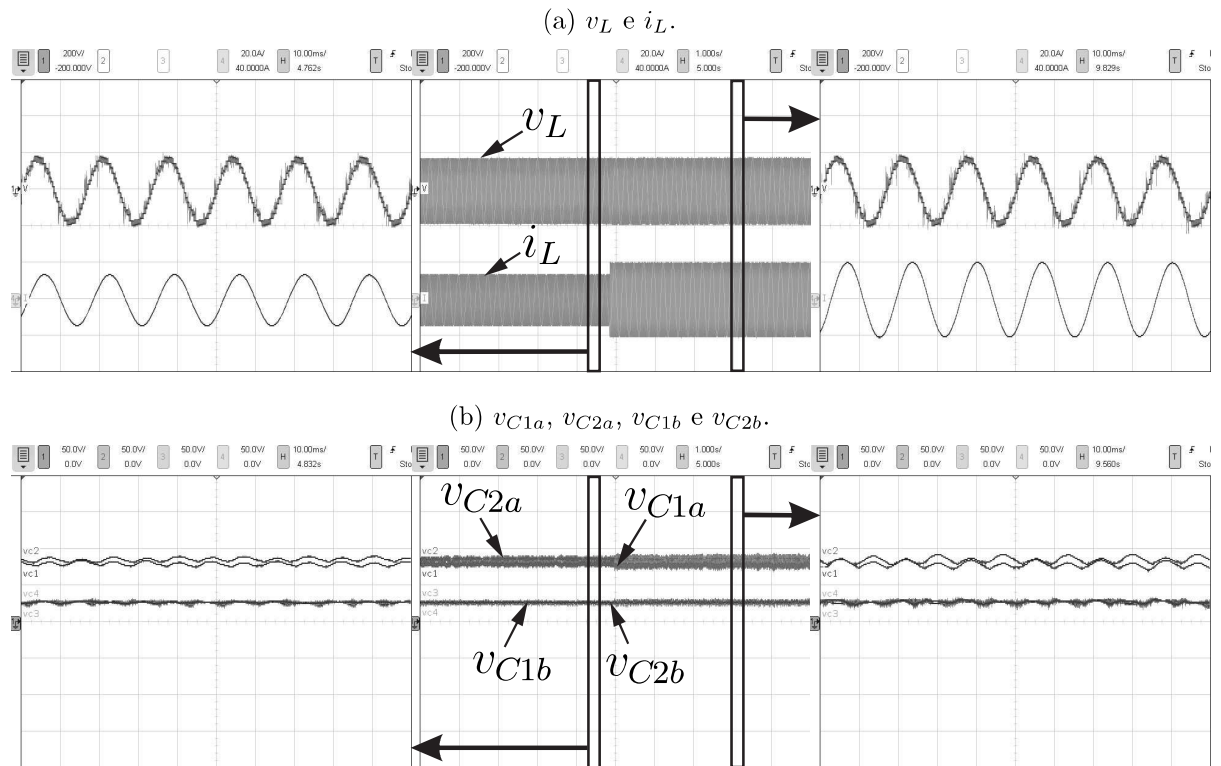


Figura 25 – Aplicação do transitório na topologia 32-32.

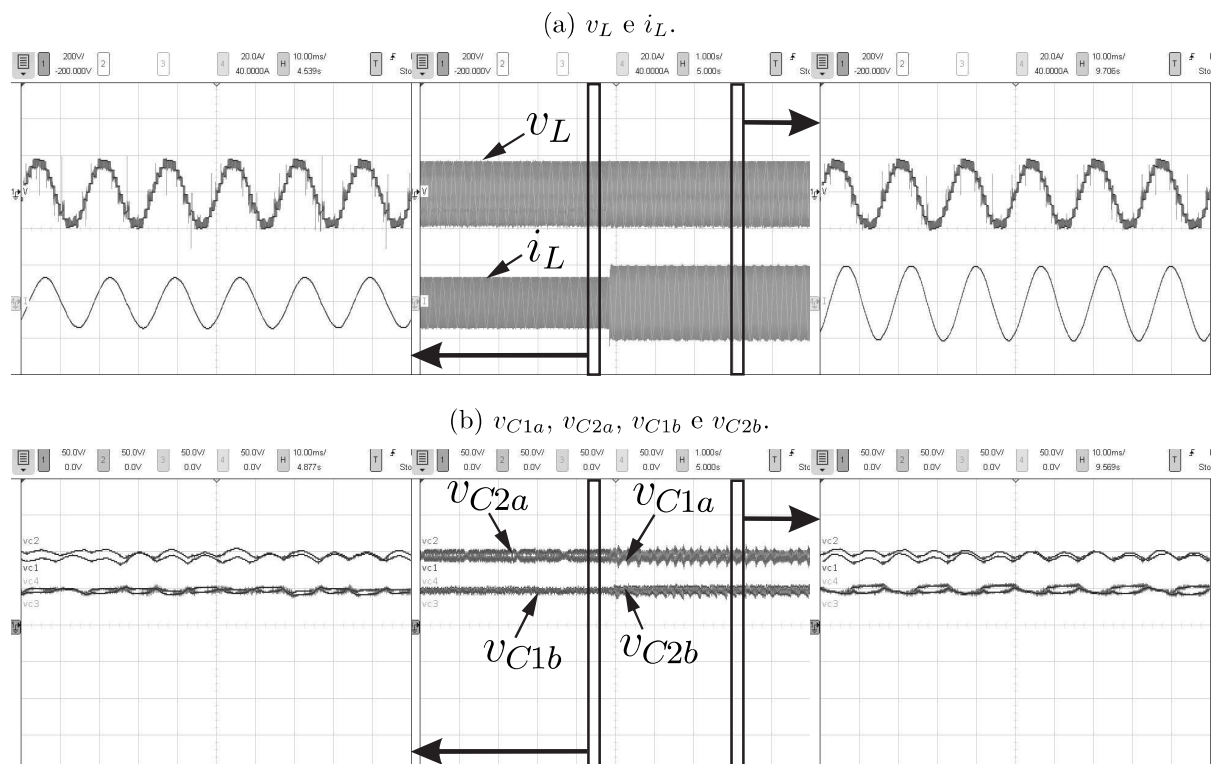


Figura 26 – Aplicação do transitório na topologia 33-22.

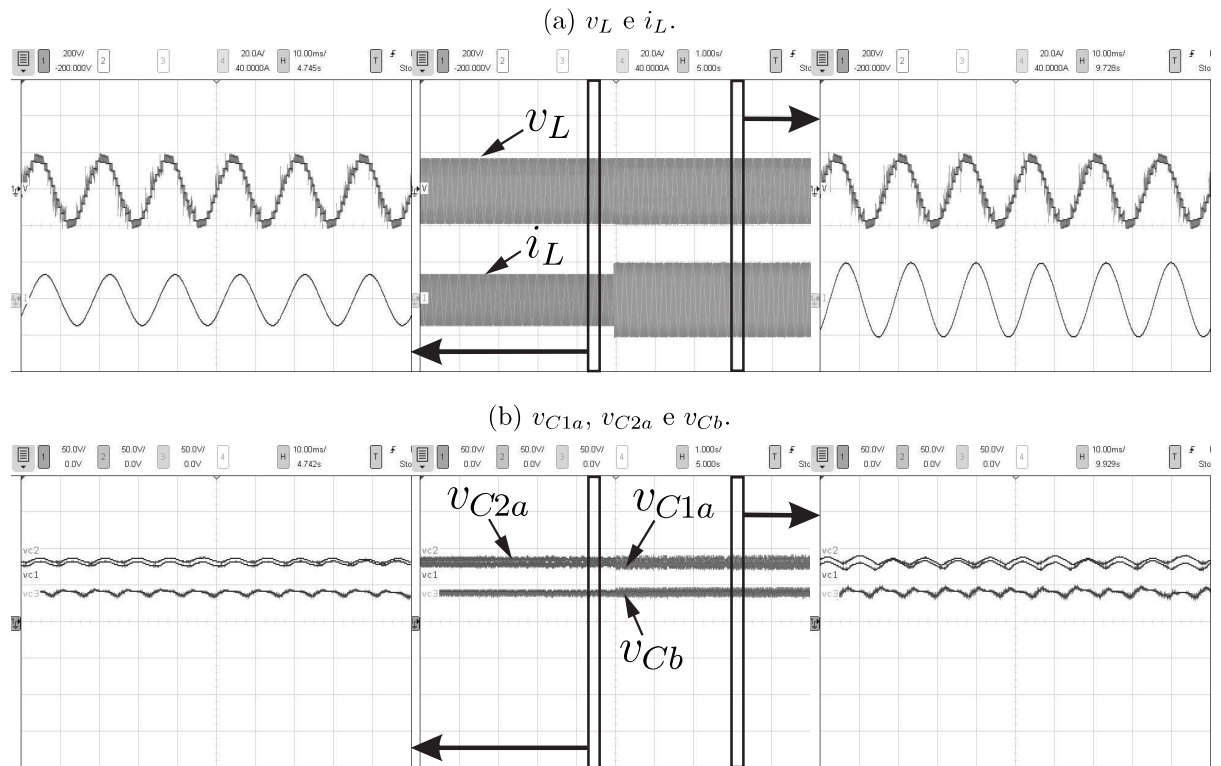


Figura 27 – Aplicação do transitório na topologia 32-22.

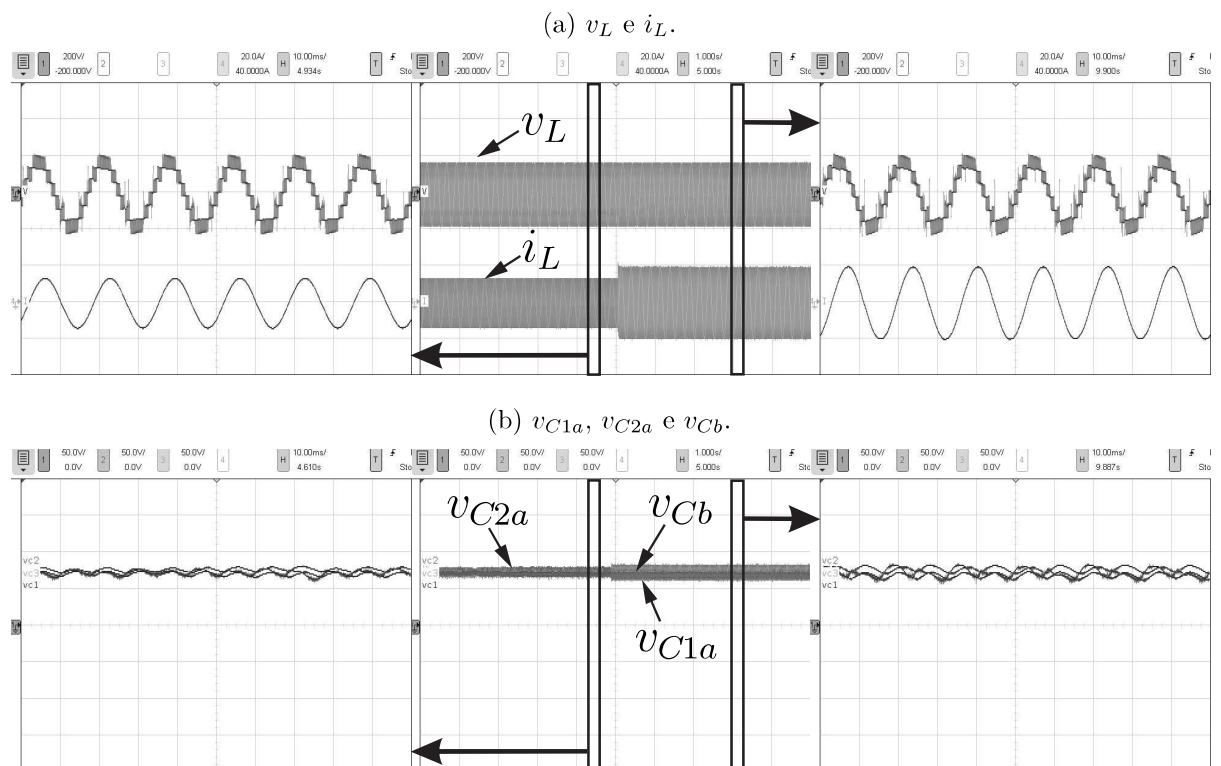


Figura 28 – Tensões e correntes experimentais dos inversores após aplicação da carga não-linear.

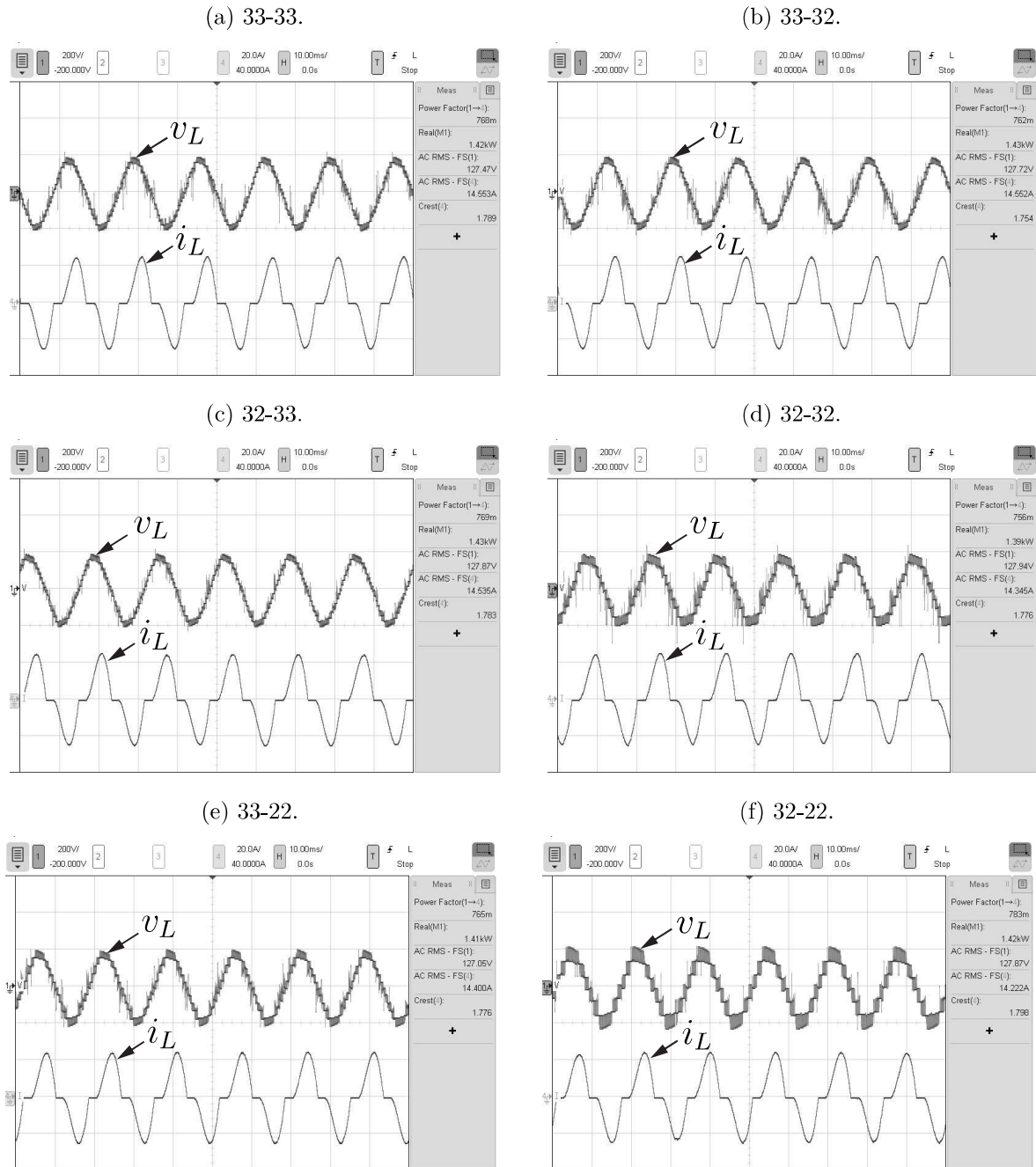
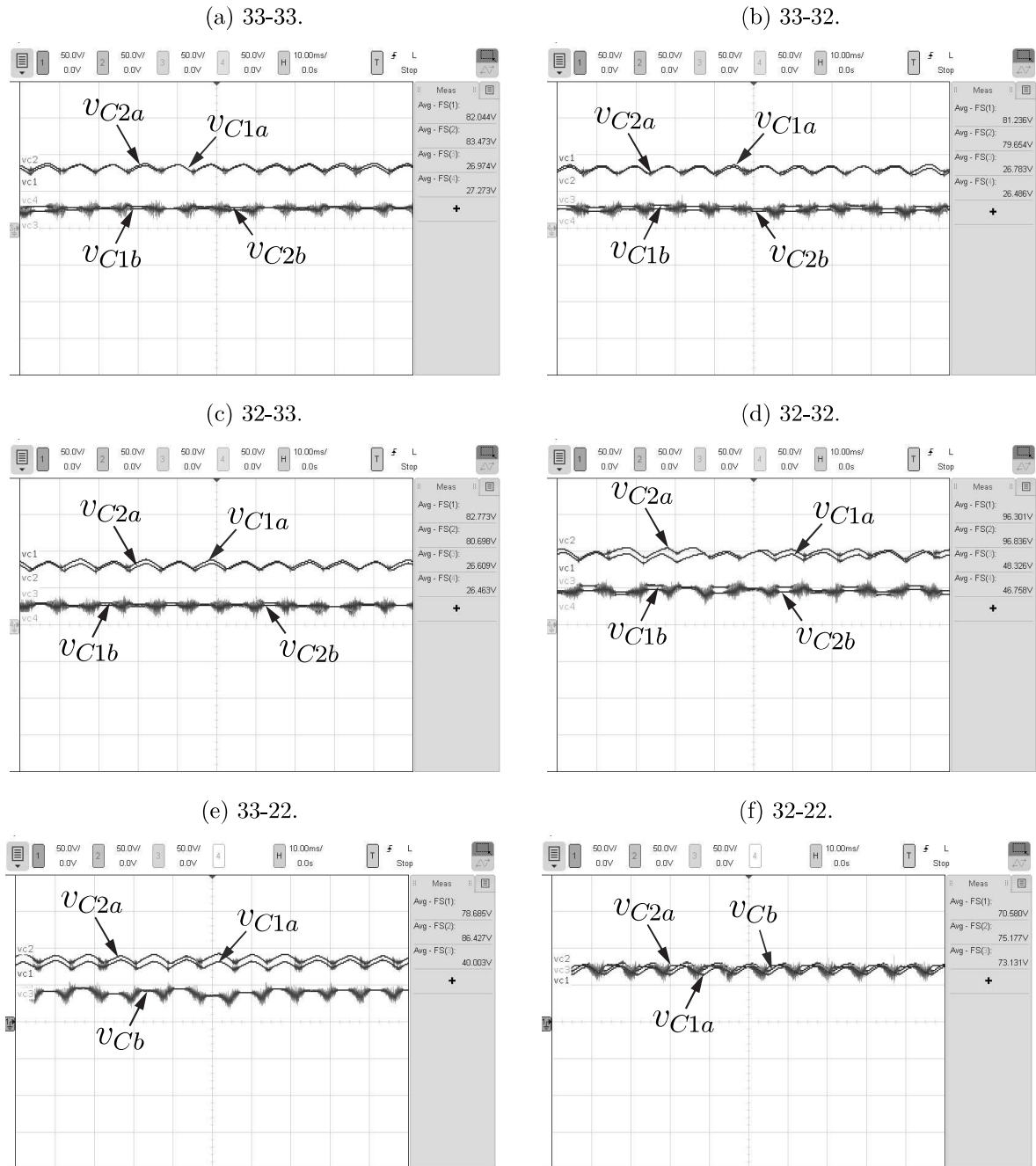


Figura 29 – Tensões experimentais dos barramentos dos inversores após aplicação da carga não-linear



2.5 Conclusões

Neste capítulo, foram analisadas uma família de seis inversores monofásicos multiníveis e em cascata de duas células, com fluxo bidirecional de potência e braços completamente controláveis capazes de gerar três ou dois níveis de tensão. Para todas as topologias, as relações de barramento foram assimétricas e a tensão total da célula de menor tensão foi fornecida exclusivamente pelos capacitores que a compõem, chamados de flutuantes. A técnica de modulação utilizada foi a de deslocamento de portadoras em nível, sempre priorizando o chaveamento entre os dois níveis mais próximos para minimizar a distorção harmônica nos sinais gerados. Foram apresentados os algoritmos necessários para equilibrar as tensões dos quatro capacitores, além das técnicas de controle e as sequências de vetores do LS-PWM. Além disso, também foram mostrados os resultados das simulações computacionais no *software* PSIM[®], para comparação em termos de distorção harmônica e perdas de potência, e os experimentais, com aplicação em diferentes cenários de carga.

Como observado nos resultados de simulação e experimentais, as topologias geraram entre 7 e 15 níveis e foi observado que, quanto maior esse número, mais a forma de onda da tensão chaveada se aproximou do formato senoidal, o que significou menor taxa de WTHD. Em relação às perdas de potência, foi observado que o número de dispositivos semicondutores influenciou no resultado final. A topologia convencional levou uma pequena vantagem em relação às propostas por apresentar menos componentes. Os inversores foram capazes de funcionar bem nos cenários de carga linear e não-linear, como também em um transitório, em que o fator de potência da carga foi alterado de 0,8 para 0,6. Os formatos e valores de v_L e i_L estavam dentro do esperado e as tensões dos capacitores dos barramentos foram equilibradas.

3 | Sistemas CA-CC

Neste capítulo, são analisadas seis topologias de retificadores monofásicos unidirecionais com dois barramentos, sendo um deles flutuante, seguindo a nomenclatura descrita no Capítulo 1: RR-33, RR-32, RP-33, RP-32, RR-22 e RP-22. Foram utilizadas relações de barramento assimétricas em todas elas, buscando gerar o maior número de níveis na tensão chaveada.

Cada uma das topologias é uma simplificação de um dos inversores do Capítulo 2, na medida que os braços de três e dois níveis são substituídos pelos reduzidos e passivos na célula de maior tensão, respectivamente, permitindo apenas fluxo unidirecional nesse barramento.

3.1 Modelo do Sistema

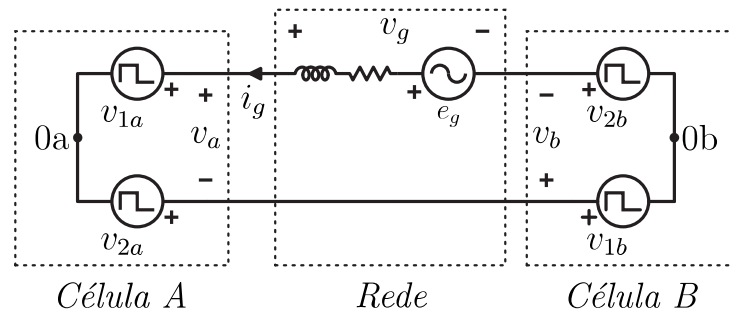
Todas as topologias seguem o mesmo padrão de circuito apresentado na Figura 30, em que a tensão do conversor (v_g) é dada pela soma de v_a e v_b que, por sua vez, são subtrações das tensões de polo v_{10a} , v_{20a} , v_{10b} e v_{20b} , como mostrado nas equações (3.1), (3.2) e (3.3), seguindo o mesmo esquema do cálculo de v_L no Capítulo 2.

$$v_a = v_{10a} - v_{20a} \quad (3.1)$$

$$v_b = v_{10b} - v_{20b} \quad (3.2)$$

$$v_g = v_a + v_b \quad (3.3)$$

Figura 30 – Circuito simplificado das topologias de inversores.



Para as topologias deste capítulo, os braços de três e dois níveis, cujas expressões das tensões de polo são dadas pelas equações (2.4) e (2.5), respectivamente, são utilizados apenas na Célula B e os braços reduzidos e passivos, na Célula A. As tensões de polo desses dois últimos tipos são apresentados nas equações (3.4) e (3.5), sendo v_R a do braço reduzido e v_P a do passivo. A numeração das chaves seguem a representação da Figura 2c. Por conta da substituição de algumas chaves por diodos, as tensões de polo nesses dois tipos de braços dependem do sentido da corrente da rede (i_g), o que resulta em expressões diferentes para $i_g > 0$ e $i_g \leq 0$.

$$v_R = \begin{cases} (1 - q_2) \cdot \frac{V_C}{2}, & \text{se } i_g > 0 \\ -(1 - q_1) \cdot \frac{V_C}{2}, & \text{se } i_g \leq 0. \end{cases} \quad (3.4)$$

$$v_P = \begin{cases} \frac{V_C}{2}, & \text{se } i_g > 0 \\ -\frac{V_C}{2}, & \text{se } i_g \leq 0. \end{cases} \quad (3.5)$$

Acerca das combinações desses braços, serão utilizadas as células 33 (Figura 31c), 32 (Figura 31d) e 22 (Figura 31e), já apresentadas no Capítulo 2. Para este capítulo, há algumas células adicionais que surgem da combinação dos braços reduzidos e passivos: a RR (Figura 31a), que gera um total de cinco níveis em V_o , e a RP (Figura 31b), que sintetiza quatro. Na célula RR, todos os dispositivos estão sujeitos a uma tensão reversa máxima igual a $V_C/2$. Já na RP, a tensão máxima dos diodos do braço passivo é igual à V_C .

Nas Tabelas 20, 21, 22, 23 e 24, referentes às células RR, RP, 33, 32 e 22, respectivamente, estão descritos os vetores, as combinações das chaves, os níveis de tensão gerados em V_o e os sentidos das correntes dos capacitores dos barramentos. Para os casos da RR e da RP, como as tensões de polo dependem do sentido da corrente da rede, então os níveis de tensão positivos serão gerados apenas quando $i_g > 0$, e os negativos, quando $i_g \leq 0$, como mostrado na coluna i_g . Para as células 33, 32 e 22, as tabelas representam apenas o caso em que $i_g > 0$. Se a corrente da rede for negativa, os efeitos nas tensões dos capacitores se invertem. O "X" indica que o estado da chave é irrelevante para sintetizar o determinado nível de tensão.

A união de duas células formará uma determinada topologia de retificador. Por exemplo, a topologia 33-33, apresentada na Figura 32a, é composta por uma célula RR e outra 33. A relação de barramento utilizada é 3:1. Assim, ela pode gerar até 17 níveis de tensão em v_g . As configurações RR-32, RP-33, RP-32, RR-22 e RP-22 estão ilustradas nas Figuras 32b, 32c, 32d, 32e e 32f, possuem relações de barramento 3:1, 2:1, 2:1, 4:1 e 2:1, e podem gerar, no máximo, 17, 13, 13, 11 e 7 níveis em v_g , respectivamente.

Figura 31 – Células utilizadas nos retificadores.

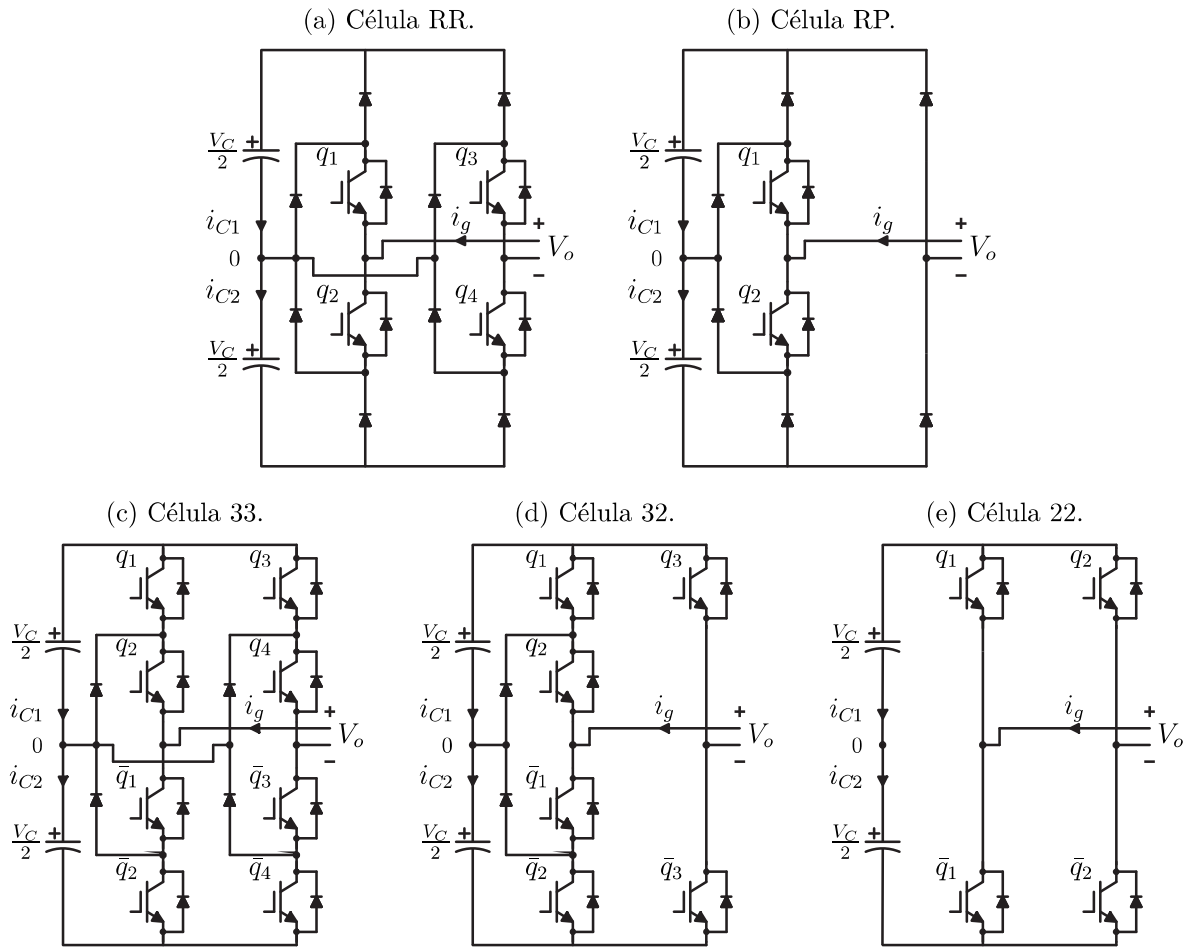


Tabela 20 – Estados de chaves, tensões geradas e efeitos no barramento da célula RR.

v_n	$[q_1 \ q_2 \ q_3 \ q_4]$	V_o	$[i_{C1} \ i_{C2}]$	i_g
v_0, v_1, v_8, v_9	$[X \ 0 \ 0 \ X]$	V_C	$[+ \ +]$	$+$
v_2, v_3, v_{10}, v_{11}	$[X \ 0 \ 1 \ X]$	$V_C/2$	$[+ \ 0]$	$+$
v_4, v_5, v_{12}, v_{13}	$[X \ 1 \ 0 \ X]$	$V_C/2$	$[0 \ +]$	$+$
v_6, v_7, v_{14}, v_{15}	$[X \ 1 \ 1 \ X]$	0	$[0 \ 0]$	$+$
$v_9, v_{11}, v_{13}, v_{15}$	$[1 \ X \ X \ 1]$	0	$[0 \ 0]$	$-$
$v_8, v_{10}, v_{12}, v_{14}$	$[1 \ X \ X \ 0]$	$-V_C/2$	$[+ \ 0]$	$-$
v_1, v_3, v_5, v_7	$[0 \ X \ X \ 1]$	$-V_C/2$	$[0 \ +]$	$-$
v_0, v_2, v_4, v_6	$[0 \ X \ X \ 0]$	$-V_C$	$[+ \ +]$	$-$

Figura 32 – Topologias de retificadores propostas.

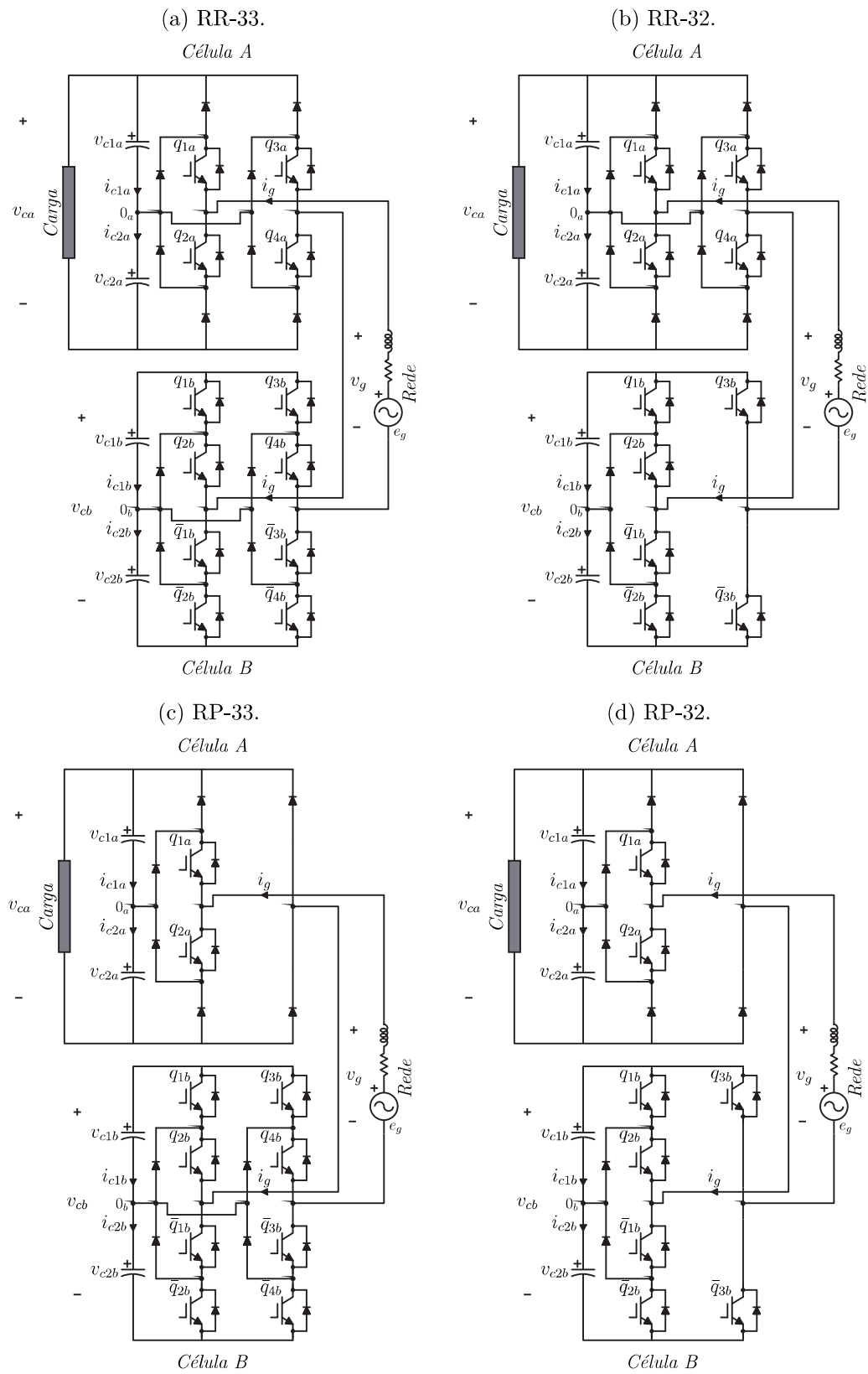


Figura 32 – Topologias de retificadores propostas.

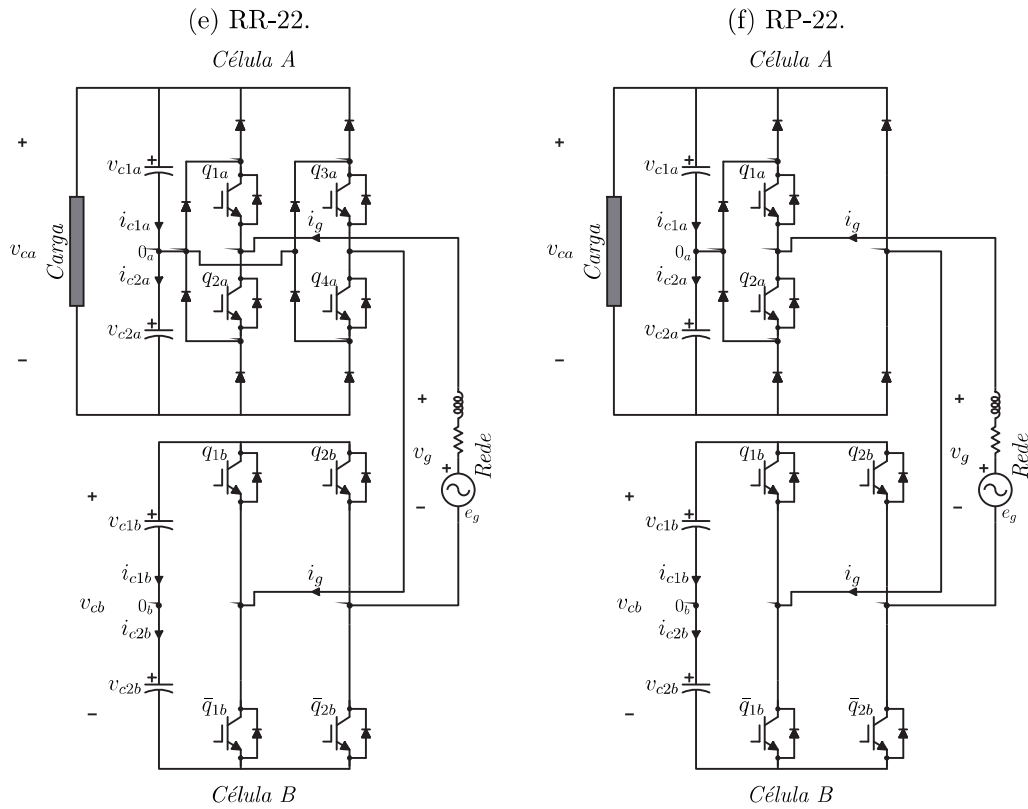


Tabela 21 – Estados de chaves, tensões geradas e efeitos no barramento da célula RP.

v_n	$[q_1 \ q_2]$	V_o	$[i_{C1} \ i_{C2}]$	i_g
v_0, v_2	$[X \ 0]$	V_C	$[+ \ +]$	$+$
v_1, v_3	$[X \ 1]$	$V_C/2$	$[0 \ +]$	$+$
v_2, v_3	$[1 \ X]$	$-V_C/2$	$[+ \ 0]$	$-$
v_0, v_1	$[0 \ X]$	$-V_C$	$[+ \ +]$	$-$

Tabela 22 – Estados de chaves, tensões geradas e efeitos no barramento da célula 33 para $i_g > 0$.

v_n	$[q_1 \ q_2 \ q_3 \ q_4]$	V_o	$[i_{C1} \ i_{C2}]$
v_{12}	$[1 \ 1 \ 0 \ 0]$	V_C	$[+ \ +]$
v_{13}	$[1 \ 1 \ 0 \ 1]$	$V_C/2$	$[+ \ 0]$
v_4	$[0 \ 1 \ 0 \ 0]$	$V_C/2$	$[0 \ +]$
v_0	$[0 \ 0 \ 0 \ 0]$	0	$[0 \ 0]$
v_5	$[0 \ 1 \ 0 \ 1]$	0	$[0 \ 0]$
v_{15}	$[1 \ 1 \ 1 \ 1]$	0	$[0 \ 0]$
v_7	$[0 \ 1 \ 1 \ 1]$	$-V_C/2$	$[- \ 0]$
v_1	$[0 \ 0 \ 0 \ 1]$	$-V_C/2$	$[0 \ -]$
v_3	$[0 \ 0 \ 1 \ 1]$	$-V_C$	$[- \ -]$

Tabela 23 – Estados de chaves, tensões geradas e efeitos no barramento da célula 32 para $i_g > 0$.

v_n	$[q_1 \ q_2 \ q_3]$	V_o	$[i_{C1} \ i_{C2}]$
v_6	[1 1 0]	V_C	[+ +]
v_2	[0 1 0]	$V_C/2$	[0 +]
v_0	[0 0 0]	0	[0 0]
v_7	[1 1 1]	0	[0 0]
v_3	[0 1 1]	$-V_C/2$	[- 0]
v_1	[0 0 1]	$-V_C$	[- -]

Tabela 24 – Estados de chaves, tensões geradas e efeitos no barramento da célula 22 para $i_g > 0$.

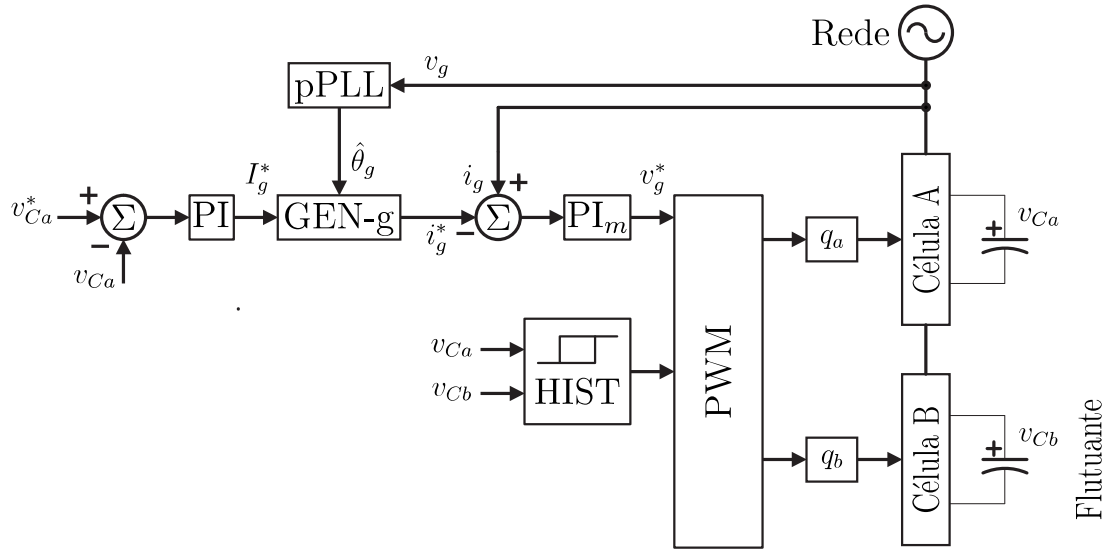
v_n	$[q_1 \ q_2 \ q_3]$	V_o	$[i_{C1} \ i_{C2}]$
v_2	[1 0]	V_C	[+ +]
v_0	[0 0]	0	[0 0]
v_3	[1 1]	0	[0 0]
v_1	[0 1]	$-V_C$	[- -]

3.2 Estratégia de Controle

Como dito anteriormente, as tensões de polo dos braços R e P dependem do sentido da corrente do conversor. Assim, para que não ocorram distorções na passagem da corrente pelo zero, se faz necessário mais uma estratégia de controle, além da dupla banda de histerese: um controlador em cascata que sincronize v_g e i_g .

Na Figura 33, pode-se ver o esquema dessa estratégia, em que a malha interna está relacionada ao controle de corrente e a externa, ao de tensão. Primeiramente, o erro de tensão da Célula A é calculada, subtraindo a tensão contínua do barramento (v_{Ca}) da respectiva referência v_{Ca}^* . Esse erro é aplicado a um controlador PI (bloco PI), responsável por gerar a amplitude da corrente de referência da rede (I_g^*). O bloco pPLL representa um algoritmo *power-PLL* (*power-Phase-Locked Loop*), discutido em (Santos Filho et al., 2008), que é responsável por estimar em tempo real o ângulo da tensão de entrada v_g , denominado $\hat{\theta}_g$. Depois disso, o bloco GEN-g realiza a multiplicação entre I_g^* e o seno de $\hat{\theta}_g$, gerando a corrente de referência i_g^* que está em fase com v_g . O erro é calculado subtraindo i_g^* da corrente medida (i_g) e aplicado a um controlador PI modificado (bloco PI_m), cuja saída será a tensão de referência do conversor (v_g^*). Por último, o LS-PWM e o controle por dupla banda de histerese (bloco HIST) definem os estados das chaves das células (q_a e q_b) para que as tensões nos quatro capacitores convirjam para as respectivas referências.

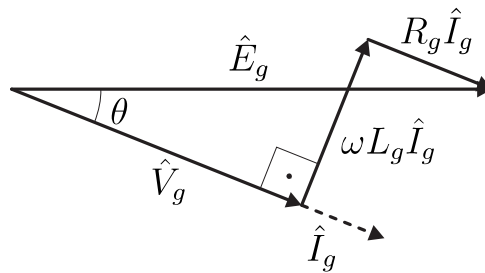
Figura 33 – Controle em cascata utilizado nos retificadores.



3.3 Análise Fasorial

O cálculo dos valores de regime permanente de v_g e i_g vem da necessidade de se conhecer as tensões de referência dos barramentos e assim, escolher os tipos de chaves adequadas. No diagrama fasorial da Figura 34, \hat{E}_g representa a tensão da rede, e \hat{V}_g e \hat{I}_g , que estão atrasadas θ graus de \hat{E}_g , correspondem à tensão do conversor e a corrente da rede, respectivamente. Os parâmetros ω , R_g e L_g são, pela ordem, a frequência angular, a resistência e a indutância do indutor de filtro.

Figura 34 – Diagrama fasorial relacionando tensões e corrente do conversor.



Sendo a amplitude de um fasor genérico \hat{F} dada por F , pode-se escrever as equações (3.6) e (3.7) observando-se a Figura 34.

$$\text{sen}(\theta) = -\frac{\omega L_g I_g}{E_g} \quad (3.6)$$

$$\text{cos}(\theta) = \frac{V_g + R_g I_g}{E_g} \quad (3.7)$$

Sabendo-se que $\text{sen}^2(\theta) + \text{cos}^2(\theta) = 1$ e que a potência média do conversor é dada por $P_g = (V_g I_g)/2$, no cenário em que tensão e corrente estão em fase, pode-se determinar

I_g e V_g por meio do sistema composto pelas expressões (3.8) e (3.9), respectivamente.

$$(R_g^2 + \omega^2 L_g^2)I_g^4 + (4R_g P_g - E_g^2)I_g^2 + 4P_g^2 = 0 \quad (3.8)$$

$$V_g^4 + (4R_g P_g - E_g^2)V_g^2 + (R_g^2 + \omega^2 L_g^2) \cdot 4P_g^2 = 0 \quad (3.9)$$

O ângulo θ pode ser calculado utilizando-se a equação (3.10).

$$\theta = -\text{sen}^{-1}\left(\frac{\omega L_g I_g}{E_g}\right) \quad (3.10)$$

3.4 *Level-Shifted Pulse-Width Modulation*

Assim como nas topologias de inversores, serão utilizados o LS-PWM como técnica de modulação para determinar os estados das chaves dos retificadores e o controle por dupla banda de histerese para o equilíbrio das tensões dos barramentos. A tensão total do barramento A é garantida pelo controlador PI mostrado em 33, por isso, os padrões de chaveamento necessários para controlar as tensões dos capacitores dos retificadores serão os mesmos dos inversores: seis para as topologias RR-33, RR-32, RP-33 e RP-32 (nomeados PWM_CDXX, PWM_DCXX, PWM_XXCC, PWM_XXCD, PWM_XXDC e PWM_XXDD) e quatro para RR-22 e RP-22 (nomeados PWM_CDXX, PWM_DCXX, PWM_XXCC e PWM_XXDD).

A partir das Tabelas 20, 21, 22, 23 e 24, pode-se criar as Tabelas 25, 26, 27, 28, 29 e 30, que detalham os estados de chaves, como também os níveis de tensão gerados em v_g e o sentido das correntes dos capacitores e de i_g nas topologias RR-33, RR-32, RP-33, RP-32, RR-22 e RP-22, respectivamente. As notações dos vetores são as mesmas do Capítulo 2 e $V_C = v_{Ca} + v_{Cb}$. Só foram colocados nas tabelas os vetores que foram utilizados no LS-PWM, por uma questão de simplificação.

O algoritmo do esquema utilizado no LS-PWM é mostrado na Figura 35. A diferença daquele apresentado na Figura 9 é que, nos retificadores não há a necessidade de trocar o padrão de chaveamento de acordo com o sentido da corrente do conversor, porque já é sabido que só existem níveis de tensão positivos quando $i_g > 0$, e negativos quando $i_g \leq 0$.

Os erros de tensão para as topologias RR-33, RR-32, RP-33 e RP-32 são dados pelas equações (2.6) - (2.8), referentes a ϵ_a , ϵ_{1b} e ϵ_{2b} , respectivamente. Para as configurações RR-22 e RP-22, as equações utilizadas são (2.6) e (2.9), referentes a ϵ_a e ϵ_b , respectivamente. Da mesma forma que no Capítulo 2, se os valores absolutos dos erros de tensão forem menores que os limites da banda de histerese ("PWM_XXXX") é escolhido para gerar todos os níveis. Caso contrário, outro padrão é selecionado para corrigir o desbalanceamento de tensão.

Tabela 25 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-33 com relação de barramento 3:1.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b} q_{3b} q_{4b}]$	v_g	$[\dot{i}_{c1a} \dot{i}_{c2a} \dot{i}_{c1b} \dot{i}_{c2b}]$	\dot{i}_g
$v_{9,12}$	[1 0 0 1 1 1 0 0]	v_c	[+ + + +]	+
$v_{9,13}$	[1 0 0 1 1 1 0 1]	$7v_c/8$	[+ + + 0]	+
$v_{9,4}$	[1 0 0 1 0 1 0 0]	$7v_c/8$	[+ + 0 +]	+
$v_{9,0}$	[1 0 0 1 0 0 0 0]	$3v_c/4$	[+ + 0 0]	+
$v_{9,7}$	[1 0 0 1 0 1 1 1]	$5v_c/8$	[+ + - 0]	+
$v_{9,1}$	[1 0 0 1 0 0 0 1]	$5v_c/8$	[+ + 0 -]	+
$v_{11,12}$	[1 0 1 1 1 1 0 0]	$5v_c/8$	[+ 0 + +]	+
$v_{13,12}$	[1 1 0 1 1 1 0 0]	$5v_c/8$	[0 + + +]	+
$v_{9,3}$	[1 0 0 1 0 0 1 1]	$v_c/2$	[+ + - -]	+
$v_{11,13}$	[1 0 1 1 1 1 0 1]	$v_c/2$	[+ 0 + 0]	+
$v_{11,4}$	[1 0 1 1 0 1 0 0]	$v_c/2$	[+ 0 0 +]	+
$v_{13,13}$	[1 1 0 1 1 1 0 1]	$v_c/2$	[0 + + 0]	+
$v_{13,4}$	[1 1 0 1 0 1 0 0]	$v_c/2$	[0 + 0 +]	+
$v_{11,0}$	[1 0 1 1 0 0 0 0]	$3v_c/8$	[+ 0 0 0]	+
$v_{13,0}$	[1 1 0 1 0 0 0 0]	$3v_c/8$	[0 + 0 0]	+
$v_{11,7}$	[1 0 1 1 0 1 1 1]	$v_c/4$	[+ 0 - 0]	+
$v_{11,1}$	[1 0 1 1 0 0 0 1]	$v_c/4$	[+ 0 0 -]	+
$v_{13,7}$	[1 1 0 1 0 1 1 1]	$v_c/4$	[0 + - 0]	+
$v_{13,1}$	[1 1 0 1 0 0 0 1]	$v_c/4$	[0 + 0 -]	+
$v_{15,12}$	[1 1 1 1 1 1 0 0]	$v_c/4$	[0 0 + +]	+
$v_{11,3}$	[1 0 1 1 0 0 1 1]	$v_c/8$	[+ 0 - -]	+
$v_{13,3}$	[1 1 0 1 0 0 1 1]	$v_c/8$	[0 + - -]	+
$v_{15,13}$	[1 1 1 1 1 1 0 1]	$v_c/8$	[0 0 + 0]	+
$v_{15,4}$	[1 1 1 1 0 1 0 0]	$v_c/8$	[0 0 0 +]	+
$v_{15,0}$	[1 1 1 1 0 0 0 0]	0	[0 0 0 0]	+ e -
$v_{14,12}$	[1 1 1 0 1 1 0 0]	$-v_c/8$	[+ 0 - -]	-
$v_{7,12}$	[0 1 1 1 1 1 0 0]	$-v_c/8$	[0 + - -]	-
$v_{15,7}$	[1 1 1 1 0 1 1 1]	$-v_c/8$	[0 0 + 0]	-
$v_{15,1}$	[1 1 1 1 0 0 0 1]	$-v_c/8$	[0 0 0 +]	-
$v_{14,13}$	[1 1 1 0 1 1 0 1]	$-v_c/4$	[+ 0 - 0]	-
$v_{14,4}$	[1 1 1 0 0 1 0 0]	$-v_c/4$	[+ 0 0 -]	-
$v_{7,13}$	[0 1 1 1 1 1 0 1]	$-v_c/4$	[0 + - 0]	-
$v_{7,4}$	[0 1 1 1 0 1 0 0]	$-v_c/4$	[0 + 0 -]	-
$v_{15,3}$	[1 1 1 1 0 0 1 1]	$-v_c/4$	[0 0 + +]	-
$v_{14,0}$	[1 1 1 0 0 0 0 0]	$-3v_c/8$	[+ 0 0 0]	-
$v_{7,0}$	[0 1 1 1 0 0 0 0]	$-3v_c/8$	[0 + 0 0]	-
$v_{6,12}$	[0 1 1 0 1 1 0 0]	$-v_c/2$	[+ + - -]	-
$v_{14,7}$	[1 1 1 0 0 1 1 1]	$-v_c/2$	[+ 0 + 0]	-
$v_{14,1}$	[1 1 1 0 0 0 0 1]	$-v_c/2$	[+ 0 0 +]	-
$v_{7,7}$	[0 1 1 1 0 1 1 1]	$-v_c/2$	[0 + + 0]	-
$v_{7,1}$	[0 1 1 1 0 0 0 1]	$-v_c/2$	[0 + 0 +]	-
$v_{6,13}$	[0 1 1 0 1 1 0 1]	$-5v_c/8$	[+ + - 0]	-
$v_{6,4}$	[0 1 1 0 0 1 0 0]	$-5v_c/8$	[+ + 0 -]	-
$v_{14,3}$	[1 1 1 0 0 0 1 1]	$-5v_c/8$	[+ 0 + +]	-
$v_{7,3}$	[0 1 1 1 0 0 1 1]	$-5v_c/8$	[0 + + +]	-
$v_{6,0}$	[0 1 1 0 0 0 0 0]	$-3v_c/4$	[+ + 0 0]	-
$v_{6,7}$	[0 1 1 0 0 1 1 1]	$-7v_c/8$	[+ + + 0]	-
$v_{6,1}$	[0 1 1 0 0 0 0 1]	$-7v_c/8$	[+ + 0 +]	-
$v_{6,3}$	[0 1 1 0 0 0 1 1]	$-v_c$	[+ + + +]	-

Tabela 26 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-32 com relação de barramento 3:1.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b} q_{3b}]$	v_g	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$	i_g
$v_{9,6}$	[1 0 0 1 1 1 0]	v_c	[+ + + +]	+
$v_{9,2}$	[1 0 0 1 0 1 0]	$7v_c/8$	[+ + 0 +]	+
$v_{9,0}$	[1 0 0 1 0 0 0]	$3v_c/4$	[+ + 0 0]	+
$v_{9,3}$	[1 0 0 1 0 1 1]	$5v_c/8$	[+ + - 0]	+
$v_{11,6}$	[1 0 1 1 1 1 0]	$5v_c/8$	[+ 0 + +]	+
$v_{13,6}$	[1 1 0 1 1 1 0]	$5v_c/8$	[0 + + +]	+
$v_{9,1}$	[1 0 0 1 0 0 1]	$v_c/2$	[+ + - -]	+
$v_{11,2}$	[1 0 1 1 0 1 0]	$v_c/2$	[+ 0 0 +]	+
$v_{13,2}$	[1 1 0 1 0 1 0]	$v_c/2$	[0 + 0 +]	+
$v_{11,0}$	[1 0 1 1 0 0 0]	$3v_c/8$	[+ 0 0 0]	+
$v_{13,0}$	[1 1 0 1 0 0 0]	$3v_c/8$	[0 + 0 0]	+
$v_{11,3}$	[1 0 1 1 0 1 1]	$v_c/4$	[+ 0 - 0]	+
$v_{13,3}$	[1 1 0 1 0 1 1]	$v_c/4$	[0 + - 0]	+
$v_{15,6}$	[1 1 1 1 1 1 0]	$v_c/4$	[0 0 + +]	+
$v_{11,1}$	[1 0 1 1 0 0 1]	$v_c/8$	[+ 0 - -]	+
$v_{13,1}$	[1 1 0 1 0 0 1]	$v_c/8$	[0 + - -]	+
$v_{15,2}$	[1 1 1 1 0 1 0]	$v_c/8$	[0 0 0 +]	+
$v_{15,0}$	[1 1 1 1 0 0 0]	0	[0 0 0 0]	+ e -
$v_{14,6}$	[1 1 1 0 1 1 0]	$-v_c/8$	[+ 0 - -]	-
$v_{7,6}$	[0 1 1 1 1 1 0]	$-v_c/8$	[0 + - -]	-
$v_{15,3}$	[1 1 1 1 0 1 1]	$-v_c/8$	[0 0 + 0]	-
$v_{14,2}$	[1 1 1 0 0 1 0]	$-v_c/4$	[+ 0 0 -]	-
$v_{7,2}$	[0 1 1 1 0 1 0]	$-v_c/4$	[0 + 0 -]	-
$v_{15,1}$	[1 1 1 1 0 0 1]	$-v_c/4$	[0 0 + +]	-
$v_{14,0}$	[1 1 1 0 0 0 0]	$-3v_c/8$	[+ 0 0 0]	-
$v_{7,0}$	[0 1 1 1 0 0 0]	$-3v_c/8$	[0 + 0 0]	-
$v_{6,6}$	[0 1 1 0 1 1 0]	$-v_c/2$	[+ + - -]	-
$v_{14,3}$	[1 1 1 0 0 1 1]	$-v_c/2$	[+ 0 + 0]	-
$v_{7,3}$	[0 1 1 1 0 1 1]	$-v_c/2$	[0 + + 0]	-
$v_{6,2}$	[0 1 1 0 0 1 0]	$-5v_c/8$	[+ + 0 -]	-
$v_{14,1}$	[1 1 1 0 0 0 1]	$-5v_c/8$	[+ 0 + +]	-
$v_{7,1}$	[0 1 1 1 0 0 1]	$-5v_c/8$	[0 + + +]	-
$v_{6,0}$	[0 1 1 0 0 0 0]	$-3v_c/4$	[+ + 0 0]	-
$v_{6,3}$	[0 1 1 0 0 1 1]	$-7v_c/8$	[+ + + 0]	-
$v_{6,1}$	[0 1 1 0 0 0 1]	$-v_c$	[+ + + +]	-

Tabela 27 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-33 com relação de barramento 2:1.

$v_{x,y}$	$[q_{1a} q_{2a} q_{1b} q_{2b} q_{3b} q_{4b}]$	v_g	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$	i_g
$v_{0,12}$	[0 0 1 1 0 0]	v_c	[+ + + +]	+
$v_{0,13}$	[0 0 1 1 0 1]	$5v_c/6$	[+ + + 0]	+
$v_{0,4}$	[0 0 0 1 0 0]	$5v_c/6$	[+ + 0 +]	+
$v_{0,0}$	[0 0 0 0 0 0]	$2v_c/3$	[+ + 0 0]	+
$v_{1,12}$	[0 1 1 1 0 0]	$2v_c/3$	[0 + + +]	+
$v_{0,7}$	[0 0 0 1 1 1]	$v_c/2$	[+ + - 0]	+
$v_{0,1}$	[0 0 0 0 0 1]	$v_c/2$	[+ + 0 -]	+
$v_{1,13}$	[0 1 1 1 0 1]	$v_c/2$	[0 + + 0]	+
$v_{1,4}$	[0 1 0 1 0 0]	$v_c/2$	[0 + 0 +]	+
$v_{0,3}$	[0 0 0 0 1 1]	$v_c/3$	[+ + - -]	+
$v_{1,0}$	[0 1 0 0 0 0]	$v_c/3$	[0 + 0 0]	+
$v_{1,7}$	[0 1 0 1 1 1]	$v_c/6$	[0 + - 0]	+
$v_{1,1}$	[0 1 0 0 0 1]	$v_c/6$	[0 + 0 -]	+
$v_{1,3}$	[0 1 0 0 1 1]	0	[0 + - -]	+
$v_{2,12}$	[1 0 1 1 0 0]	0	[+ 0 - -]	-
$v_{2,13}$	[1 0 1 1 0 1]	$-v_c/6$	[+ 0 - 0]	-
$v_{2,4}$	[1 0 0 1 0 0]	$-v_c/6$	[+ 0 0 -]	-
$v_{0,12}$	[0 0 1 1 0 0]	$-v_c/3$	[+ + - -]	-
$v_{2,0}$	[1 0 0 0 0 0]	$-v_c/3$	[+ 0 0 0]	-
$v_{0,13}$	[0 0 1 1 0 1]	$-v_c/2$	[+ + - 0]	-
$v_{0,4}$	[0 0 0 1 0 0]	$-v_c/2$	[+ + 0 -]	-
$v_{2,7}$	[1 0 0 1 1 1]	$-v_c/2$	[+ 0 + 0]	-
$v_{2,1}$	[1 0 0 0 0 1]	$-v_c/2$	[+ 0 0 +]	-
$v_{0,0}$	[0 0 0 0 0 0]	$-2v_c/3$	[+ + 0 0]	-
$v_{2,3}$	[1 0 0 0 1 1]	$-2v_c/3$	[+ 0 + +]	-
$v_{0,7}$	[0 0 0 1 1 1]	$-5v_c/6$	[+ + + 0]	-
$v_{0,1}$	[0 0 0 0 0 1]	$-5v_c/6$	[+ + 0 +]	-
$v_{0,3}$	[0 0 0 0 1 1]	$-v_c$	[+ + + +]	-

A seleção dos vetores de cada padrão de chaveamento é ilustrada nas Figuras 36, 37, 38, 39, 40 e 41, para as topologias RR-33, RR-32, RP-33, RP-32, RR-22 e RP-22, respectivamente. Nas figuras, estão representadas, da esquerda para a direita, os níveis de tensão gerados em v_g , com relação a V_C , as portadoras de alta frequência e as seqüências dos vetores.

Como se pode observar na Tabela 21, a célula RP não é capaz de produzir o nível de tensão nulo. Entretanto, quando associada a outra célula, a síntese do nível zero torna-se possível. Isso ocorre nos casos das topologias RP-32 e RP-22. Dessa forma, o algoritmo do LS-PWM precisa de duas combinações para gerar o nível zero na entrada, um para cada sentido da corrente.

Tabela 28 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-32 com relação de barramento 2:1.

$v_{x,y}$	$[q_{1a} \ q_{2a} \ q_{1b} \ q_{2b} \ q_{3b}]$	v_g	$[i_{c1a} \ i_{c2a} \ i_{c1b} \ i_{c2b}]$	i_g
$v_{0,6}$	$[0 \ 0 \ 1 \ 1 \ 0]$	v_c	$[+ \ + \ + \ +]$	$+$
$v_{0,2}$	$[0 \ 0 \ 0 \ 1 \ 0]$	$5v_c/6$	$[+ \ + \ 0 \ +]$	$+$
$v_{0,0}$	$[0 \ 0 \ 0 \ 0 \ 0]$	$2v_c/3$	$[+ \ + \ 0 \ 0]$	$+$
$v_{1,6}$	$[0 \ 1 \ 1 \ 1 \ 0]$	$2v_c/3$	$[0 \ + \ + \ +]$	$+$
$v_{0,3}$	$[0 \ 0 \ 0 \ 1 \ 1]$	$v_c/2$	$[+ \ + \ - \ 0]$	$+$
$v_{1,2}$	$[0 \ 1 \ 0 \ 1 \ 0]$	$v_c/2$	$[0 \ + \ 0 \ +]$	$+$
$v_{0,1}$	$[0 \ 0 \ 0 \ 0 \ 1]$	$v_c/3$	$[+ \ + \ - \ -]$	$+$
$v_{1,0}$	$[0 \ 1 \ 0 \ 0 \ 0]$	$v_c/3$	$[0 \ + \ 0 \ 0]$	$+$
$v_{1,3}$	$[0 \ 1 \ 0 \ 1 \ 1]$	$v_c/6$	$[0 \ + \ - \ 0]$	$+$
$v_{1,1}$	$[0 \ 1 \ 0 \ 0 \ 1]$	0	$[0 \ + \ - \ -]$	$+$
$v_{2,6}$	$[1 \ 0 \ 1 \ 1 \ 0]$	0	$[+ \ 0 \ - \ -]$	$-$
$v_{2,2}$	$[1 \ 0 \ 0 \ 1 \ 0]$	$-v_c/6$	$[+ \ 0 \ 0 \ -]$	$-$
$v_{2,0}$	$[1 \ 0 \ 0 \ 0 \ 0]$	$-v_c/3$	$[+ \ 0 \ 0 \ 0]$	$-$
$v_{0,6}$	$[0 \ 0 \ 1 \ 1 \ 0]$	$-v_c/3$	$[+ \ + \ - \ -]$	$-$
$v_{2,3}$	$[1 \ 0 \ 0 \ 1 \ 1]$	$-v_c/2$	$[+ \ 0 \ + \ 0]$	$-$
$v_{0,2}$	$[0 \ 0 \ 0 \ 1 \ 0]$	$-v_c/2$	$[+ \ + \ 0 \ -]$	$-$
$v_{2,1}$	$[1 \ 0 \ 0 \ 0 \ 1]$	$-2v_c/3$	$[+ \ 0 \ + \ +]$	$-$
$v_{0,0}$	$[0 \ 0 \ 0 \ 0 \ 0]$	$-2v_c/3$	$[+ \ + \ 0 \ 0]$	$-$
$v_{0,3}$	$[0 \ 0 \ 0 \ 1 \ 1]$	$-5v_c/6$	$[+ \ + \ + \ 0]$	$-$
$v_{0,1}$	$[0 \ 0 \ 0 \ 0 \ 1]$	$-v_c$	$[+ \ + \ + \ +]$	$-$

Nas topologias RP-33, RP-32 e RP-22 não existe uma mesma combinação de chaves que gerem o nível zero de tensão para ambos os sentidos de i_g , como é o caso do vetor $v_{15,0}$ na RR-33, RR-32 e RR-22. Por isso, nesses casos, são utilizados dois vetores diferentes, um gera o nível zero para a corrente da rede positiva e o outro, para a corrente negativa, como pode ser visto nas Figuras 38, 39 e 41.

Tabela 29 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RR-22 com relação de barramento 4:1.

$v_{x,y}$	$[q_{1a} q_{2a} q_{3a} q_{4a} q_{1b} q_{2b}]$	v_g	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$	i_g
$v_{9,2}$	[1 0 0 1 1 0]	v_c	[+ + + +]	+
$v_{9,0}$	[1 0 0 1 0 0]	$4v_c/5$	[+ + 0 0]	+
$v_{9,1}$	[1 0 0 1 0 1]	$3v_c/5$	[+ + - -]	+
$v_{11,2}$	[1 0 1 1 1 0]	$3v_c/5$	[+ 0 + +]	+
$v_{13,2}$	[1 1 0 1 1 0]	$3v_c/5$	[0 + + +]	+
$v_{11,0}$	[1 0 1 1 0 0]	$2v_c/5$	[+ 0 0 0]	+
$v_{13,0}$	[1 1 0 1 0 0]	$2v_c/5$	[0 + 0 0]	+
$v_{11,1}$	[1 0 1 1 0 1]	$v_c/5$	[+ 0 - -]	+
$v_{13,1}$	[1 1 0 1 0 1]	$v_c/5$	[0 + - -]	+
$v_{15,2}$	[1 1 1 1 1 0]	$v_c/5$	[0 0 + +]	+
$v_{15,0}$	[1 1 1 1 0 0]	0	[0 0 0 0]	+ e -
$v_{15,1}$	[1 1 1 1 0 1]	$-v_c/5$	[0 0 + +]	-
$v_{14,2}$	[1 1 1 0 1 0]	$-v_c/5$	[+ 0 - -]	-
$v_{7,2}$	[0 1 1 1 1 0]	$-v_c/5$	[0 + - -]	-
$v_{14,0}$	[1 1 1 0 0 0]	$-2v_c/5$	[+ 0 0 0]	-
$v_{7,0}$	[0 1 1 1 0 0]	$-2v_c/5$	[0 + 0 0]	-
$v_{14,1}$	[1 1 1 0 0 1]	$-3v_c/5$	[+ 0 + +]	-
$v_{7,1}$	[0 1 1 1 0 1]	$-3v_c/5$	[0 + + +]	-
$v_{6,2}$	[0 1 1 0 1 0]	$-3v_c/5$	[+ + - -]	-
$v_{6,0}$	[0 1 1 0 0 0]	$-4v_c/5$	[+ + 0 0]	-
$v_{6,1}$	[0 1 1 0 0 1]	$-v_c$	[+ + + +]	-

Tabela 30 – Estados de chaves, níveis de tensão e correntes nos capacitores para topologia RP-22 com relação de barramento 2:1.

$v_{x,y}$	$[q_{1a} q_{2a} q_{1b} q_{2b}]$	v_g	$[i_{c1a} i_{c2a} i_{c1b} i_{c2b}]$	i_g
$v_{0,2}$	[0 0 1 0]	v_c	[+ + + +]	+
$v_{0,0}$	[0 0 0 0]	$2v_c/3$	[+ + 0 0]	+
$v_{1,2}$	[0 1 1 0]	$2v_c/3$	[0 + + +]	+
$v_{1,0}$	[0 1 0 0]	$v_c/3$	[0 + 0 0]	+
$v_{0,1}$	[0 0 0 1]	$v_c/3$	[+ + - -]	+
$v_{1,1}$	[0 1 0 1]	0	[0 + - -]	+
$v_{2,2}$	[1 0 1 0]	0	[+ 0 - -]	-
$v_{2,0}$	[1 0 0 0]	$-v_c/3$	[+ 0 0 0]	-
$v_{0,2}$	[0 0 1 0]	$-v_c/3$	[+ + - -]	-
$v_{0,0}$	[0 0 0 0]	$-2v_c/3$	[+ + 0 0]	-
$v_{2,1}$	[1 0 0 1]	$-2v_c/3$	[+ 0 + +]	-
$v_{0,1}$	[0 0 0 1]	$-v_c$	[+ + + +]	-

Figura 35 – Fluxograma do algoritmo utilizado no LS-PWM dos retificadores.

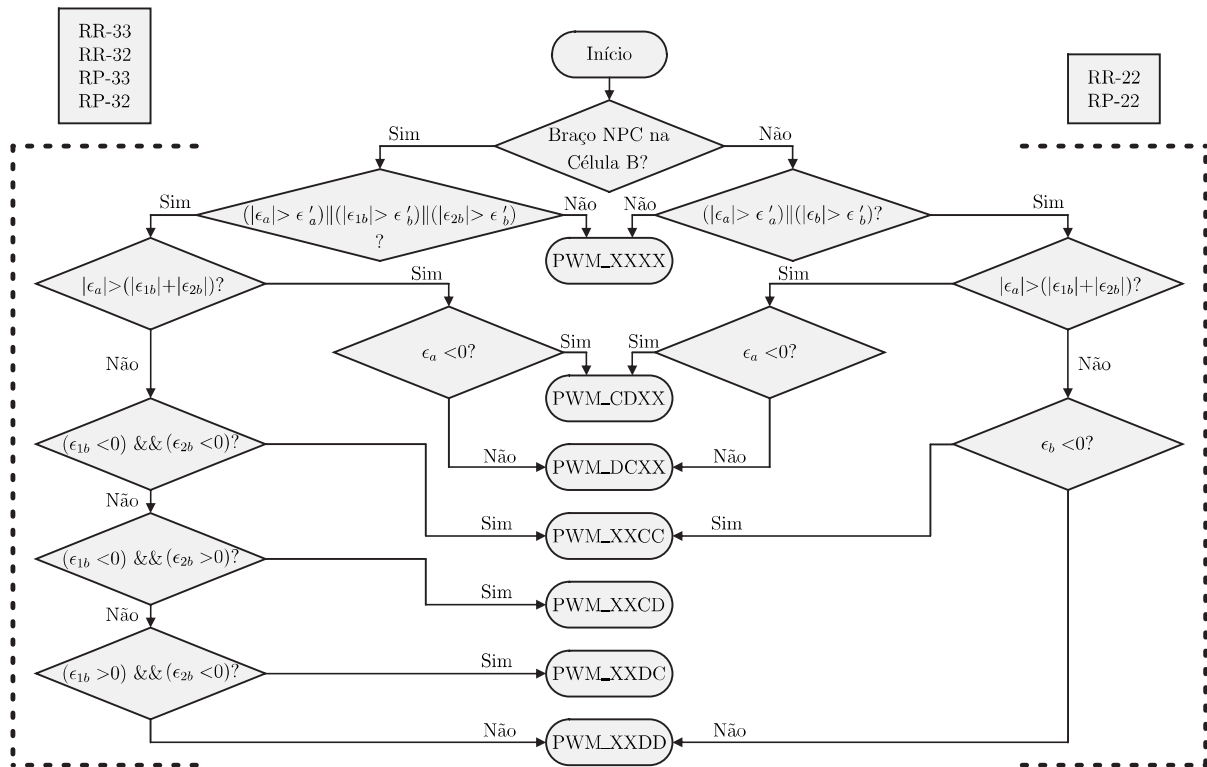


Figura 40 – Sequências de vetores dos padrões de chaveamento para a topologia RR-22.

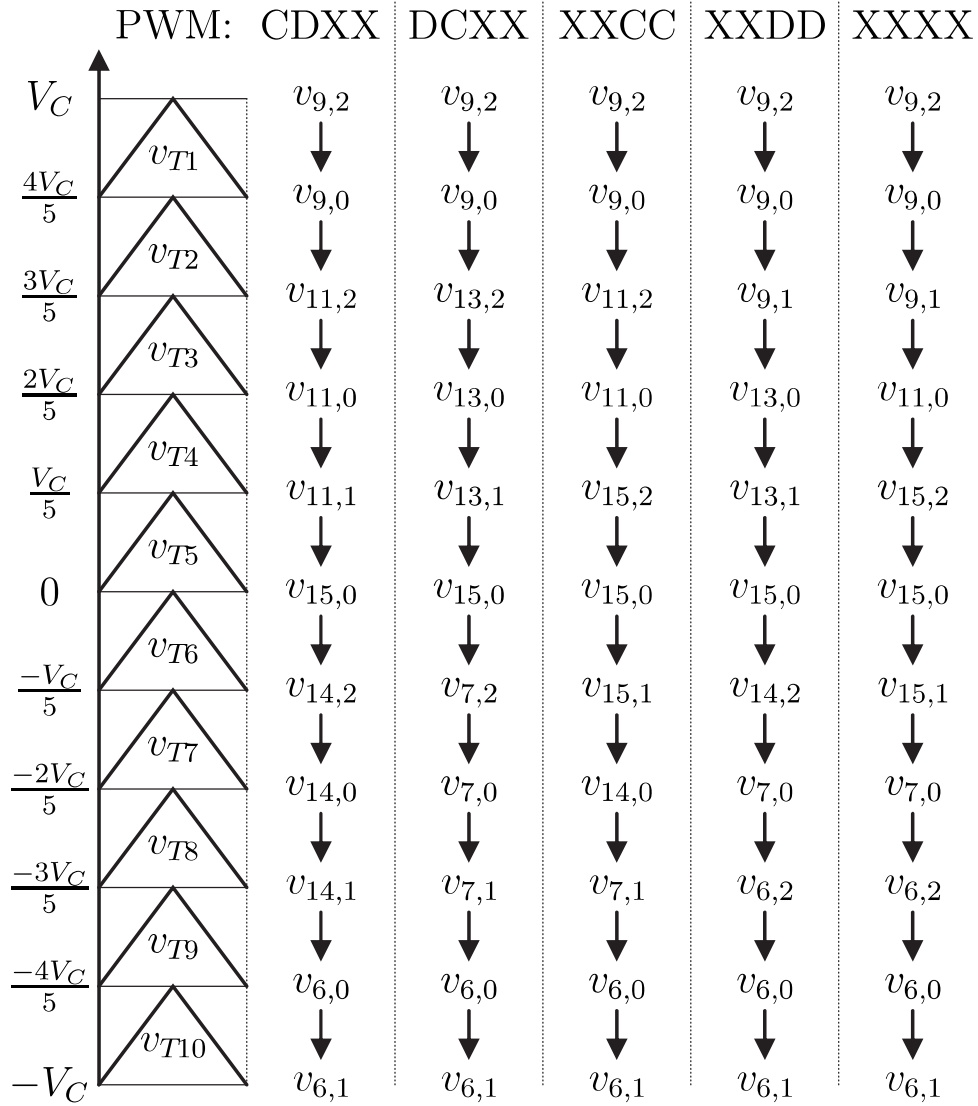
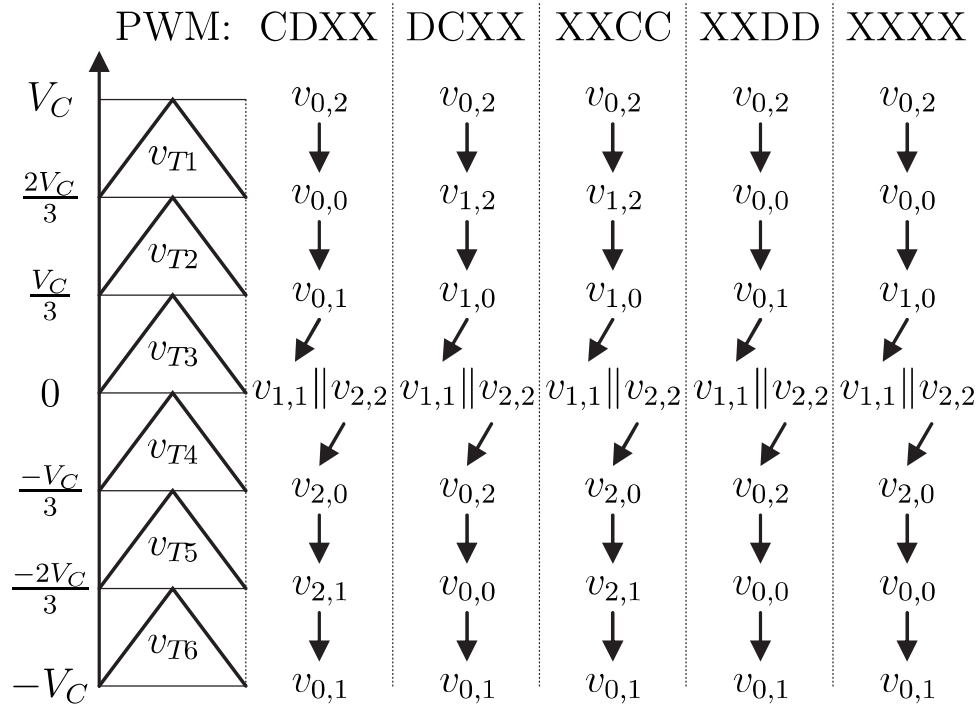


Figura 41 – Sequências de vetores dos padrões de chaveamento para a topologia RP-22.



3.5 Resultados das Simulações

As simulações foram realizadas no *software* PSIM[®], a fim de se verificar o funcionamento das técnicas descritas e também fazer considerações acerca de indicadores de comparação entre as topologias, como distorção harmônica e perdas de potência geradas pelo sistema. Na Tabela 31, são descritos os parâmetros utilizados nas simulações. A partir deles e das equações (3.8), (3.9) e (3.10), podem-se calcular os valores das amplitudes da tensão de referência do conversor (V_g^*) e da corrente da rede (I_g^*), como também o ângulo de defasamento entre E_g^* e V_g^* (θ_g). Esses parâmetros são importantes porque são utilizados na determinação da distorção harmônica, com o sistema em malha aberta, e das perdas, em que apenas com o controle de corrente é ativado.

As considerações acerca do índice de modulação são as mesmas apresentadas para os inversores, será dado pela razão entre a tensões de referência do conversor e a soma dos dois barramentos ($m_a = V_g^*/V_C^*$). A Tabela 31 mostra quais são os valores de m_a adotados para topologias, a relação de barramento e as tensões de referência para as células A (V_{Ca}^*) e B (V_{Cb}^*). Para efeitos de comparação, a topologia convencional 22-22, com apenas braços de dois níveis, foi adicionada.

Tabela 31 – Parâmetros utilizados nas simulações dos retificadores.

Parâmetro		Valor						
		RR-33	RR-32	RP-33	RP-32	RR-22	RP-22	22-22
Tensão da rede	E_g	127 V (RMS)						
Frequência da rede	f	60 Hz						
Frequência do LS-PWM	f_c	10 kHz						
Banda de histerese (Célula A)	ϵ'_a	6%						
Banda de histerese (Célula B)	ϵ'_b	3%						
Potência do sistema	P_L	1 kW						
Capacitância dos barramentos	C_a, C_b	4,4 mF						
Resistor de filtro	R_g	0,4 Ω						
Indutor de filtro	L_g	7 mH						
Tensão de referência do conversor	V_g^*	121,86 V (RMS)						
Corrente de referência da rede	I_g^*	8,21 A (RMS)						
Ângulo de fase entre E_g e V_g^*	θ_g	-9,82°						
Índice de modulação	m_a	0,82	0,8	0,78	0,77	0,88	0,75	0,78
Relação de barramento	$V_{C_a}^* : V_{C_b}^*$	3:1	3:1	2:1	2:1	4:1	2:1	2:1
Tensão de referência (Célula A)	$V_{C_a}^*$	157,63 V	161,57 V	147,30 V	149,21 V	156,67 V	153,19 V	147,30 V
Tensão de referência (Célula B)	$V_{C_b}^*$	52,54 V	53,86 V	73,65 V	74,61 V	39,17 V	76,60 V	73,65 V

3.5.1 Tensões sobre os dispositivos semicondutores

Na Tabela 32, é mostrada a quantidade de dispositivos semicondutores (chaves controladas e diodos) presentes em cada topologia. Quanto mais braços de três níveis ou reduzidos, mais componentes são necessários, acarretando no uso de mais *drivers* de acionamento e consequentes complexidade e tamanho do conversor. Cada retificador possui exatamente quatro chaves a menos que seu respectivo inversor, conforme a Tabela 11.

Tabela 32 – Quantidade de dispositivos semicondutores nas topologias em estudo.

Topologia	Chaves	Diodos
RR-33	12	24
RR-32	10	20
RP-33	10	20
RP-32	8	16
RR-22	8	16
RP-22	6	12
22-22	8	8

Cada dispositivo semicondutor é submetido, no máximo, à metade da tensão do barramento da célula em que ele se encontra, se o braço for de três níveis ou reduzido, e à tensão total se o braço for de dois níveis ou passivo. Na Tabela 33, são apresentados os valores percentuais das tensões reversas máximas com relação a V_g^* .

Assim como no Capítulo 2, para a análise dos parâmetros de distorção harmônica, perdas de potência e frequência de chaveamento das chaves, os resultados representam a média aritmética dos ensaios em todos os cenários do LS-PWM.

Tabela 33 – Tensões percentuais máximas a que os dispositivos semicondutores estão submetidas com relação a V_g^* .

Topologia	Célula A		Célula B	
	Braço 1	Braço 2	Braço 3	Braço 4
RR-33	45,73%	45,73%	15,24%	15,24%
RR-32	46,88%	46,88%	15,63%	31,25%
RP-33	42,74%	85,47%	21,37%	21,37%
RP-32	43,29%	86,57%	21,64%	43,29%
RR-22	45,45%	45,45%	22,73%	22,73%
RP-22	44,44%	88,89%	44,44%	44,44%
22-22	85,47%	85,47%	42,74%	42,74%

3.5.2 Distorção harmônica

A distorção harmônica foi analisada por meio do cálculo da WTHD da tensão do retificador, segundo a equação (2.10), bastando substituir v_L por v_g . Nas simulações, os retificadores foram colocados em malha aberta para que o sistema de controle não interferisse nos resultados finais.

Na Tabela 34, são apresentados os valores da WTHD da tensão de entrada em todas as topologias, com frequência de chaveamento do LS-PWM igual a 10 kHz e a quantidade de níveis gerados em v_g . Como também observado nos inversores, a distorção harmônica é inversamente proporcional ao número de níveis gerados. A taxa de distorção harmônica dos piores casos, que são a RP-22 e a 22-22 que geram 7 níveis de tensão cada, é quase três vezes maior que a taxa dos melhores casos, a RR-33 e a RR-32, ambas gerando 15 níveis em v_g . Além disso, percebe-se uma certa proximidade entre as WTHD das topologias com mesmo número de níveis: RR-33/RR-32, RP-33/RP-32/RR-22 e RP-22/22-22.

Tabela 34 – Valores percentuais de WTHD em v_g nas topologias de retificadores.

Topologia	WTHD (%)	Níveis em v_g
RR-33	0,0468	15
RR-32	0,0468	15
RP-33	0,0669	11
RP-32	0,0764	11
RR-22	0,0671	11
RP-22	0,1219	7
22-22	0,1289	7

Pelo mesmo motivo que aconteceu com os inversores, algumas topologias de retificadores não geraram a quantidade máxima possíveis de níveis de tensão em v_g : RR-33, RR-32, RP-33 e RP-32. As duas primeiras poderiam gerar 17 níveis e as duas últimas, 13.

3.5.3 Perdas de potência

O modelo de estimação das perdas nos dispositivos semicondutores foram os mesmos apresentados no Capítulo 2. As perdas foram calculadas igualando-se a WTHD de todas as topologias com relação ao pior caso, mostrado na Tabela 34 como sendo 0,1289%, por meio da mudança da frequência de chaveamento. Para essas simulações, habilitou-se apenas o controle de corrente, necessário para sincronizar v_g e i_g .

Na Tabela 35, são mostrados os valores das perdas percentuais das topologias com relação a P_L e as respectivas frequências de chaveamento utilizadas. Como já previsto e discutido, quanto mais dispositivos semicondutores no caminho da corrente, maiores as perdas por condução, que representam a maior parcela das perdas totais. Entre as topologias com o mesmo número de componentes, a RP-33 e a RR-22 se apresentaram mais eficientes que a RR-32 e a RP-32, respectivamente, em termos de P_{cond} .

Tabela 35 – Perdas percentuais das topologias de inversores considerando a mesma WTHD em v_g de 0,1289%.

Topologia	P_{chav} (%)	P_{cond} (%)	P_t (%)	f_c (kHz)
RR-33	0,3510	5,6707	6,0218	4,7
RR-32	0,3886	4,9667	5,3553	4,7
RP-33	0,5263	4,7992	5,3255	7,1
RP-32	0,5663	4,1657	4,7319	8
RR-22	0,3962	4,1558	4,5520	5,6
RP-22	0,7679	3,5182	4,2861	10
22-22	1,1928	2,6077	3,8008	10

Em contrapartida, como também observado no Capítulo 2, as perdas por chaveamento se mostraram inversamente proporcionais ao número de dispositivos semicondutores, segundo a Tabela 35. A partir dos valores de frequência média de chaveamento das chaves, apresentadas na Tabela 36, verifica-se que há uma tendência de aumento na frequência de comutação quando há menos dispositivos no sistema e isso contribui para um valor maior de P_{chav} .

Comparando-se as topologias, percebe-se que à medida que braços de dois níveis ou passivos são adicionados, as perdas por chaveamento aumentam. Por exemplo, a RR-33 é mais eficiente que a RR-32, que por sua vez, é mais eficiente que a RR-22 e assim sucessivamente. O único caso que não obedece essa regra é que a RR-22 tem uma menor taxa de P_{chav} em comparação à RP-33. Isso acontece porque, além das frequências médias das chaves da topologia RP-33 serem maiores, segundo a Tabela 36, a tensão máxima nos diodos do braço passivos desse sistema é bastante elevada, praticamente o dobro das tensões dos braços da RR-22, como observado na Tabela 33.

Tabela 36 – Frequências médias de chaveamento de cada braço das topologias de retificadores em Hz.

Topologia	Célula A		Célula B	
	Braço 1	Braço 2	Braço 3	Braço 4
RR-33	430	450	2365	2265
RR-32	530	460	2360	1940
RP-33	865	-	3210	2805
RP-32	970	-	4050	2400
RR-22	582	828	2964	2976
RP-22	1722	-	3420	3516
22-22	1840	1720	6220	3860

O mesmo pode ser dito quando se comparam as topologias com mesmo número de componentes, a RR-32 e a RR-22 levam vantagem sobre a RP-33 e a RP-32, respectivamente. Essas possuem maiores frequências médias das chaves e tensões máximas nos braços de dois níveis e passivos elevadas.

No resultado final, as perdas por chaveamento não foram capazes de alterar o cenário definido pelas perdas por condução. As topologias com menos componentes semicondutores acabaram por ser mais eficientes no critério das perdas totais de potência. Entretanto, os valores podem ser considerados bem satisfatórios, a topologia RR-33, por exemplo, dissipou apenas 6% da potência total injetada no retificador, contra 3,8% da 22-22. Assim como os inversores, as topologias propostas são mais adequadas para aplicações com altas tensões e baixas correntes, buscando uma diminuição de P_{cond} . As formas de onda dos retificadores propostos possuem muito mais qualidade em termos de distorção harmônica que a da convencional.

3.5.4 Simulação dinâmica

A seguir, serão apresentadas a dinâmica dos sistemas para verificar a atuação do controle dos barramentos por meio das redundâncias. Para isso, definiu-se que a fonte senoidal acoplada ao lado CA e a fonte CC acoplada ao controle do barramento partiriam de zero até atingirem as tensões de referência, com o objetivo de simular uma partida suave do sistema de controle. Além disso, as tensões iniciais dos capacitores são nulas e a potência fornecida é absorvida por uma resistência conectada no barramento da célula A.

Na Figura 42, são apresentadas as tensões medidas (v_g) e de referência (v_g^*) do conversor e as respectivas correntes medida (i_g) e de referência (i_g^*) na rede elétrica multiplicadas por 10 para que seja possível comparar a diferença de fase com a tensão. Na Figura 43, pode-se observar as tensões nos capacitores da Célula A (v_{C1a} e v_{C2a}) e da

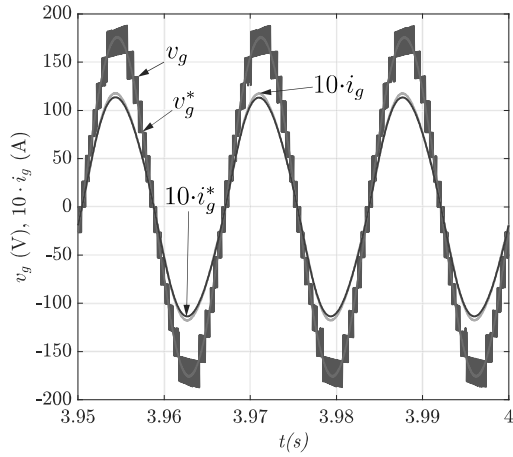
Célula B (v_{C1a} , v_{C2a} e v_{Cb}).

Tanto a tensão chaveada quanto a corrente da rede seguiram a referência. Essa com um formato senoidal e aquela com níveis bem definidos. Destaca-se também que o sistema de controle em cascata foi capaz de sincronizar essas duas grandezas, obedecendo ao requisito de minimizar as distorções, o que também gerou um alto fator de potência para a rede. As tensões nos capacitores dos barramentos ficaram dentro dos limites da faixa de histerese, garantindo o bom funcionamento das topologias e comprovando a estratégia de controle por meio das redundâncias do LS-PWM.

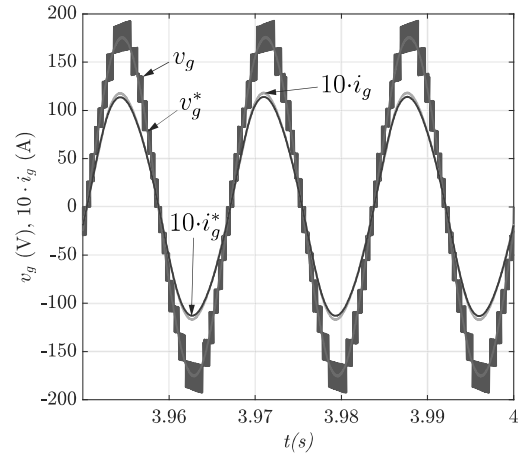
Na Figura 42, é possível observar algumas distorções na passagem pelo zero em v_g nas topologias RP-33, RP-32 e RP-22. Isso acontece porque essas topologias não possuem uma mesma combinação de chaves que gerem o nível zero para $i_g > 0$ e $i_g < 0$, então, qualquer falta de sincronismo entre v_g e i_g , por mais desprezível que seja, vai ocasionar uma distorção sempre que i_g mudar de sentido, como já foi comentado anteriormente.

Figura 42 – Tensões e correntes dos retificadores na simulação dinâmica.

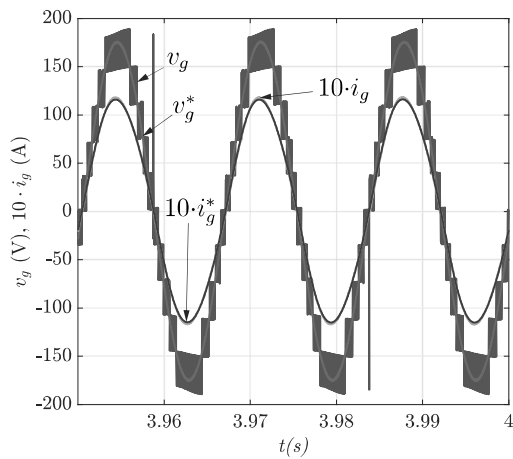
(a) RR-33.



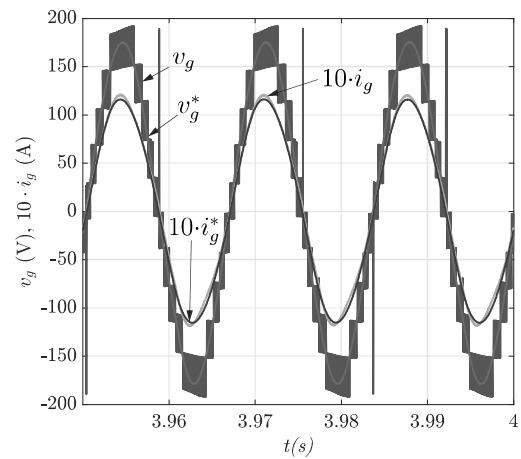
(b) RR-32.



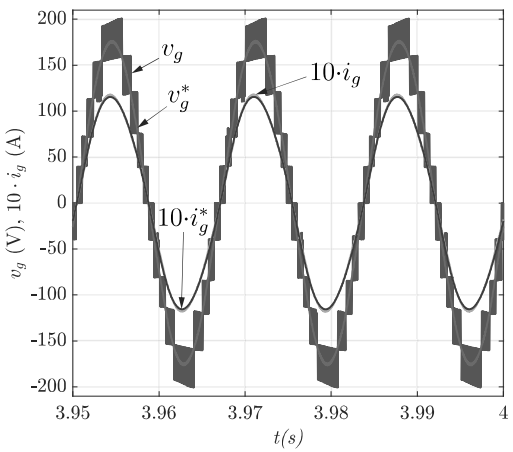
(c) RP-33.



(d) RP-32.



(e) RR-22.



(f) RP-22.

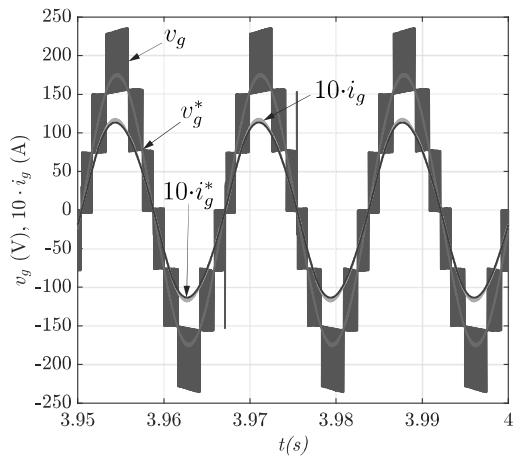
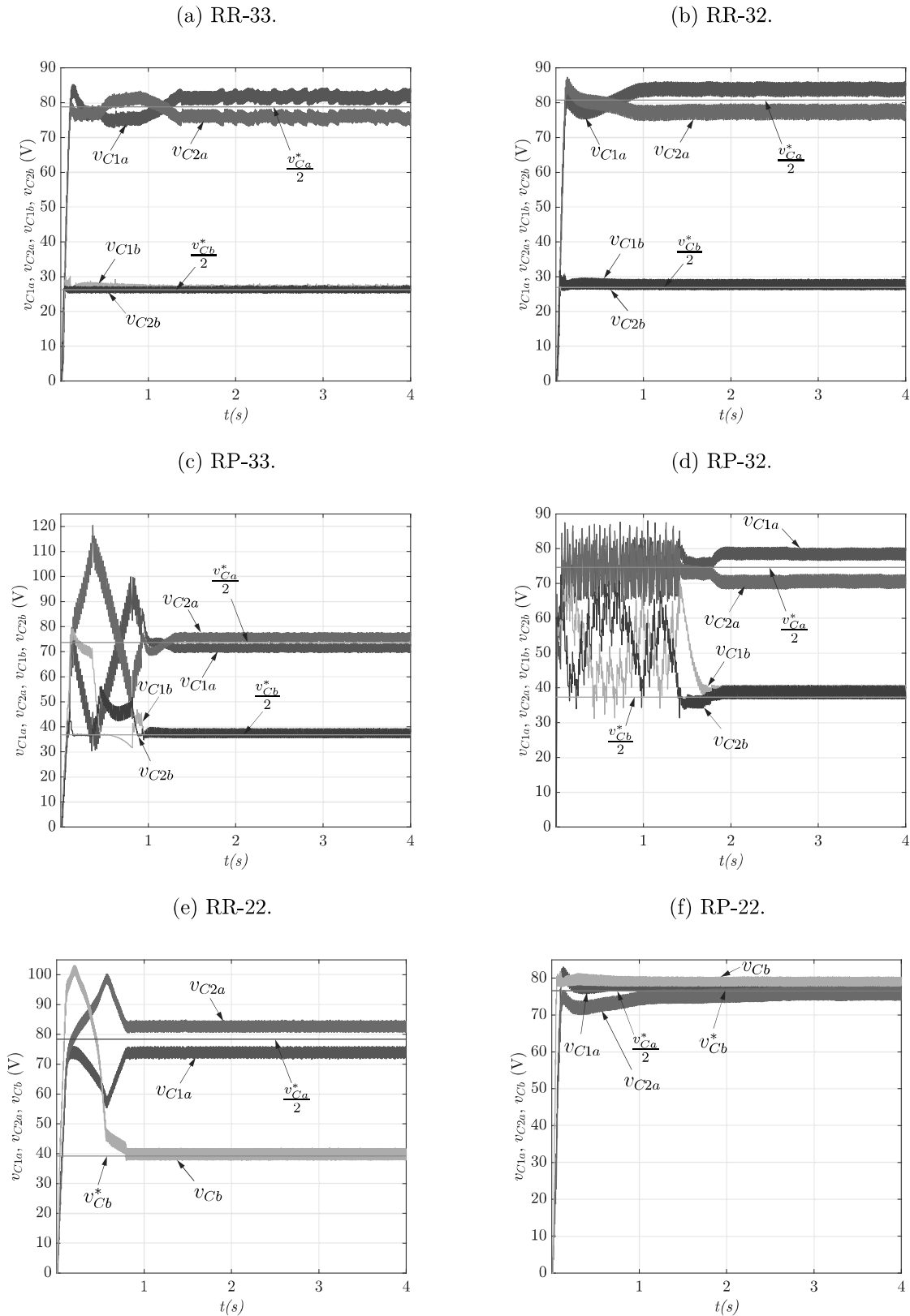


Figura 43 – Tensões nos capacitores das células A e B dos retificadores na simulação dinâmica.



3.6 Resultados Experimentais

A bancada dos testes experimentais foi a mesma apresentada na Figura 18, com as mesmas especificações dos componentes. Os parâmetros utilizados foram iguais aos das simulações: tensão RMS da rede de 127 V, frequência da rede de 60 Hz, frequência de chaveamento de 10 kHz, banda de histerese de 6% para a Célula A e 3% para a B, e potência na entrada de 1kW. Na Figura 44, é mostrada a tensão do conversor e a corrente da rede para cada topologia.

Na Tabela 37, encontra-se um resumo dos resultados obtidos, com os valores RMS das tensões e das correntes, além dos índices de modulação, potência e quantidade de níveis de tensão gerados. Sabendo-se que os valores RMS de v_g e i_g teóricos são 121,86 V e 8,21 A, respectivamente, e que a potência gerada é dada por $v_g \cdot i_g$, pode-se fazer uma comparação.

Tabela 37 – Resumo dos resultados experimentais para tensões e correntes dos retificadores.

Parâmetro	Topologia					
	RR-33	RR-32	RP-33	RP-32	RR-22	RP-22
Relação de barramento	3:1	3:1	2:1	2:1	4:1	2:1
Índice de modulação	0,85	0,8	0,78	0,68	0,85	0,75
v_g RMS (V)	123,48	125,99	124,65	125,03	124,08	126,13
i_g RMS (A)	8,54	8,64	8,07	8,25	8,53	8,19
Potência gerada (W)	1054,52	1088,55	1005,93	1031,50	1058,40	1033
Níveis de tensão	15	15	11	9	11	7

Como se pode ver, os índices de modulação experimentais foram parecidos com os das simulações na maioria dos casos, o que permitiu a mesma quantidade de níveis de tensão gerados. A exceção foi a topologia RP-32, que foi capaz de gerar 9 níveis no experimento, contra 11 na simulação, onde foi possível um m_a com maior valor, como no caso dos inversores. Houve também a necessidade de pular níveis em alguns cenários do LS-PWM nessa topologia para que ela funcionasse, como mostrado na Figura 44d, fazendo com que o número de níveis de tensão caísse para 8 em alguns setores da forma de onda de v_g .

A tensão e a corrente do conversor estão praticamente em fase em todas as topologias, indicando um bom funcionamento do circuito PLL e do controle em cascata. Além disso, seus valores RMS estão em torno dos teóricos, o que garantiu uma potência gerada próxima de 1 kW. Assim como nas simulações, há pequenas distorções em v_g na passagem pelo zero nas topologias RP-33, RP-32 e RP-22 pela falta de uma mesma combinação de chaves que gere o nível zero tanto para ambos os sentidos de i_g .

Na Figura 45, é mostrado o comportamento das tensões dos capacitores no regime e, na Tabela 38, um resumo das tensões médias nos barramentos, bem como os erros de tensão resultantes nos experimentos. Pode-se ver que a maioria das tensões capacitivas oscilaram dentro da faixa delimitada pela dupla banda de histerese, ou seja, $|\epsilon_a| \leq 6\%$, $|\epsilon_{1b}| \leq 3\%$, $|\epsilon_{2b}| \leq 3\%$ e $|\epsilon_b| \leq 3\%$. Os únicos casos que ultrapassaram os limites foram v_{C1b} e v_{C2b} da topologia RP-32 e v_{C2b} da topologia RP-33. Entretanto, como a diferença foi pequena, isso pode ser atribuído aos erros de leitura das pontas de tensão e do próprio osciloscópio. Esses equipamentos, por mais precisos que sejam, nunca são perfeitos.

Tabela 38 – Resumo dos resultados experimentais para tensões dos barramentos dos retificadores.

Parâmetro	Topologia					
	RR-33	RR-32	RP-33	RP-32	RR-22	RP-22
v_{C1a} (V)	78,14	84,01	75,16	86,18	79,66	76,33
v_{C2a} (V)	76,26	81,25	74,18	85,23	80,39	76,05
v_{C1b} (V)	25,77	27,07	36,91	40,92	-	-
v_{C2b} (V)	25,74	27,49	35,47	40,18	-	-
v_{Cb} (V)	-	-	-	-	39,56	76,59
v_{Ca}^* (V)	152,06	161,57	147,30	168,96	162,20	153,19
v_{Cb}^* (V)	50,69	53,86	73,65	84,48	40,55	76,60
$ \epsilon_a $ (%)	1,24	1,71	0,67	0,56	0,45	0,18
$ \epsilon_{1b} $ (%)	1,68	0,52	0,23	3,12	-	-
$ \epsilon_{2b} $ (%)	1,56	2,08	3,68	4,88	-	-
$ \epsilon_b $ (%)	-	-	-	-	2,44	0

Ao comparar as figuras 20 e 44, percebe-se que há menos ruído na forma de onda de v_g nos retificadores do que na tensões v_L dos inversores. Uma explicação para isso é que, nos inversores, cada chave possui uma complementar. Pode acontecer, por limitações da bancada, de os pulsos complementares chegarem com atraso aos *drivers* para ativar ou desativar as chaves, o que leva à geração de níveis de tensão intermediários e indesejáveis que se apresentam como pulsos na forma de v_L . Nos retificadores, cada chave é independente e, no braço reduzido, uma delas é responsável pela geração dos níveis positivos e a outra, dos negativos, como mostrado na equação (3.4). Portanto, a redução na quantidade de chaves nas topologias de retificadores foi benéfica no sentido de gerar uma tensão chaveada com maior qualidade.

Um transitório causado por um aumento de 20% na potência fornecida pelos retificadores foi aplicado para mostrar a operação do sistema de controle. Os sistemas encontram-se no regime em $t = 0$ s e, em $t = 5$ s, ocorre uma mudança na carga para que a potência de entrada passe de 1 kW para 1,2 kW. Os resultados são apresentados nas Figuras 46 - 51. Pode-se ver que, em todas as topologias, i_g foi rastreada corretamente

pelo circuito p-PLL e foi sincronizada com v_g . As tensões dos capacitores permaneceram estáveis, mostrando uma eficiência da estratégia PWM e do controle por dupla banda de histerese em balancear os barramentos.

Pela análise das Figuras 46 - 51, observa-se que a corrente do conversor cresceu, enquanto que a tensão diminuiu. Um aumento na carga implica em uma corrente maior, já que as tensões dos barramentos não se alteram no transitório. Aplicando o Teorema de Pitágoras no triângulo retângulo da Figura 34, chega-se à expressão apresentada na equação (3.11). Sendo R_g , L_g , ω e E_g constantes, então, um aumento de I_g resulta em uma diminuição de V_g , para que se mantenha a igualdade.

$$(V_g + R_g I_g)^2 + (\omega L_g I_g)^2 = E_g^2 \quad (3.11)$$

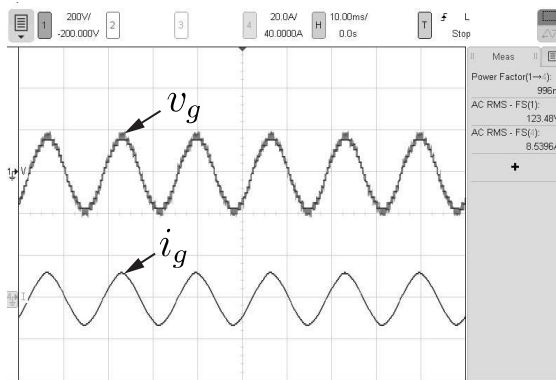
3.7 Conclusões

Neste capítulo, foram analisadas uma família de seis retificadores monofásicos multiníveis e em cascata de duas células, com fluxo unidirecional de potência. Na célula de menor tensão, utilizou-se braços completamente controláveis capazes de gerar três ou dois níveis de tensão. Na outra, foi feita uma redução do número de chaves, com a adoção de braços reduzidos e passivos, de forma a conferir a natureza unidirecional às topologias. Para todas elas, as relações de barramento foram assimétricas e a tensão total da célula de menor tensão foi fornecida exclusivamente pelos capacitores que a compõem, chamados de flutuantes. A técnica de modulação utilizada foi a de deslocamento de portadoras em nível, sempre priorizando o chaveamento entre os dois níveis mais próximos para minimizar a distorção harmônica nos sinais gerados. Foram apresentados os algoritmos necessários para equilibrar as tensões dos quatro capacitores, além das técnicas de controle e as sequências de vetores do LS-PWM. Além disso, também foram mostrados os resultados das simulações computacionais no *software* PSIM[®], para comparação em termos de distorção harmônica e perdas de potência, e os experimentais, com aplicação em diferentes cenários de carga.

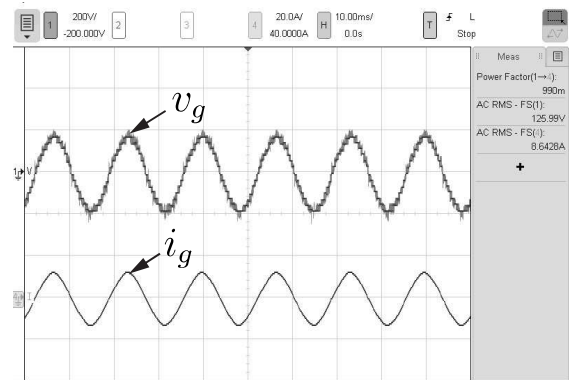
Os retificadores precisaram de um controlador em cascata para sincronizar a tensão do conversor v_g com a corrente da rede i_g , dada a dependência das tensões de polo dos braços reduzidos e passivos ao sentido de i_g . As topologias também geraram entre 7 e 15 níveis de tensão, com as mesmas considerações acerca da WTHD e das perdas de potência que os inversores. Os retificadores funcionaram bem na aplicação da carga resistiva e no transitório, em que a potência gerada pelos conversores passou de 1 kW para 1,2 kW. Alguns padrões de PWM estavam causando problema na topologia RP-32 e foi necessário pular níveis de tensão em alguns setores para que ela fosse capaz de operar. Apesar disso, também houve o equilíbrio das tensões capacitivas em todas as topologias e v_g e i_g foram bem sincronizadas.

Figura 44 – Tensões e correntes experimentais dos retificadores.

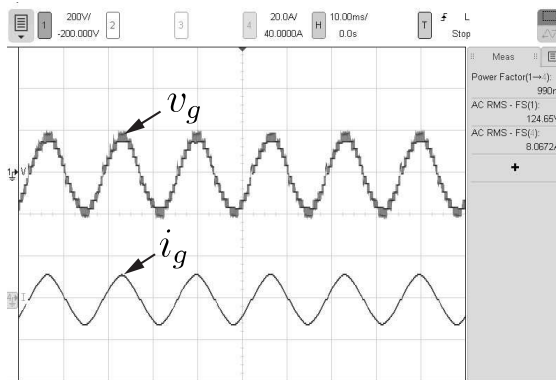
(a) RR-33.



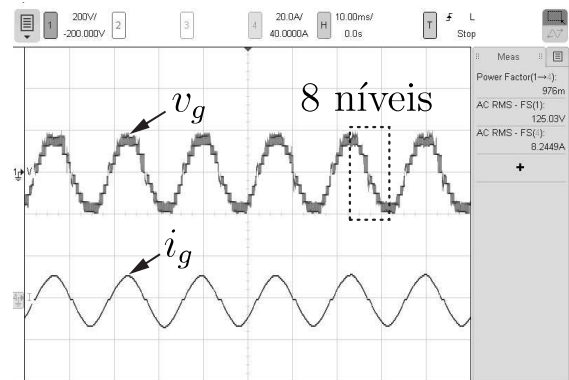
(b) RR-32.



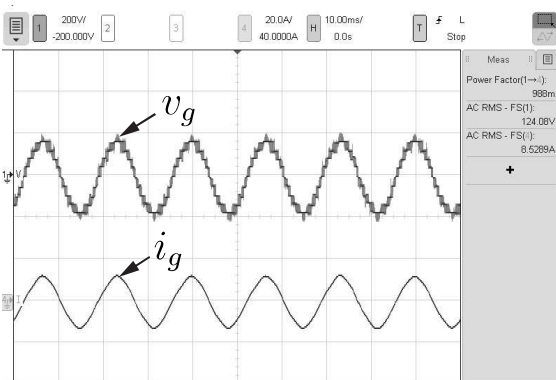
(c) RP-33.



(d) RP-32.



(e) RR-22.



(f) RP-22.

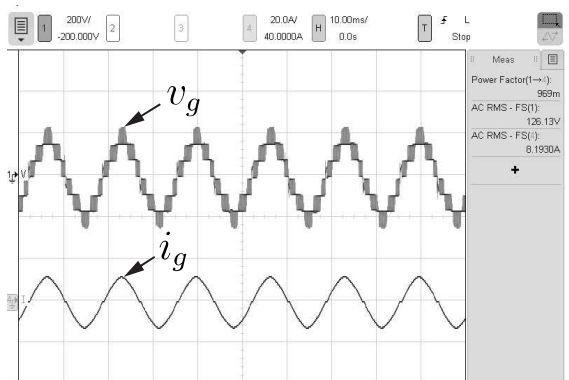


Figura 45 – Tensões experimentais dos barramentos dos retificadores.

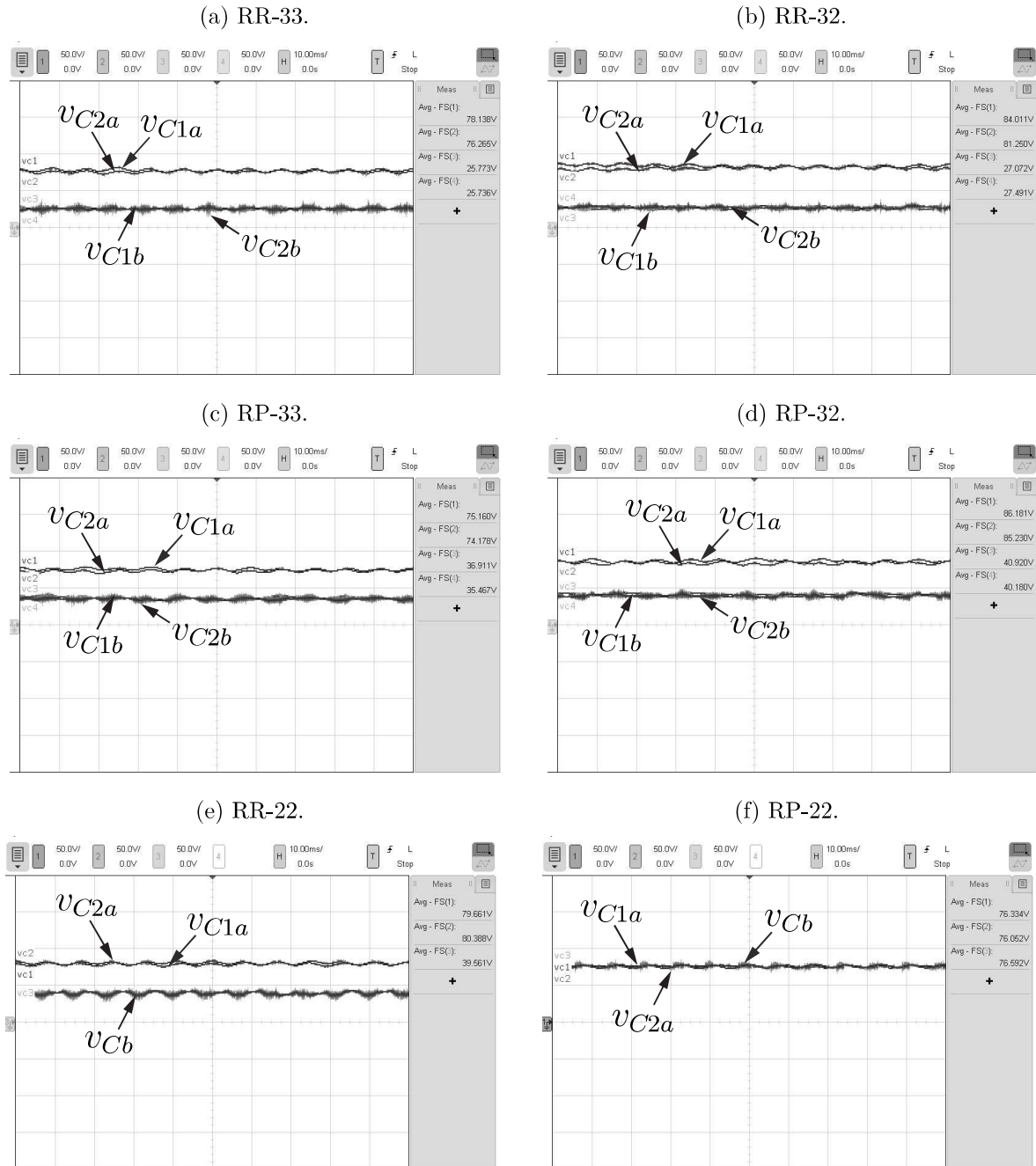


Figura 46 – Aplicação do transitório na topologia RR-33.

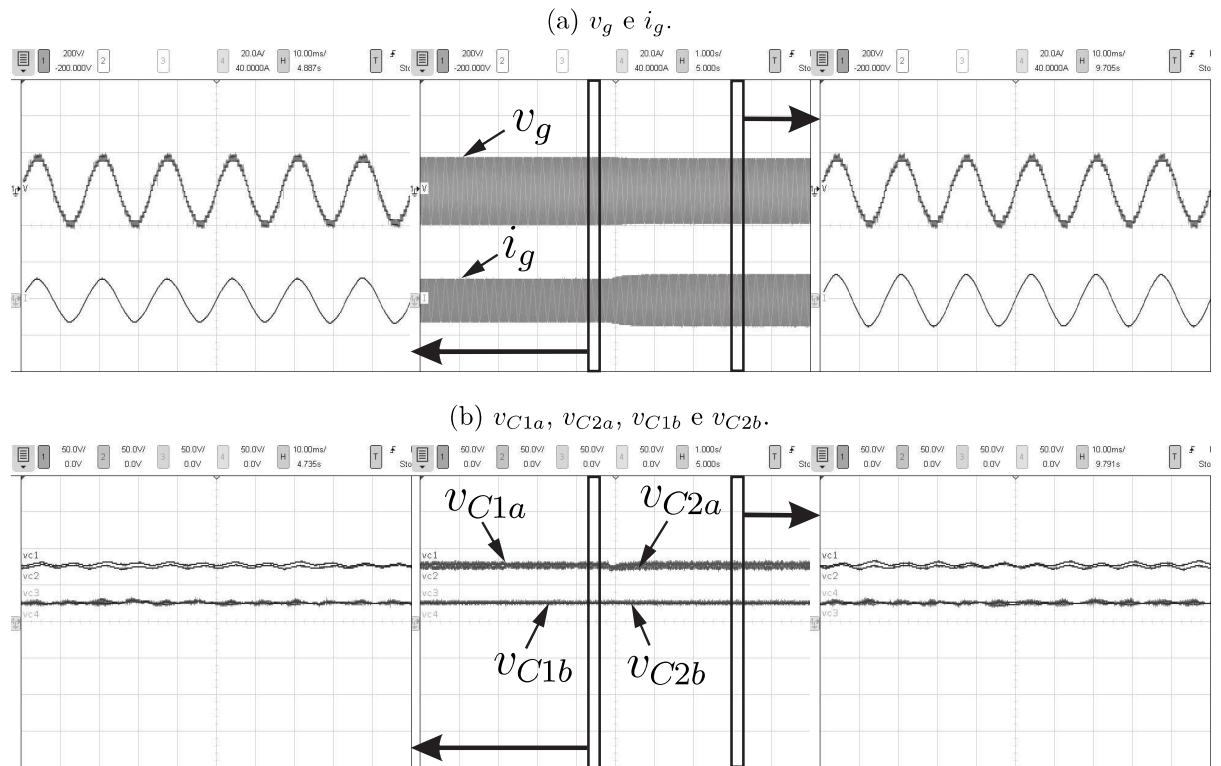


Figura 47 – Aplicação do transitório na topologia RR-32.

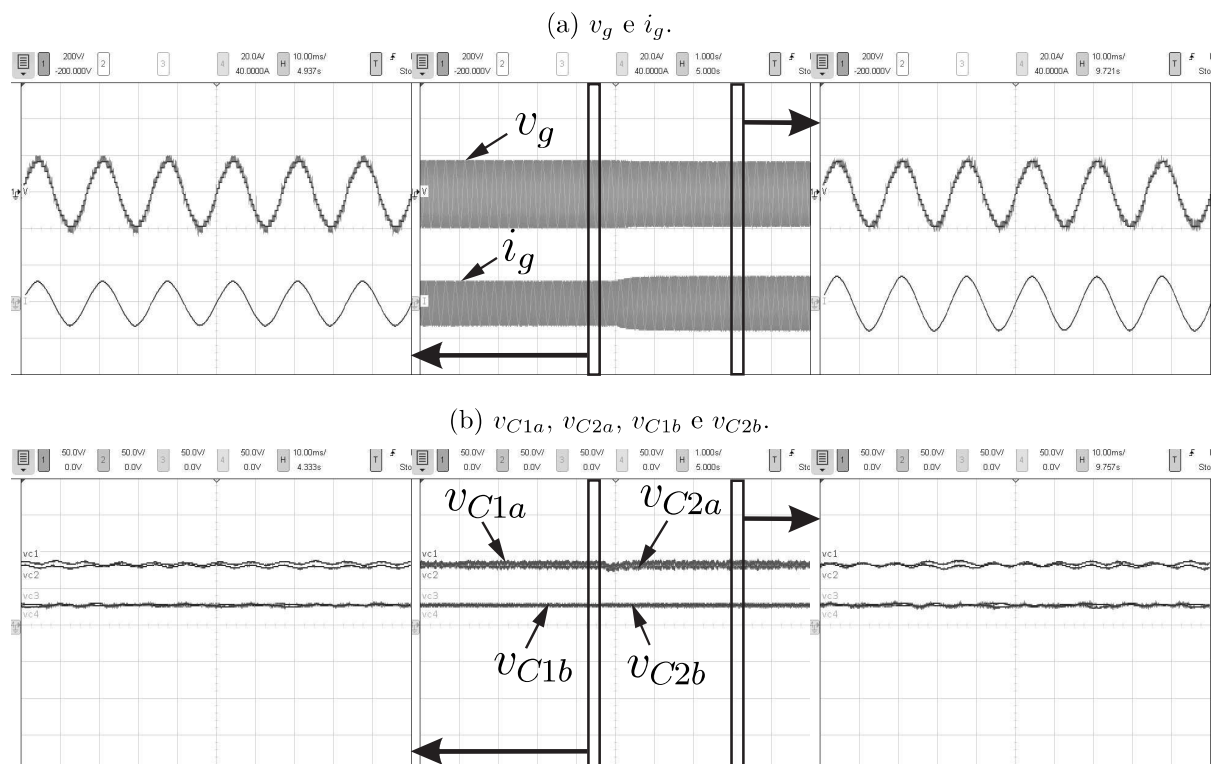


Figura 48 – Aplicação do transitório na topologia RP-33.

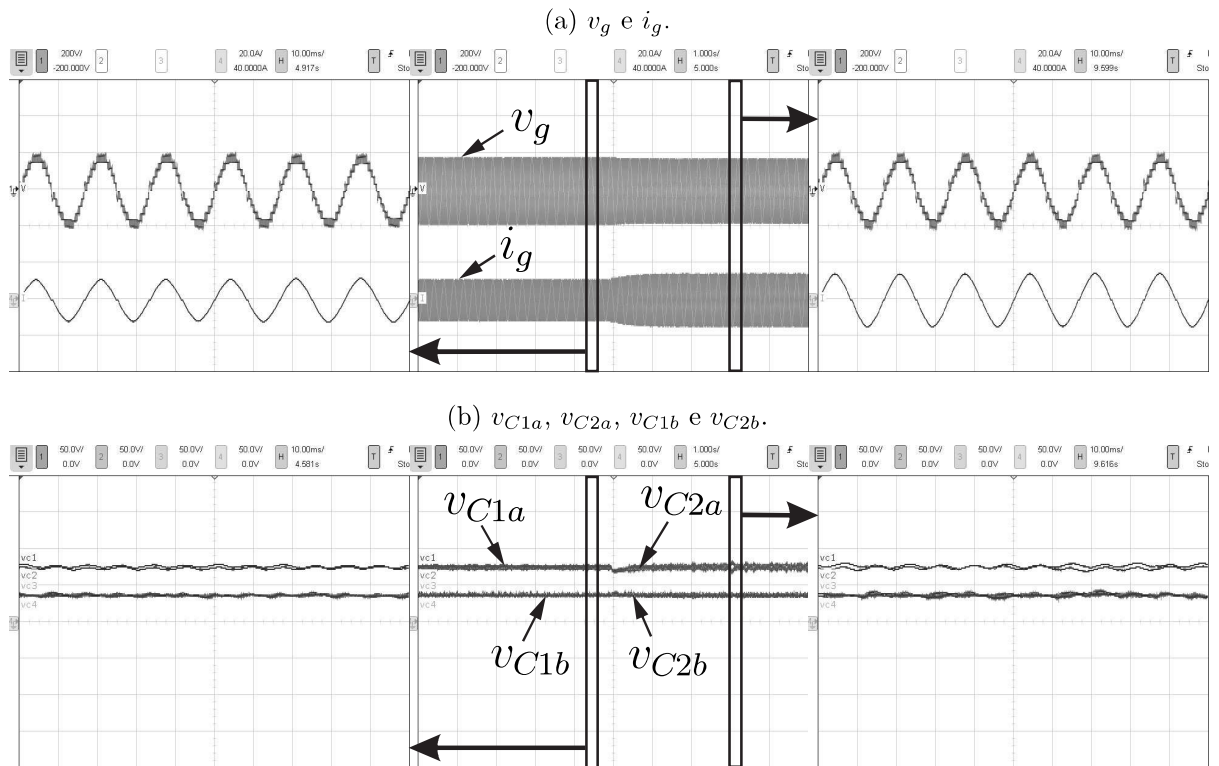


Figura 49 – Aplicação do transitório na topologia RP-32.

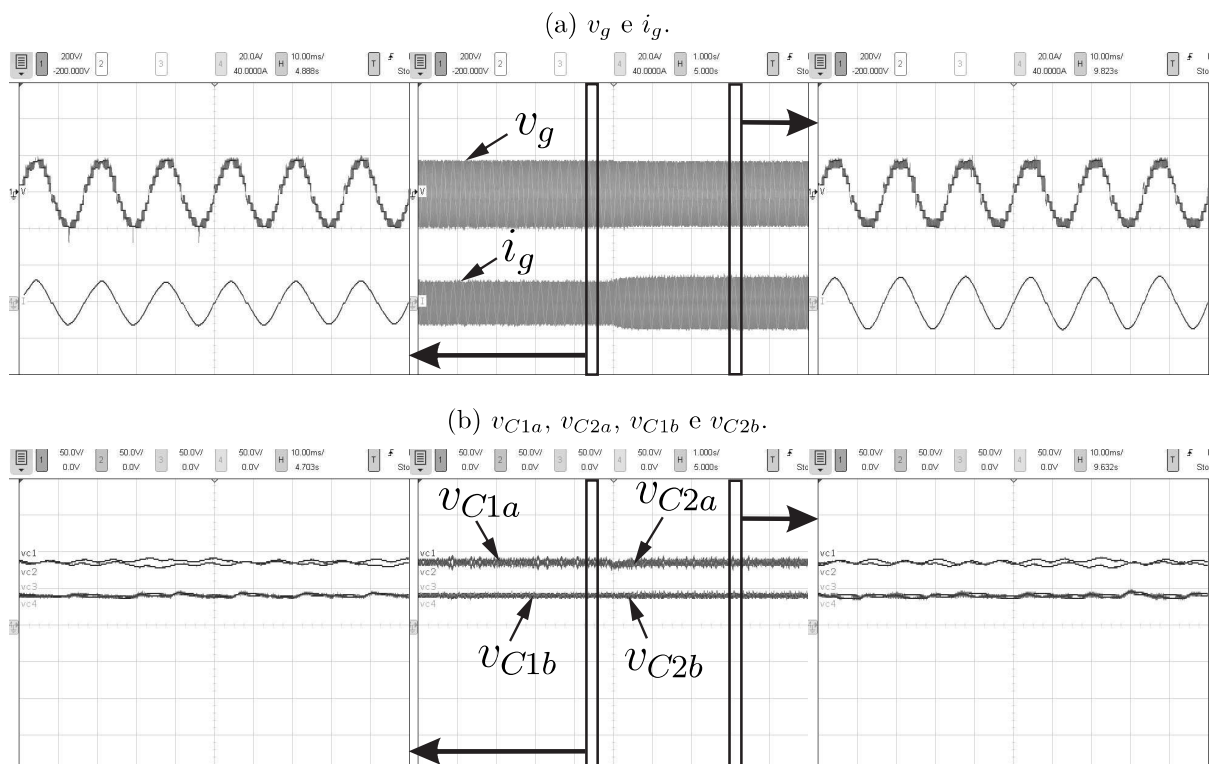


Figura 50 – Aplicação do transitório na topologia RR-22.

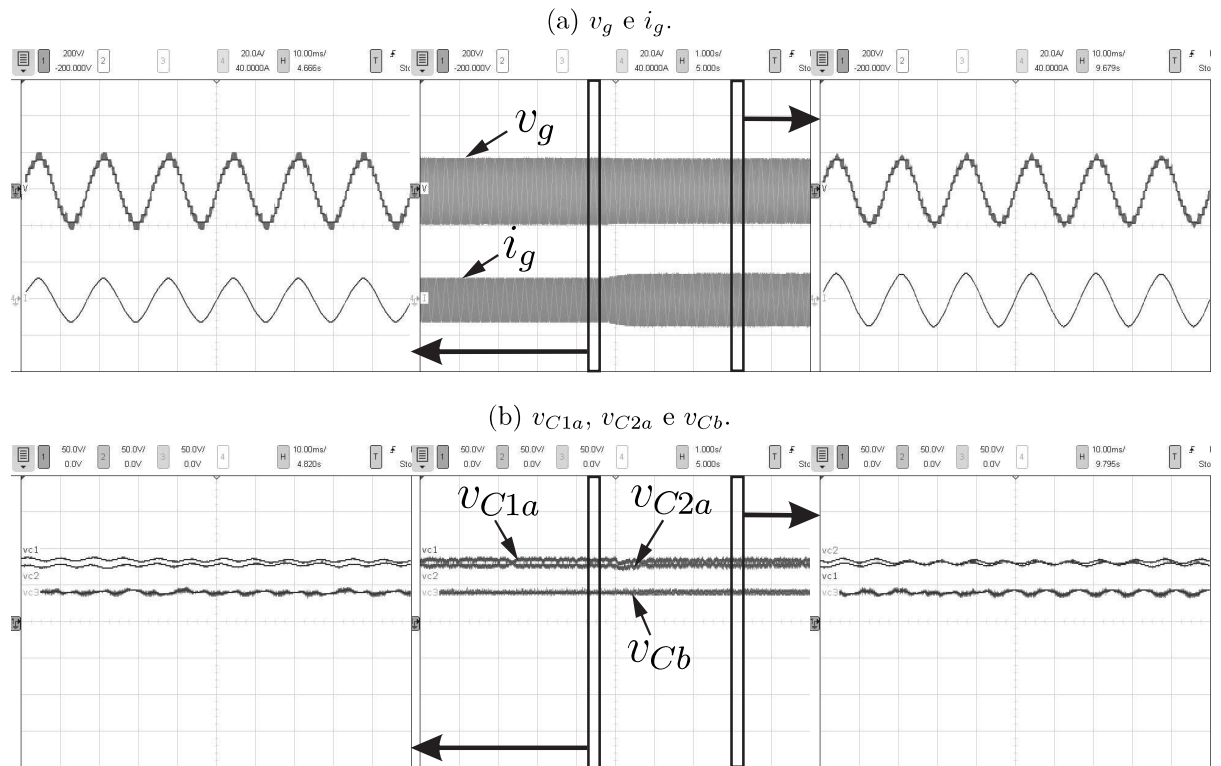
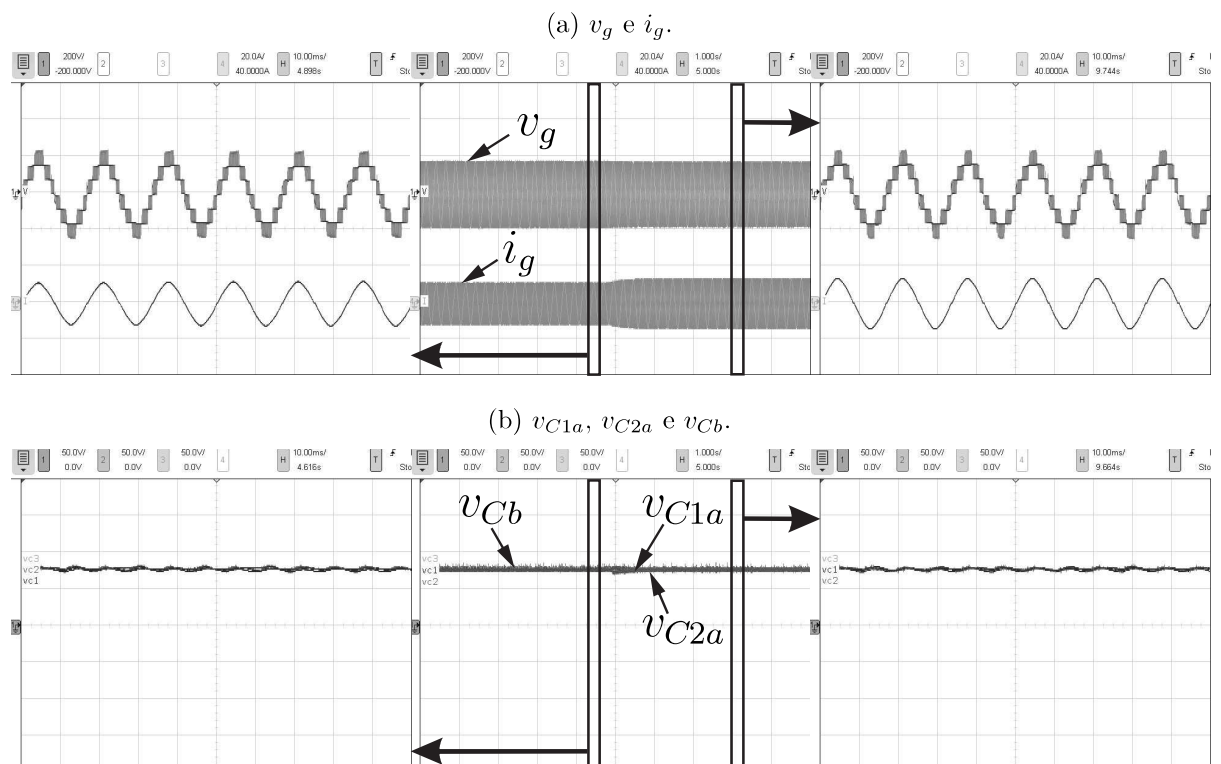


Figura 51 – Aplicação do transitório na topologia RP-22.



4 | Conclusões

O objetivo do trabalho foi analisar uma família de doze topologias de conversores monofásicos multiníveis e em cascata de duas células nos modos CC-CA (fluxo bidirecional de potência) e CA-CC (unidirecional). No caso dos inversores, utilizou-se braços completamente controláveis capazes de gerar dois e três níveis de tensão nas duas células. Para os retificadores, esses braços compuseram apenas a Célula B já que, na Célula A, foram utilizados braços reduzidos e passivos, que possuem número reduzido de chaves e conferem aos retificadores deste trabalho a natureza unidirecional. Em ambos os casos, as relações de barramento foram assimétricas e a tensão total da célula de menor tensão foi fornecida exclusivamente pelos capacitores que a compõem, chamados de flutuantes. A técnica de modulação utilizada foi a de deslocamento de portadoras em nível, sempre priorizando o chaveamento entre os dois níveis mais próximos para minimizar a distorção harmônica nos sinais gerados. Foram apresentados os algoritmos necessários para equilibrar as tensões dos quatro capacitores, além das técnicas de controle e as sequências de vetores do LS-PWM. Além disso, também foram mostrados os resultados das simulações computacionais no *software* PSIM[®], para comparação em termos de distorção harmônica e perdas de potência, e os experimentais, com aplicação em diferentes cenários de carga.

Na aplicação dos inversores, como observado nos resultados de simulação e experimentais, as topologias geraram entre 7 e 15 níveis e foi observado que, quanto maior esse número, mais a forma de onda da tensão chaveada se aproximou do formato senoidal, o que significou menor taxa de WTHD. Em relação às perdas de potência, foi observado que o número de dispositivos semicondutores influenciou no resultado final. A topologia convencional levou uma pequena vantagem em relação às propostas por apresentar menos componentes. Os inversores foram capazes de funcionar bem nos cenários de carga linear e não-linear, como também em um transitório, em que o fator de potência da carga foi alterado de 0,8 para 0,6. Os formatos e valores de v_L e i_L estavam dentro do esperado e as tensões dos capacitores dos barramentos foram equilibradas.

O mesmo pode-se dizer em relação aos retificadores que, por sua vez, precisaram de um controlador em cascata para sincronizar a tensão do conversor v_g com a corrente da rede i_g , dada a dependência das tensões de polo dos braços reduzidos e passivos ao sentido de i_g . As topologias também geraram entre 7 e 15 níveis de tensão, com as mesmas considerações acerca da WTHD e das perdas de potência. Os retificadores funcionaram

bem na aplicação da carga resistiva e no transitório, em que a potência gerada pelos conversores passou de 1 kW para 1,2 kW. Alguns padrões de PWM estavam causando problema na topologia RP-32 e foi necessário pular níveis de tensão em alguns setores para que ela fosse capaz de operar. Apesar disso, também houve o equilíbrio das tensões capacitivas em todas as topologias e v_g e i_g foram bem sincronizadas.

As topologias apresentadas neste trabalho são mais indicadas, em relação às perdas de potência, em condições de alta tensão e menor corrente, em que as perdas por condução seriam minimizadas e a grande capacidade de geração de níveis garantiria a qualidade das tensões geradas. O fato de utilizarem capacitores flutuantes faz com que sejam dispensados transformadores e retificadores extras para criar fontes CC isoladas, no caso dos inversores. No caso dos retificadores, a redução de dispositivos se dá no menor número de chaves semicondutoras, tornando o sistema mais simples. Comparando os inversores com os retificadores, percebe-se que a forma de onda das tensões geradas pelos retificadores são menos ruidosas, que se deve à redução na quantidade de chaves na Célula A. Isso fez com que cada braço reduzido possuísse chaves independentes, uma para gerar os níveis do semiciclo positivo e outra, para o negativo, impedindo a geração de níveis de tensão intermediários indesejáveis causados pela possível falta de sincronia dos pulsos que saem do DSP para as chaves complementares, tal qual acontece nos inversores.

Visando melhorar e aprimorar esta pesquisa, alguns trabalhos futuros são sugeridos, tais como: análise das versões trifásicas; outros cenários de carga, com diferentes potências, fatores de potência, tensões e correntes; aplicar bandas de histerese mais estreitas e incluir o braço Vienna, que é composto por uma chave a menos que o reduzido, apresentado neste trabalho.

Referências

- Abu-Rub, H. et al. Medium-voltage multilevel converters—state of the art, challenges, and requirements in industrial applications. *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, p. 2581–2596, Aug 2010. ISSN 0278-0046. Citado na página 4.
- R. Baker e L. Bannister. *Electric power converter*. 1975. 3 867 643. Citado na página 2.
- Bashar, K. L. et al. Three phase three switch modular vienna, boost and sepic rectifiers. In: *2016 2nd International Conference on Control, Instrumentation, Energy Communication (CIEC)*. [S.l.: s.n.], 2016. p. 348–352. Citado na página 5.
- Bird, B. M.; Marsh, J. F.; McLellan, P. R. Harmonic reduction in multiplex convertors by triple-frequency current injection. *Proceedings of the Institution of Electrical Engineers*, v. 116, n. 10, p. 1730–1734, 1969. Citado na página 7.
- Carrara, G. et al. A new multilevel pwm method: a theoretical analysis. *IEEE Transactions on Power Electronics*, v. 7, n. 3, p. 497–505, July 1992. ISSN 0885-8993. Citado na página 2.
- Chattopadhyay, S. K.; Chakraborty, C.; Pal, B. C. Cascaded h-bridge neutral point clamped hybrid asymmetric multilevel inverter topology for grid interactive transformerless photovoltaic power plant. In: *IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2012. p. 5074–5079. Citado na página 7.
- Chowdhury, S. et al. A multilevel converter with a floating bridge for open-end winding motor drive applications. *IEEE Transactions on Industrial Electronics*, v. 63, n. 9, p. 5366–5375, 2016. Citado na página 5.
- Corzine, K.; Familant, Y. A new cascaded multilevel h-bridge drive. *IEEE Transactions on Power Electronics*, v. 17, n. 1, p. 125–131, 2002. Citado na página 8.
- Corzine, K. A.; Baker, J. R. Reduced-parts-count multilevel rectifiers. *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, p. 766–774, 2002. Citado na página 7.
- de Sousa, R. P. R. et al. Open-end unidirectional topologies with reduced controlled switch count. *IEEE Transactions on Industry Applications*, v. 55, n. 3, p. 2833–2844, 2019. Citado na página 9.
- Ding Kai et al. Research on a novel three-phase hybrid asymmetric 9-level inverter. In: *30th Annual Conference of IEEE Industrial Electronics Society, 2004. IECON 2004*. [S.l.: s.n.], 2004. v. 1, p. 856–861 Vol. 1. Citado na página 8.
- Doukas, D. I.; Kalpatsinidou, S. C.; Labridis, D. P. Multilevel converter topologies evaluation for superconducting dc transmission systems. In: *2017 IEEE PES Innovative Smart Grid Technologies Conference Europe (ISGT-Europe)*. [S.l.: s.n.], 2017. p. 1–6. Citado na página 7.

-
- Drisy V; Samina T. Supply voltage boosting using a floating capacitor bridge in a 3 level space vector modulated inverter system for an open-end winding induction motor drive. In: *2015 International Conference on Control Communication Computing India (ICCC)*. [S.l.: s.n.], 2015. p. 165–169. Citado na página 5.
- Du, Z. et al. Dc–ac cascaded h-bridge multilevel boost inverter with no inductors for electric/hybrid electric vehicle applications. *IEEE Transactions on Industry Applications*, v. 45, n. 3, p. 963–970, 2009. Citado na página 7.
- Felinto, A. et al. Investigation of power rectifier under non-sinusoidal input based on hybrid multilevel converter. In: *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2017. p. 2779–2786. Citado na página 6.
- Felinto, A. et al. Unidirectional asymmetric hybrid nine-leg rectifier with floating h-bridge capacitors. *IEEE Transactions on Power Electronics*, p. 1–1, 2020. Citado na página 6.
- Felinto, A. S. et al. Power rectifier based on open-end converter with floating capacitor under non-sinusoidal and unbalanced input. In: *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2018. p. 3542–3549. Citado na página 6.
- Foti, S. et al. Asymmetrical hybrid unidirectional t-type rectifier for high-speed gen-set applications. In: *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2017. p. 4887–4893. Citado na página 6.
- Franquelo, L. G. et al. The age of multilevel converters arrives. *IEEE Industrial Electronics Magazine*, v. 2, n. 2, p. 28–39, June 2008. ISSN 1932-4529. Citado 2 vezes nas páginas 2 e 7.
- Gabriel, O. H. P. et al. Input current shaping of five-level multiple-pole vienna rectifier topologies with reduced component and better performance. In: *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2013. p. 900–905. Citado na página 5.
- Hammond, P. W. A new approach to enhance power quality for medium voltage ac drives. *IEEE Transactions on Industry Applications*, v. 33, n. 1, p. 202–208, Jan 1997. ISSN 0093-9994. Citado na página 2.
- Holtz, J. Pulsewidth modulation for electronic power conversion. *Proceedings of the IEEE*, v. 82, n. 8, p. 1194–1214, Aug 1994. ISSN 0018-9219. Citado na página 2.
- Jia, Z. et al. Triple line-voltage cascaded vienna converter applied as the medium-voltage rectifier. In: *IECON 2017 - 43rd Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2017. p. 1635–1641. Citado na página 5.
- Jiang, X. New cascade diode h-bridge multi-level rectifier. In: *2015 5th International Conference on Electric Utility Deregulation and Restructuring and Power Technologies (DRPT)*. [S.l.: s.n.], 2015. p. 2326–2330. Citado na página 5.
- Jiang, X. et al. A survey of cascaded multi-level pwm rectifier with vienna modules for hvdc system. In: *2014 International Power Electronics and Application Conference and Exposition*. [S.l.: s.n.], 2014. p. 72–77. Citado 2 vezes nas páginas 5 e 7.

Jung, H.; Kim, H.; Sul, S. Pwm strategy for 3phase active front end cascaded 5 level npc h-bridge. In: *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2018. p. 2993–2998. Citado na página 7.

Kakosimos, P.; Bayhan, S.; Abu-Rub, H. Single-phase cascaded h-bridge neutral-point clamped inverter: A comparison between mpc and pi control. In: *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2016. p. 5983–5989. Citado na página 7.

Kolar, J. W.; Zach, F. C. A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications rectifier modules. *IEEE Transactions on Industrial Electronics*, v. 44, n. 4, p. 456–467, Aug 1997. ISSN 0278-0046. Citado 2 vezes nas páginas 5 e 7.

Kouro, S. et al. Grid-connected photovoltaic systems: An overview of recent research and emerging pv converter technology. *IEEE Industrial Electronics Magazine*, v. 9, n. 1, p. 47–61, 2015. Citado 2 vezes nas páginas 6 e 7.

Kouro, S. et al. Recent advances and industrial applications of multilevel converters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, p. 2553–2580, Aug 2010. ISSN 0278-0046. Citado na página 7.

Lee, J.; Lee, K. A novel carrier-based pwm method for vienna rectifier with a variable power factor. *IEEE Transactions on Industrial Electronics*, v. 63, n. 1, p. 3–12, 2016. Citado na página 5.

Lee, S.; Fajri, P.; Ferdowsi, M. A robust hybrid multilevel rectifier with adjustable output voltage and variable load. In: *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*. [S.l.: s.n.], 2015. p. 14–20. Citado na página 6.

Liang, X.; Kar, N. C.; Liu, J. Load filter design method for medium-voltage drive applications in electrical submersible pump systems. *IEEE Transactions on Industry Applications*, v. 51, n. 3, p. 2017–2029, 2015. Citado na página 5.

Liu, H. et al. Hybrid cascaded multilevel inverter with pwm control method. In: *2008 IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 2008. p. 162–166. Citado na página 7.

Lu, S.; Corzine, K. A. Advanced control and analysis of cascaded multilevel converters based on p-q compensation. *IEEE Transactions on Power Electronics*, v. 22, n. 4, p. 1242–1252, 2007. Citado na página 7.

Ma, K. et al. Thermal loading and lifetime estimation for power device considering mission profiles in wind power converter. *IEEE Transactions on Power Electronics*, v. 30, n. 2, p. 590–602, 2015. Citado na página 5.

Malinowski, M. et al. A survey on cascaded multilevel inverters. *IEEE Transactions on Industrial Electronics*, v. 57, n. 7, p. 2197–2206, 2010. Citado 3 vezes nas páginas 4, 6 e 7.

-
- Meynard, T. A.; Foch, H. Multi-level conversion: high voltage choppers and voltage-source inverters. In: *PESC '92 Record. 23rd Annual IEEE Power Electronics Specialists Conference*. [S.l.: s.n.], 1992. p. 397–403 vol.1. Citado na página 2.
- Monteiro, A. *Estudo de Balanceamento de Capacitor Flutuante e Regeneração de Potência para Inversores Multiníveis Monofásicos Baseados em Ponte-H em Cascata*. Dissertação (Mestrado) — Universidade Federal de Campina Grande, Campina Grande, 02 2019. Citado na página 4.
- Monteiro, A. P. et al. Cascaded multilevel rectifiers with reduced number of controlled switches for open-end winding pmsm. In: *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2019. p. 3616–3623. Citado 2 vezes nas páginas 6 e 7.
- Méllo, J. P. R. A.; Jacobina, C. B.; da Silva, I. R. F. M. P. Multilevel reduced controlled switches ac–dc power conversion cells. *IEEE Transactions on Industry Applications*, v. 53, n. 3, p. 2233–2244, 2017. Citado na página 6.
- Nabae, A.; Takahashi, I.; Akagi, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, Sep. 1981. ISSN 0093-9994. Citado na página 2.
- Nannam, H. C.; Banerjee, A. A detailed modeling and comparative analysis of hysteresis current controlled vienna rectifier and space vector pulse width modulated vienna rectifier in mitigating the harmonic distortion on the input mains. In: *2018 IEEE International Conference on Industrial Engineering and Engineering Management (IEEM)*. [S.l.: s.n.], 2018. p. 371–375. Citado na página 5.
- Pereda, J.; Dixon, J. Cascaded multilevel converters: Optimal asymmetries and floating capacitor control. *IEEE Transactions on Industrial Electronics*, v. 60, n. 11, p. 4784–4793, 2013. Citado na página 6.
- Pereira Monteiro, A. et al. Capacitor voltage balancing for single-phase asymmetric cascaded h-bridge inverters. *IEEE Transactions on Industry Applications*, p. 1–1, 2020. Citado 2 vezes nas páginas 5 e 9.
- Perera, C.; Kish, G. J.; Salmon, J. Decoupled floating capacitor voltage control of a dual inverter drive for an open-ended winding induction motor. *IEEE Transactions on Power Electronics*, v. 35, n. 7, p. 7305–7316, 2020. Citado na página 5.
- Perera, C. et al. Robust floating capacitor voltage control of dual inverter drive for open-ended winding induction motor. In: *2019 IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2019. p. 249–256. Citado na página 5.
- Rodrigues, P. *Estrutura de um conversor multinível para aplicação em qualidade de energia eléctrica*. Dissertação (Mestrado) — Universidade Técnica de Lisboa, 10 2011. Citado na página 3.
- Rodriguez, J. et al. Multilevel converters: An enabling technology for high-power applications. *Proceedings of the IEEE*, v. 97, n. 11, p. 1786–1817, Nov 2009. ISSN 0018-9219. Citado 3 vezes nas páginas 1, 2 e 3.

-
- Rodriguez, J.; Jih-Sheng Lai; Fang Zheng Peng. Multilevel inverters: a survey of topologies, controls, and applications. *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, p. 724–738, Aug 2002. ISSN 0278-0046. Citado na página 2.
- Routray, A.; Singh, R. K.; Mahanty, R. Ga optimized she pwm hybrid cascaded h-bridge multilevel inverter with capacitor voltage balancing. In: *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2017. p. 714–721. Citado na página 4.
- Santos Filho, R. M. et al. Comparison of three single-phase pll algorithms for ups applications. *IEEE Transactions on Industrial Electronics*, v. 55, n. 8, p. 2923–2932, 2008. Citado na página 54.
- Sepahvand, H.; Ferdowsi, M.; Corzine, K. A. Fault recovery strategy for hybrid cascaded h-bridge multi-level inverters. In: *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*. [S.l.: s.n.], 2011. p. 1629–1633. ISSN 1048-2334. Citado na página 4.
- Silva, C.; Espinoza, N.; Lezana, P. A novel modulation technique for a multilevel hybrid converter with floating capacitors. In: *IECON 2010 - 36th Annual Conference on IEEE Industrial Electronics Society*. [S.l.: s.n.], 2010. p. 296–302. Citado na página 5.
- Silva, C. A. et al. Implementation and control of a hybrid multilevel converter with floating dc links for current waveform improvement. *IEEE Transactions on Industrial Electronics*, v. 58, n. 6, p. 2304–2312, 2011. Citado na página 4.
- Singh, S. et al. Low harmonic loss pwm for a dual inverter drive using a floating capacitor inverter. In: *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.: s.n.], 2019. p. 5981–5988. Citado na página 5.
- Sivakumar, K. et al. A hybrid multilevel inverter topology for an open-end winding induction-motor drive using two-level inverters in series with a capacitor-fed h-bridge cell. *IEEE Transactions on Industrial Electronics*, v. 57, n. 11, p. 3707–3714, 2010. Citado na página 5.
- Sousa, R. P. R. de. *Sistemas de Conversão Estáticos Multiníveis Monofásicos e Trifásicos*. Tese (Doutorado) — Universidade Federal de Campina Grande, Campina Grande, 08 2019. Citado na página 5.
- Vahedi, H.; Al-Haddad, K. Puc5 inverter - a promising topology for single-phase and three-phase applications. In: *IECON 2016 - 42nd Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2016. p. 6522–6527. Citado na página 4.
- Vazquez, S. et al. Dc-voltage-ratio control strategy for multilevel cascaded converters fed with a single dc source. *IEEE Transactions on Industrial Electronics*, v. 56, n. 7, p. 2513–2521, July 2009. ISSN 0278-0046. Citado na página 4.
- Veenstra, M.; Rufer, A. Control of a hybrid asymmetric multilevel inverter for competitive medium-voltage industrial drives. *IEEE Transactions on Industry Applications*, v. 41, n. 2, p. 655–664, 2005. Citado 2 vezes nas páginas 4 e 7.

-
- Vitorino, M. *Otimização do Processamento da Energia em Sistemas de Bombeamento Fotovoltaico e Conversão Monofásica*. Tese (Doutorado) — Universidade Federal de Campina Grande, Campina Grande, 2012. Citado na página 1.
- Wang, C. et al. Voltage balancing control of cascaded single-phase vienna converter based on one cycle control with unbalanced loads. *IEEE Access*, v. 8, p. 95126–95136, 2020. Citado na página 5.
- Wang, Y. et al. Open-winding power conversion systems fed by half-controlled converters. *IEEE Transactions on Power Electronics*, v. 28, n. 5, p. 2427–2436, 2013. Citado na página 5.
- Wanjekeche, T.; Nicolae, D. V.; Jimoh, A. A. A cascaded npc/h-bridge inverter with simplified control strategy and minimum component count. In: *AFRICON 2009*. [S.l.: s.n.], 2009. p. 1–6. Citado na página 8.
- Wanjekeche, T.; Nicolae, D. V.; Jimoh, A. A. Modeling and control of a cascaded npc/h-bridge inverter with lcl filter in pv- grid application. In: *2010 Conference Proceedings IPEC*. [S.l.: s.n.], 2010. p. 334–339. Citado na página 8.
- Yilmaz, M.; Krein, P. T. Review of battery charger topologies, charging power levels, and infrastructure for plug-in electric and hybrid vehicles. *IEEE Transactions on Power Electronics*, v. 28, n. 5, p. 2151–2169, 2013. Citado 2 vezes nas páginas 5 e 7.
- Yun Xu et al. A novel statcom based on hybrid cascade multilevel inverter. In: *2008 IEEE International Conference on Industrial Technology*. [S.l.: s.n.], 2008. p. 1–6. Citado na página 8.
- Zhang, M. et al. A novel strategy for three-phase/switch/level (vienna) rectifier under severe unbalanced grids. *IEEE Transactions on Industrial Electronics*, v. 60, n. 10, p. 4243–4252, 2013. Citado na página 5.
- Zhao, L. et al. A dual half-bridge converter with hybrid rectifier for dc power supply in railway systems. *IEEE Transactions on Power Electronics*, v. 35, n. 5, p. 4579–4587, 2020. Citado na página 5.
- Zhao, W. et al. Unity power factor fault-tolerant control of linear permanent-magnet vernier motor fed by a floating bridge multilevel inverter with switch fault. *IEEE Transactions on Industrial Electronics*, v. 65, n. 11, p. 9113–9123, 2018. Citado na página 5.
- Zhong Du et al. A cascade multilevel inverter using a single dc source. In: *Twenty-First Annual IEEE Applied Power Electronics Conference and Exposition, 2006. APEC '06*. [S.l.: s.n.], 2006. p. 5 pp.–. Citado na página 4.