



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Departamento de Engenharia Elétrica e Informática

Estágio integrado na NXP Semicondutores

Dimas Germano Brandão Soares Silva

Campina Grande, PB
Dezembro de 2019

Dimas Germano Brandão Soares Silva

Estágio integrado na NXP Semicondutores

*Universidade Federal de Campina
Grande – UFCG Centro de En-
genharia Elétrica e Informática
Unidade Acadêmica de Engenharia
Elétrica*

Área de Concentração: Microeletrônica Digital

Orientador: Prof. Dr. Marcos Ricardo Alcântara Morais

Campina Grande, PB

Dezembro de 2019

“Eu não quero conquistar nada, para mim o que tem maior liberdade no mar é o Rei dos Piratas”
- Monkey D. Luffy

Resumo

Este trabalho apresenta as atividades realizadas durante o período de estágio, no Brazil Semiconductor Technology Center - BSTC, atuando na equipe de verificação de SoC. Em um ano de estágio, foram realizadas atividades na área de microeletrônica digital, atuando desde a fase de planejamento até a verificação de blocos funcionais. Sempre em conjuntos com a equipe de verificação foram desenvolvidos testes funcionais, scripts para automatização de testes e criação de VIPs, para auxílio na tarefa de debug de designs digitais.

Palavras chave: Microeletrônica, verificação sistemas digitais.

Abstract

This work presents the activities developed during the internship program of Brazil Semiconductor Technology Center - BSTC, working with the SoC verification team. In one year of internship, it was developed activities on digital the microelectronics area, from planning to functional blocks verification. Together with the verification team it was developed functional tests, scripts to automate tests, and VIP creation, all to help in the debug of digital designs.

Keywords: Microelectronics, verification, digital systems.

Lista de Figuras

1.1	Site da NXP em Eindhoven, NL. Fonte: nxp.com	14
1.2	Site da NXP no Brasil em Campinas - SP. Fonte: nxp.com	15
2.1	Fluxo de desenvolvimento para fabricação de um ASIC	17

Lista de Abreviaturas e Siglas

- a The number of angels per unit area
- ASIC Application-specific integrated circuit
- IP Intellectual property
- LCC The number of angels per unit area
- SOC System On Chip
- VIP Verification intellectual property
- CPU Unidade central de processamento

Sumário

Lista de Figuras	1
1 Introdução	13
1.1 Microeletrônica	13
1.2 NXP Semiconductors	13
1.3 BRAZIL SEMICONDUCTOR TECHNOLOGICAL CENTER (BSTSC) . .	14
1.4 Objetivos	15
2 Embasamento teórico	16
2.1 Fluxo de Desenvolvimento	16
2.2 System On Chip	18
3 Atividades Desenvolvidas	18
3.1 Treinamentos	18
3.2 Planejamento e acompanhamento	18
3.3 Testbench	18
3.4 VIPs	19
3.5 Desenvolvimento e aplicação de Testes	19
3.6 Regreções	20
4 Verificação de módulos	20
4.1 SIM - System Integration Module	21
4.2 IOMUXC - Input Output Multiplexing Controller	21
4.3 TSTMR - TIMESTAMP TIMER	22
5 Conclusão	23
6 Referências	24

1 Introdução

Este relatório descreve as atividades desenvolvidas na disciplina curricular Estágio Integrado. O estágio foi realizado na empresa NXP Semiconductors, no setor de microeletrônica e este relatório se refere as atividades realizadas entre 14 de Janeiro de 2019 e 30 de novembro de 2019.

O foco das atividades desenvolvidas foram na área de verificação SOC(System on Chip), com participação desde a concepção e planejamento de projeto até a verificação de blocos.

1.1 Microeletrônica

As revoluções tecnológicas vislumbradas nos séculos XX e XXI tiveram, em grande parte, o desenvolvimento do mercado de semicondutores como um dos principais viabilizadores das suas conquistas. A grande escalabilidade de circuitos integrados motivou o segmento a investir em pesquisa e desenvolvimento de alta tecnologia com o intuito de produzir transistores cada vez menores. Desta forma, foram desenvolvidos chips com uma funcionalidade crescente, tornando os sistemas embarcados, por exemplo, soluções comercialmente e tecnologicamente viáveis para todos os segmentos da indústria, aumentando assim a produtividade e competitividade dos setores que aderiram aos sistemas embarcados como solução tecnológica, resultando assim em um aumento da qualidade geral do serviço e/ou produto.

1.2 NXP Semiconductors

A empresa NXP Semiconductors tem foco na pesquisa e desenvolvimento de soluções em semicondutores nas áreas de comunicação e conectividade. Referência mundial em soluções para comunicações seguras em aplicações de embarcados, comunicações seguras em veículos, segurança de ponta-a-ponta, e privacidade.

Acompanhada de uma experiência e habilidade de mais de 60 anos no mercado, a empresa tem aproximadamente 30.000 funcionários e atua em mais de 30 países. Sua característica Global reflete diretamente na organização dos sites locais e em seu fluxo de trabalho. Uma comunicação constante é mantida entre todas as sedes espalhadas pelo mundo, e toda a tecnologia construída é distribuída e disponível para uso global na empresa. Um maior cuidado com a reusabilidade e documentação de metodologias, fluxos de desenvolvimento e tecnologias desenvolvidas, se torna necessária e de extrema valia.



Figura 1.1: Site da NXP em Eindhoven, NL. Fonte: nxp.com

1.3 BRAZIL SEMICONDUCTOR TECHNOLOGICAL CENTER (BSTSC)

O nascimento das atividades do que se tornaria o BSTC ocorreu em 1987, com o investimento da Motorola Inc. no potencial dos engenheiros brasileiros. A então Motorola Inc., que mais tarde em 2011, iria se segmentar em duas empresas distintas, deu autonomia para a seção brasileira, possibilitando assim o surgimento do BSTC em 1997, com um total de 8 engenheiros na época.



Figura 1.2: Site da NXP no Brasil em Campinas - SP. Fonte: nxp.com

Localizado em Campinas, SP, devido à proximidade estratégica com as melhores universidades do país, o BSTC hoje conta com mais de 130 funcionários, sendo 95 por cento destes engenheiros (NXP.COM, 2018).

Durante os seus 21 anos de história, o BSTC produziu mais de 100 projetos, incluindo microcontroladores e IPs em áreas como gerenciamento de potência, redes automotivas, processamento digital de sinais e aceleradores criptográficos e de temporização.

1.4 Objetivos

O estágio na NXP semicondutores gira em torno de introduzir o estagiário ao fluxo de desenvolvimento de um ASIC(Application-specific integrated circuit) e capacitá-lo com técnicas e ferramentas de verificação. As principais atividades foram o desenvolvimento de padrões de verificação, monitores e análises sistemáticas do funcionamento de IPs digitais e analógicos. Os seguintes objetivos guiaram as atividades desenvolvidas ao longo do período de estágio:

- Participar do time de verificação funcional, interagindo com times de sistemas, projeto, validação e teste;
- Analisar requisitos e especificações técnicas para contribuir no planejamento da verificação;
- Desenvolver o ambiente de verificação, incluindo infraestrutura, monitores, estímulos, etc.;

- Garantir que o circuito satisfaz as especificações rodando simulações, depurando falhas e reportando defeitos.

2 Embasamento teórico

2.1 Fluxo de Desenvolvimento

Um SOC pode ser definido como um agregado de módulos digitais e analógicos integrados em silício. Esses módulos muitas vezes são processadores, unidades logico-Aritméticas(ULAs), memórias, timers, conversores digitais analógico, gpios, entre outros. O objetivo final é ter todos os módulos em uma única placa de silício para constituição de um sistema embarcado. A complexidade das atividade e propriedades intelectuais tende a exigir uma clara divisão no fluxo de desenvolvimento das atividades, requerindo, dessa maneira, uma metodologia bem estruturada e que promova a colaboração entre as diferentes equipes do projeto.

Em sua fase inicial a especificação do produto é planejada, negociada e sujeita a uma avaliação da equipe técnica. É desenvolvida uma linha de tempo das atividades a serem realizadas e. O cliente ou o mercado que irão definir quais funcionalidades são desejadas para seu produto e quais serão suas aplicações, delimitando assim o ambiente em que o sistema estará imerso, que resultará nas devidas restrições. Esta descrição é feita em alto nível, sem particularidades técnicas, o que servirá como orientação básica para a especificação mais detalhada do produto e de sua arquitetura.

A figura 2.1 mostra o fluxo de desenvolvimento mencionado onde podemos destacar a interação entre a fase de integração e a fase de verificação. É durante esse período onde são encontrados a maior parte dos defeitos da plataforma e onde é realizado os primeiros testes de funcionamento de forma a entender as reais limitações e possibilidades do sistema sendo desenvolvido.

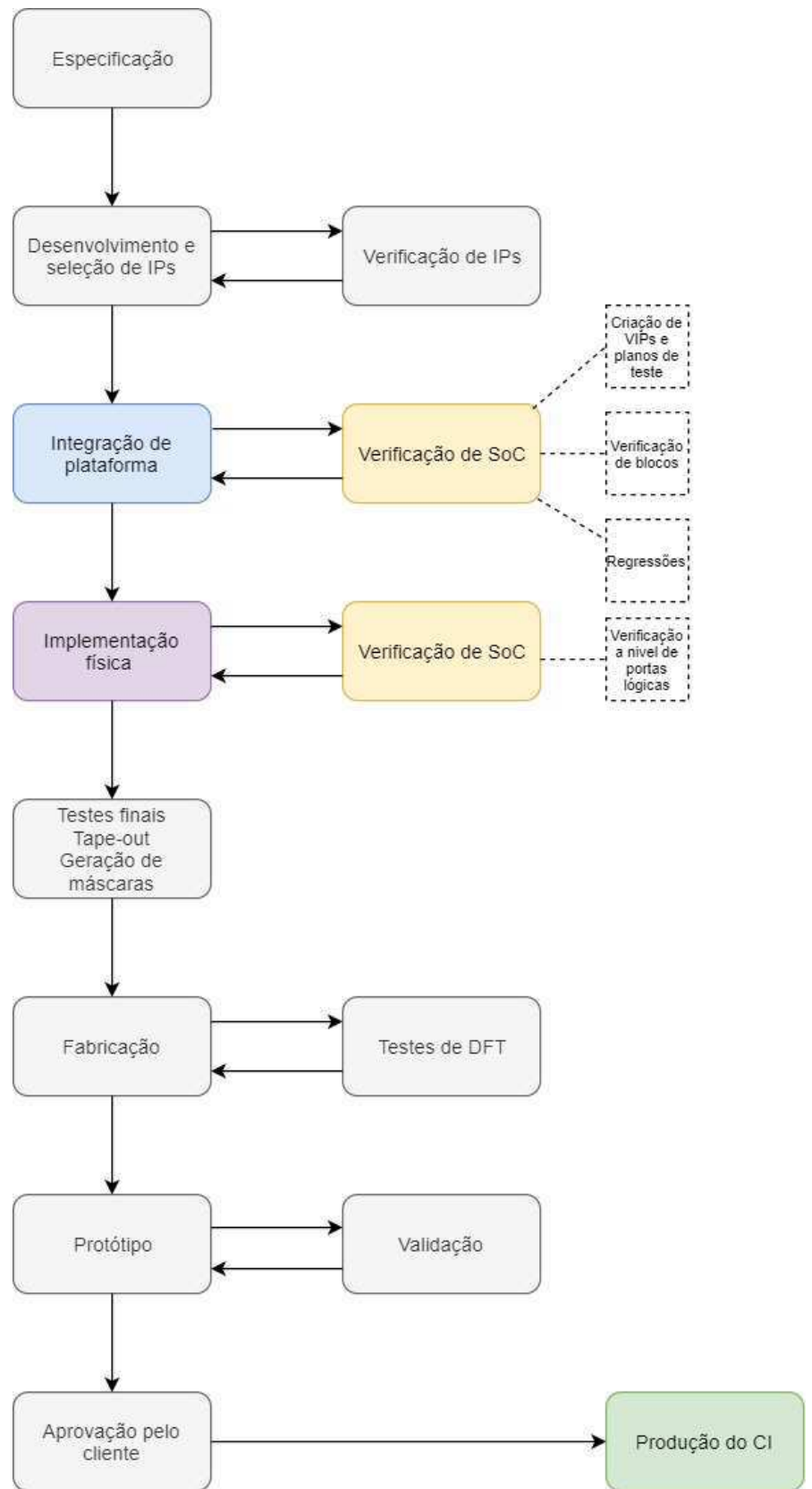


Figura 2.1: Fluxo de desenvolvimento para fabricação de um ASIC

2.2 System On Chip

Avanços tecnológicos, no mercado de semicondutores, possibilitaram a criação de diversos dispositivos capazes de realizar operações complexas e que ocupando espaços cada vez menores. O conjunto de componentes e dispositivos, analógicos ou digitais, em uma placa de silício é conhecido atualmente como Chip. Essa tecnologia comporta milhares de transistores dentro de seus circuitos. Por sua vez os produtos chamados SoC, ou System on Chip, são componentes eletrônicos complexos que , envolvem processadores, memórias e um sistema de entrada e saída criados para um determinado campo de aplicação. O desenvolvimento de um SoC passa por várias etapas antes de chegar até o consumidor final, desde o momento em que é concebida sua arquitetura até produção em massa das placas de silício, podendo, por fim, ser entregue aos clientes.

3 Atividades Desenvolvidas

3.1 Treinamentos

Por sua característica global as ferramentas utilizadas pelas diferentes equipes devem ser unificadas e muitas vezes desenvolvidas dentro da própria empresa. Para novos integrantes sempre é separado um período de adaptação à essas ferramentas e estrutura de trabalho. Os treinamentos nesse período focam em ferramentas internas e técnicas usadas pela equipe que o funcionário está inserido. Ao final é passado um projeto para ser realizado e verificar se foi desenvolvido de acordo com os padrões da empresa.

3.2 Planejamento e acompanhamento

Durante a fase de concepção e integração da arquitetura de um SOC a equipe de verificação tem como responsabilidade desenvolvimento de planos de verificação e auxiliar nas discussões de arquitetura, devido a sua experiência com possíveis bugs que decisões de design podem gerar futuramente. Em um primeiro momento o SOC é dividido em Blocos de funcionalidade e cada pessoa da equipe deve verificar as áreas do SOC que esses blocos representam. O planejamento desenvolvido deve cobrir todas as funcionalidades, conexões, parâmetros e possíveis variações em diferentes modos de operações específicas do SOC.

3.3 Testbench

A equipe de desenvolvimento é dividida em 4 grandes áreas: Integração, Design, Validação e Verificação. Para que os prazos definidos, previamente em negociações, consigam

ser cumpridos diferentes atividades intimamente correlacionadas precisam ser distribuídas pelas equipes.

A equipe de Integração cuida exclusivamente da conexão entre os IPs e a construção da arquitetura especificada para o projeto, enquanto isso cabe a equipe de verificação montar uma plataforma que permita a simulação e validação dos resultados esperados. A plataforma a ser construída consiste de um testbench encapsulando todo o SOC, composto por monitores e acionadores alocados para pontos específicos do sistema, de forma a conseguir capturar resultados e estimular blocos de interesse. Toda a estrutura de arquivos é controlada por ferramentas de controle de versão de forma que todo o histórico de desenvolvimento do projeto seja salvo ao longo de sua progressão. O uso dessas ferramentas também promovem versatilidade no desenvolvimento local de cada usuário, e controle da árvore de arquivos, permitindo que mudanças possam ser feitas rapidamente para atender as necessidades ou problemas específicos de cada parte da equipe.

3.4 VIPs

VIPs, ou Verification Intellectual Property, é uma peça chave na verificação de grandes estruturas digitais. Seu objetivo é se comunicar direta ou indiretamente com o IP de interesse, promovendo estímulos e capturando respostas do mesmo. Sua estrutura depende do bloco, ou conjunto de blocos, que ele deseja interagir, sendo introduzido como um conjunto de soluções que se encaixa no ambiente de verificação.

Para o contexto de verificação em SOC, se faz necessário duas "frentes", igualmente importantes no VIP. Uma parte da solução interage diretamente com a CPU, usando uma estrutura de funções e interfaces escritas em C para geração de instruções específicas da arquitetura alvo. Enquanto que uma segunda parte é desenvolvida em hardware para a comunicação direta com o IP desejado, dessa maneira sendo extramente específica e dependente do IP de interesse e sua versão de desenvolvimento. Um trabalho árduo é feito para que cada VIP seja o mais reutilizável possível, de forma que modificações e desenvolvimento de novas estruturas devem ser feitas sempre em conjunto e sobre supervisão de diferentes equipes, buscando que soluções desenvolvidas possam ser utilizadas em projetos futuros com o mínimo de esforço possível.

3.5 Desenvolvimento e aplicação de Testes

Existem diferentes abordagens na área de verificação, algumas delas são a geração de estímulos aleatórios, cobertura funcional e vetores de funcionamento. Cada uma dessas técnicas pode ser mais ou menos eficiente a depender do alvo da verificação. Para o caso de blocos

funcionais de um SoC(System on Chip) queremos abordar a verificação de uma perspectiva diferente. A funcionalidade isolada do bloco já é garantida previamente, porém suas conexões e a forma com que ele interage, no contexto da arquitetura de SoC desenvolvida, precisa ser validada. O protagonista em questão é a interface de entrada e saída do bloco e as consequências dessas conexões.

Um bloco funcional nunca atua de forma isolada, e para o controle de todas as operações é necessário um mestre do sistema coordenando. A CPU (unidade central de processamento) detém esse papel, recebendo, decodificando e executando as instruções dadas ao sistema. Os vetores de testes são escritos em uma linguagem a ser compilada e convertida em instruções destinadas a central de processamento, onde cada vetor tem como objetivo estimular uma funcionalidade ou sinal da interface.

As conexões e logicas desenvolvidas pela equipe de integração precisam ser validadas em um escopo maior que o funcionamento isolado do IP. Cada teste busca observar se os caminhos percorridos pelos sinais estão de acordo com a lógica esperada, como os diferentes modos de operação afetam um determinado bloco, ou região de operação do SoC, e se existem defeitos de funcionamento derivados de má conexões ou incorreta interpretação da lógica de funcionamento.

3.6 Regreções

Os testes desenvolvidos para cada bloco garantem o funcionamento de uma determinada região do sistema, porém para avaliar os resultados em um escopo maior são necessárias métricas diferentes. O funcionamento normal de um hardware não se limita a funcionalidades isoladas, o modelo de seu funcionamento mais se associaria a uma rede de operações intimamente conectadas e contínuas. Para verificar tal funcionamento, se agrega todos os testes já produzidos e os encaminha de forma pseudo aleatória para o SoC, de forma que ele consiga passar por todos os casos de testes sem distinção de ordem, respeitando as propriedades definidas, tempo de processamento e limites de potência desejados.

4 Verificação de módulos

Durante o período de estágio foram desenvolvidas atividades de verificação com os blocos SIM, IOMUXC e TSTMR. Para cada bloco foi utilizada uma estratégia diferente de verificação, de maneira que suas funcionalidades mais importantes e todas as suas conexões fossem cobertas. Foram criados padrões para estímulo de funcionalidades e métricas de análise de resultados que pudessem ser anexadas a cobertura. A seguir são apresentados cada

um dos blocos e a estratégia de verificação desenvolvida.

4.1 SIM - System Integration Module

Para facilitar a comunicação entre IPs, configurações do sistema e configurações de inicialização pode se fazer uso de um modulo de integração para o SOC. Sua implementação é especifica de cada sistema, uma vez que sua principal funcionalidade é guardar e repassar informações de estado para partes chave da plataforma, facilitando a comunicação entre os blocos. O SIM é construído como um banco de registradores somado a lógicas de segurança e controle/roteamento de sinais.

O plano de verificação do módulo SIM contempla duas estratégias. Primeiro, acesso a registradores: Estimular todas as possibilidades de escrita e leitura para seu mapa de memória, desde registradores funcionais até posições de memória não implementadas dentro de seu slot de sistema. Os Registradores podem possuir regras especificas de acesso. Algoritmos, que cubram as especificidades, precisam ser construídos de maneira a estimular exaustivamente as possibilidades de acesso e garantir que não existem inconsistência independente do estado de operação que a CPU se encontre. Segundo, monitores de caminho: Desenvolvendo monitores posicionados em cada sinal de saída do bloco SIM e em cada sinal de chegada para os blocos de destino. Formalmente foram definidas propriedades que relacionam cada uma das combinações de sinais, de maneira que independente do estímulo feito os sinais irão se comportar como definido pela arquitetura.

4.2 IOMUXC - Input Output Multiplexing Controller

O controlador de IOMUX, o IOMUXC, trabalhando em conjunto com o IOMUX, permite que o SOC compartilhe um pad de saída com múltiplos sinais de entrada, vindos de diferentes interfaces de periféricos. Esse mecanismo de compartilhamento de pads é feito pela multiplexação das entradas e saídas dos pads. Os pads são estruturas analógicas de transmissão, permitindo o envio de sinais, com características físicas modeladas, para atender a necessidade do bloco destino, como pull-ups fracos e força de estímulo.

Todo sinal de periférico requer uma configuração de parâmetros específico para caracterizar seu estímulo. O IOMUXC controla as configurações dos parâmetros dos pads, as funções do filtro digital e a multiplexação dos pads. Uma entrada de periférico pode vir de múltiplos pads, para coordenar o destino desses sinais o IOMUXC também controla a lógica de multiplexação de entrada. O bloco em si consiste de uma logica combinacional de varias células de IOMXU. Cada célula básica lida com a multiplexação de um pad apenas, assim como definido pelos registradores do IOMUXC.

O IOMUXC consiste de dois sub-blocos: IOMUXC REGISTERS, que atua como o banco de registradores do IP, e IOMUXC LOGIC, contendo o barramento ips para comunicação. O bloco IOMUXC REGISTERS contempla dois tipo de registradores PCRa(PAD CONFIGURATION REGISTER) e PSMIa(PAD SELECTION FOR MULTIPLEXED INPUT). Registros PCR cobrem a multiplexação de "modulo-para-mux", onde mais de um bloco é designado para um único pad, também é usado para caracterizar o funcionamento do pad (Drive strenght, pull up, pull down, open drain, etc.). Registros PSMi cobrem a multiplexação "pad-para-modulo", onde mais de um pad é designado para um único bloco, e também habilita a inversão do sinal em transito.

A verificação para o controlador iomux cobriu todas as características dos registradores, garantindo que todo registro PCR e PSMI estava disponível e acessível. Também foi necessário provar que todos os caminhos de saída propagavam corretamente os sinais de controle, para a validação desses caminhos foram utilizadas técnicas de verificação formal como assertions e propriedades. Devido a grande quantidade de registradores presentes no IOMUXC, foi necessário a criação de scripts para o mapeamento dos registradores e alocação de cada registro com sua correta configuração de acesso.

4.3 TSTMR - TIMESTAMP TIMER

O Time Stamp Timer (TIMESTAMP) é um contador de ciclo de clocks com 56-bits. Sua contagem é livre de controle e se inicia em conjunto a inicialização do SoC. Dois registradores, que armazenam o resultado atual da contagem, estão disponíveis apenas para acessos de leitura, prevenindo que a contagem seja afetada por fatores externos. Ambos os registros disponíveis são de 32-bits, e permitem apenas acessos de leitura de 32-bits, evitando que leituras de 16-bits ou 8-bits, comprometam o resultado. Qualquer acesso que fuja dos padrões anteriores, deve retornar exceções com erro de transferência.

A leitura completa deve incluir a leitura de ambos os registradores, TIMESTAMP LOW e TIMESTAMP HIGH. Onde a leitura do registrador LOW deve sempre ocorrer primeiro, seguida de uma leitura do registrador HIGH.

Para garantir o funcionamento do TSTMR foram desenvolvidas estruturas de monitoramento do clock de operação, de modo a garantir uma constante de 1 MHz independente dos chaveamentos de clock feitos pelo sistema. Leituras dos valores registradod pelo contador em períodos curtos e longos de execução foram feitas de modo sistemático e com diferentes configurações para verificar se o limite máximo do registro operava de maneira correta. Além disso, testes de acesso de registro, reset e fluxo de dados cobrem os registradores presentes no bloco e sua interação com a plataforma.

5 Conclusão

O contexto e motivação de qualquer projeto é ditado pelo meio e finalidade em que ele se apresenta, as grandes diferenças entre as linhas de desenvolvimento em um ambiente acadêmico e em um ambiente comercial ficam claras durante o período de estágio supervisionado.

A experiência dentro de uma empresa completa um ciclo de estudos e solidifica conhecimentos de uma maneira mais prática, onde a distância entre o que antes eram informações avulsas e futuros objetivos de carreira se tornam cada vez menores. Se desenvolve competências técnicas e sociais de maneira exponencial face aos desafios e estímulos que o ambiente industrial de pesquisa e desenvolvimento lhe proporcionam, permitindo uma rápida mudança e amadurecimento da visão do papel que o engenheiro deve desenvolver.

As disciplinas cursadas ao longo do curso, em especial Circuitos Lógicos, Arquitetura de Sistemas Digitais, Arquiteturas Avançadas e Projeto de Circuitos Integrados, se mantiveram extremamente relevantes ao longo do estágio onde proporcionaram uma base sólida para a solução problemas e aprofundamento em conhecimentos necessários para a continuidade do projeto.

6 Referências

- [1] Huang, Andrew "bunnie", 2017 *The Hardware Hacker*.
- [2] Arora, Mohit, 2016 *Introduction To SOC System Architecture*.