

CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA



Universidade Federal
de Campina Grande

JORGE HENRIQUE DOS SANTOS

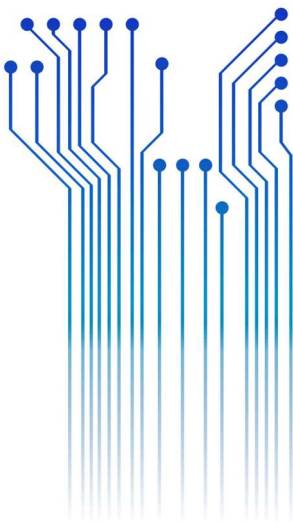


Centro de Engenharia
Elétrica e Informática

RELATÓRIO DE ESTÁGIO
NXP SEMICONDUCTORS



Departamento de
Engenharia Elétrica



Campina Grande
2018

JORGE HENRIQUE DOS SANTOS

NXP SEMICONDUCTORS

*Relatório de Estágio submetido à Unidade
Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande .*

Área de Concentração: Microeletrônica

Orientador:

Professor Marcos Ricardo Alcântara Morais , D. Sc.

Campina Grande
2018

JORGE HENRIQUE DOS SANTOS

NXP SEMICONDUCTORS

*Relatório de Estágio submetido à Unidade
Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande ..*

Área de Concentração: Microeletrônica

Aprovado em / /

Professor Marcos Ricardo Alcântara Morais, D. Sc.
Universidade Federal de Campina Grande
Orientador, UFCG

Dedico este trabalho à minha família, namorada e amigos que estiveram ao meu lado desde o começo dessa jornada.

AGRADECIMENTOS

Agradeço à minha mãe, Edna, por ter me erguido até esse ponto, ultrapassando todas as barreiras possíveis. Sempre disponibilizando o seu melhor para me ajudar a conhecer novos caminhos.

Agradeço também à irmã, Marília, por ter sempre estado ao meu lado, apesar de distante fisicamente.

Agradeço também aos meus avós, Angelo e Madalena, pelo carinho constantemente demonstrado. Além disso, por serem um referencial e sempre me lembrarem das minhas origens e de tudo que me levou a poder desfrutar desse momento.

Agradeço ao meu tio Edson e à minha tia Gleide, por terem sido uma presença importante durante toda minha vida. Agradeço também às minhas tias, Izailde, Hildete e Zézé, por terem sido uma fonte de carinho durante toda minha vida.

Agradeço também à minha tia e madrinha Ligia (in memoriam), por ter me proporcionado vários momentos de alegria.

Agradeço também à minha avó, Maria (in memoriam), por ter sempre ter sido uma avó carinhosa e atenciosa.

Agradeço também à minha tia, Lucineide, por ter sido uma das minhas primeiras professoras e participado do começo dessa jornada de aprendizado.

Agradeço à minha namorada, Larissa, por ter sido uma fonte de amor e companheirismo durante boa parte da minha graduação.

Agradeço aos meus amigos do Colégio de Aplicação – UFS pelos momentos compartilhados nas minhas idas e vindas para Aracaju.

Agradeço aos meus amigos do grupo Jack Daniel's pelo companheirismo nos bons e maus momentos durante a graduação. Agradeço também às minhas amigas, Bruna e Géssica, por pelo companheirismo durante essa passagem por Campina Grande.

Agradeço à equipe da NXP Semiconductors, principalmente ao meu gerente Celso Brites pela oportunidade e pelo auxílio constante. Agradeço também à Lucas Lacerda Paixão assistência durante vários momentos do estágio.

Aos meus professores, por todos os ensinamentos e oportunidades que me foram dadas, em especial ao professor Marcos Morais, que me orientou no período de estágio.

*“ Fazer o que seja é inútil.
Não fazer nada é inútil.
Mas entre fazer e não fazer
mais vale o inútil do fazer.
Mas não, fazer para esquecer.
que é inútil: nunca o esquecer
Mas fazer o inútil, sabendo
que ele é inútil, e bem sabendo
que é inútil e que seu sentido
não será sequer pressentido,
fazer: porque ele é mais difícil
do que não fazer...”*

João Cabral de Melo Neto

RESUMO

Neste trabalho estão descritas as atividades realizadas durante o estágio realizado na equipe de Verificação de IP da NXP Semiconductors – BSTC (*Brazil Semiconductor Technology Center*). Durante o período de estágio, 11 meses, foram desempenhadas atividades dentro da área de verificação de IP digital. Foi possível participar da verificação dos IPs: CtimerAsync_32bit, PDM Microphone Interface (MICFIL) e CAU3. Além das atividades práticas, foram realizados treinamentos sobre tópicos relacionados as atividades da empresa, principalmente na área de microeletrônica.

Palavras-chave: NXP Semiconductors, Verificação de IP

ABSTRACT

In this work are described all activities performed during the internship at NXP Semiconductors' Verification IP team. During the internship, 11 months, activities related to the verification IP process were performed. It was possible to participate in the verification of the IPs: CtimerAsync_32bit, PDM Microphone Interface (MICFIL) e CAU3. In addition to these activities, a training about topics related to the company's activities, mainly in the field of microelectronics, was realized.

Key-words: NXP Semiconductors, IP Verification

LISTA DE ILUSTRAÇÕES

Figura 1 – NXP Semiconductors no mundo (“About NXP NXP”,)	13
Figura 2 - Brazil Semiconductor Technological Center – BSTC	14
Figura 3 – Arquitetura do MICFIL.....	Error! Bookmark not defined.
Figura 4 - HWVAD.....	20
Figura 5 – Arquitetura do CAU3	21
Figura 6 – Fluxo de verificação.....	22
Figura 7 – Ambiente de verificação (SPEAR, 2008).....	23
Figura 8 – Componentes do Testbench usual.....	23
Figura 9 – Cobertura vs Tempo de Projeto para estímulos direto e aleatórios (SPEAR, 2008)	24
Figura 10 – Estrutura do <i>testbench</i> com modelo de referência (SPEAR, 2008).....	24
Figura 11 - Scoreboard.....	25
Figura 12 – Exemplo de Driver	26
Figura 13 – Relatório de cobertura de código	26
Figura 14 - Interface SV - C - Matlab	28

LISTA DE ABREVIATURAS E SIGLAS

DUV	<i>Device Under Verification</i>
IP	<i>Intellectual Property</i>
VIP	<i>Verification intellectual property</i>
SVA	<i>SystemVerilog Assertions</i>
IoT	<i>Internet of Things</i>
UFMG	Universidade Federal de Campina Grande
VIP	<i>Verification IP</i>
SV	<i>SystemVerilog</i>
BSTC	<i>Brazil Semiconductor Technology Center</i>
PCM	<i>Pulse-code modulation</i>
PDM	<i>Pulse-density modulation</i>

SUMÁRIO

1	Introdução.....	12
1.1	Objetivo	12
2	A empresa: NXP Semiconductors	13
2.1	Campo de atuação	13
2.2	BSTC	14
3	Atividades Realizadas	16
3.1	Treinamentos	16
3.2	Atividades práticas.....	17
3.2.1	Ctimerasync_32bit.....	17
3.2.2	PDM Microphone Interface.....	18
3.2.3	Cryptographic Acceleration Unit (CAU3).....	21
3.2.4	Verificação Funcional.....	22
3.2.4.1	Testes.....	23
3.2.4.2	Modelo.....	24
3.2.4.3	Scoreboard.....	24
3.2.4.4	Response Checker.....	25
3.2.4.5	Drivers	25
3.2.4.6	Cobertura de Código.....	26
3.2.4.7	Cobertura Funcional	26
3.2.4.8	Assertions	27
3.2.4.9	SystemVerilog e MATLAB.....	27
4	Conclusão	29
5	Referências Bibliográficas.....	30

1 INTRODUÇÃO

Neste relatório parcial de estágio busco descrever meu período como estagiário de 13/02/2017 a 31/12/2017 na empresa NXP Semiconductors. O estágio supervisionado ou integrado é um componente curricular obrigatório, no curso de Engenharia Elétrica da Universidade Federal de Campina Grande - UFCG. O segundo deve perfazer uma carga horária mínima de 600 horas, seguindo os requisitos previstos na Resolução 01/2012 do Colegiado do Curso em consonância com a Lei do Estágio (Lei 11.788/2008).

1.1 OBJETIVO

Este trabalho tem como objetivo descrever as atividades realizadas durante o estágio na NXP, relacionando as experiências vividas no mercado de trabalho com os ensinamentos obtidos na Universidade. Ver-se-á nesse trabalho uma descrição sobre a empresa, seu histórico e sua atuação no mercado. Além disso, será abordado as atividades realizadas durante o estágio que se concentraram na área de Verificação de IPs digitais.

2 A EMPRESA: NXP SEMICONDUCTORS



Figura 1 – NXP Semiconductors no mundo (“About NXP|NXP”,)

A NXP Semiconductors é uma empresa de semicondutores dos Países Baixos, a empresa foi fundada originalmente em 1975 pela Philips com nome de Philips Semiconductors. Em agosto de 2006, a Philips anunciou a venda da sua divisão de semicondutores e a empresa passou a se chamar NXP Semiconductors. Atualmente, a empresa está presente 33 países, possui 31.000 funcionários e cerca de 130 filiais pelo mundo (“About NXP|NXP”,). Em dezembro de 2015, a NXP comprou a multinacional de semicondutores americana Freescale Semiconductors.

A principal missão da empresa é criar infraestrutura e conexões seguras para um mundo mais inteligente e criar soluções que tornem as vidas mais fáceis, melhores e seguras.

2.1 CAMPO DE ATUAÇÃO

A empresa tem várias linhas de produtos. Dentre os mais importantes, tem-se os chips e microcontroladores para a área automotiva, IoT, segurança, saúde e telefonia.

A NXP desenvolve e fabrica dispositivos para os segmentos automobilístico, industrial, de consumo e de transação/acesso seguros. As principais indústrias que desenvolvem e fabricam produtos nestes segmentos no Brasil são clientes da NXP.

Assim, seus principais clientes são grandes empresas, como Apple, Bosch, Continental, Ericsson, Gemalto, Giesecke & Devrient, Huawei, Hyundai, Kona, Nokia Networks, Panasonic, Samsung e ZTE.

2.2 BSTC



Figura 2 - Brazil Semiconductor Technological Center – BSTC

O estágio foi realizado no centro de pesquisa da NXP localizado em Campinas – SP e conhecido como *Brazil Semiconductor Technological Center* – BSTC. O time é dividido em subgrupos, entre eles, o time de verificação de SoC, verificação de IP, design, validação e desenvolvimento analógico.

O BSTC começou as operações em 1967 quando ainda atuava sobre a direção da Motorola Inc. que apostou na capacidade intelectual e de inovação de engenheiros locais. Apesar de ter começado com 8 engenheiros, o centro conta atualmente com 140 funcionários, dos quais 95% são engenheiros (“NXP no Brasil|NXP”,).

Durante os seus 20 anos de história, o BSTC produziu mais de 100 projetos, incluindo microcontroladores e IPs em áreas como gerenciamento de potência, redes

automotivas, processamento digital de sinais e aceleradores criptográficos e de temporização.

3 ATIVIDADES REALIZADAS

O estágio foi realizado na equipe de Verificação de IP. A equipe é responsável pelo processo de verificação dos novos IPs da NXP. O objetivo da equipe é não só assegurar a robustez dos IPs, mas também garantir a conformidade de cada implementação em relação a sua respectiva especificação. Portanto, é responsabilidade da equipe criar um plano compreensivo de verificação baseado na especificação de cada IP e executar todas as tarefas da verificação.

O conjunto de tarefas de verificação engloba o desenvolvimento do *testbench*, a criação de testes e a definição objetivos de cobertura funcional baseados na especificação. Assim sendo, as atividades práticas realizadas durante o estágio giraram em torno dessas tarefas.

Além das atividades práticas, foram oferecidos alguns treinamentos sobre a própria empresa e sobre ferramentas de uso interno durante a fase inicial do estágio.

3.1 TREINAMENTOS

Inicialmente, foram realizadas apresentações dos coordenadores para o grupo de estagiários onde foram expostas as principais atividades de cada área do BSTC. Outro treinamento foi o de qualidade e metodologia de produção, dando uma visão geral dos métodos que a empresa utiliza. Além desses treinamentos, foram realizados outros sobre ferramentas de uso interno e sobre o servidor e a rede dos computadores, auxiliando o processo de adaptação.

Como o estágio foi focado na área de engenharia de verificação de IP, foi necessário realizar treinamentos mais extensos em certas linguagens de programação, como Verilog, SystemVerilog, SVA e Shell Script. Também houve treinamentos sobre alguns softwares que são utilizados na empresa, como Incisive Enterprise Simulator, Stingray, VManager e DesignSync. Com o decorrer dos meses foram realizados treinamentos mais específicos de acordo com a necessidade das atividades, como por exemplo treinamento de Clock e Reset, protocolos de comunicação AHB/AXI & IPS e sobre o VIP utilizado pela equipe de verificação de IP, o LVIP.

3.2 ATIVIDADES PRÁTICAS

Durante o período de estágio, foi possível participar do processo de verificação dos seguintes IPs:

- CtimerAsync_32bit
- PDM Microphone Interface (MICFIL)
- CAU3

Ver-se-á nas seções posteriores uma descrição funcional desses IPs e suas principais características. Por fim, serão elucidadas algumas características do processo de verificação, principal atividade do estágio.

3.2.1 CTIMERASYNC_32BIT

O IP é um timer/contador de 32 bits com clock assíncrono em relação ao clock da interface com CPU. Ele foi projetado para contar ciclos de tempo de um clock dedicado, gerar interrupções e executar outras ações em determinados instantes de tempos programados em quatro registradores de match. O IP também inclui uma entrada de capture para identificar o valor do tempo em que um sinal de entrada muda de valor, podendo gerar uma interrupção. Uma interface DMA também está presente no IP para transferir valores capturas pelo timer.

Principais características:

- Operação como timer ou contador
- 4 canais de 32bit de captura que podem ser utilizados para identificar o tempo em que um sinal de entrada varia
- Registros de timer e prescaler podem ser configurados para serem limpados em algum evento de capture ou match
- 4 registos de match de 32 bits
 - Podem gerar interrupção
 - Parar ou reiniciar o contador em um evento de match
 - Serem carregados automaticamente com valores guardados em registros auxiliares

- Duas linhas de DMA controladas por dois registros de match
- Quatro sinais de saída que podem operar como PWM

3.2.2 PDM MICROPHONE INTERFACE

Esse IP implementa uma interface digital para prover um sinal PCM de áudio de 16 bits a partir de um sinal PDM de um microfone com uma taxa de amostragem de saída configurável.

A implementação dessa interface digital é baseada na aplicação de técnicas de processamento de sinal em hardware. A arquitetura do MICFIL é composta por série de filtros para transformar o sinal PDM de 1 bit em um sinal PCM de 16 bits na banda de áudio. Para evitar *aliasing* na banda passante, o filtro em geral apresenta uma atenuação de 80 dB na banda de corte e um *ripple* menor do que 0.2 dB na banda passante.

Além da conversão PDM/PCM, o IP apresenta um Hardware Voice Activity Detector (HWVAD) que é capaz de detectar se existe alguma atividade de voz no ambiente. Quando alguma atividade é detectada, uma interrupção é gerada para o sistema.

Principais características:

- Características de filtragem compatíveis com aplicações de audio
- Múltiplos canais
- Gerador de clock PDM programável
- Decimação programável
- Atenuação na banda de corte maior que 80 dB
- *Ripple* na banda passante menor que 0.2 dB
- Hardware Voice Activity Detector (HWVAD)

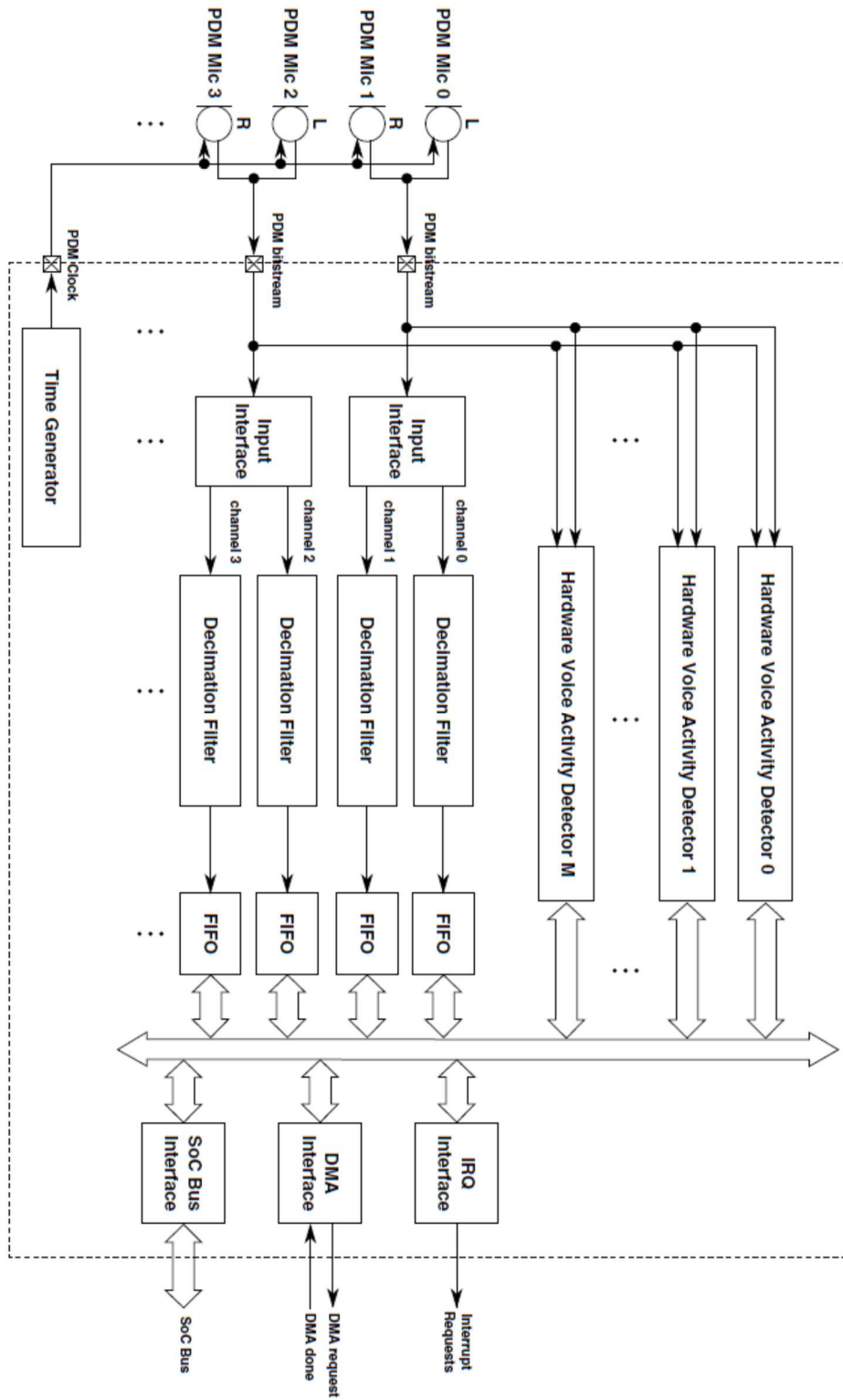


Figura 3 – Arquitetura do MICFIL

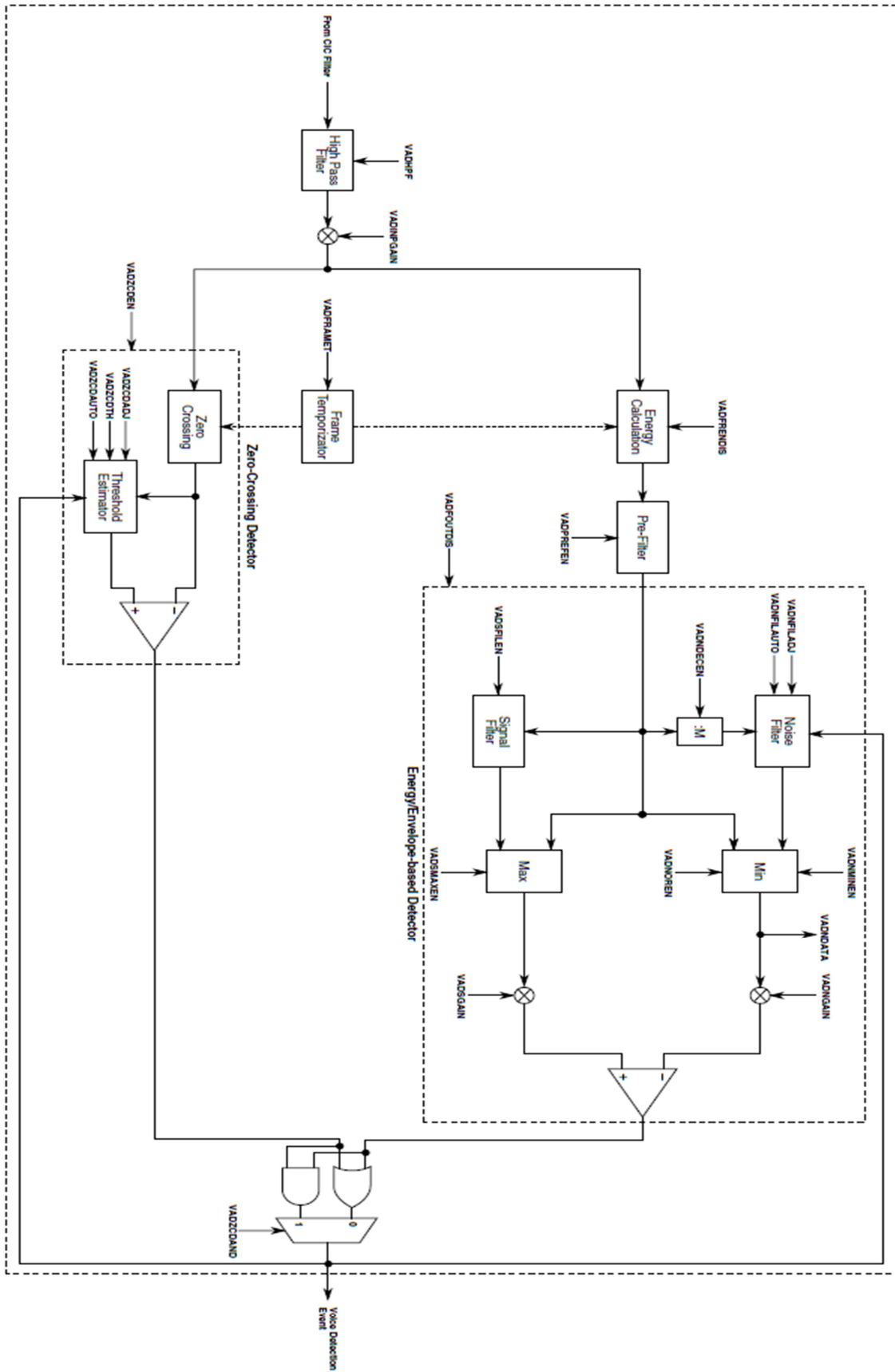


Figura 4 - HWVAD

3.2.3 CRYPTOGRAPHIC ACCELERATION UNIT (CAU3)

O CAU3 é um IP que prover aceleração via hardware à uma variedade de algoritmos criptográficos de chave simétricas e de hash como DES, 3DES, AES{128,192,256}, SHA-{1,256,512}, como também à algoritmos de chave pública, incluindo criptografia de curva elíptica. A execução desses algoritmos é controlada por um firmware otimizado desenvolvido pela NXP que executa no CAU3.

O IP é composto por quatro componentes principais: o CryptoCore, duas memórias privadas, uma para instruções (IMEM) e a outra para dados (DMEM), e uma interface de controle de registros (HIRC), que conecta o sistema, via barramento IPS, ao CAU3.

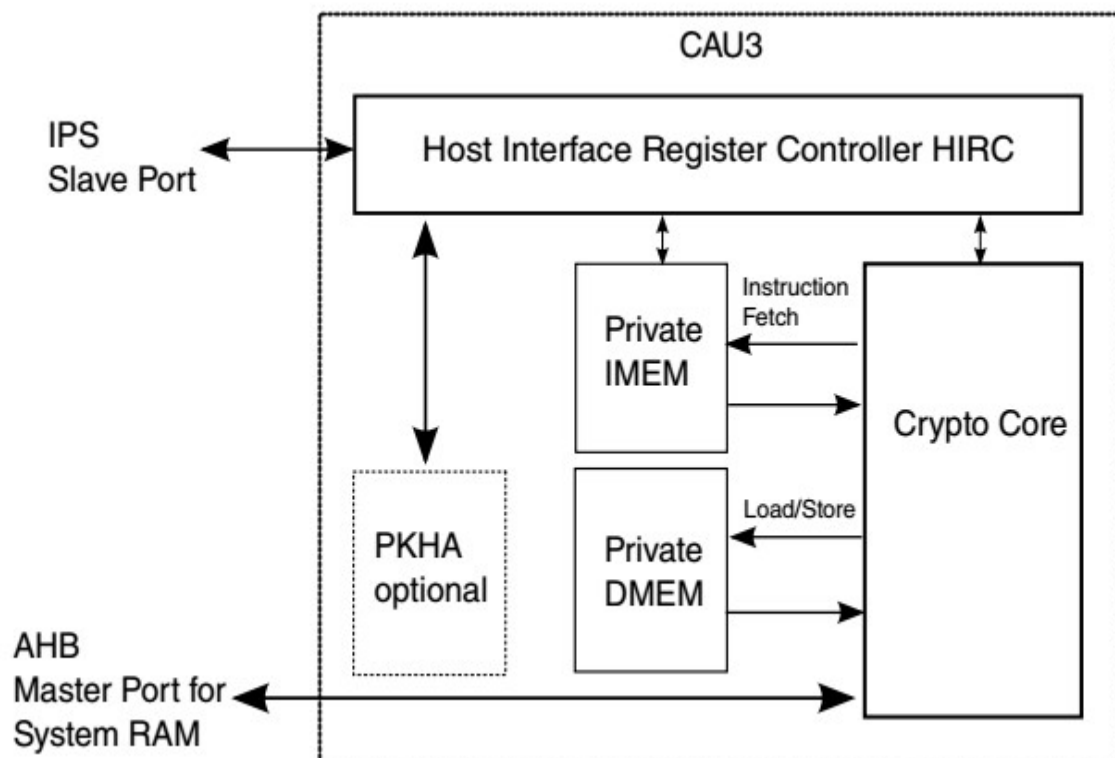


Figura 5 – Arquitetura do CAU3

A ISA CryptoCore não só inclui um conjunto de instruções que operam com números inteiros para processamento comum, como também um conjunto de instruções

criptográficas para acelerar o processamento de algoritmos criptográficos. Sendo assim, os algoritmos criptográficos são implementados no firmware, fornecido pela NXP, do CAU3 usando as instruções dedicadas. Além disso, aceleração via hardware também é fornecida aos algoritmos que não são implementados no firmware por meio das instruções dedicadas e pelas funções presentes no firmware.

3.2.4 VERIFICAÇÃO FUNCIONAL

O objetivo da verificação funcional é assegurar que o designer de hardware implementou o dispositivo, ou IP no contexto deste trabalho, de acordo com a especificação. A partir da própria especificação, um engenheiro de verificação necessita criar um plano de verificação e segui-lo para criar testes que assegurem a correta implementação do RTL.

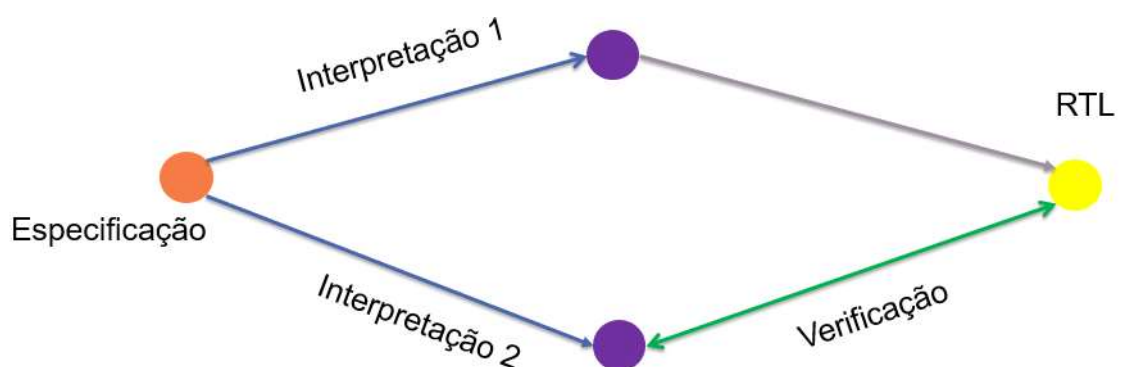


Figura 6 – Fluxo de verificação

A partir do que for determinado no plano, é necessário escolher um conjunto de técnicas que permitam testar as funcionalidades destacadas. O conjunto de técnicas utilizadas durante a verificação pode incluir estímulos diretos e aleatórios, *assertions*, modelo, cobertura de código e funcional e IPs de verificação (SPEAR, 2008). O conjunto formado pelas técnicas utilizadas é denominado *testbench*. Nas próximas subseções será realizada uma descrição das técnicas utilizadas durante o estágio.

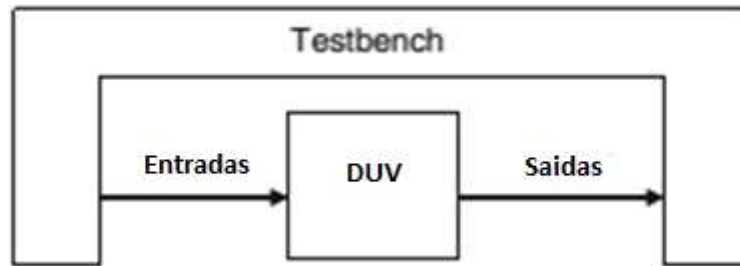


Figura 7 – Ambiente de verificação (SPEAR, 2008)

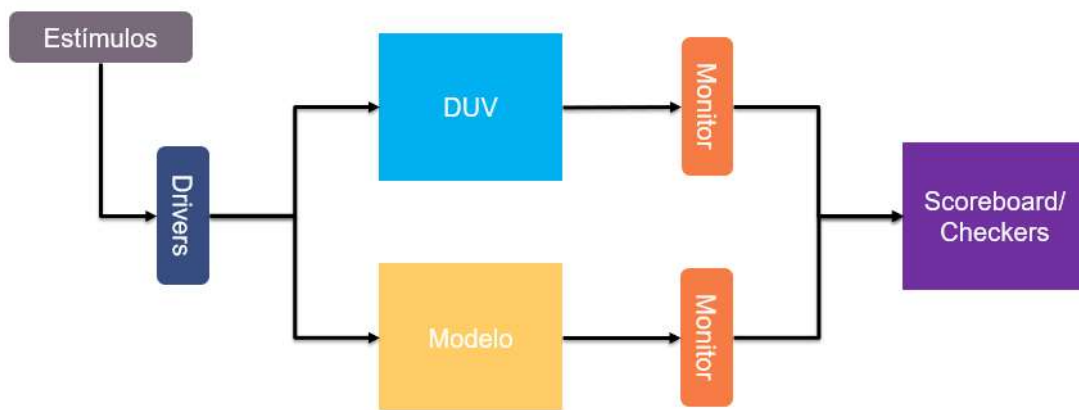


Figura 8 – Componentes do Testbench usual

3.2.4.1 TESTES

Durante o processo de verificação dos três IPs citados anteriormente foram criados alguns estímulos para testar diversas funcionalidades do IP. Esses testes podem ser divididos em diretos e aleatórios. Os primeiros são testes mais específicos que geralmente são utilizados para testar funcionalidades básicas ou alguma funcionalidade que o segundo tipo não consegue cobrir. Já o segundo tipo de teste é a técnica que possui o maior poder de cobertura de código e funcional. Sendo assim, é o mais utilizado em projetos complexos.

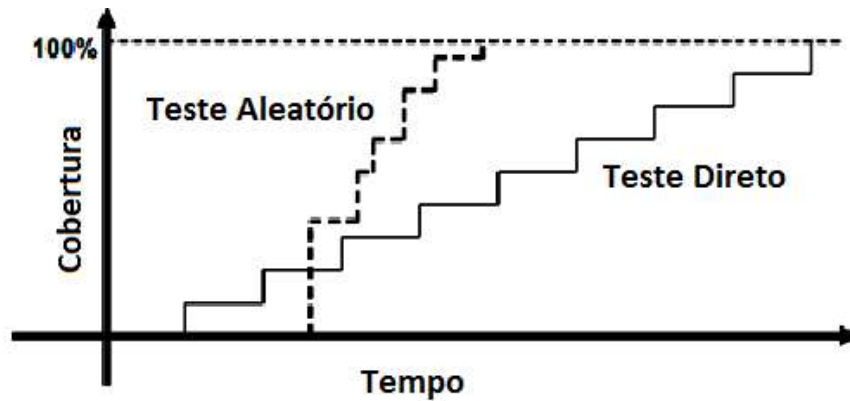


Figura 9 – Cobertura vs Tempo de Projeto para estímulos direto e aleatórios (SPEAR, 2008)

3.2.4.2 MODELO

Foi escolhido nos três projetos utilizar um modelo de referência cycle accurate dos DUVs (*Devices Under Verification*) para verificar suas funcionalidades. Os modelos e os RTLs são submetidos aos mesmos estímulos e suas saídas e estados internos são monitorados e comparados a cada ciclo. Apesar de ser um método mais demorado de verificação, pois é necessário sincronizar o modelo e o DUV, essa técnica é compatível com IPs em que cada estado de funcionamento é relevante.

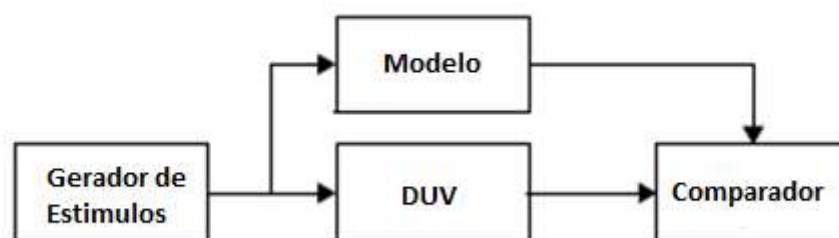


Figura 10 – Estrutura do *testbench* com modelo de referência (SPEAR, 2008)

3.2.4.3 SCOREBOARD

O scoreboard foi outro componente de verificação presente no *testbench* implementado para o CtimerAsync_32bit. Sua função usual é armazenar os dados que

são esperados como saída de uma determinada transação e assim compara-los com os da saída do DUT. Entretanto, no *testbench* implementado, ele foi utilizado para checar a estratégia de cross domain implementada no DUV.

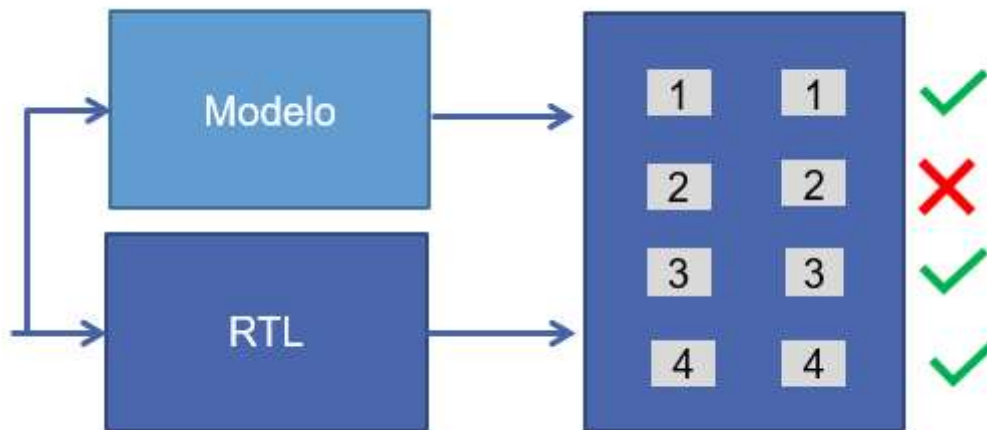


Figura 11 - Scoreboard

3.2.4.4 RESPONSE CHECKER

Outro VIP presente nos três *testbenchs* foi o response checker. Sua função é checar se os sinais de saída e os registros do DUV e do modelo de referência estão iguais a cada ciclo de clock.

3.2.4.5 DRIVERS

Foram utilizados drivers responsáveis por gerar os sinais programados nos testes criados. Esses drivers fazem parte de um VIP da própria empresa chamado de LVIP. Sendo assim, foram utilizados drivers para a interface com o processador, drivers de DMA e de sinais de entrada e saída.

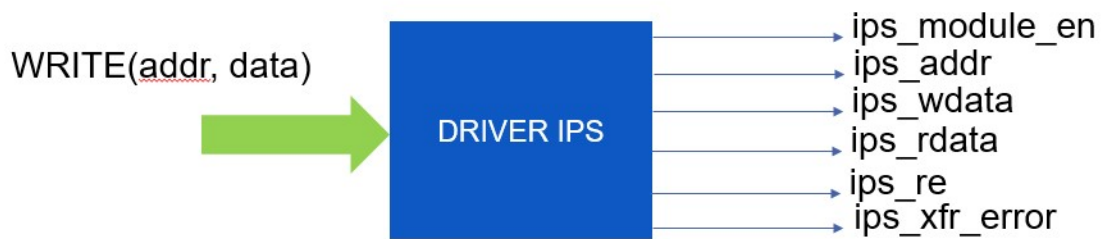


Figura 12 – Exemplo de Driver

3.2.4.6 COBERTURA DE CÓDIGO

Em verificação, uma questão fundamental é a medida de quais partes do código de DUV foram excitadas. Essa métrica pode revelar buracos de cobertura, ou seja, partes do código não testadas. Sendo assim, é uma técnica que pode ser utilizada para orientar a criação de novos estímulos ou o aprimoramento dos existentes. Existem três principais aspectos de cobertura de código: bloco, expressão e toggle. O primeiro identifica se todos os casos de if-elses foram cobertos. O segundo se todas as possibilidades de uma expressão lógica foram excitadas. E o terceiro se todos os bits assumiram os valores 1 e 0.

Code	59.64%	309 / 59.
Block	72.79%	30 / 42 .
Statement	n/a	0 / 0 (n/ε
Expression	55.49%	50 / 97 .
Toggle	50.65%	229 / 45.

Figura 13 – Relatório de cobertura de código

3.2.4.7 COBERTURA FUNCIONAL

Além de criar estímulos e o ambiente de teste (*scoreboard*, *drivers* e *response checkers*), é necessário verificar se todas as funcionalidades especificadas foram implementadas e testadas. A cobertura funcional é mais uma métrica utilizada para orientar o progresso da verificação. Existem funcionalidades que podem não ser cobertas por meio de estímulos aleatórios, mesmo por uma grande quantidade de sementes. De tal forma, que é necessário monitorar quais foram testadas. A partir do resultado da cobertura funcional, é possível decidir quais estímulos necessitam ser criados para garantir que os pontos descobertos do DUV sejam testados.

3.2.4.8 ASSERTIONS

A utilização de *assertions* é uma outra técnica utilizada na verificação de IPs. As *assertions* são capazes de identificar por meio de código se determinados comportamentos esperados estão sendo seguidos. Nesses *testbenchs* as *assertions* foram implementadas em SystemVerilog Assertions (SVA).

3.2.4.9 SYSTEMVERILOG E MATLAB

Durante a verificação do MICFIL, foi observada a necessidade de verificar o comportamento no domínio da frequência dos sinais. Entretanto, algoritmos de DSP, como uma FFT, são complexos e sua implementação pode consumir um intervalo relevante de tempo. A partir de uma pesquisa de bibliográfica, se constatou a conveniência de criar um ambiente de verificação que acoplasse o MATLAB com SystemVerilog (JAIN et al., 2016). Como a maioria dos algoritmos de DSP estão disponíveis no MATLAB, foi possível utilizar essas funções para visualizar os sinais de forma mais eficiente.

A interação do *testbench* em SV e o MATLAB foi construída por meio de duas funcionalidades: *Direct Programming Interface* (DPI) e MATLAB Engine. A primeira funcionalidade é um método de criar uma interface entre SV e C, ou seja, é possível fazer chamadas de funções criadas em qualquer uma das linguagens em códigos escritos em SV ou C. A segunda é uma biblioteca disponibilizada pelo Matlab que permite chamar funções ou scripts do Matlab a partir de programas em C. Portanto, foi desenvolvido um ambiente em que a comunicação entre o *testbench* em SV e o Matlab era realizada por uma interface codificada em C.

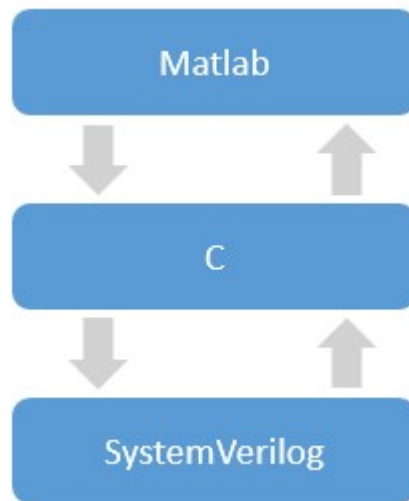


Figura 14 - Interfarce SV - C - Matlab

4 CONCLUSÃO

A experiência de realizar um estágio integrado em uma empresa de relevância internacional como a NXP Semiconductors foi decerto construtiva. Foi possível solidificar alguns conhecimentos adquiridos durante a graduação, principalmente na área de microeletrônica, e adquirir novos, sempre com o auxílio dos engenheiros da NXP.

O êxito obtido na execução das tarefas propostas resulta dos conhecimentos adquiridos durante o curso de Engenharia Elétrica da UFCG e da constante disposição dos engenheiros da NXP na elucidação das dúvidas que surgiram durante esse período de estágio.

É relevante salientar a importância da experiência de estágio na formação de um engenheiro. Uma das raras oportunidades de lidar com problemas reais e procurar soluções eficientes. A experiência é uma das formas mais eficientes de aquisição de conhecimento. Sendo assim, é importante ressaltar as barreiras criadas pela UFCG/PRE durante esse período. Portanto, devido ao papel crucial dessa experiência na finalização da formação de um engenheiro, algumas práticas impostas pela UFCG deveriam ser revistas. Especialmente o limite de duração de estágio, atualmente de 6 meses. Limite esse que não está previsto em regimento interno ou em nenhuma lei que aborde o assunto, principalmente na lei Nº 11.788 de 25 de setembro de 2008, que regulariza a atividade de estágio.

5 REFERÊNCIAS BIBLIOGRÁFICAS

About NXP|NXP. Disponível em: <<https://www.nxp.com/about/about-nxp/about-nxp:ABOUT-NXP>>. Acesso em: 1 fev. 2018.

JAIN, S.; GOVANI, P.; PODDAR, K. B.; LAL, A. K.; PARMAR, R. M. Functional verification of DSP based on-board VLSI designs. In: 2016 International Conference on VLSI Systems, Architectures, Technology and Applications (VLSI-SATA), **Anais...** In: 2016 INTERNATIONAL CONFERENCE ON VLSI SYSTEMS, ARCHITECTURES, TECHNOLOGY AND APPLICATIONS (VLSI-SATA). jan. 2016.

NXP no Brasil|NXP. Disponível em: <<https://www.nxp.com/about/about-nxp/about-nxp/worldwide-locations/nxp-no-brasil:BRAZIL>>. Acesso em: 1 fev. 2018.

SPEAR, C. **SystemVerilog for Verification: A Guide to Learning the Testbench Language Features.** [s.l.] Springer Science & Business Media, 2008.