

UNIVERSIDADE FEDERAL DE CAMPINA GRANDE  
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA  
CURSO DE GRADUAÇÃO EM ENGENHARIA ELÉTRICA

RAYANNA MARIA DE OLIVEIRA FRANCKLIM

**TRANSISTORES ORGÂNICOS (OFET) UTILIZANDO SUBSTRATO  
FLEXÍVEL**

Campina Grande – PB.

2019

RAYANNA MARIA DE OLIVEIRA FRANCKLIM

**TRANSISTORES ORGÂNICOS (OFET) UTILIZANDO SUBSTRATO  
FLEXÍVEL**

Trabalho de Conclusão de Curso submetido à  
Coordenação do Curso de Graduação em  
Engenharia Elétrica da Universidade Federal  
de Campina Grande como parte dos requisitos  
necessários para a obtenção do grau de  
Bacharel em Ciências no Domínio da  
Engenharia Elétrica.

Professor Raimundo Carlos Silvério Freire, D.Sc.

Orientador

Campina Grande – PB

2019

RAYANNA MARIA DE OLIVEIRA FRANCKLIM

**TRANSISTORES ORGÂNICOS (OFET) UTILIZANDO SUBSTRATO  
FLEXÍVEL**

Trabalho de Conclusão de Curso submetido à  
Coordenação do Curso de Graduação em  
Engenharia Elétrica da Universidade Federal  
de Campina Grande como parte dos requisitos  
necessários para a obtenção do grau de  
Bacharel em Ciências no Domínio da  
Engenharia Elétrica.

Aprovado em: 28 / 11 / 2019

Professor Edmar Candeia Gurjão, D.Sc.  
Universidade Federal de Campina Grande  
Avaliador, UFCG

Professor Raimundo Carlos Silvério Freire, D.Sc.  
Universidade Federal de Campina Grande  
Orientador, UFCG

Campina Grande – PB

2019

## AGRADECIMENTOS

A caminhada acadêmica dificilmente é concluída sem o apoio, a instrução e motivação por parte de pessoas em nosso meio que nos despertem o desejo de aprendizado e de êxito nos âmbitos profissionais e pessoais. Foi durante o período acadêmico que à medida que os ciclos anuais foram sendo concluídos, o sonho de me tornar Engenheira Eletricista tornou-se mais próximo. Desejo agradecer, portanto, às pessoas a seguir por todas as suas contribuições:

À minha mãe, Maura Barboza de Oliveira, por todos os sacrifícios e dedicação realizados durante toda minha vida, para que eu pudesse alcançar todos os meus objetivos, dentre eles, o sonho de me tornar Engenheira Eletricista.

Aos meus amigos de graduação que estiveram presentes nos mais diversos momentos do curso e que foram peças chaves no decorrer desses anos: Hotoniones Bezerra, Magda Leite, Phablo Vinícius, Priscila Costa e Pollyana Cirino.

Aos meus colegas do Laboratório de Instrumentação e Metrologia Científicas que tenho hoje como grandes e amigos e espero que estejam presentes em outras conquistas: Anyelle Queiroz, Camila Pereira, Otávio Neto.

Àqueles que dão mais vida ao curso por meio da coordenação do curso de Engenharia Elétrica: Adail Paz e Tchaikowsky Brito de Oliveira, agradeço por todo o apoio e aconselhamento nos momentos difíceis e por todo carinho e cuidado para comigo e demais alunos do curso.

Por fim e mais relevante, ao meu orientador, Raimundo Carlos Silvério Freire que me apoiou durante o curso de graduação, me confiou a oportunidade de trabalhar no Laboratório de Instrumentação e Metrologia Científicas, LIMC onde, a partir dos trabalhos desenvolvidos também tive a oportunidade de conhecer e trabalhar na King Abdullah University of Science and Technology, KAUST, a qual foi crucial para o desenvolvimento do meu Trabalho de Conclusão de Curso, e portanto agradeço também ao professor Dr. Khaled Nabil Salama por todo suporte dado durante minha experiência na Arábia Saudita.

“ O futuro pertence àqueles que acreditam na  
beleza de seus sonhos. ”

Eleanor Roosevelt

## RESUMO

Atualmente, a vida humana é rodeada por uma grande e vasta presença de dispositivos tais como *smartphones*, computadores, *tablets* e televisores. Além disso, devido à necessidade de desenvolvimento de novas técnicas, bem como dispositivos mais avançados e robustos, o estudo e aprimoramento de semicondutores, em especial, os orgânicos apresenta-se como um grande apelo para grandes companhias, bem como grupos de pesquisa de todo o mundo. Ainda, à medida que a necessidade de informações processadas aumenta, também se aumenta de maneira proporcional, a necessidade de dispositivos mais leves, portáteis, estáveis e facilmente adaptáveis para a vida humana. Desta maneira, nos últimos dez anos, aplicações de dispositivos utilizados junto ao corpo humano, os chamados *smart clothing* e *smart shoes* vêm sido fabricados em larga escala. É neste ponto que os transistores orgânicos (OFET), surgem como uma plataforma promissora no setor de sensores, uma vez que eles possuem alta sensibilidade, flexibilidade bem como baixo custo de processamento e fabricação, se comparados às demais técnicas de fabricação amplamente utilizadas atualmente.

**Palavras-chave:** Fabricação, microeletrônica, transistores orgânicos.

## ABSTRACT

Nowadays, human life is surrounded by a big and wide presence of devices such as smartphones, computers, tablets and televisions. Besides, because of the need for the development of new techniques as well as more enhanced devices, the study of semiconductors, in particular, the organic ones, come as a great appeal for big companies as well as for research group labs from all over the globe. As the amount of needed information processing increases, so does the need for more lightweight, portable, stable and easily adaptable devices for human life applications. In the past ten years, the applications for wearable devices, smart clothing and shoes, electronic skins, implantable medical devices and so on, have been increasing on a large scale. That's where the Organic-field-effect transistors (OFETs) come as a promising sensor platform, since they have high sensitivity, flexibility as well as low-cost processing and fabrication when compared to the overall fabrication techniques widely used nowadays.

**Keywords:** Fabrication, microelectronics, organic transistors.

## LISTA DE ILUSTRAÇÕES

Figura 1 – Topologias utilizadas para a construção de OFET: (a) Bottom-gate/top-contact, (b) Bottom gate/bottom-contact, (c) top-gate/bottom-contact.....	18
Figura 2 – Regimes operacionais em OFET: (a) regime linear; (b) regime de saturação (em vermelho: região de acumulação, em azul: região de depleção) .....	20
Figura 3 – Curvas Características do OFET: (a) curva de saída; (b) curva de transferência .....	23
Figura 4 – PLS6MW 1.06µm impressora yb de fibra a laser.....	26
Figura 5 – Equipamentos utilizados para deposição e formação da camada dielétrica: (a) Sistema de Deposição SCS Parileno C, (b) Perfilometro.....	27
Figura 6 – Equipamentos utilizados para formação do canal condutor (a) Sistema de revestimento por rotação ( <i>spin coater</i> ) (b): Demonstração de como a deposição do material é feita (c) Placa de aquecimento ( <i>hot plate</i> ).....	28
Figura 7 – Sistema de revestimento por camada ( <i>sputter coater</i> ).....	28
Figura 8 – Estação de Ponta de Prova: (a) Estação de 4200 SCS de Ponta de Prova, (b) Posicionamento das pontas de prova em um dispositivo para teste.....	29
Figura 9 – Novos designs criados no software CorelDraw.....	30
Figura 10 – Otimização de dimensões: (a) Parâmetros utilizados para a impressão, (b): primeiros dispositivos de teste impressos.....	31
Figura 11 – Captura de tela para ilustração da otimização da distância entre os eletrodos.....	32
Figura 12 – Otimização da espessura dos eletrodos: (a) Seis dispositivos impressos com a espessura dos eletrodos otimizada, (b) captura de tela obtida com o microscópio.....	33
Figura 13 – Diferentes quantidades de Parileno C depositadas em wafer de Si: (1) 0,5g, (2) 2.5g, (3) 5g.....	34
Figura 14 – Posicionamento das pontas de prova na Estação 4200 SCS.....	35
Figura 15 – Esquemático da topologia TGBC.....	37
Figura 16 – Topologia TGBC: (a). Primeiros dispositivos construídos, (b). Máscara de metal utilizada no processo.....	38
Figura 17 – Comportamentos de transferência dos dispositivos TGBC: (a) Dispositivo 1, (b) Dispositivo 2, (c) Dispositivo 3, (d) Dispositivo 4, (e) Dispositivo 5.....	40

Figura 18 – Processo de <i>drop-casting</i> .....	45
Figura 19 – Curvas de transferência para os dispositivos TGBC. (a) PDVT-10 <i>drop-casting</i> , (b) PDVT-10 <i>spin-coating</i> , (c) TIPS Pentaceno <i>drop-casting</i> .....	47
Figura 20 – Impressão do contato de porta no substrato.....	50
Figura 21 – Máscara metálica utilizada para formação dos eletrodos de fonte e dreno.....	51
Figura 22 - Esquemático da Topologia BGBC.....	52
Figura 23 – Dispositivos fabricados com a topologia BGBC.....	53
Figura 24 – Características do OFET utilizando BGBC: (a) Transferência, (b) Saída.....	54
Figura 25 – Esquemático da Topologia BGTC.....	57
Figura 26 – Dispositivos fabricados com topologia BGTC.....	57
Figura 27 – Características de transferência utilizando topologia BGTC.....	58

## LISTA DE TABELAS

Tabela 1 – Treinamentos realizados na KAUST pela equipe do <i>Core Labs</i> .....	25
Tabela 2 – Valores de resistência medidos para espessuras variáveis entre os eletrodos .....	31
Tabela 3 – Medidas de Resistência para deposição do Parileno C.....	35
Tabela 4 – Medidas de corrente de dreno $I_D$ para os primeiros dispositivos construídos .....	39
Tabela 5 – Resultados obtidos na estação de ponta de prova.....	46

## LISTA DE ABREVIATURAS E SIGLAS

A	Ampère - unidade de medida de corrente elétrica
Ag	Prata
Au	Ouro
BGBC	<i>Bottom-gate/Top-contact</i>
BGTC	<i>Bottom-gate/Top-contact</i>
°C	Graus Celsius - unidade de medida de temperatura
cm	Centímetro - unidade de medida de comprimento
FET	Transistor de Efeito de Campo
g	Gramas - unidade de medida de massa
GaAs	Arsenieto de Gálio
Ge	Germânio
Hz	Hertz - unidade de medida de frequência
KAUST	King Abdullah University of Science and Technology
LED	Diodo Emissor de Luz
LIMC	Laboratório de Instrumentação e Metrologia Científicas
µm	Micrometros - unidade de medida de comprimento
mm	Milímetro - unidade de medida de comprimento
MOS	Metal-Óxido Semicondutor
MOSFET	Transistor de Efeito de Campo Metal-Óxido Semicondutor
NH <sub>3</sub>	Amônia
OFET	Transistor de Efeito de Campo Orgânico
OLED	Diodo Emissor de Luz Orgânico
OPV	Fotovoltaico Orgânico

SC	Semicondutor
SCS	<i>Specialty Coating Systems</i>
SiO <sub>2</sub>	Dióxido de Silício
TCC	Trabalho de Conclusão de Curso
TGBC	<i>Top-gate/bottom-contact</i>
Ω	Ohm - unidade de medida de resistência elétrica

## SUMÁRIO

1	INTRODUÇÃO.....	14
1	Fundamentação teórica .....	17
1.1	Transistores de Efeito de Campo Orgânicos (OFET).....	17
1.2	Topologias do ofet .....	17
1.3	Princípio de operação e caracterização .....	19
2	TÉCNICAS UTILIZADAS PARA A fabricação de OFET .....	23
2.1	Fluxo do projeto.....	23
2.1.1	Adequação ao projeto.....	23
2.1.2	Acesso aos laboratórios da kaust.....	24
2.2	Materiais e Equipamentos Utilizados .....	25
2.2.1	Materiais utilizados .....	25
2.2.2	Equipamentos utilizados .....	26
2.3	Testes Iniciais .....	29
2.4	Métodos de Fabricação de OFET .....	35
2.4.1	Configuração Top-gate/Bottom-contact (TGBC) .....	35
2.4.2	Configuração Bottom-gate/Bottom-contact (BGBC).....	50
2.4.3	Configuração Bottom-gate/Top-contact (BGTC) .....	56
3	Conclusões .....	60
	REFERÊNCIAS .....	62

## 1 INTRODUÇÃO

A revolução na microeletrônica afeta a vida dos indivíduos das mais diversas faixas etárias e permite o uso de uma vasta variedade de dispositivos eletrônicos, tais como *smartphones*, computadores, tablets, televisores, dentre outros dispositivos. Devido ao aumento no número de informações processadas necessárias aumenta-se, por conseguinte, a necessidade de melhorias nos dispositivos em questão. O desenvolvimento de dispositivos eletrônicos é impulsionado por melhorias contínuas que estão diretamente ligadas ao componente eletrônico fundamental: o transistor de efeito de campo (VERDUCI, 2016).

No que diz respeito ao desenvolvimento dos dispositivos eletrônicos, o primeiro trabalho que descreve o princípio do transistor de efeito de campo, FET, data de 1925 e foi feito no Canadá pelo físico astro-úngaro Julius Edgar Lilienfeld. Todavia, uma vez que trabalhos não foram publicados, seu trabalho acabou por ser isolado da indústria. No mesmo âmbito, em 1926 ele também trabalhou em uma pesquisa que viria a se tornar o capacitor eletrolítico (SACCO, 2014).

Em 1947, nos Estados Unidos, mais especificamente na AT&T Laboratories, Bratman e Barden estudavam propriedades do Germânio em dois contatos de ouro depositados sobre ele e viram que a corrente elétrica no material semicondutor era modulada pela corrente elétrica que passavam em um dos dois terminais de ouro. Assim, juntamente com o chefe do laboratório William Shockley, criaram um novo dispositivo e deram-lhe o nome de transistor. Em reconhecimento por tal descoberta, eles ganharam o prêmio Nobel da Física em 1956 por sua “pesquisa em semicondutores e pela descoberta do efeito transistor”. Porém, o transistor de ponto de contato era muito frágil, degradava-se com umidade e tinha considerável ruído interno. Um ano depois, Shockley propôs teoricamente a estrutura do transistor de junção (LIRA, 2016).

A revolução na microeletrônica foi mais uma vez afetada quando 20 anos depois o MOSFET passou a ser viável comercialmente, o dispositivo desenvolvido pelos engenheiros Dawn Khang e Martin Atalla em 1959. Estes transistores possuem como principal vantagem o chaveamento dos dispositivos a partir de correntes elétricas muito baixas aplicadas à porta dos dispositivos.

Em termos de fabricação de dispositivos, materiais inorgânicos são os mais utilizados, tais como o Si, o Ge, e o GaAs. Em geral, o Silício ainda é amplamente

utilizado devido às suas propriedades mais adequadas. Todavia, é importante ressaltar que os dispositivos à base de Silício necessitam uma grande quantidade de procedimentos complexos e caros para purificá-lo, o que gera uma quantidade considerável de resíduos descartados que podem ser maléficos ao meio-ambiente, além do encarecimento do processo de fabricação.

Tendo os dados acima como motivação para a pesquisa e desenvolvimento de novos materiais, os semicondutores orgânicos entram por exemplo, para minimizar as desvantagens causadas pelo uso do Silício. Pesquisas em materiais SC orgânicos datam desde os anos 1960, quando a eletroluminescência de diodos orgânicos foi estudada. Em 1980, o desenvolvimento dos semicondutores orgânicos gerou resultados de bom desempenho que se tornaram competitivos face ao Silício amorfo, o que aumentou a possibilidade de serem utilizados em aplicações comerciais.

Semicondutores orgânicos vêm atraído pesquisadores ao redor do mundo devido às características únicas tais como: leveza, flexibilidade mecânica, bem como baixo custo de processamento e fabricação. Esta nova área demonstra ser promissora na era da contínua revolução da microeletrônica e aplicações eletrônicas flexíveis. Atualmente, a indústria já oferece alguns componentes eletrônicos orgânicos, tais como: os transistores de efeito de campo orgânicos (OFET), utilizados em *displays* flexíveis, LED orgânicos (OLED), e fotovoltaicos orgânicos (OPV).

Em se tratando de aplicações para *displays* flexíveis, nos últimos anos, existem ainda, protótipos de produtos para telas flexíveis coloridas, tanto para aplicações em telas de grande área, quanto para telas de dispositivos móveis. Outra área em expansão nesse quesito é o de telas transparentes, que serviriam a múltiplas aplicações na indústria automobilística, bem como em equipamentos médicos (BARRETO, 2018).

Outras aplicações incluem sensores para gás, trabalhos desenvolvidos com OFET incluem a detecção de gases tóxicos tais como compostos orgânicos voláteis, a amônia ( $\text{NH}_3$ ) que ainda é um analito perigoso e presente abundantemente na atmosfera. Em geral, qualquer composto orgânico pode produzir  $\text{NH}_3$ , e em condições ambientais normais, é um gás incolor, cáustico (corrosivo), e de odor pungente. (SURYA, 2018).

Visando apresentar sobre a importância dos OFET tendo por base uma pesquisa bibliográfica, bem como sobre técnicas utilizadas para a fabricação dos mesmos, em especial às utilizadas durante experiência realizada no Laboratório de Sensores na *King*

*Abdullah University of Science and Technology, KAUST*, este Trabalho de Conclusão de Curso (TCC), foi desenvolvido.

O trabalho está organizado nos seguintes capítulos:

- Capítulo 1: introdução;
- Capítulo 2: fundamentação teórica dos Transistores de Efeito de Campo Orgânicos (OFET);
- Capítulo 3: apresentação das técnicas de fabricação utilizadas na KAUST;
- Capítulo 4: exposição e discussão dos resultados obtidos;
- Capítulo 5: apresentação das conclusões finais;
- Referências.

# 1 FUNDAMENTAÇÃO TEÓRICA

## 1.1 TRANSISTORES DE EFEITO DE CAMPO ORGÂNICOS (OFET)

Em se tratando do estudo da microeletrônica, todas as técnicas utilizadas para o desenvolvimento de dispositivos eletrônicos mais robustos, partem do componente básico e mais importante: o transistor, o Transistor de Efeito de Campo (FET), precisamente. Estes dispositivos são conhecidos por serem a peça chave para todos os circuitos eletrônicos. Além disso, à medida que o número de informações processadas necessárias à vida cotidiana humana aumenta, também se aumenta a necessidade de dispositivos menores que também possam promover melhorias em processamento, *design* de circuitos, e otimização de materiais. É neste ponto que os OFET entram em ação. Com o potencial para baixo custo de fabricação, bem como flexibilidade mecânica, estes dispositivos em particular, vêm atraído a atenção de grupos de pesquisadores ao redor do mundo nos últimos vinte anos.

O primeiro OFET foi relatado no ano de 1982, quando Ebisawa, Kurokawa e Nara fabricaram um capacitor MOS utilizando um material semicondutor orgânico. O dispositivo foi fabricado com três terminais. Poliacetileno foi o polímero utilizado como o material semicondutor orgânico, polissiloxano como o material dielétrico, alumínio como contato de porta, e ouro para formação dos eletrodos de fonte e dreno. Posteriormente, em 1986, um avanço foi alcançado por Tsumura, Koezuka e Ando que processaram os primeiros OFET com um ganho de corrente considerável (AL-SHADEEDI, 2017).

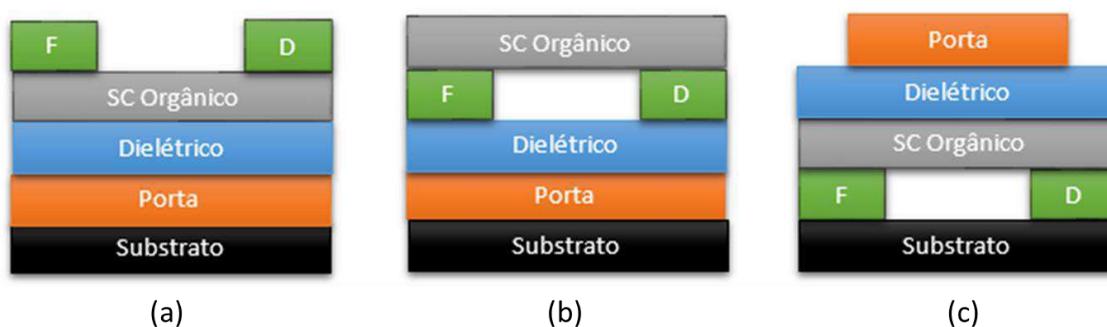
Os primeiros relatos desencadearam grande interesse na área de semicondutores orgânicos, o que levou a melhorias no desempenho dos OFET, redução no custo de fabricação, desenvolvimento de novas topologias de OFET, a partir do entendimento do princípio de operação dos OFET (AL-SHADEEDI, 2017).

## 1.2 TOPOLOGIAS DO OFET

O OFET é um transistor de efeito de campo orgânico que consiste em contatos de fonte e dreno, uma camada semicondutora orgânica, um dielétrico, e um contato de porta. A depender da sequência utilizada para a construção destes contatos, a topologia utilizada para fabricação do transistor será diferente, por conseguinte, também influenciará no desempenho do dispositivo que apresentará diferentes resultados.

Para os transistores de efeito de campo orgânicos, duas topologias são amplamente utilizadas: a estrutura *bottom-gate* (ou configuração escalonada invertida), e a estrutura *top-gate* (ou configuração escalonada). Seguindo as topologias estudadas durante experiência como Estudante Visitante na *King Abdullah University of Science and Technology*, a seguir na Figura 1 são apresentadas as topologias desenvolvidas junto ao Laboratório de Sensores da referida universidade.

**Figura 1:** Topologias utilizadas para a construção de OFET: (a) *Bottom-gate/top-contact*, (b) *Bottom-gate/bottom-contact*, (c) *top-gate/bottom-contact*.



Fonte: Elaborado pela autora.

Na primeira topologia, ilustrada na Figura 1(a), a configuração *bottom-gate/top-contact*, também chamada de topologia BGTC, para a fabricação do OFET, inicialmente o eletrodo de porta é construído no substrato, seguido pela deposição do material dielétrico e do semicondutor orgânico que será utilizado para formar o canal do dispositivo, ao topo desta estrutura, são formados os contatos de fonte e dreno utilizando-se de um material condutor de escolha.

Para a segunda topologia apresentada na Figura 1(b), *bottom-gate/bottom-contact* (BGBC), os dois primeiros passos da topologia anterior permanecem, a diferença se dá apenas nas duas etapas finais de fabricação, em que os eletrodos de fonte e dreno são construídos antes da deposição do material semicondutor responsável pela camada condutora.

Por fim, na topologia 1(c), *top-gate/bottom-contact* (TGBC), os passos são agora invertidos, ao invés de construirmos o contato de porta primeiro, os eletrodos de fonte e dreno são formados sob o substrato, seguidos pela deposição do material semicondutor, que é então coberto pela camada dielétrica e por último é formado o contato de porta ao topo do dispositivo.

### 1.3 PRINCÍPIO DE OPERAÇÃO E CARACTERIZAÇÃO

O princípio de operação dos OFET é similar aos FET inorgânicos. A princípio, entre porta e fonte e entre os eletrodos de fonte e dreno, são aplicadas tensões ( $V_{GS}$  e  $V_{DS}$ ). O eletrodo de fonte é em geral aterrado ( $V_S = 0V$ ) e é responsável pela injeção como portador de cargas. A exemplo, no caso de OFET do tipo p, a fonte apresenta cargas elétricas mais positivas, e, para os OFET tipo n a porta é mais negativa. Caso nenhuma tensão seja aplicada entre a porta e a fonte, isto é  $V_{GS} = 0$ , o transistor permanece desativado porque as cargas não irão se mover da fonte em direção ao dreno, devido à baixa condutividade no material semiconductor.

No entanto, caso seja aplicada uma tensão negativa entre os eletrodos de fonte e porta, então as cargas são influenciadas a se mover em direção à porta, logo, a condutividade do semiconductor aumenta, o transistor é chaveado e ativado. Porém, uma vez que nem todas as cargas induzidas estão livres para o fluxo de corrente, e isto acontece porque algumas das cargas ficam presas na camada semicondutora, a acumulação de cargas que atravessa o canal não irá ocorrer a partir de  $V_{GS} = 0$ , é necessário adicionar mais tensão para ativar o dispositivo, a esta tensão chamamos de tensão de *threshold*,  $V_{th}$  (AL-SHADEEDI, 2017).

O OFET é similar a um capacitor, em que uma das placas promove um canal condutor entre dois contatos ôhmicos, os eletrodos de fonte e dreno. Uma tensão aplicada à segunda placa, o eletrodo de porta, modifica a densidade de portadores de carga no canal. A partir da aplicação de uma tensão no dreno, estas cargas se movem da fonte através do canal até o dreno. Então, apenas a partir da aplicação de um campo elétrico através da camada dielétrica, o dispositivo é chaveado para os estados “ativado” ou “desativado”, respectivamente (KLUG, 2010).

Idealmente, nenhuma corrente é necessária para chaveamento do dispositivo, e então o consumo energético é reduzido a, ou aproximadamente, zero. Os OFET operam no regime de acumulação, o que significa que os portadores de cargas responsáveis pela condução corrente de desativação, ou *off-current*, e aqueles acumulados no canal que produzem a corrente de ativação, ou *on-current*, são do mesmo tipo. Portanto, não existe região de depleção entre o canal condutor e o substrato, como no caso dos MOSFET, e baixas correntes, as quais são necessárias para altas habilidades de chaveamento, podem

ser alcançadas fazendo uso de baixa condutividade de desativação, ou *low-conductivity*, do semiconductor orgânico (KLUG, 2010).

É ilustrado na Figura 2 os dois regimes operacionais básicos em um OFET, a depender da tensão aplicada na porta ( $V_G$ ) e da tensão no dreno ( $V_D$ ). Pode-se afirmar que o regime linear é encontrado par as condições de  $|V_D| < |V_G|$  e o regime de saturação ocorre quando  $|V_D| > |V_G|$  (KLUG, 2010).

**Figura 2:** Regimes operacionais em OFET: (a) regime linear; (b) regime de saturação (em vermelho: região de acumulação, em azul: região de depleção).



Fonte: KLUG (2010).

Desprezando-se as contribuições por difusão, a densidade de corrente do canal  $j_D$  e corrente correspondente da fonte para o dreno  $I_D$  são dadas por:

$$j_D = qnv = qn\mu E = qn\mu \frac{dV}{dx} \quad (2.1)$$

$$I_D = qn\mu \frac{dV}{dx} W = |Q(x)|\mu \frac{dV}{dx} W \quad (2.2)$$

Em que:

- $q$  corresponde à carga elementar;
- $n$  corresponde à densidade de carga da superfície
- $\mu$  corresponde à mobilidade de efeito de campo;
- $E$  corresponde ao campo elétrico na direção  $x$  (ao longo do canal);
- $V$  corresponde ao potencial do canal;
- $W$  representa a largura do canal;
- $Q(x)$  representa a carga de superfície na posição  $x$ .

A carga de superfície  $Q(x)$  consiste na carga induzida na camada de acumulação  $Q_s(x)$  e a carga presente em sua maioria  $Q_0$  (ex.: devido a dopagem). Assumindo que não existe região de depleção, e portanto,  $Q_s(x)$  se expande completamente pela largura do canal (Figura 2 (a),  $|V_D| < |V_G|$ ),  $Q_0$  é constante e a carga de superfície pode ser calculada por:

$$Q(x) = Q_s(x) + Q_0 = -C_i[V_G - V_{FB} - V_S(x) - V(x)] \pm qn_0d_S \quad (2.3)$$

Em que:

- $C_i$  corresponde à capacitância do isolador por unidade de área;
- $V_{FB}$  corresponde à tensão de banda plana (trabalha em função d diferença entre o semiconductor e o metal que forma porta);
- $V_S(x)$  queda de tensão ôhmica sobre o semiconductor;
- $V(x)$  potencial do canal;
- $n_0$  densidade de cargas livres no equilíbrio;
- $d_S$  espessura do semiconductor.

O sinal do último termo na equação (2.3) é relacionado à maioria os portadores. Para tensões na porta maiores que alguns volts de queda de tensão sobre o isolador e  $V_S(x)$  pode ser desconsiderado. Combinando-se as equações (2.1) e (2.2), e integrando-se da fonte ( $x = 0, V = 0$ ) até o dreno ( $x = L, V = V_D$ ) assumindo constante mobilidade, temos a equação para a corrente do canal  $I_D$  para a condição de regime linear  $|V_D| < |V_G|$ :

$$I_D = \frac{W}{L} \mu C \left[ (V_G - V_{th}) V_D - \frac{V_D^2}{2} \right] d_S \quad (2.4)$$

$$V_{th} = \pm \frac{qn_0d_S}{C_i} + V_{FB} \quad (2.5)$$

A tensão nula, ou tensão de *threshold* resulta da corrente no canal não-nula para  $V_G = 0V$ . O sinal na equação (2.5) está relacionado à maioria das cargas e inverso à polaridade de  $V_G^e$ . Para pequenos valores de  $V_D$ , o termo quadrático da equação (2.5) pode ser negligenciado (KLUG, 2010).

Quando  $V_D$  excede  $V_G$ , uma região contendo cargas não-livres é formada próximo ao eletrodo de dreno acima do ponto onde  $V(x) = V_G$  (correspondendo à Figura 2(b)). Dentro desta região, a espessura condutiva eficaz do filme semiconductor é reduzida à corrente do canal correspondente à  $I_D$  e é dada por:

$$I_D = \mu q n_0 [d_S - d_{dep}(x)] \frac{dV}{dx} W \quad (2.6)$$

Em que:

- $d_{dep}(x)$  corresponde à espessura da camada de depleção.

Desconsiderando a tensão de banda plana  $V_{FB}$ ,  $d_{dep}(x)$  pode ser expressa como:

$$d_{dep}(x) = \frac{\epsilon_S}{C_i} \left[ \sqrt{1 + \frac{2C_i^2[V(x) - V_G]}{qN\epsilon_S}} - 1 \right] \quad (2.7)$$

Em que:

- $\epsilon_S$  corresponde à permissividade do semiconductor;
- $N$  corresponde à concentração de dopantes.

Quando assumimos que a camada de acumulação se estende da fonte ( $x = 0$ ) até um ponto onde  $V(x) = V_G$  e é substituída por uma camada de depleção além deste ponto, a corrente no canal no regime de saturação,  $I_{Dsat}$  pode ser calculada por:

$$I_{Dsat} = \frac{W}{L} \mu C_i \int_0^{V_G} (V_G - V_{th} - V) dV + \frac{W}{L} \mu q n_0 \int_{V_G}^{V_{Dsat}} [d_S - d_{dep}(x)] dV \quad (2.8)$$

Resolvendo as integrais na equação (2.8), introduzindo uma tensão de pinçamento e assumindo que a concentração de dopantes tipo  $N$  é igual a densidade de cargas livres no equilíbrio  $n_0$ , tem-se que para  $I_{Dsat}$  ( $|V_D| > |V_G|$ ):

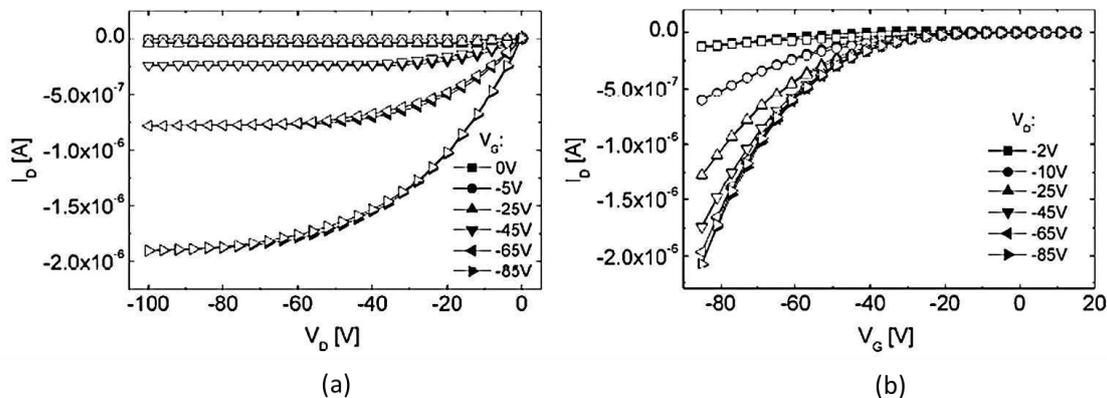
$$I_{Dsat} = \frac{W}{2L} \mu C_i (V_G - V_{th})^2 \quad (2.9)$$

As equações (2.4) e (2.9) são as fórmulas básicas para descrever os regimes linear e de saturação observados nos OFET, assumindo as condições mencionadas acima.

A caracterização elétrica dos OFET em geral se dá a partir de dois importantes conjuntos de curvas. As características de saída são medidas a partir da varredura da tensão de dreno a tensões de porta fixas.

De maneira similar, as características de transferência são verificadas realizando uma varredura na tensão de porta ( $V_G$ ) a várias tensões fixas de dreno ( $V_D$ ) (KLUG, 2010). Na Figura 3 é ilustrado o conjunto de curvas para levantamento das características do OFET.

**Figura 3:** Curvas de características do OFET: (a) curva de saída; (b) curva de transferência.



Fonte: KLUG, /2010

## 2 TÉCNICAS UTILIZADAS PARA A FABRICAÇÃO DE OFET

Este capítulo compreende o fluxo do projeto para utilização das técnicas para fabricação de dispositivos OFET. O projeto se deu por meio de parceria entre o Laboratório de Instrumentação e Metrologia Científicas, localizado na Universidade Federal de Campina Grande e o Laboratório de Sensores, localizado no prédio 3, terceiro andar, da *King Abdullah University of Science and Techonlogy*, KAUST, durante experiência como Estudante Visitante nos meses de janeiro a junho de 2019.

### 2.1 FLUXO DO PROJETO

#### 2.1.1 ADEQUAÇÃO AO PROJETO

Inicialmente, a fim de melhorar bem como adquirir mais conhecimento na área de eletrônica, foi necessário um estudo sobre o histórico dos semicondutores, além de leitura de dissertações, teses e artigos para compreensão dos Transistores de Efeito de Campo Orgânicos, seu modo de operação e caracterização. O processo de estudo durou desde o início das atividades na KAUST, em janeiro de 2019 e após retorno ao Brasil, para a elaboração do referido Trabalho de Conclusão de Curso, TCC, na Universidade Federal de Campina Grande, também foi realizada pesquisa bibliográfica. O trabalho aqui apresentado contou com a orientação do professor Raimundo Carlos Silvério Freire, DSc do Laboratório de Instrumentação e Metrologia Científicas, e do professor Khaled Nabil Salama D.Sc, Sandeep Surya, DSc e Saravanan Yuvaraj, MSc durante experiência como

Estudante Visitante na KAUST no Laboratório de Sensores no período de janeiro a junho do referido ano. Após os estudos iniciais, o segundo passo para o projeto foi adquirir treinamentos para a obtenção do acesso aos laboratórios da KAUST e, por fim, a realização da manufatura dos dispositivos e análise dos resultados obtidos.

### 2.1.2 ACESSO AOS LABORATÓRIOS DA KAUST

Antes do início de quaisquer atividades de pesquisa que envolvam o uso de máquinas, os alunos da KAUST necessitam obter acesso aos ambientes de pesquisa interdisciplinar da KAUST, estes são chamados de *Core Labs*. Para ter acesso aos *Core Labs* é obrigatório que os alunos tenham o curso de Segurança na Sala Limpa e Protocolos de Treinamentos, bem como terem previamente completado os seguintes cursos em plataforma online da universidade: Treinamento de Segurança Laboratorial, Descarte de Resíduos Perigosos e Preparo para Incidentes Emergenciais.

Além disso, os alunos devem ter registrado o que se chama de *Pocket ID*, registro de identificação do laboratório ao qual o aluno pertence, no sistema de acesso às máquinas dos *Core Labs*, chamado *badger system*, programa instalado no computador do aluno para reservar, ativar e desativar as máquinas em uso necessárias para a sua pesquisa.

Ademais, ao completar o curso de Segurança na Sala Limpa e Protocolos de Treinamento, uma prova é aplicada e os alunos devem obter percentagem de acerto de 80% ou mais para que eles possam receber um certificado assegurando o acesso inicial aos *Core Labs*. No entanto, este certificado não permite um acesso imediato a todos os laboratórios. Caso o aluno necessite aprender a utilizar máquinas específicas para sua pesquisa, eles devem agendar treinamentos adicionais promovidos pelos funcionários dos *Core Labs*, de acordo com a necessidade de suas atividades.

Na Tabela 1 é apresentado um resumo dos treinamentos realizados durante a experiência com os respectivos responsáveis.

**Tabela 1:** Treinamentos realizados na KAUST pela equipe do *Core Labs*.

<b>DATA</b>	<b>TREINAMENTO</b>	<b>REPONSÁVEL</b>
04/02/2019	Segurança na Sala Limpa e Protocolos de Treinamento	Ibrahim B. Mohd
10/02/2019	Impressora de fibra a laser Yb 1.06 $\mu$ m	Ulrich Buttner
12/02/2019	Bancada Molhada Básica	Erica Alvarez Conde
13/02/2019	Litografia Básica	Florentio Psig
21/05/2019	Profilometro	Xiaofang Chen
23/05/2019	Sistema SCS de deposição de Parileno-C	Venkatesh Singaravelu
09/06/2019	Sistema de <i>spin coater</i> (revestimento por rotação)	Saravanan Yuvaraj
16/06/2019	Sistema de <i>sputtering</i> (revestimento por camada)	Saravanan Yuvaraj
17/06/2019	Estação de Ponta de Prova SCS 4200	Xiang Yu

**Fonte:** Elaborado pela autora.

## 2.2 MATERIAIS E EQUIPAMENTOS UTILIZADOS

### 2.2.1 MATERIAIS UTILIZADOS

Para a fabricação dos dispositivos apresentados neste relatório, os materiais utilizados foram escolhidos a partir de um estudo das propriedades dos materiais em parceria com o Laboratório de Ciência dos Materiais localizado na KAUST. Os pesquisadores do Laboratório de Sensores da referida universidade identificaram quais eram características necessárias par melhor desempenho do dispositivo, i.e.: condutividade elétrica, permissividade, resistência, aderência com demais materiais, flexibilidade, disponibilidade, custo, dentre outras, e a partir disso os pesquisadores da Ciência dos Materiais buscaram os melhores materiais que se adequassem às condições necessárias.

Assim sendo, para a fabricação dos OFET, utilizando as topologias previamente apresentadas, os seguintes materiais foram utilizados:

- Folha de Alumínio com Poliamida como substrato flexível do dispositivo;
- Parileno-C como dielétrico;
- PDVT-10 como semicondutor orgânico;
- Au como metal condutor para construção dos contatos de fonte e dreno da topologia TGBT;

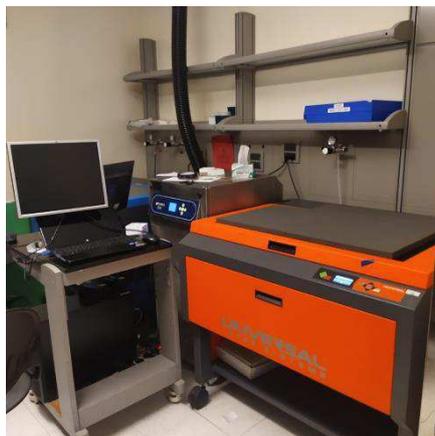
- Ag como metal condutor para construção dos contatos de fonte e dreno das topologias BGBC e BGTC.

### 2.2.2 EQUIPAMENTOS UTILIZADOS

A maioria dos equipamentos utilizados para o processo fabricação estão localizados nos chamados *Core Labs*, na KAUST. Como previamente apresentado, para obtenção do acesso ao equipamento necessário, sessões de treinamento foram realizadas sob orientação dos responsáveis por cada máquina pertencentes aos laboratórios.

No Laboratório de Microfluidos, localizado no prédio 3, segundo andar, lado HAZMAT do prédio da KAUST, dentre demais equipamentos utilizados, a base para o projeto foi a impressora *yb* de fibra a laser de modelo PLS6MW 1,06 $\mu$ m que foi manuseada junto com o software *CorelDraw* para a confecção do design e impressão dos dispositivos para as topologias testadas. Na Figura 4 é ilustrada a impressora em questão.

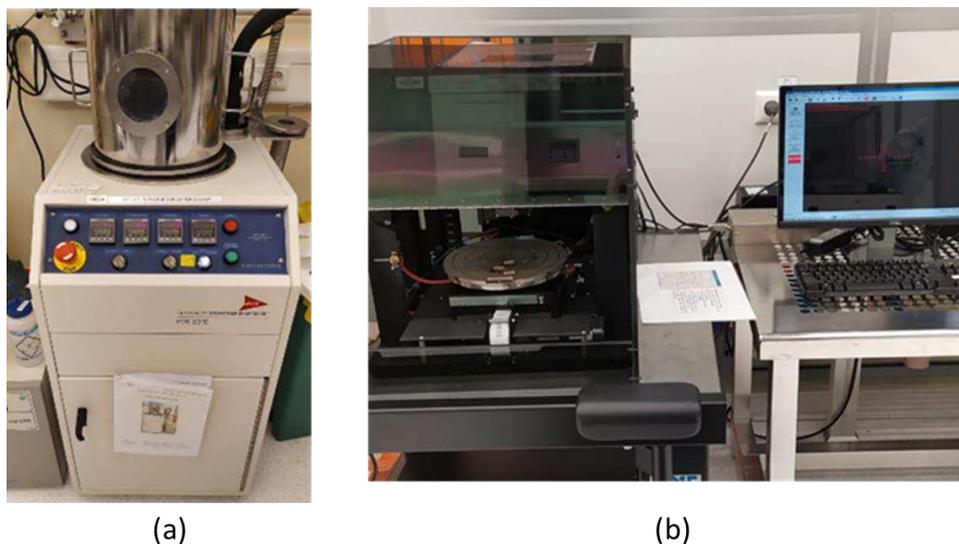
**Figura 4:** PLS6MW 1.06 $\mu$ m impressora *yb* de fibra a laser.



**Fonte:** Elaborado pela autora.

Para a deposição e formação da camada dielétrica do dispositivo, o Sistema de Deposição de Parileno C da SCS foi utilizado, e para medição da espessura da deposição deste polímero, foi utilizado o Daktak Perfilometro, ambos localizados laboratório *Thin Film* prédio 3, segundo andar da KAUST e ilustrados na Figura 5.

**Figura 5:** Equipamentos utilizados para deposição e formação da camada dielétrica: (a) Sistema de Deposição SCS Parileno C, (b) Perfilometro.



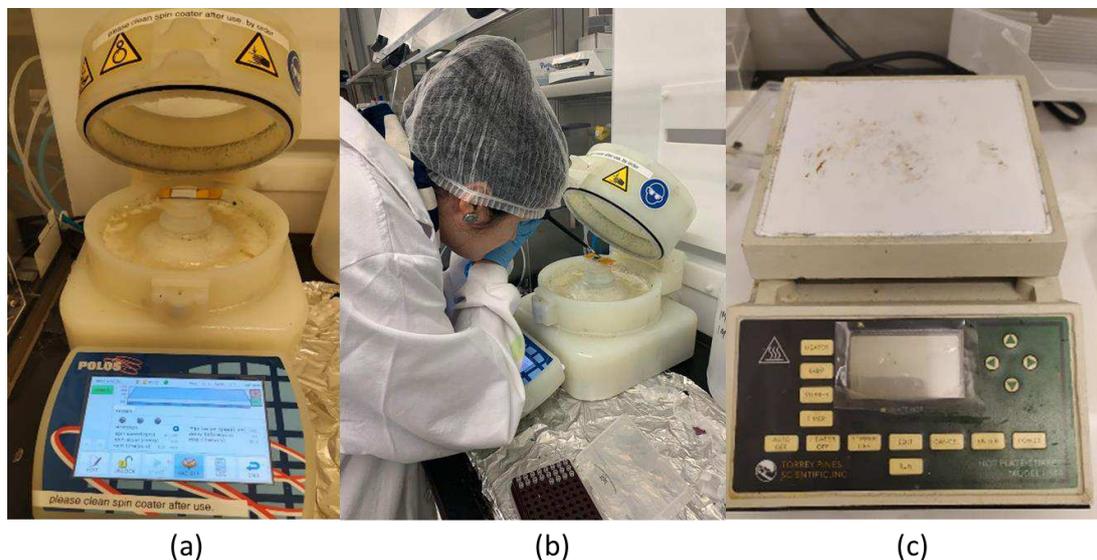
**Fonte:** Elaborado pela autora.

Para a formação do revestimento da camada responsável do canal de condução do dispositivo, o semiconductor orgânico, o polímero PDVT-10, foi utilizado o sistema POLOS *spin coating* (sistema revestimento por rotação) localizado no Laboratório de Microfluidos.

O sistema de *spin coating* conta com receitas pré-estabelecidas, e realiza a deposição do material por meio de rotações que variam entre 2000-5000rpm, a depender do material em uso. A vantagem do uso desse sistema é que este é capaz de formar filmes finos (<100nm) e apresenta boa uniformidade e reprodutibilidades dos filmes. As desvantagens se dão pelo desperdício do material, o limite de área de aplicação para áreas muito grandes e uma alta taxa de evaporação do solvente, o que resulta em pouco tempo para ordenamento molecular da substância.

Além disso, após o uso do sistema de *spin coater* do PDVT-10, foi necessário utilizar a placa EchoThermot modelo HS70 de aquecimento programável (*hot plate*) de, para uniformizar a deposição do material, bem como melhorar a morfologia do material depositado. Ambos equipamentos e uma demonstração do uso do *spin coater* são apresentados na Figura 6.

**Figura 6:** Equipamentos utilizados para formação do canal condutor: (a) Sistema de revestimento por rotação (*spin coater*) (b): Demonstração de como a deposição do material é feita (c) Placa de aquecimento (*hot plate*).



Fonte: Elaborado pela autora.

Na formação dos eletrodos de fonte e dreno foi utilizado o sistema Quorum q300DT *sputtering* (revestimento por camada), para revestimento do metal Prata (Ag) disponível no Laboratório de Sensores e ilustrado na Figura 7.

**Figura 7:** Sistema de revestimento por camada (*sputter coater*).

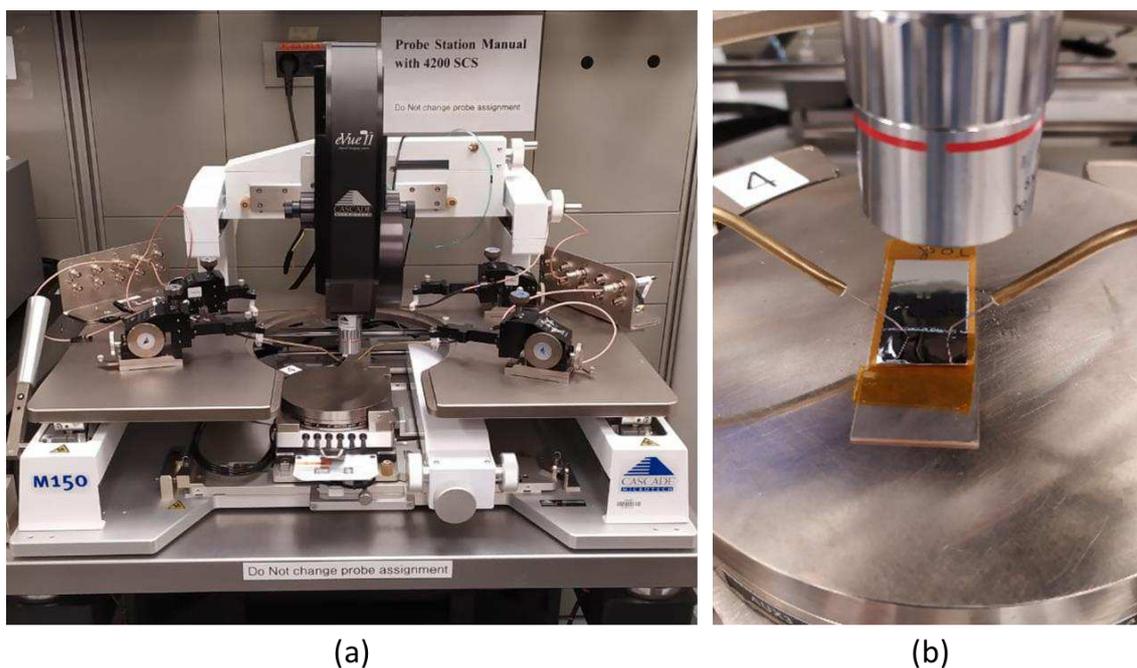


Fonte: Elaborado pela autora.

Foi utilizado ainda, um outro sistema de revestimento por camada localizado na sala limpa para deposição do metal Au para a formação de um filme de 180 nm quando utilizada a topologia TGBC.

Por fim, a Estação de Ponta de Prova SCS 4200 da *Cascade Microtech* desempenhou a função de testar os dispositivos e apresentar o comportamento dos mesmos por meio de levantamento das curvas de saída e transferência utilizando o software KEITHLEY. A estação conta com 4 (quatro) pontas de prova, a estação e uma demonstração do posicionamento das pontas no dispositivo são ilustrados na Figura 8.

**Figura 8:** Estação de Ponta de Prova: (a) Estação de 4200 SCS de Ponta de Prova, (b) Posicionamento das pontas de prova em um dispositivo para teste.



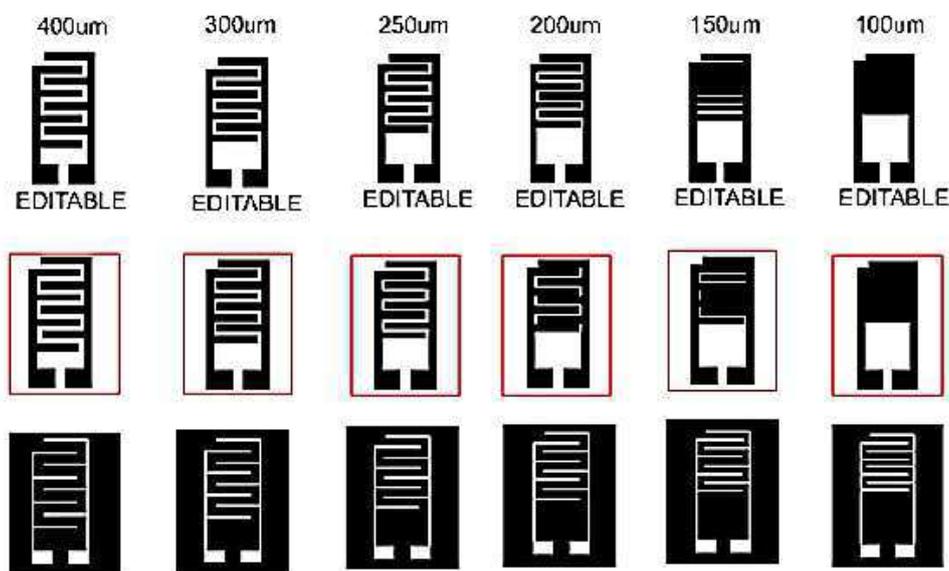
Fonte: Elaborado pela autora.

### 2.3 TESTES INICIAIS

Inicialmente, a fim de otimizar um *design* já conhecido, o objetivo inicial era a obtenção das menores medidas possíveis do design a serem impressas na impressora yb de fibra a laser. Para este processo, foi utilizado o software CorelDraw. Buscando obter o controle de todo o design do dispositivo, um novo arquivo editável foi criado com espessura fixa dos eletrodos de 400 $\mu$ m, e espessura entre os eletrodos variável entre o valor inicialmente disponibilizado de 400 $\mu$ m até 100 $\mu$ m. Com o auxílio de uma lâmina quadrada de vidro de 12,5 cm x 12,5 cm e espessura de aproximadamente 2mm, utilizando uma fita dupla face, o substrato foi aplanado e afixado com auxílio da fita sobre a lâmina de vidro e posicionado no eixo (x,y) da impressora.

Neste ponto, é importante observar que em se tratando da otimização de dimensões na impressora de fibra a laser, é crucial que a amostra em questão seja posicionada no mesmo par de coordenadas do eixo, para evitar quaisquer comprometimentos do design devido à influência do posicionamento da amostra. Assim sendo, o local de posicionamento foi em torno de (16,36) cm no eixo da impressora. A Figura 9 ilustra os designs editáveis desenhados no software.

**Figura 9:** Novos designs criados no software CorelDraw.



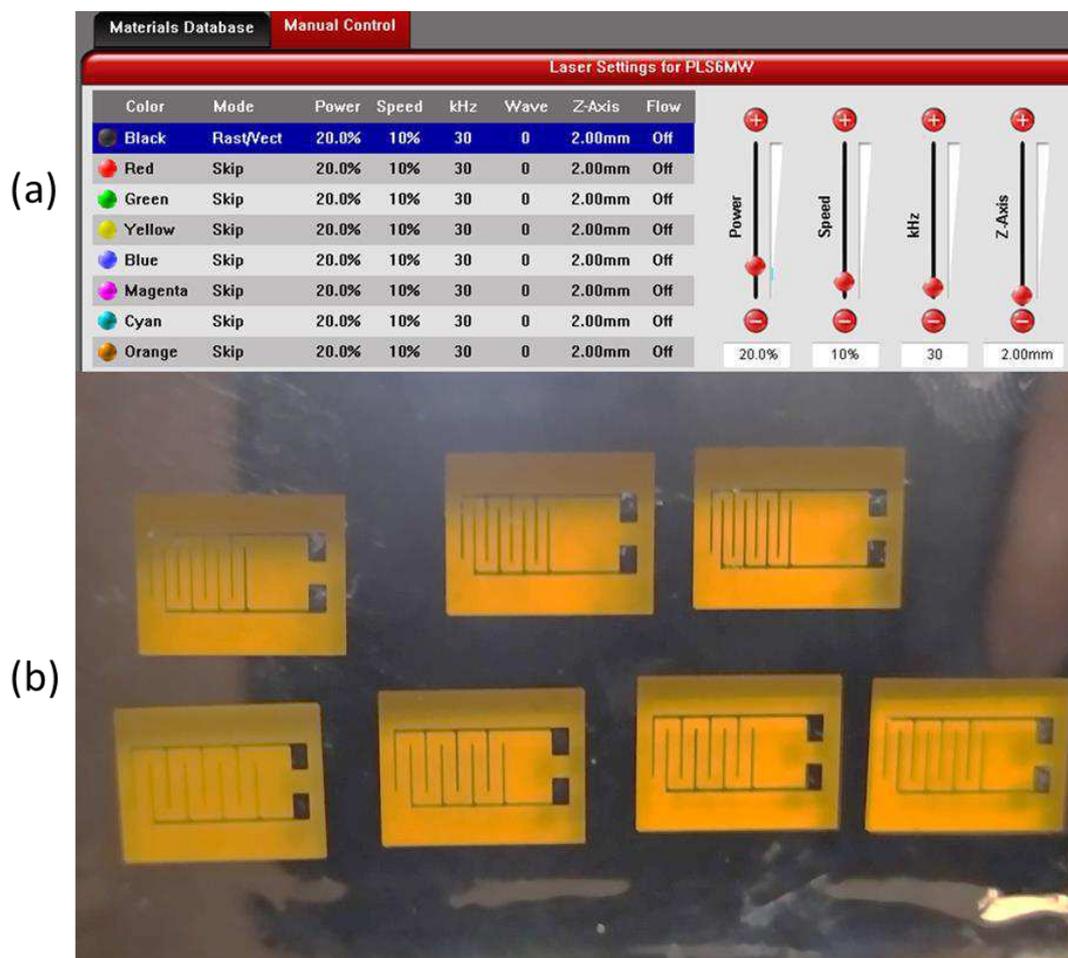
**Fonte:** Elaborado pela autora.

Uma vez que os novos *designs* foram criados, com os conhecimentos adquiridos durante o treinamento de utilização da impressora, os parâmetros para impressão dos dispositivos iniciais no substrato foram definidos. Foi definido a impressão na cor preta, uma potência de 20%, velocidade de 10%, frequência de pulsos de 30kHz e uma altura de foco chamada de Z-axis de 2 mm.

Estes valores são baseados no substrato flexível utilizado, folha de alumínio com poliamida, e na espessura do vidro juntamente com o substrato afixado. A potência da máquina varia de 0% a 100%, bem como o parâmetro de velocidade. Uma vez que estamos lidando com um substrato flexível, é necessário o uso de uma potência baixa para que este não seja queimado durante o processo de impressão.

Na Figura 10 são apresentados parâmetros utilizados na impressão e os primeiros dispositivos impressos.

**Figura 10:** Otimização de dimensões: (a) Parâmetros utilizados para a impressão, (b): primeiros dispositivos de teste impressos.



Fonte: Elaborado pela autora.

Após os primeiros dispositivos serem impressos foi realizado um teste de condutividade utilizando um multímetro digital e os valores de resistência entre os eletrodos de porta e fonte, e porta e dreno são apresentados na Tabela 2.

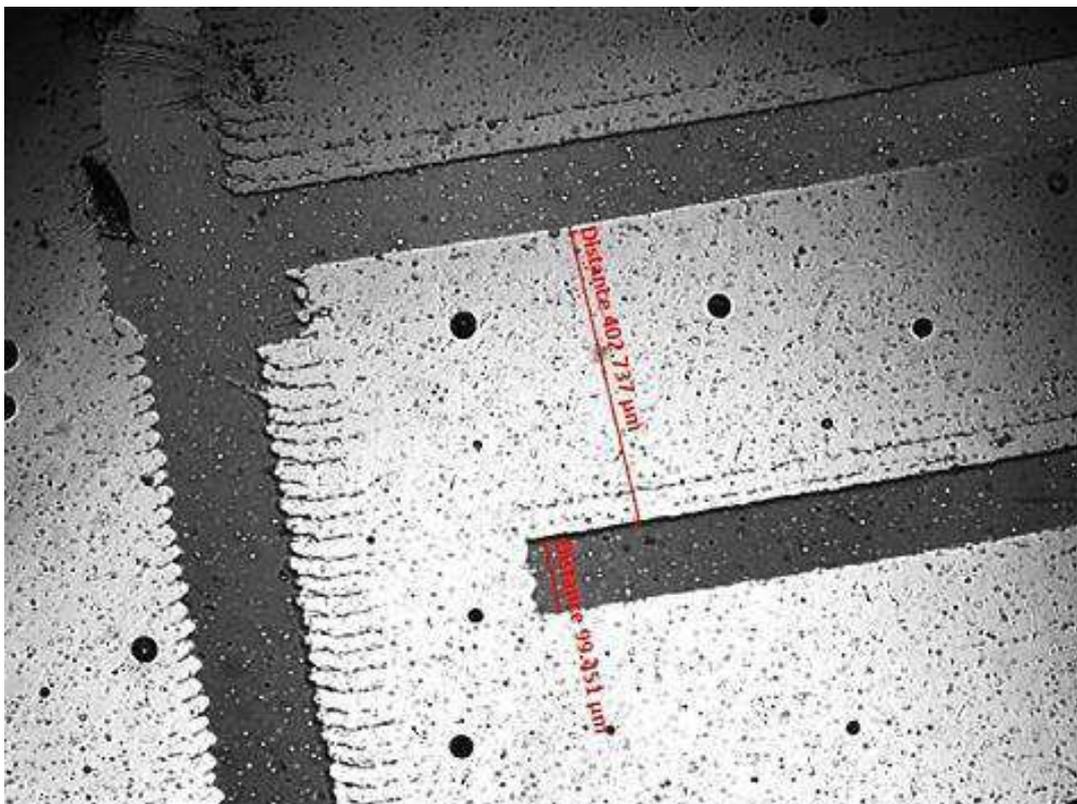
**Tabela 2:** Valores de resistência medidos para espessuras variáveis entre os eletrodos

Espessura dos eletrodos ( $\mu\text{m}$ )	Espessura entre os eletrodos ( $\mu\text{m}$ )	Resistência entre porta e fonte ( $\Omega$ )	Resistência entre porta e dreno ( $\Omega$ )
400	400	48	58
400	300	60	50
400	250	43	33
400	150	50	44
400	100	33	32

Fonte: Elaborado pela autora.

Além disso, para confirmação da espessura obtida entre os eletrodos, as amostras foram levadas para um microscópio Zeiss e uma captura de tela foi realizada para comprovar o valor da otimização da espessura obtida e é ilustrada na Figura 11.

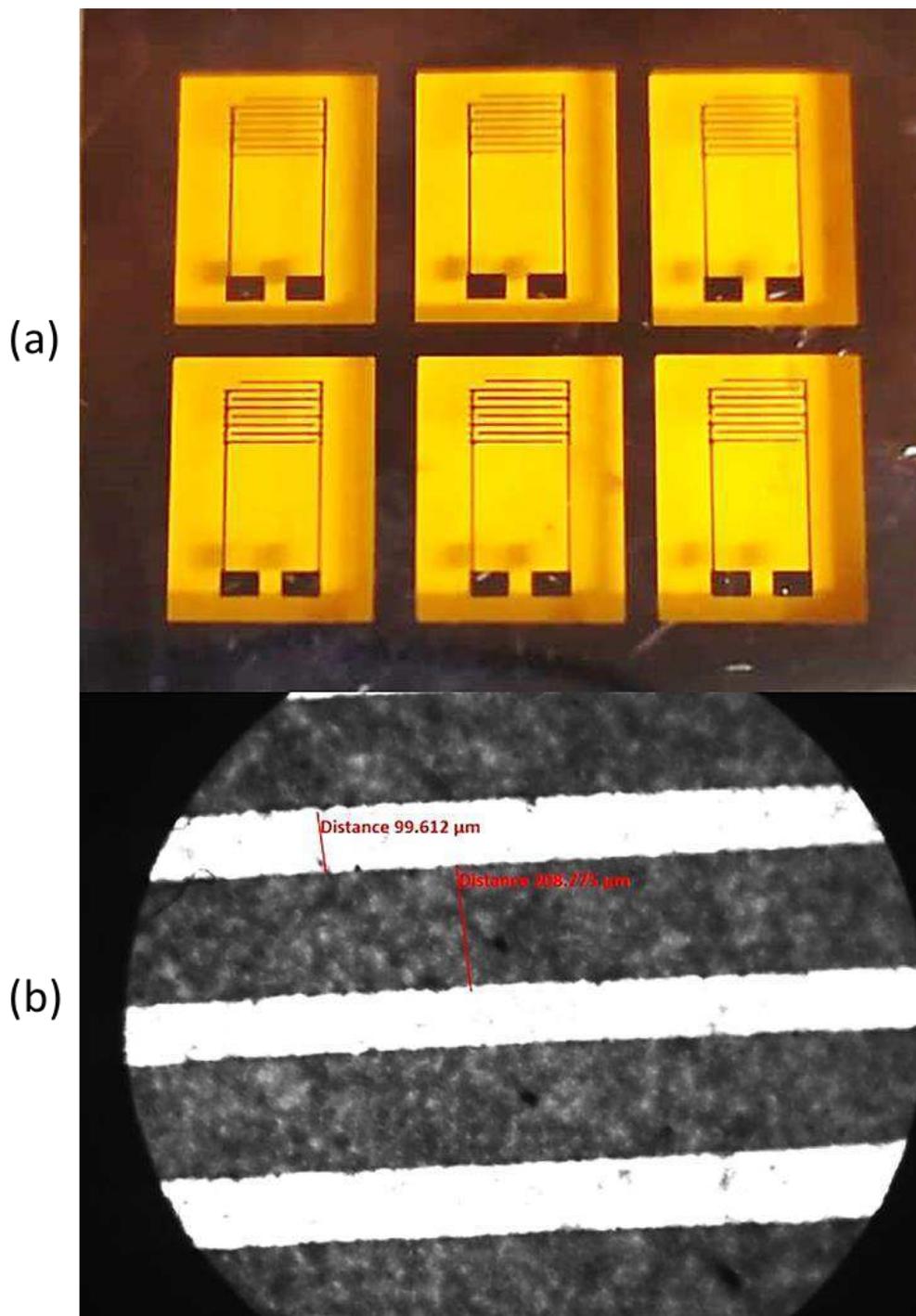
**Figura 11:** Captura de tela para ilustração da otimização da distância entre os eletrodos.



Fonte: Elaborado pela autora.

Feita a otimização da espessura entre os eletrodos, um segundo objetivo inicial era obter a otimização da espessura dos eletrodos em si. Para o valor otimizado anteriormente de largura entre os eletrodos fixado em  $100\mu\text{m}$ , vários testes foram realizados mais uma vez na impressora de fibra a laser. A largura dos eletrodos otimizada obtida foi de  $200\mu\text{m}$ , fazendo uso dos seguintes parâmetros de impressão: 18% potência, 20% de velocidade, 40kHz de frequência e 2,00mm de Z-axis (altura de foco do laser). A Figura 12 ilustra os dispositivos impressos e uma captura de tela obtida também no microscópio anteriormente utilizado.

**Figura 12:** Otimização da espessura dos eletrodos: (a) Seis dispositivos impressos com a espessura dos eletrodos otimizada, (b) captura de tela obtida com o microscópio.



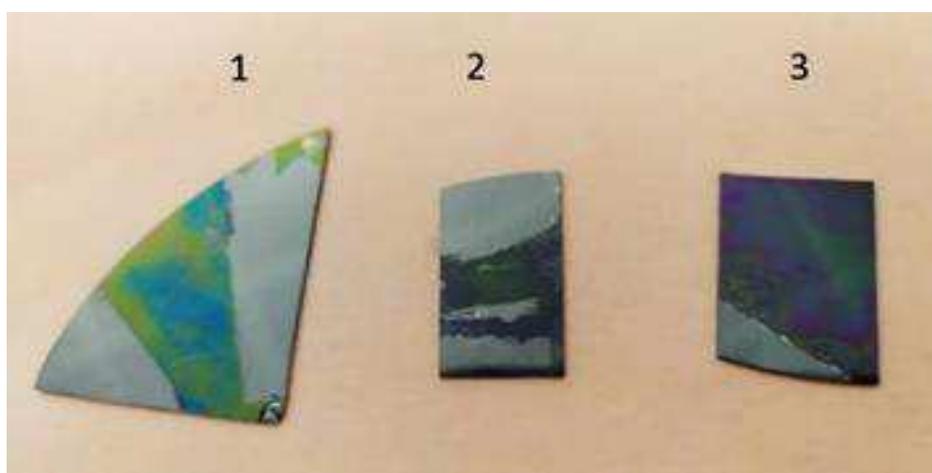
Fonte: Elaborado pela autora.

Partindo para um outro teste inicial, para familiarização com o sistema de deposição de Parileno C, após a sessão de treinamento, foram depositadas diferentes quantidades em gramas de Parileno C em amostras de wafer de silício para verificação da espessura do polímero utilizando o equipamento Perfilometro.

Após as medições, com auxílio de Saravanan Yuvaraj, MSc, as amostras foram levadas para a Estação de Ponta de Prova 4200 SCS para verificação do comportamento do material como dielétrico. É importante salientar que até então o treinamento do manuseio da Estação de Ponta de Prova ainda não havia sido realizado, e por isso o apoio do pesquisador citado foi necessário. As imagens das primeiras amostras depositadas com Parileno C são expostas na Figura 13.

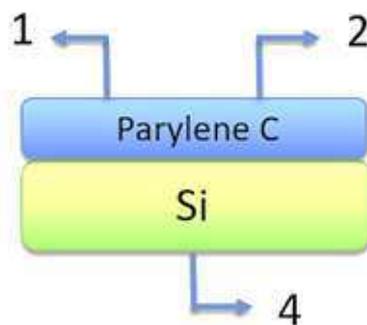
**Figura 13:** Diferentes quantidades de Parileno C depositadas em wafer de Si:

(1) 0,5g, (2) 2,5g, (3) 5g.



**Fonte:** Elaborado pela autora.

Apenas a título de demonstração, é ilustrado na Figura 14 o posicionamento das pontas da prova para realização do levantamento do comportamento dielétrico na Estação de Ponta de prova SCS 4200. A estação conta com quatro pontas de prova disponíveis, e para este teste, duas delas foram dispostas em pontos diferentes onde houve deposição do Parileno-C (em inglês, *Parylene C*) e a ponta de prova 4 foi posicionada no *wafer*.

**Figura 14:** Posicionamento das pontas de prova na Estação 4200 SCS.

**Fonte:** Elaborado pela autora.

Foi feita uma varredura no dispositivo em que foram aplicadas tensões variando num intervalo de  $[-10,10]$  V, o comportamento resistivo bem como a espessura da deposição do material verificada no perfilometro foram registrados na Tabela 3.

**Tabela 3:** Medidas de Resistência para deposição do Parileno C.

Amostra	Quantidade depositada (g)	Espessura medida (nm)	Levantamento do comportamento dielétrico	
			Posicionamento da pontas de prova	Medição (GΩ)
1	0,5	282,14	1-2	8,45
			1-4	3,98
2	2,5	1396,09	1-2	99,17
			1-4	96,95
3	3,0	2250,56	1-2	138,05
			1-4	189,05

**Fonte:** Elaborado pela autora.

## 2.4 MÉTODOS DE FABRICAÇÃO DE OFET

### 2.4.1 CONFIGURAÇÃO TOP-GATE/BOTTOM-CONTACT (TGBC)

Na Figura 15, é ilustrada a topologia TGBC. Para a construção dos dispositivos OFET utilizando esta configuração, o processo de fabricação se deu por meio dos seguintes passos:

- Inicialmente, o design apresentado na Figura 8, com dimensões de otimizadas de largura entre os eletrodos de  $100\mu\text{m}$  e largura dos eletrodos de  $200\mu\text{m}$ , foi utilizado para a formação dos contatos de fonte e dreno no Laboratório de

Microfluidos utilizando a impressora PLS6MW 1.06 $\mu$ m de fibra a laser. O processo inicial durou em média 10 minutos;

- Para formação do canal condutor, o SC Orgânico PDVT-10 foi inicialmente aquecido em um *Hot Plate* do Laboratório de Microfluidos, a uma temperatura de 110° C, para que as propriedades do material pudessem ser ativadas. Foi utilizado 50 $\mu$ L da solução polimérica para revestir o design fazendo uso do sistema POLOS *spin coating* também no Laboratório de Microfluidos. O sistema conta com uma receita pré-existente para o revestimento utilizando PDVT-10 e permanece em rotação por um período de 1 min. Ao fim desta etapa, buscando a remoção SC orgânico das áreas indesejadas do dispositivo (eletrodos de fonte e dreno), foi feita uma limpeza no design utilizando cotonetes e uma solução de acetona;
- Após a deposição por rotação do polímero responsável pelo canal condutor, a amostra passou por um processo de recozimento (*termal annealing*) a uma temperatura de 180°C fazendo uso de um *Hot Plate* EchoThermot modelo HS70, este processo serve para melhorar a morfologia do polímero. Após o aquecimento, a amostra foi resfriada à temperatura ambiente de 30° C. O processo de aquecimento e resfriamento da amostra dura aproximadamente, 1 hora.
- O polímero Parileno-C foi depositado para formação da camada dielétrica do dispositivo por meio do sistema de revestimento SCS com Parileno-C. Durante o processo, os eletrodos de fonte e dreno foram isolados por meio de fita adesiva. A duração do processo de deposição dura no mínimo 4 horas, e o processo é finalizado após aproximadamente, 5 horas. Ao fim desta etapa, as amostras foram levadas à estação de Ponta de Prova SCS 4200 para levantamento do comportamento dielétrico do dispositivo.
- O eletrodo de porta foi construído pela deposição do metal Ouro (Au), com auxílio de uma máscara metálica confeccionada pela impressora PLS6MW 1.06 $\mu$ m de fibra a laser para prevenir a deposição do metal condutor em áreas indesejadas, e, utilizando uma receita pré-existente no sistema de *sputtering*, localizado na Sala Limpa, para formação de uma camada de 180 nm do metal do metal em questão. O processo de deposição do ouro utilizando esta máquina dura em média 30 minutos.

**Figura 15:** Esquemático da topologia TGBC.

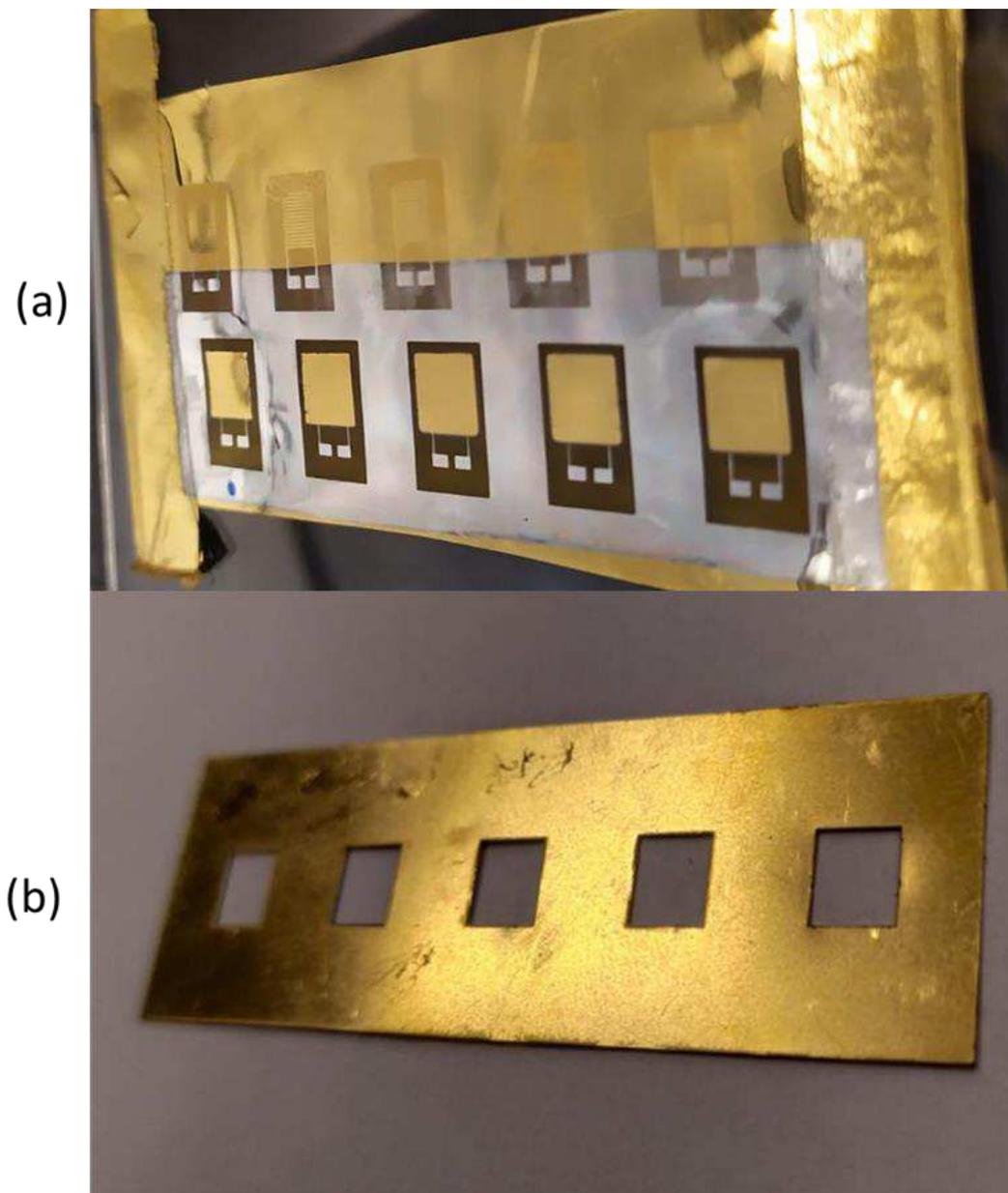


**Fonte:** Elaborado pela autora.

Neste ponto, é importante salientar que a deposição do material Au foi realizada com o auxílio de dois estudantes visitantes também do Laboratório de Sensores, Ahmed e Rawan Barajo. Uma vez que eles tiveram treinamento e acesso à máquina em questão, o processo apenas foi acompanhado por mim.

Na Figura 16 são ilustrados os primeiros dispositivos construídos bem como a máscara metálica utilizada no processo.

**Figura 16:** Topologia TGBC: (a). Primeiros dispositivos construídos, (b). Máscara de metal utilizada no processo.



**Fonte:** Elaborado pela autora.

Para a análise do desempenho do dispositivo, foi feito o levantamento do comportamento de transferência deste na Estação de Ponta de Prova SCS 4200 e com o auxílio do software de plotagem KEITHLEY no qual foi carregada a função TRANSFER para dispositivos tipo OFET, as curvas referentes aos cinco dispositivos acima, foram plotadas.

Para melhor identificação dos modelos ilustrados na Figura 16, estes foram enumerados de 1 a 5, em que 1 refere-se ao dispositivo à extrema esquerda do observador

(referenciado na Figura 16 com um ponto azul abaixo do dispositivo), e 5 refere-se ao dispositivo à extrema direita do observador.

Em se tratando do levantamento do comportamento de transferência, as características do dispositivo são verificadas realizando uma varredura na tensão de porta ( $V_G$ ) a várias tensões fixas de dreno ( $V_D$ ). Assim sendo, a partir da análise comparativa da ordem entre as grandezas correntes de dreno,  $I_D$ , e as correntes de porta  $I_G$ , é possível perceber se o dispositivo está comportando de maneira desejada como transistor. Na Tabela 4 são apresentados os valores para as tensões para os intervalos de (-20, 20) V.

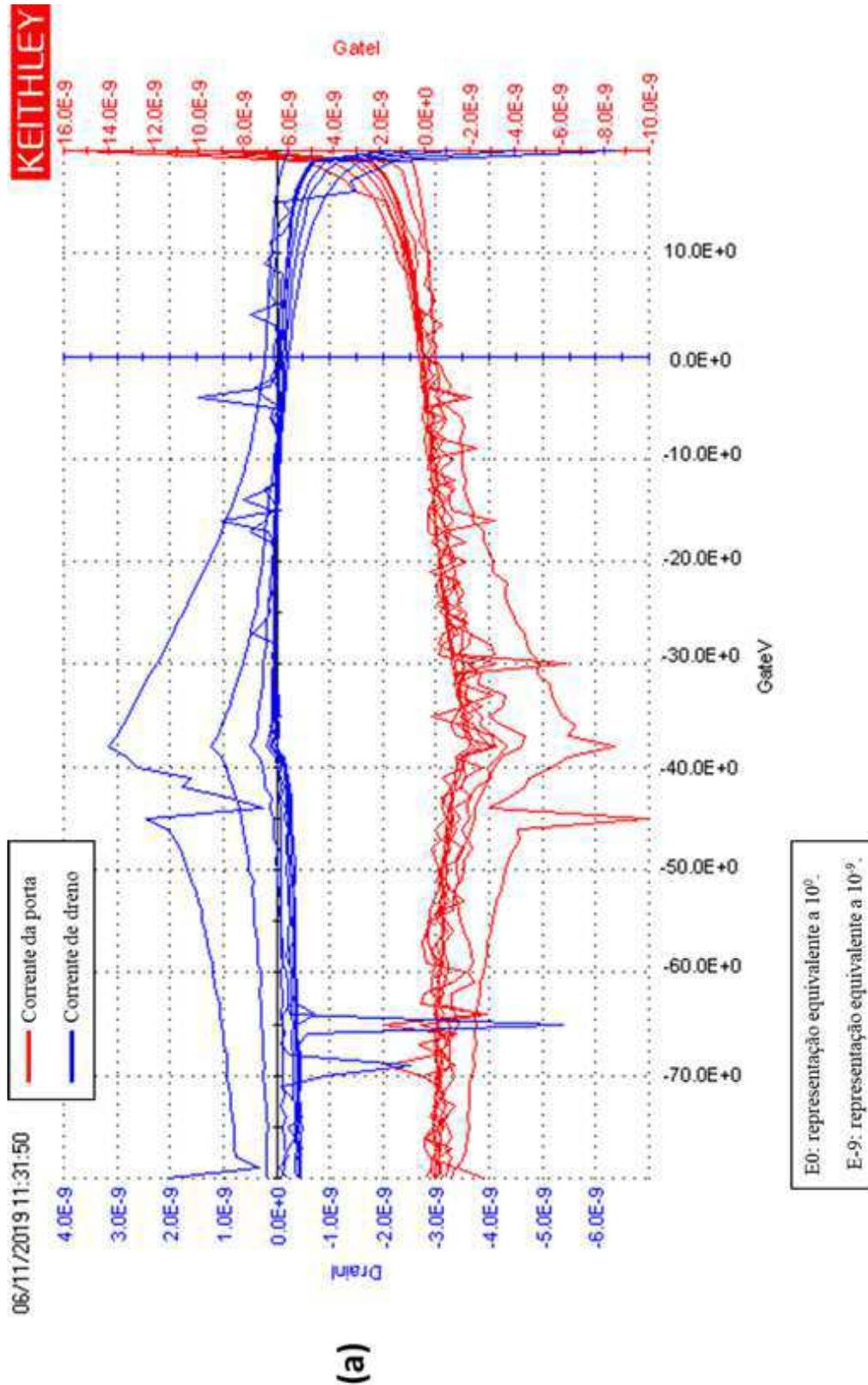
**Tabela 4:** Medidas de corrente de dreno  $I_D$  para os primeiros dispositivos construídos.

Tensão (V)	Correntes de dreno $I_D$ (nA) para cada dispositivo				
	1	2	3	4	5
-20	-1.98	-2,96	-9,91	-9,21	-4,35
20	1.88	2,79	9,42	8,40	4,34

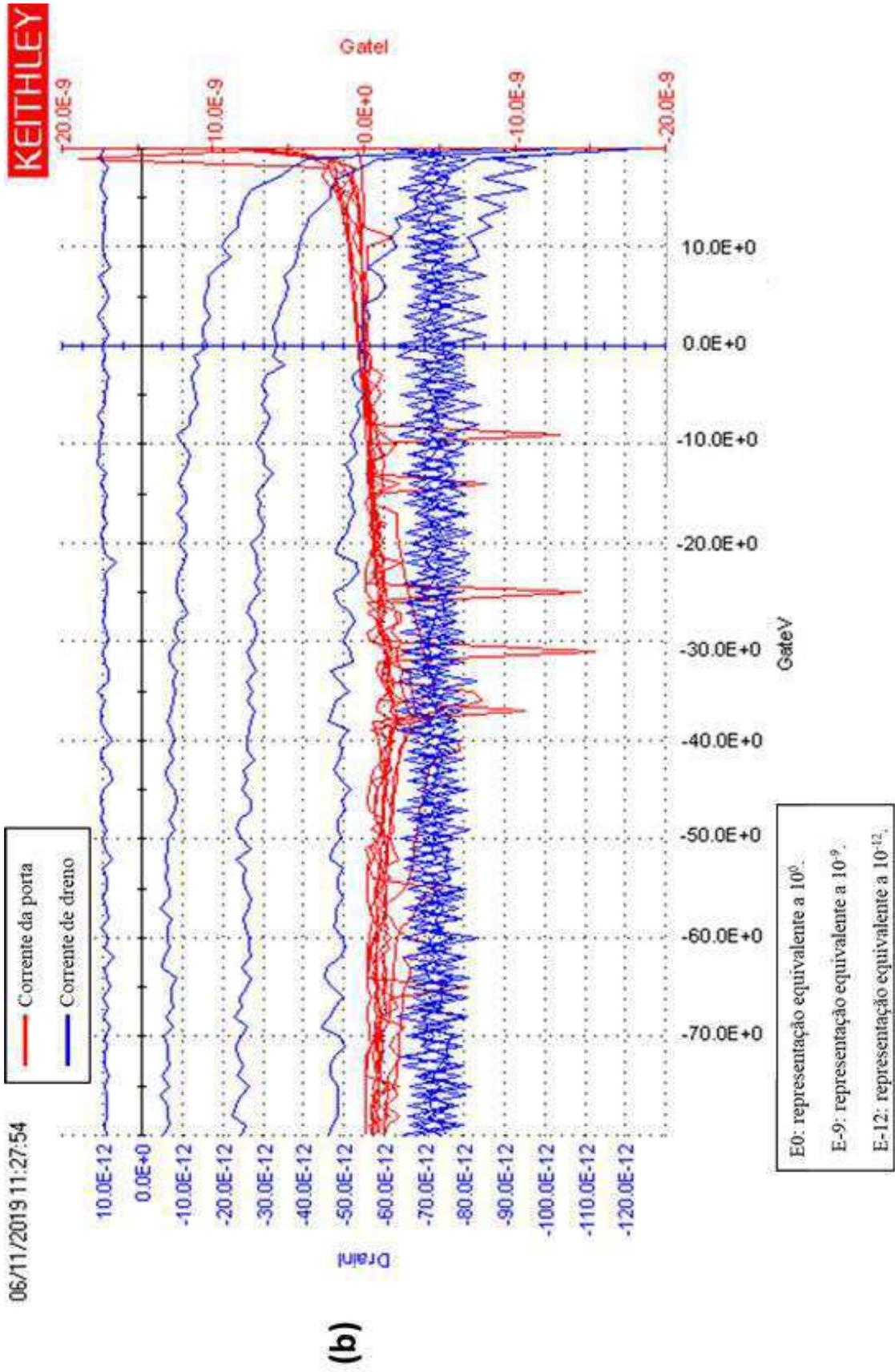
Fonte: Elaborado pela autora.

Na Figura 17 as curvas de comportamentos de transferência para os cinco dispositivos são ilustradas nas páginas a seguir, com o intuito de melhorar a resolução de cada gráfico.

**Figura 17:** Comportamentos de transferência dos dispositivos TGBC: (a) Dispositivo 1, (b) Dispositivo 2, (c) Dispositivo 3, (d) Dispositivo 4, (e) Dispositivo 5.

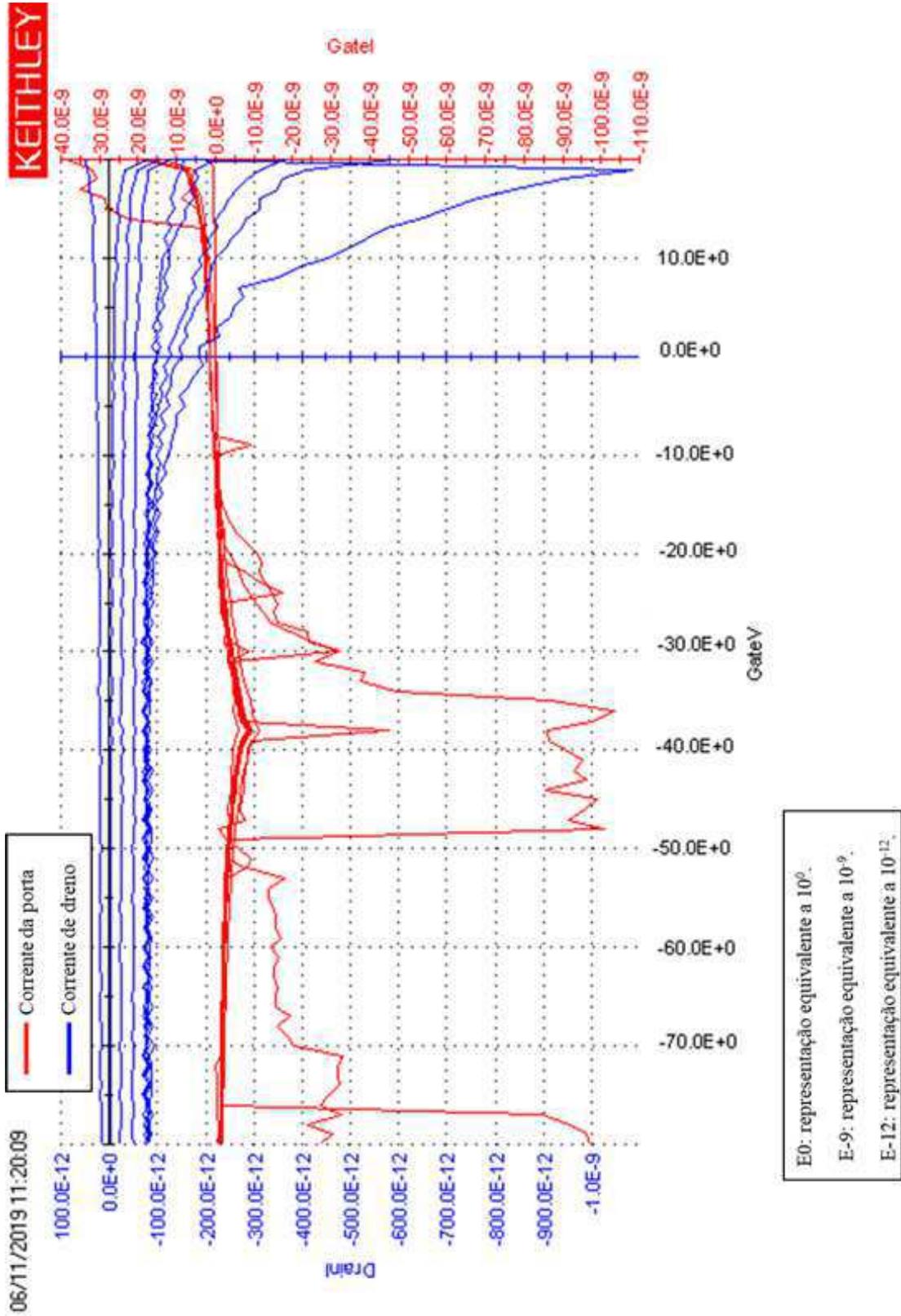


Fonte: Elaborado pela autora.



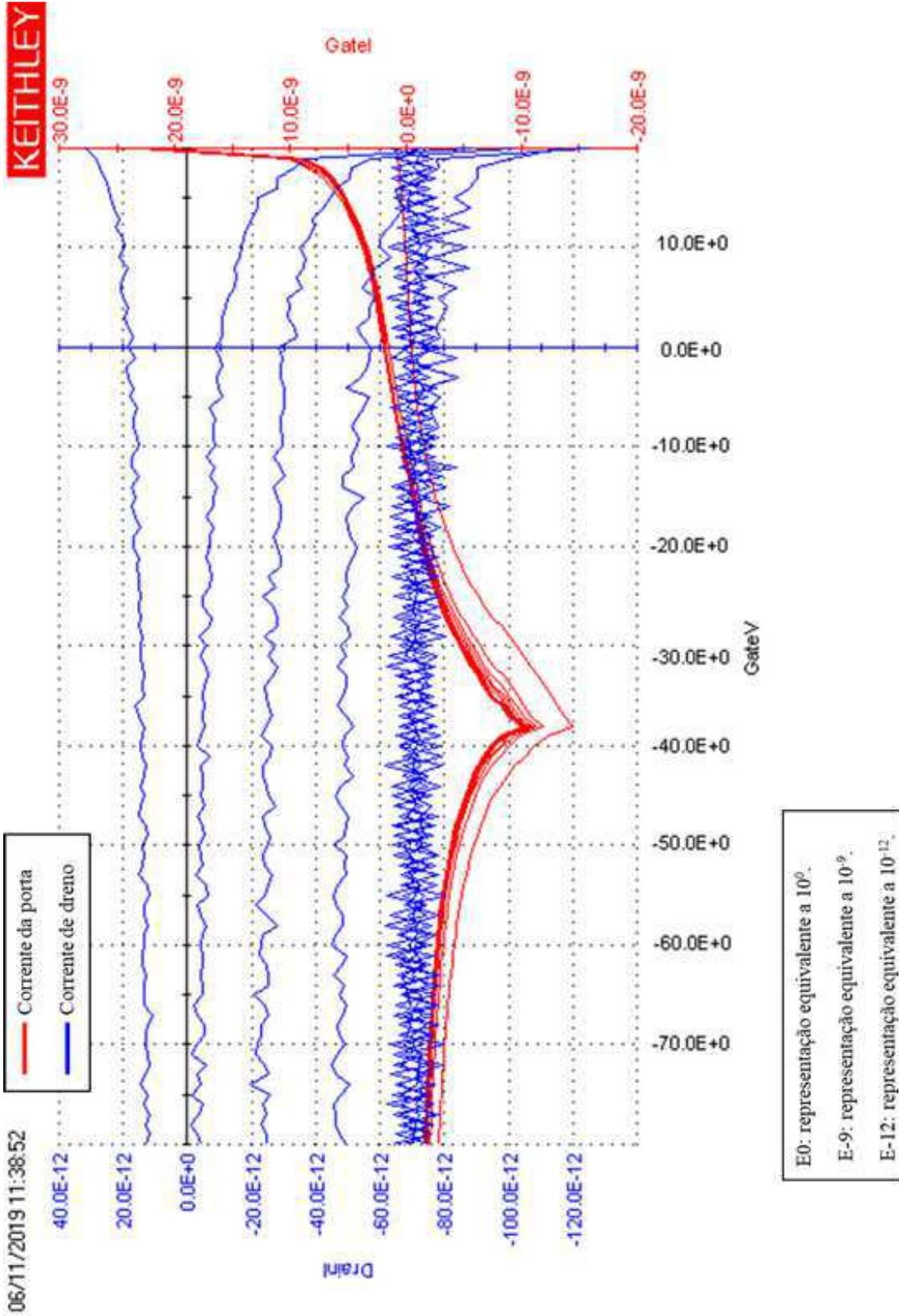
(b)

Fonte: Elaborado pela autora.



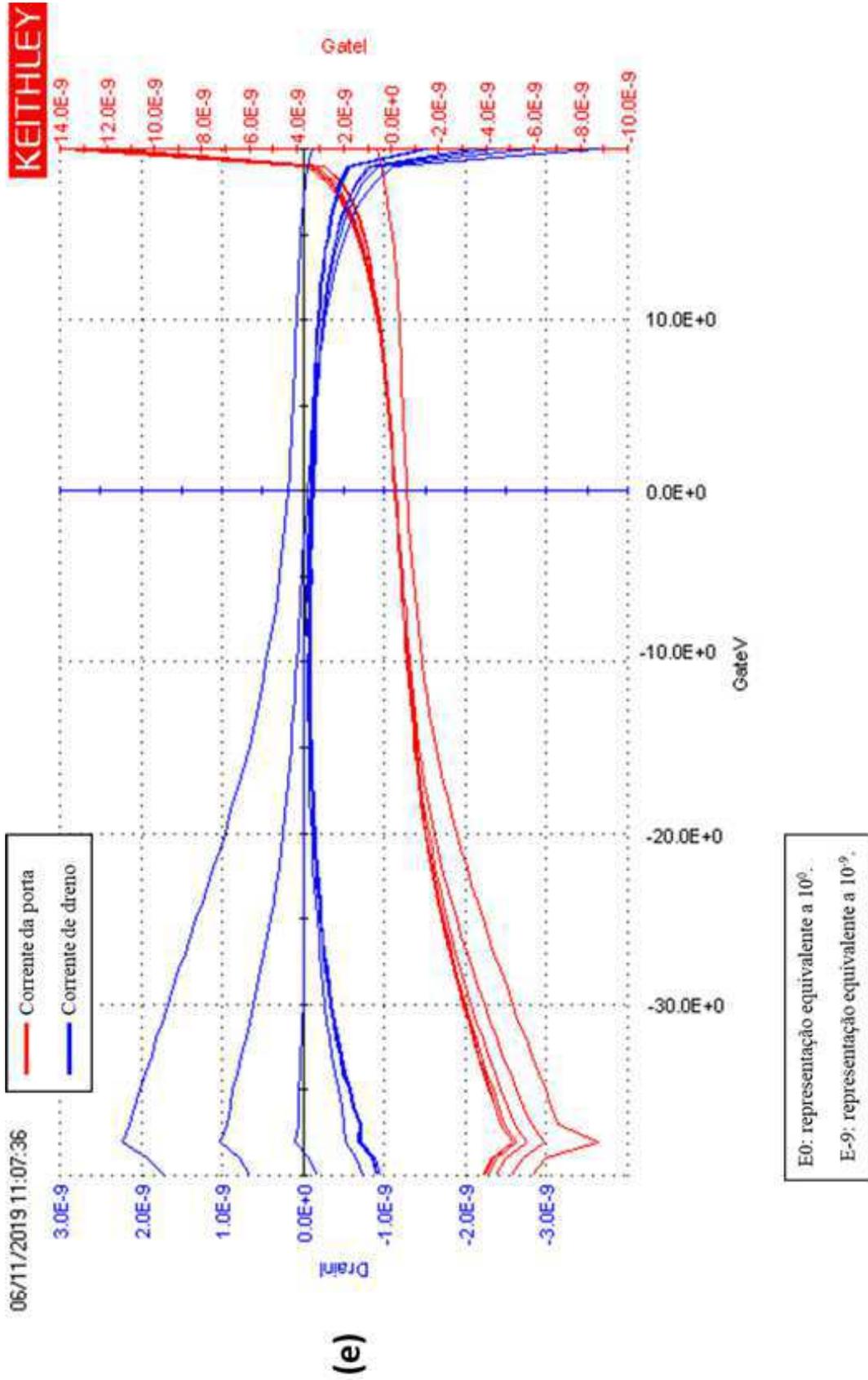
(c)

Fonte: Elaborado pela autora.



(d)

Fonte: Elaborado pela autora.



Fonte: Elaborado pela autora.

Fazendo uma análise das curvas obtidas, é possível perceber que os resultados obtidos não foram satisfatórios para a topologia utilizada e os dispositivos não apresentando curvas de transferência que descrevem o comportamento dos transistores conforme a Figura 3(b). A fim de encontrar as possíveis causas para este comportamento, outro teste foi realizado na topologia TGBC. Para tal, três dispositivos foram fabricados com três maneiras diferentes de deposição do polímero responsável pela camada do canal condutor foram testadas a fim de se obter um quadro comparativo entre os métodos.

As soluções poliméricas Pentaceno TIPS e o PDVT-10 foram depositados fazendo uso da técnica de *drop-casting* e por último, PDVT-10 foi depositado novamente por meio de *spin coating*. O processo de *drop-casting* foi realizado na Sala Limpa do Laboratório de Microfluidos por Saravanan Yuvaraj, MSc.

O processo denominado de *drop-casting* é, em linhas gerais definido como a obtenção de filmes por derramamento de uma solução polimérica sobre um substrato sólido, posterior à evaporação do solvente. Neste processo, um pequeno volume de uma solução precursora com baixa tensão de superfície é liberado por um tubo capilar e escorre com velocidade inicial desprezível ou é injetado com velocidade inicial e direcionado ao substrato. A vantagem desse processo se dá por ser simples e por haver pouco desperdício do material polimérico. As desvantagens compreendem uniformidade pequena, limitação a pequenas áreas e rendimento baixo. Além disso, o processo de *drop casting* deve ser realizado sem interferência direta da luz e após isso, a amostra deve permanecer no escuro por aproximadamente 6 horas. A Figura 18 resume a execução dessa técnica.

**Figura 18:** Processo de *drop-casting*.



**Fonte:** Elaborado pela autora.

Após a execução dos processos de *drop-casting* e de *spin coating*, os dispositivos foram levados para a estação de ponta de prova para levantamento do comportamento de transferência, como fora feito anteriormente, e foram comparadas entre si. Uma varredura de tensões foi realizada e os valores são apresentados na Tabela 5.

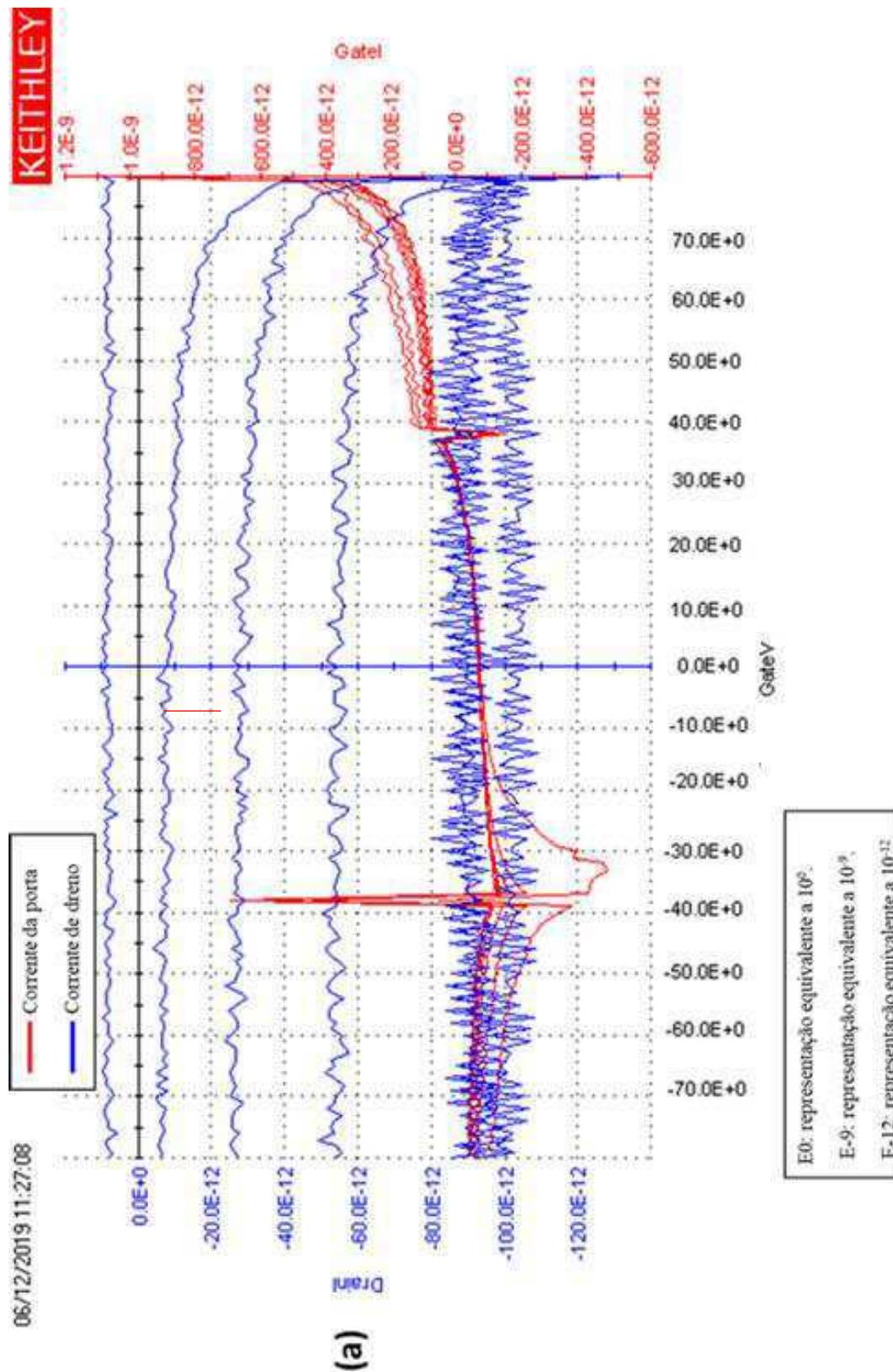
Tensão (V)	Correntes de dreno $I_D$ para cada dispositivo		
	PDVT-10 (drop-casting)	PDVT-10 (spin-coating)	TIPS (drop-casting)
-20	-576,7pA	-20,56nA	-94,059pA
20	150,69pA	23,94nA	133,39pA

**Tabela 5:** Resultados obtidos na estação de ponta de prova.

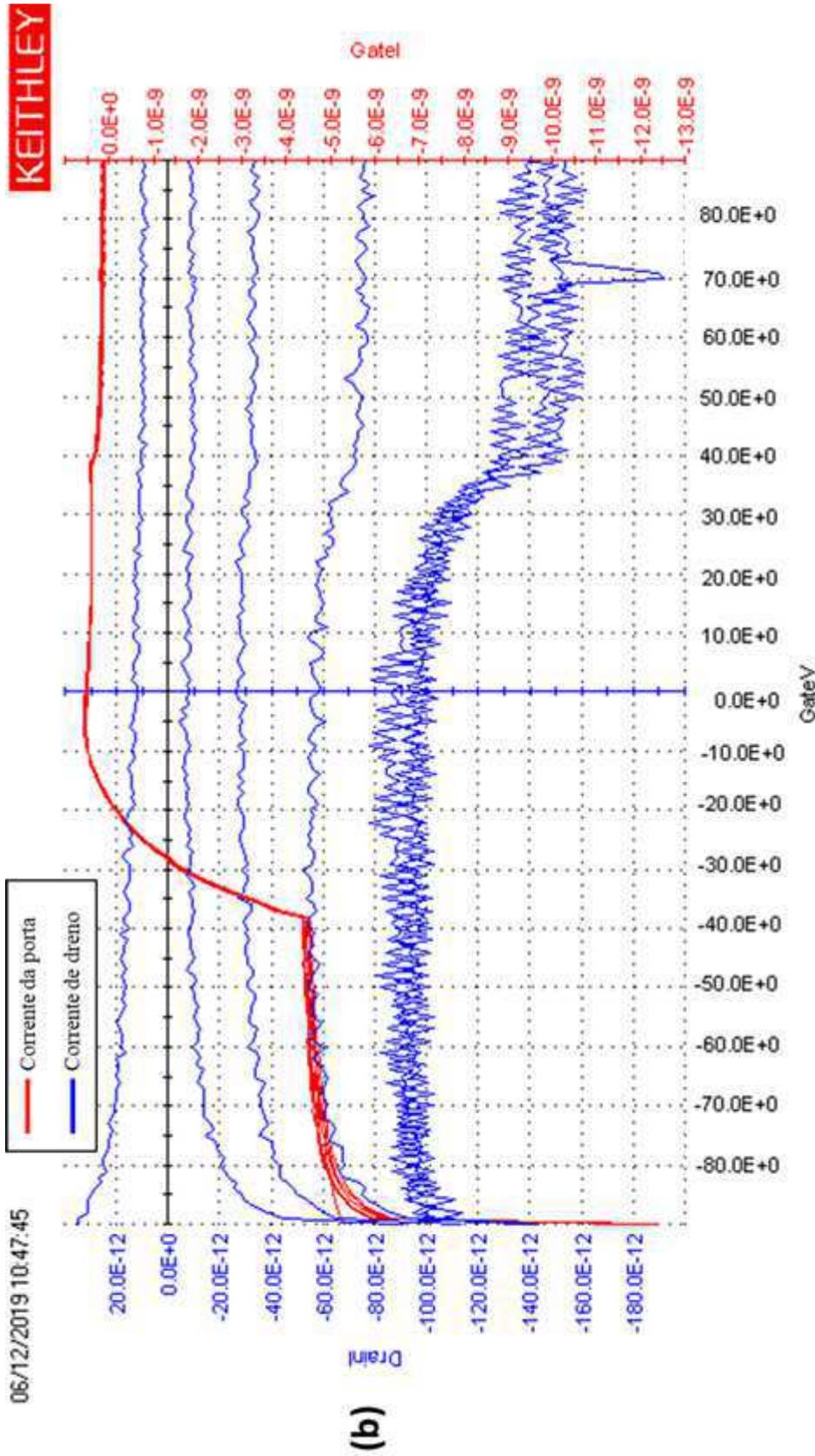
**Fonte:** Elaborado pela autora.

Os gráficos dos comportamentos, estão ilustrados na Figura 19, deixados intencionalmente na próxima página para uma melhor visualização dos dados.

**Figura 19:** Curvas de transferência para os dispositivos TGBC. (a) PDVT-10 *drop-casting*, (b) PDVT-10 *spin-coating*, (c) TIPS Pentaceno *drop-casting*.

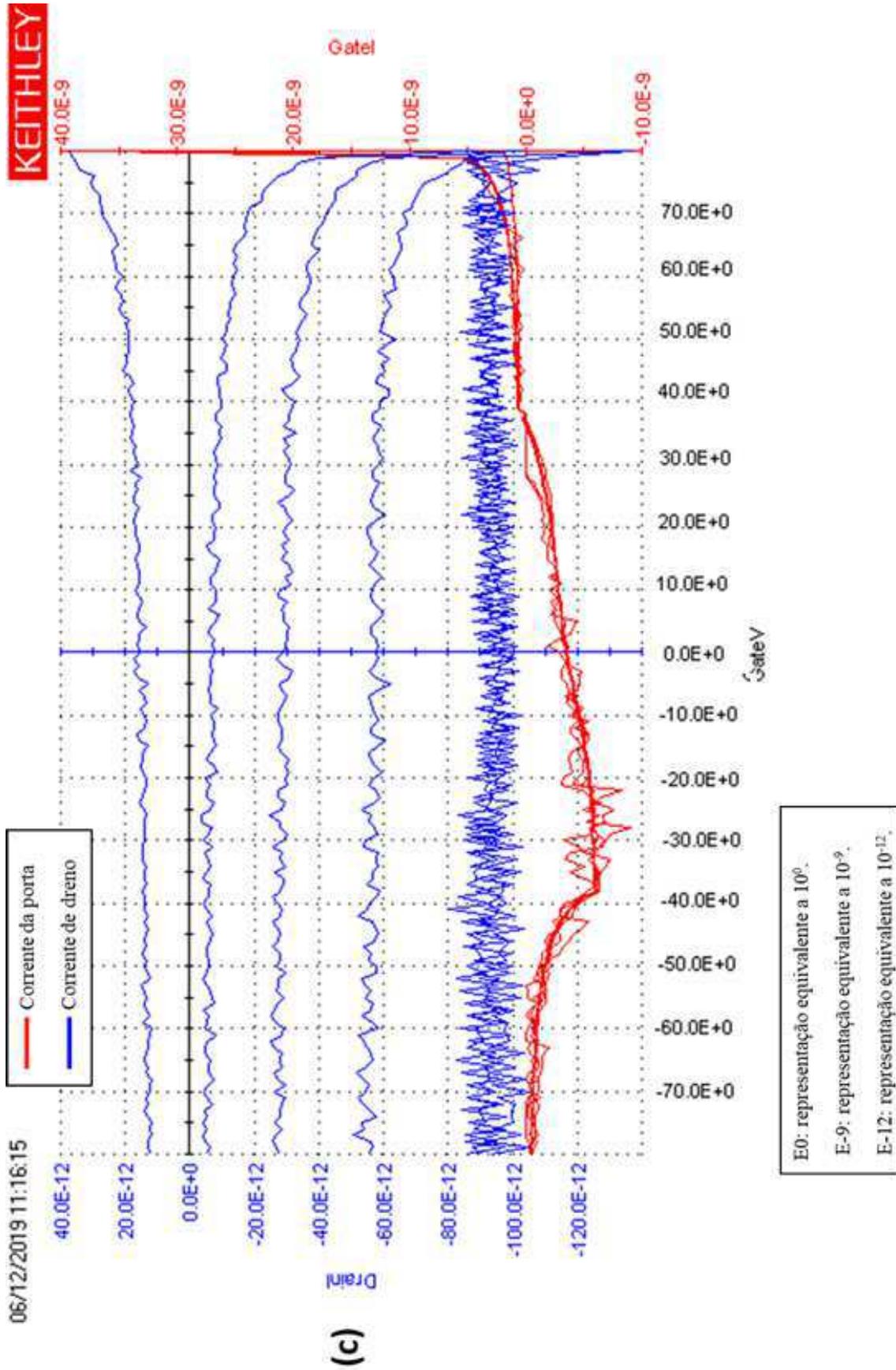


Fonte: Elaborado pela autora.



E0: representação equivalente a  $10^0$ .  
 E-9: representação equivalente a  $10^{-9}$ .  
 E-12: representação equivalente a  $10^{-12}$ .

Fonte: Elaborado pela autora.



Fonte: Elaborado pela autora.

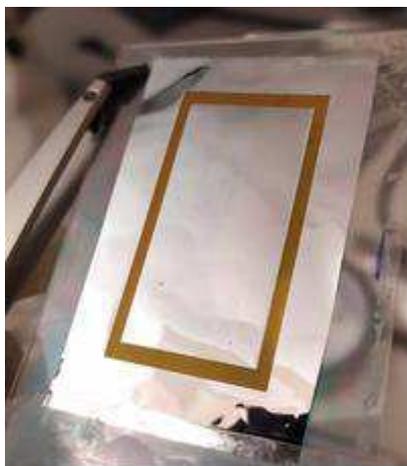
A partir do conjunto de curvas apresentados acima, muito embora três técnicas de construção do canal condutor foram utilizadas, nenhum dos dispositivos apresentou comportamento aceitável. Ao observarmos a Figura 19 (c), é possível perceber que o dispositivo utilizando a técnica de *drop-casting* com o polímero TIPS Pentaceno, apresentou uma tentativa de chaveamento por parte de dispositivo, e isto é observado nos intervalos de tensão de 40 a 70 V, todavia, a corrente de dreno apresenta-se na ordem de pico-ampères, o que não é satisfatório durante a análise do comportamento dos transistores. Além disso, como os dispositivos apresentaram muito ruído, foi decidido mudar a topologia de fabricação dos OFET a fim de obter-se um melhor desempenho.

#### 2.4.2 CONFIGURAÇÃO *BOTTOM-GATE/BOTTOM-CONTACT* (BGBC)

Buscando a obtenção de melhor desempenho dos dispositivos, a topologia BGBC foi utilizada. Para esta topologia foi utilizada uma nova abordagem, com o auxílio de uma máscara metálica contendo um design diferente do utilizado anteriormente, os eletrodos de fonte e dreno foram construídos. Os passos utilizados para a fabricação de OFET utilizando essa topologia foram:

- Com a folha de Alumínio/poliamida, o contato de porta foi construído na impressora PLS6MW 1.06 $\mu$ m de fibra a laser. Para esta topologia, foi testado construir os dispositivos com uma porta em comum para a confecção de 04 (quatro) OFET a fim de otimizar o processo. A impressão durou em torno de 10 minutos, a Figura 20 ilustra o primeiro passo desse processo;

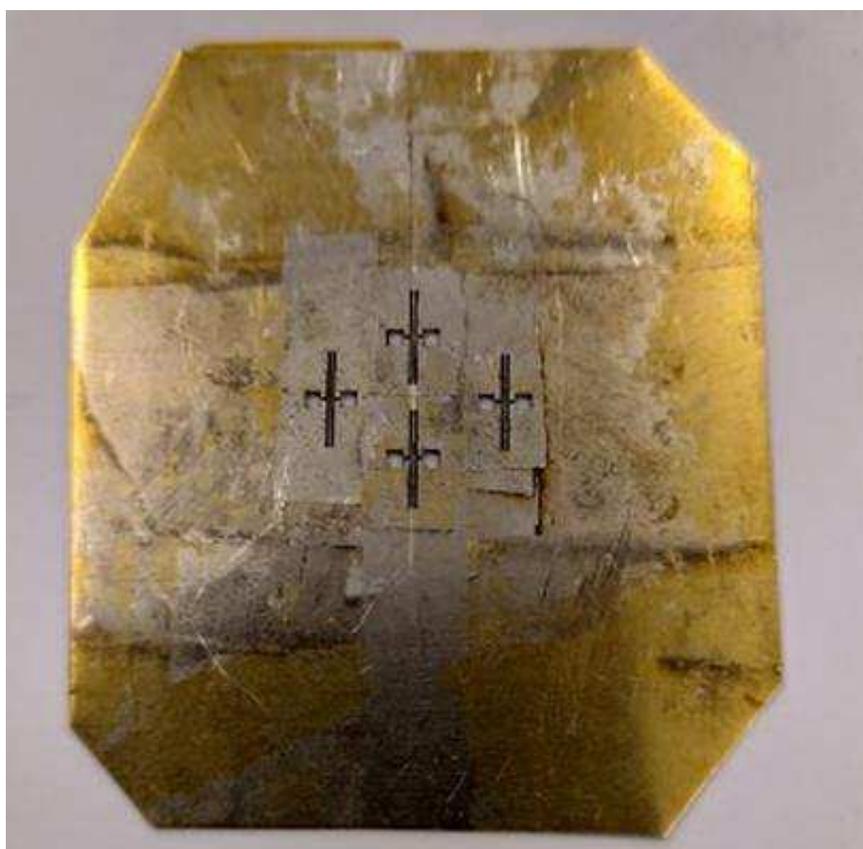
**Figura 20:** Impressão do contato de porta no substrato.



**Fonte:** Elaborado pela autora.

- O polímero Parileno-C foi depositado para formação da camada dielétrica do dispositivo por meio do sistema de revestimento SCS com Parileno-C. Afim de evitar-se deposição em áreas indesejadas, a área designada para a formação do contato de porta foi isolada com fita adesiva dupla face, de modo que o polímero fosse depositado apenas na região ativa de formação dos eletrodos de fonte e dreno;
- Os eletrodos de fonte e dreno foram construídos operando um sistema de deposição do metal por camadas, chamado *sputter coater*, ilustrado na Figura 7 e com o auxílio de uma máscara metálica ilustrada na Figura 21 que foi previamente confeccionada na impressora PLS6MW 1.06 $\mu$ m de fibra a laser e impressa em substrato metálico. A deposição foi feita com o carregamento de uma receita pré-definida no sistema para formação de filmes com espessura de até 200nm de prata (Ag) e o processo durou em média 10 minutos.

**Figura 21:** Máscara metálica utilizada para formação dos eletrodos de fonte e dreno.



**Fonte:** Elaborado pela autora.

- Por fim, para a formação do canal condutor, o SC orgânico, PDVT-10 foi depositado utilizando a técnica de *spin coating*. De maneira análoga à topologia TGBC, a amostra passou por um recozimento.

A topologia BGBC é ilustrada na Figura 22, para esta, diferentes quantidades do polímero Parileno-C, que resultam em espessuras diversas da camada dielétrica, foram depositadas e testadas.

**Figura 22:** Esquemático da Topologia BGBC.



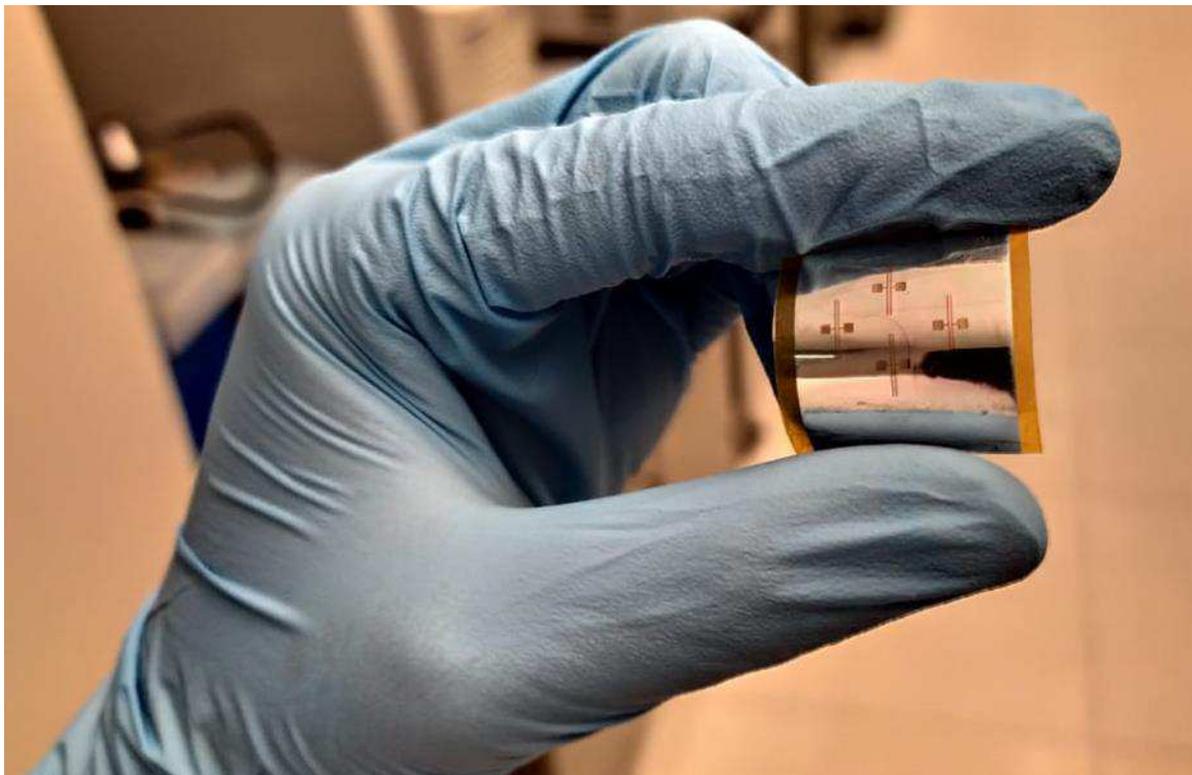
**Fonte:** Elaborado pela autora.

À medida que a quantidade do polímero Parileno-C depositada diminui, mais fino torna-se o filme formado para a camada dielétrica do dispositivo. É observado, ainda, um grande número de micro-bolhas (*pinholes*) no filme, o que compromete o comportamento resistivo da camada dielétrica.

Portanto, ao analisar-se o comportamento resistivo, percebeu-se que os dispositivos que apresentaram melhor desempenho foram obtidos partir da deposição 1,5g de Parileno – C no sistema de revestimento, o que representa uma espessura de 839,115nm, verificada no sistema Perfilometro.

Os dispositivos foram levados para estação de ponta de prova para serem analisados e estão ilustrados na Figura 23.

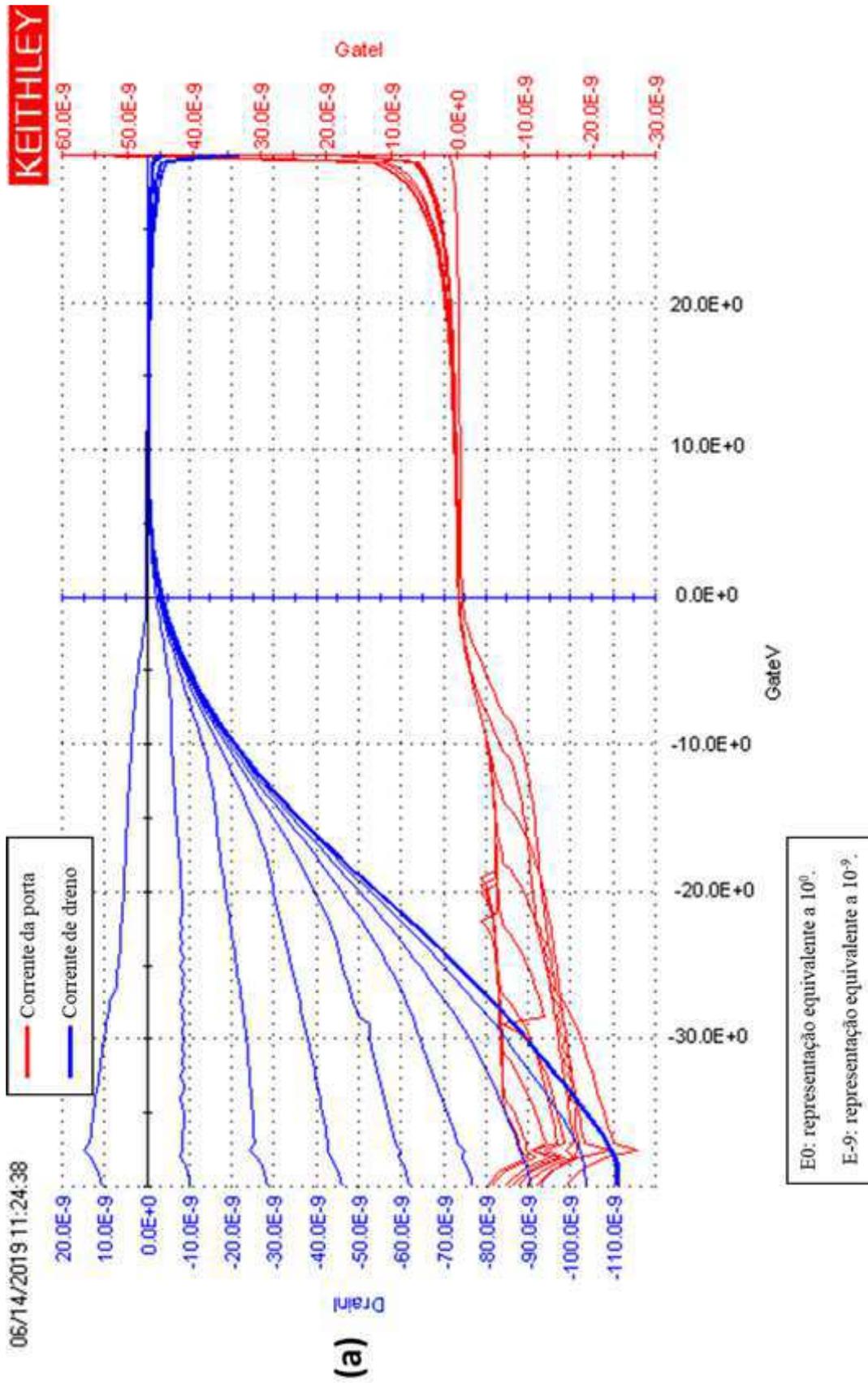
**Figura 23:** Dispositivos fabricados com a topologia BGBC.



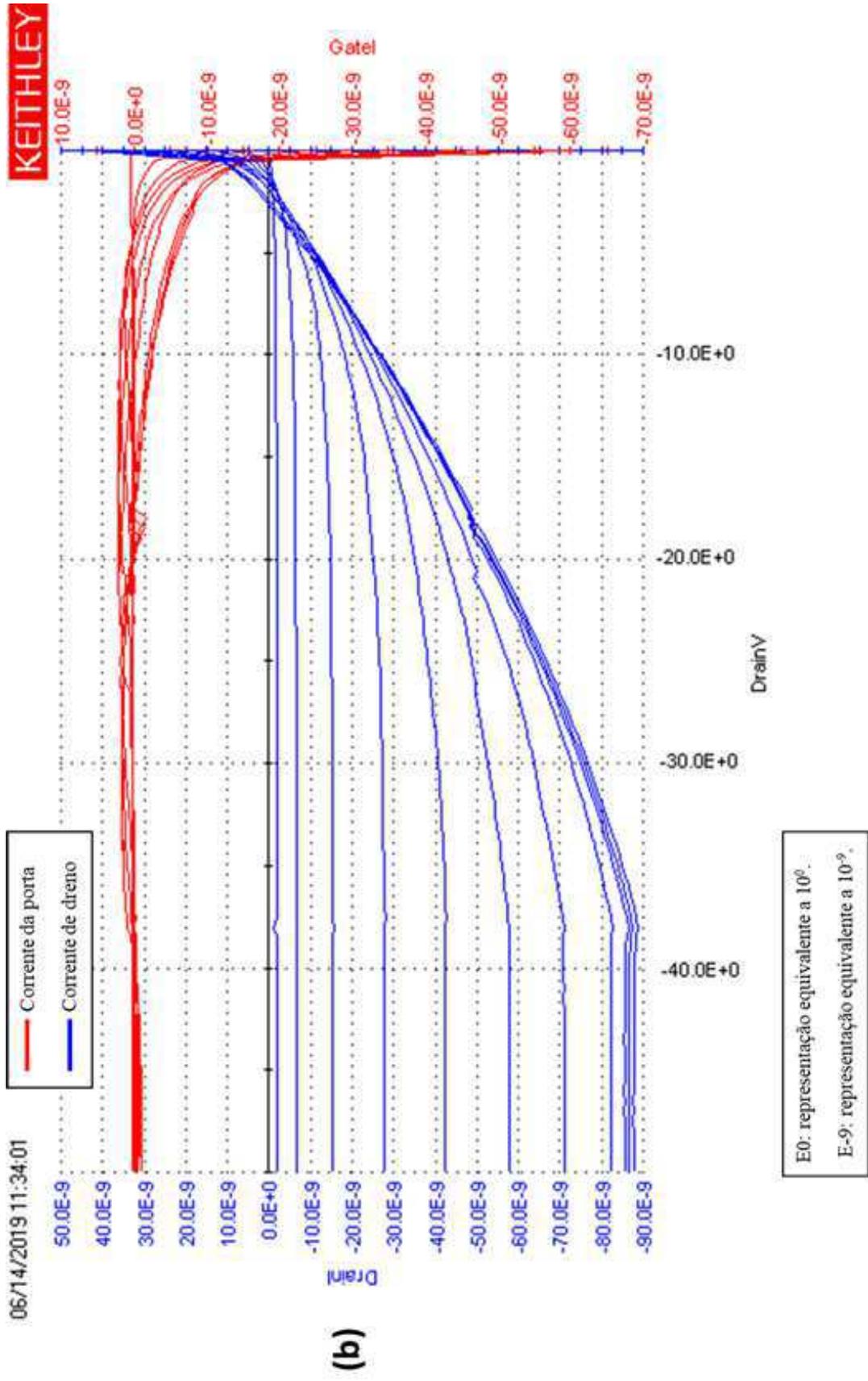
**Fonte:** Elaborado pela autora.

O conjunto de curvas de caracterização do dispositivo, transferência e saída são ilustrados na Figura 24. As imagens estão organizadas na próxima página, para obter um melhor resultado de resolução dos gráficos.

Figura 24: Características do OFET utilizando BGBC. (a) Transferência, (b) Saída.



Fonte: Elaborado pela autora.



Fonte: Elaborado pela autora.

Para a topologia BGBC, os dispositivos apresentaram um comportamento de aceitável para um transistor que pode ser comparado com os comportamentos apresentados na Figura 3. A partir do conjunto de curvas ilustrado acima, é possível perceber que o dispositivo apresenta bom controle de porta, e não há fuga de corrente nesta. No entanto, a corrente de dreno ainda é baixa, na ordem de nanoampères. Segundo a literatura, o esperado é que a corrente de porta seja muito menor que a corrente de dreno ( $I_G \ll I_D$ ) em três a quatro ordens de magnitude ( $10^3$  ou  $10^4$ ).

Uma outra questão observada nessa configuração, é que, devido às etapas para a fabricação do dispositivo, os contatos metálicos de fonte e dreno ficam abaixo do PDVT-10, polímero responsável pela condução do OFET. Uma vez que é necessário um recozimento da amostra, e o solvente utilizado na solução polimérica é o Di-cloro Benzeno, à temperatura de 180° C, durante este processo, o metal de prata também é aquecido e começa a penetrar a camada dielétrica formada pelo Parileno-C, resultado na formação de um outro canal interno à camada dielétrica. Durante a varredura de tensões no dispositivo, existe um caminho alternativo de alta condutividade para a passagem da corrente no transistor. Por conseguinte, ao invés das cargas circularem pelo canal condutor formado pelo PDVT-10, estas irão preferir circular pelo canal alternativo criado.

A solução para este problema foi testar uma última topologia, chamada BGTC, a fim de evitar que o recozimento da amostra pudesse interferir no comportamento do dispositivo.

#### 2.4.3 CONFIGURAÇÃO *BOTTOM-GATE/TOP-CONTACT* (BGTC)

A fim de solucionar o problema enfrentado com a topologia anterior, uma terceira topologia foi testada, chamada BGTC. Os passos para esta topologia são os seguintes:

- De maneira, análoga à topologia BGBC, com a folha de Alumínio/poliamida, o contato de porta, em comum para quatro dispositivos, foi construído na impressora PLS6MW 1.06µm de fibra a laser, tal qual ilustrado na Figura 20;
- O polímero Parileno-C foi depositado para formação da camada dielétrica do dispositivo por meio do sistema de revestimento SCS com Parileno-C, e a área de porta foi isolada com fita dupla face;
- Para a formação do canal condutor, o SC orgânico, PDVT-10 foi depositado utilizando a técnica de *spin coating* e a amostra passou por recozimento;

- Por fim, a formação dos eletrodos de fonte e dreno se deu com o auxílio da máscara metálica utilizada anteriormente e ilustrada na Figura 21 no sistema de *sputter coater* ilustrado na Figura 7 do Laboratório de Sensores da KAUST.

Acreditou-se que, a topologia BGTC poderia fornecer melhor desempenho dos dispositivos devido ao fato que a formação do canal condutor não estaria comprometida pela interação entre o metal responsável pela formação dos eletrodos de fonte e dreno, a Prata (Ag), e o dielétrico Parileno-C durante o recozimento da amostra.

No entanto, durante os testes de fabricação para esta topologia, ao analisar-se o levantamento das características de transferência dos OFET para dispositivos com espessuras de camada dielétrica diversas, estes não só não apresentaram bom desempenho como também não apresentaram bom controle de porta, ou ainda, apresentaram fuga de corrente, o que resultou em um comportamento não satisfatório para esta topologia.

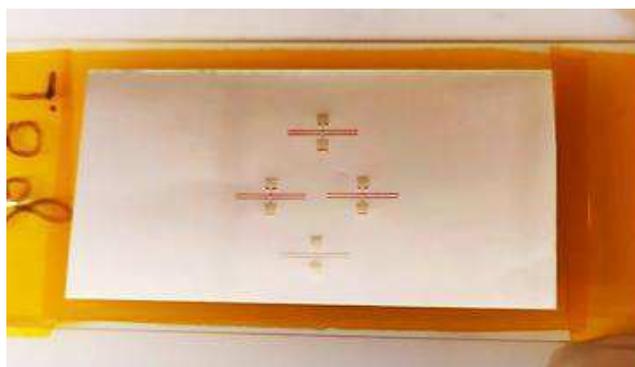
A seguir, as Figuras 25, 26 e 27 ilustram a topologia BGTC, alguns dos dispositivos fabricados e o comportamento de transferência de alguns dispositivos OFET, para uma espessura de 117,60 nm de camada dielétrica, respectivamente.

**Figura 25:** Esquemático da Topologia BGTC.



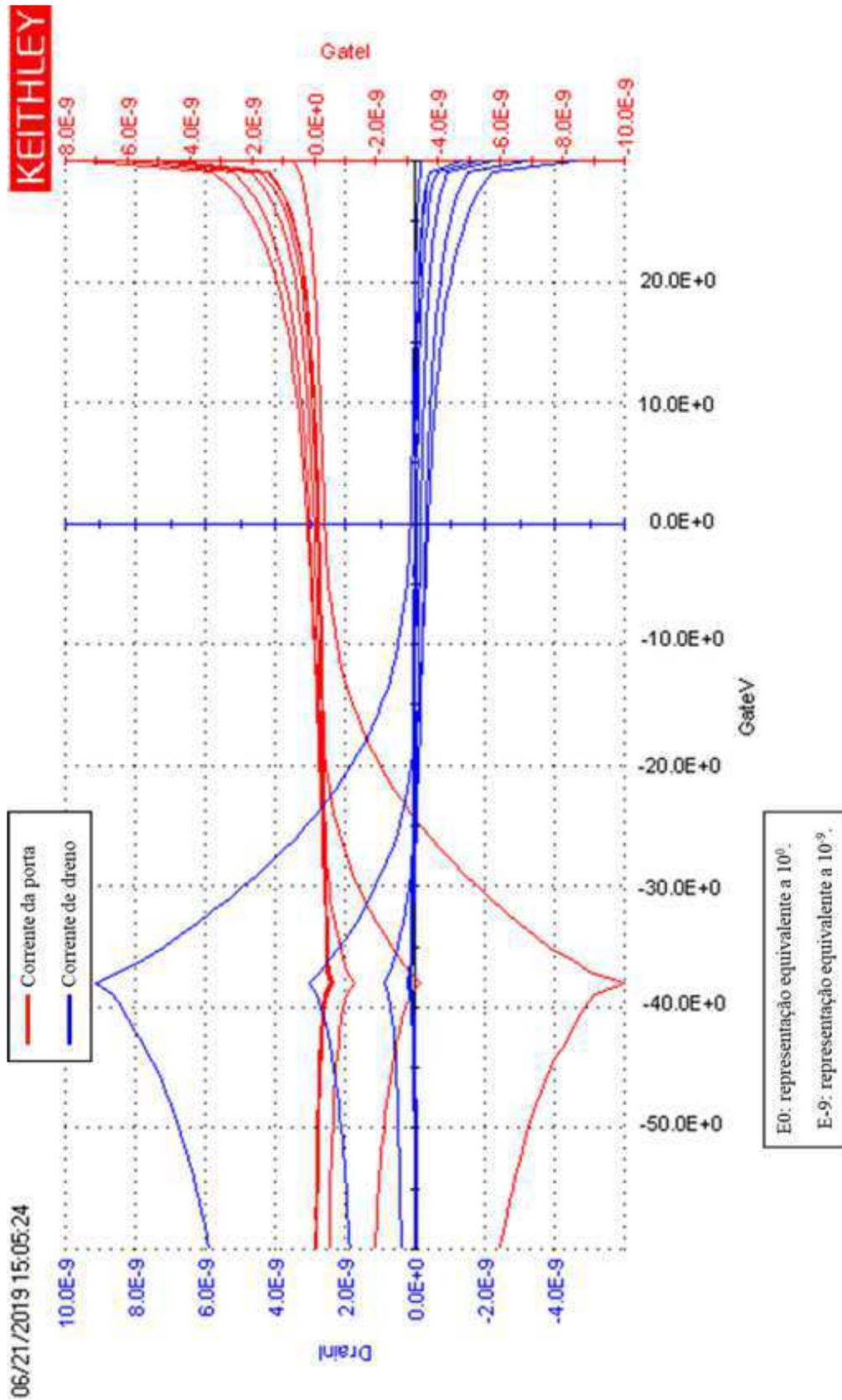
**Fonte:** Elaborado pela autora.

**Figura 26:** Dispositivos fabricados com topologia BGTC.



**Fonte:** Elaborado pela autora.

Figura 27: Características de transferência utilizando topologia BGTC.



Fonte: Elaborado pela autora.

A partir do conjunto de curvas acima, é possível perceber que o dispositivo está tentando chavear, mas o canal não está totalmente formado, e, por conseguinte, a corrente de dreno do dispositivo ainda é baixa, na faixa dos nanômetros.

Portanto, a topologia que apresentou o melhor resultado para os cenários aqui apresentados, foi a BGBC, com uma quantidade de 1,5g do polímero Parileno-C depositados para a formação da camada dielétrica dos dispositivos, o que resulta em um filme de aproximadamente 839,115 nm e utilizando a receita para formação dos contatos de fonte e dreno na máquina de deposição por camadas, chamada *sputter coater* fazendo uso da receita pré-definida para formação de um filme de prata de 200nm.

Em particular, para os OFET, seu desempenho depende do conjunto da interface isolante/semicondutor, principalmente, devido ao acúmulo de portadores de carga. Além disso, as propriedades da interface afetam fortemente o transporte de carga através do canal do dispositivo. É por estas razões que a pesquisa de novos polímeros semicondutores bem como de novos materiais dielétricos é um fator chave para aprimorar o desempenho dos dispositivos (ARAMBULO, 2016).

### 3 CONCLUSÕES

Em suma, ter possuído a oportunidade de desenvolver um projeto em parceria entre o Laboratório de Instrumentação LIMC na UFCG e o Laboratório de Sensores da KAUST, foi extremamente gratificante e desafiador para minha carreira acadêmica. Fui designada a primeira aluna a desenvolver trabalhos na área de OFET no Laboratório de Sensores da KAUST, e muito embora os resultados não tenham atendido a expectativa inicial em sua totalidade, estes foram essenciais para o andamento das próximas etapas do projeto de Fabricação de OFET em Substrato Flexível e serviram de base para os próximos alunos que assumirão as atividades.

Algumas dificuldades enfrentadas durante o projeto foram:

- Manuseio do substrato flexível, a folha de Al/poliamida por ser um material flexível, deve ser manuseada com cautela para que não seja contaminada, e não apresente nenhuma curvatura a fim de não comprometer a impressão do design do dispositivo. À medida que se busca imprimir dispositivos em maior escala, o manuseio do substrato torna-se mais desafiador para aplaná-lo na base de vidro;
- Manuseio do equipamento Profilometro: a máquina utilizada para medição da espessura de materiais, i.e., espessura do Parileno-C, é de alta sensibilidade, portanto, a amostra não deve estar contaminada em sua superfície, ou o usuário irá obter uma leitura equivocada. Além disso, poucas pessoas utilizam esse tipo de equipamento, portanto em caso de dúvidas, se fez necessário contatar o responsável pela máquina, Xiaofang Chen, que nem sempre estava disponível;
- Otimização da espessura da camada dielétrica: A performance do dispositivo é diretamente afetada pela espessura da camada dielétrica. A princípio, pequenas quantidades do polímero Parileno-C foram depositadas, mas quanto menores as quantidades depositadas, tão maiores são o número de microbolhas da amostra, o que compromete a qualidade do filme. Por outro lado, ao aumentar-se a quantidade de material depositada, o filme torna-se mais espesso, o que implica num aumento de corrente necessária para chaveamento do dispositivo, além do que, se a camada for muito espessa, o dispositivo pode

não apresentar um comportamento de transistor e sim, um comportamento resistivo por não conseguir ser chaveado;

- Recozimento da amostra na topologia BGBC: durante o uso desta topologia, devido à necessidade de recozimento da amostra após a deposição do polímero PDVT-10, a prata depositada para formação dos eletrodos de fonte e dreno é diretamente afetada pelo solvente do PDVT-10, o Di-cloro benzeno. A altas temperaturas, o metal começa a reagir com o solvente penetrando a camada dielétrica e formando um canal interno altamente condutivo, causando um curto-circuito nesta camada.

Ao fim das atividades desenvolvidas, foi constatado que os dispositivos com a topologia BGBC apresentaram melhor comportamento em termos de análise do comportamento do transistor com o esperado dos dispositivos. Os próximos passos para melhoria dos dispositivos foram definidos como: utilizar de outro polímero para formação do canal condutor, novo estudo da otimização da camada dielétrica, e estudo de novas técnicas para fabricação dos OFET em larga escala.

Por fim, por ser uma nova área que ainda está conquistando espaço no mundo da pesquisa no ramo da microeletrônica, o estudo e análise do processo de fabricação de OFET demanda tempo e paciência por parte dos pesquisadores. Todos os passos para a fabricação devem ser seguidos de maneira rigorosa, e o responsável pela fabricação deve sempre estar atento e ser cauteloso para que suas amostras não sejam contaminadas.

## REFERÊNCIAS

- AL-SHADEEDI A. *Lateral and Vertical Organic Transistors*. Tese (Doutorado em Física)- Kent State University, Ohio, EUA. 2017.
- ARAMBULO P.C.S. **Estudo da camada dielétrica para o desenvolvimento de transistores de efeito de campo orgânicos (OFET) em polímeros conjugados** (Doutorado em Física) - Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro.2016.
- BARRETO A.R.J. **Desenvolvimento e caracterização de Transistores Orgânicos Emissores de Luz (OLETs) baseados em moléculas pequenas conjugadas** (Doutorado em Física) - Pontifícia Universidade Católica do Rio de Janeiro, Rio de Janeiro. 2018.
- KLUG, A. *Organic Field-Effect Transistorss - Process Development, Stability Issues and Sensor Applications* (Doutorado em Física) - Graz University of Technology, Styria, Áustria. 2010.
- LEE Y.H., JANG M., LEE M.Y., KWEON O.Y., OH J.K. *Flexible Field-Effect Transistor Type Sensors Based on Conjugated Molecules*, CellPress Review - Elsevier, Cambridge, Massachusetts, EUA. 2017.
- LIRA, P.H.P., **Análise de modelos de transporte eletrônico em transistores de efeito de campo** (Mestrado em Ciência dos Materiais)- Universidade de Brasília, 2016.
- PATERNIO G. L., FONSECA J.F. **Dispositivos Eletrônicos Poliméricos - Aula 2: Métodos de Deposição de Filmes Poliméricos** - Universidade de São Paulo Escola Politécnica, Departamento de Engenharia de Sistemas Eletrônicos. 2017.
- SACCO P. **A história do primeiro Transistor** - Disponível em: <https://www.embarcados.com.br/a-historia-do-primeiro-transistor/> . 2014. Acessado em: 17/11/2019.
- SURYA G.S., RAVAL N.H., AHMAD R., SONAR P. SALAMA K. L, RAO R.V., *Organic field effect transistors (OFETs) in environmental sensing and health monitoring: A review*, Elsevier - *Trends in Analytical Chemistry*. 2018.
- VERDUCI, T. *Optimizing OFETs properties for spintronic applications*. (Doutorado em Física da Matéria Condensada) - Université of Strasbourg, Strasbourg, França. 2016.