



Universidade Federal de Campina Grande

Centro de Engenharia Elétrica e Informática

Curso de Graduação em Engenharia Elétrica

TÚLIO CHAVES DE ALBUQUERQUE

**CIRCUITOS ANALÓGICOS EM TECNOLOGIA CMOS PARA
APLICAÇÕES EM PRÓTESES RETINIANAS**

Campina Grande, Paraíba.
Julho de 2015

TÚLIO CHAVES DE ALBUQUERQUE

CIRCUITOS ANALÓGICOS EM TECNOLOGIA CMOS PARA
APLICAÇÕES EM PRÓTESES RETINIANAS

*Trabalho de Conclusão de Curso submetido à
Unidade Acadêmica de Engenharia Elétrica da
Universidade Federal de Campina Grande
como parte dos requisitos necessários para a
obtenção do grau de Bacharel em Ciências no
Domínio da Engenharia Elétrica.*

Área de Concentração: Microeletrônica analógica.

Orientador:

Professor Raimundo Carlos Silvério Freire, D. Sc.

Campina Grande, Paraíba.
Julho de 2015

TÚLIO CHAVES DE ALBUQUERQUE

CIRCUITOS ANALÓGICOS EM TECNOLOGIA CMOS PARA
APLICAÇÕES EM PRÓTESES RETINIANAS

*Trabalho de Conclusão de Curso submetido à Unidade
Acadêmica de Engenharia Elétrica da Universidade
Federal de Campina Grande como parte dos requisitos
necessários para a obtenção do grau de Bacharel em
Ciências no Domínio da Engenharia Elétrica.*

Área de Concentração: Microeletrônica analógica

Aprovado em / /

Professor Avaliador
Universidade Federal de Campina Grande
Avaliador

Professor Raimundo Carlos Silvério Freire, M. Sc.
Universidade Federal de Campina Grande
Orientador, UFCG

Dedico este trabalho a Deus, aos meus pais, à
minha namorada e a todos os amigos e família
que contribuíram para eu chegar até aqui.

AGRADECIMENTOS

Agradeço à UFCG, em primeiro lugar, pela minha acolhida e pelas condições oferecidas, que me permitiram concluir este trabalho.

Agradeço também aos meus pais, Célia e Sérgio, e ao meu irmão André por terem se esforçado tanto para me proporcionar uma boa educação, por terem me alimentado com saúde, força e coragem, que foram essenciais para superação de todas as adversidades ao longo desta caminhada.

Sou imensamente grato à minha namorada Thaís, pelo incondicional apoio em todas as etapas deste trabalho de conclusão de curso – desde a escolha do tema até a escrita e correção do relatório.

Agradeço também a toda minha família (principalmente meus pais, tios e tias) e à de Thaís (em especial a Dona Iara, Jane, Raylla e Neto), que com todo carinho e apoio, não mediram esforços para me ajudar a chegar a esta etapa da minha vida.

Sou imensamente grato aos meus melhores amigos Thaís, Arthur e Cybelle, por poder sempre compartilhar os bons e os maus momentos, além das inúmeras noites viradas no LIMC. Agradeço também às famílias deles, que nesta reta final de curso deram todo o suporte que precisamos (especialmente Dona Iara, Jane, Dona Aurenny, Seu Luiz, e Shirley).

Agradeço ao meu orientador Raimundo Freire, pela paciência, disponibilidade, atenção e tempo dedicados a sugestões e ao acompanhamento deste trabalho, além das inúmeras oportunidades a mim oferecidas, desde que o conheci em 2011.

Agradeço enormemente à professora Ana Isabela Araújo Cunha, da UFBA, por ter me enviado uma quantidade imensa de artigos científicos para que eu pudesse desenvolver este trabalho.

Agradeço a todos os colegas do LIMC, com os quais pude aprender e evoluir pessoal e profissionalmente. Em especial, o professor Raimundo Freire, Malone, Luana, Arthur, Cybelle, Vanuza e, claro, Thaís.

Sou extremamente grato a Adail Paz e Tchaikowsky Oliveira, da CGEE UFCG, que ajudaram intensamente em todas as questões administrativas e burocráticas envolvidas não apenas agora, mas desde que comecei o curso (até mesmo em tempos de greve).

Enfim, agradeço a todos que de alguma forma passaram pela minha vida e contribuíram para a construção de quem sou hoje.

“It is our choices that show what we truly are, far more than our abilities.”

Albus Dumbledore.

RESUMO

Este trabalho de conclusão de curso tem como objetivo fazer uma pesquisa bibliográfica sobre circuitos analógicos utilizados para a implementação de próteses retinianas. Mais especificamente, o conceito de redes neuronais celulares é estudado, bem como os principais blocos de circuitos analógicos utilizados para este tipo de estrutura. Primeiramente, um estudo do sistema visual humano é feito, para a compreensão do funcionamento de seus principais órgãos e em especial, da retina. Faz-se um breve comparativo entre os modelos funcionais e estruturais da mesma, bem como uma analogia entre o seu funcionamento e a operação das redes neuronais celulares. Depois, é explicitado o conceito base de rede neuronal, enfatizando, em seguida, o tipo de rede focado na implementação física, chamada de *Full Range Signal*. Em seguida, são estudados circuitos como multiplicadores analógicos, transportadores de corrente e memórias de corrente. O funcionamento de cada um dos blocos é, então, descrito. São abordadas as vantagens e desvantagens de cada técnica, além de situar cada bloco no contexto mais geral de redes neuronais celulares.

Palavras-chave: Próteses Retinianas, Microeletrônica Analógica, Redes Neuronais Celulares.

ABSTRACT

This work has the main propose of doing a bibliographic research about analog circuits used for the implementation of retinal prosthesis. More specifically, the concept of Cellular Neural Network is studied, as well as the main blocks of analog circuits used for this kind of structure. First, a study about the human visual system is made, in order to understand the operation of its main organs and specially, the retina. A brief comparative between the functional and structural retina models is made, as well as an analogy between the operation of the retina itself and the cellular neural network. Then, the basic concept of neural network is explained, with an emphasis on the kind of network that is focused on its physical implementation, called Full Signal Range. In sequence, circuits as analog multipliers, current conveyors and current memories are shown. The operation of each block is then described. Their advantages and disadvantages are addressed, in addition to the placement of each block in a wider context in cellular neural networks;

Keywords: Retinal Prosthesis, Analog Microelectronics, Cellular Neural Networks.

LISTA DE ILUSTRAÇÕES

FIGURA 1 SEÇÃO TRANSVERSAL DE UM OLHO HUMANO.	14
FIGURA 2 ORGANIZAÇÃO ESQUEMÁTICA SIMPLIFICADA DE UMA RETINA. FONTE: (MARTINS E SOUSA, 2009).	15
FIGURA 3 PRINCIPAIS COMPONENTES DE UMA PRÓTESE NEURONAL VISUAL.	16
FIGURA 4 REDE NEURONAL CELULAR.	19
FIGURA 5 DIAGRAMA DE BLOCOS DA CÉLULA PADRÃO DE UMA CNN FONTE: (SANTANA, 2013).	20
FIGURA 6 DIAGRAMA DETALHADO DA CÉLULA PADRÃO, EXPLICITANDO OS PESOS SINÁPTICOS. FONTE: (SANTANA, 2013)	21
FIGURA 7 DIAGRAMA DE BLOCOS PARA UMA CÉLULA PADRÃO DA UMA FSR CNN. FONTE: (SANTANA, 2013).	22
FIGURA 8 IMPLEMENTAÇÃO DE UM TRANSPORTADOR DE CORRENTE. FONTE: (GÁLAN, JIMENEZ-GARRIDO, <i>ET AL.</i> , 2003)	25
FIGURA 9 AMPLIFICADOR DE TRANSCONDUÇÃO COM MECANISMOS DE CORREÇÃO DE <i>OFFSET</i>	26
FIGURA 10 ESQUEMÁTICO DA MEMÓRIA DE CORRENTE S ³ I.	27
FIGURA 11 ESPELHO DE CORRENTE REPROGRAMÁVEL.	28
FIGURA 12 CÉLULA DA CNN IMPLEMENTADA POR (GÁLAN, JIMENEZ-GARRIDO, <i>ET AL.</i> , 2003)	29
FIGURA 13 BLOCO ALTERNATIVO PARA IMPLEMENTAÇÃO DE SINAPSE.	29
FIGURA 14 BLOCO PARA IMPLEMENTAÇÃO DA SINAPSE UTILIZANDO OTA.	30

LISTA DE SIGLAS

CMOS – Complementary Metal-Oxide-Semiconductor;

CNN – Cellular Neural Network;

FPGA – Field-Programmable Gate Array;

FSR – Full Signal Range;

MOS – Metal-Oxide-Semiconductor

NMOS – Negative Metal-Oxide-Semiconductor

OTA – Operational Transconductance Amplifier

PMOS – Positive Metal-Oxide-Semiconductor

SoC – System on Chip;

SVH – Sistema Visual Humano.

SUMÁRIO

1	Introdução	13
1.1	A retina	14
1.1.1	Representação da retina em diagrama de blocos.....	16
1.1.2	Tipos de modelos da retina	17
2	Redes neuronais celulares	19
3	Circuitos analógicos para implementação de CNN	23
3.1	Bloco de sinapse utilizando transistor único.....	23
3.2	Transportador de corrente	25
3.3	Memória de corrente	27
3.4	Espelhos de corrente reprogramáveis	27
3.5	Células de CNN implementadas	28
4	Conclusão.....	31
	Bibliografia.....	32

1 INTRODUÇÃO

O Sistema Visual Humano (SVH) é responsável por transformar uma informação visual em um sinal elétrico. Este sinal é transmitido ao longo da rede de células nervosas até o cérebro, que o interpreta como a imagem que o gerou. Ele é composto pelo olho e pelo nervo ótico, que leva a informação visual até o cérebro.

O olho é responsável pelo processamento óptico da informação. Ele é composto por diversas partes que servem basicamente para focar a luz incidente na retina. Essa é o tecido neuronal responsável por converter o estímulo visual em um sinal elétrico (MARTINS e SOUSA, 2009).

O olho humano (representado na Figura 1) é um sistema óptico que pode ser considerado como um sensor que fornece informação visual ao cérebro (A. FERREIRA, 2009). Ele possui alguns componentes fundamentais (A. FERREIRA, 2009):

1. Córnea: membrana protetora, transparente;
2. Íris: músculo colorido que controla o tamanho da pupila;
3. Pupila: abertura no centro da íris cujo diâmetro varia para regular a quantidade de luz admitida;
4. Cristalino ou lente: foca a luz incidente na retina;
5. Retina: camada que forra o fundo do olho e é formada por células sensíveis à luz.

O objetivo da pesquisa à qual este relatório se refere é explicitar alguns dos circuitos que foram projetados a fim de que eles sejam aplicados a próteses retinianas. O processamento neuronal que é feito na retina ainda representa um desafio, embora modelos ópticos para reproduzir as funções do olho são relativamente fáceis de implementar com a tecnologia atual (MARTINS e SOUSA, 2009).

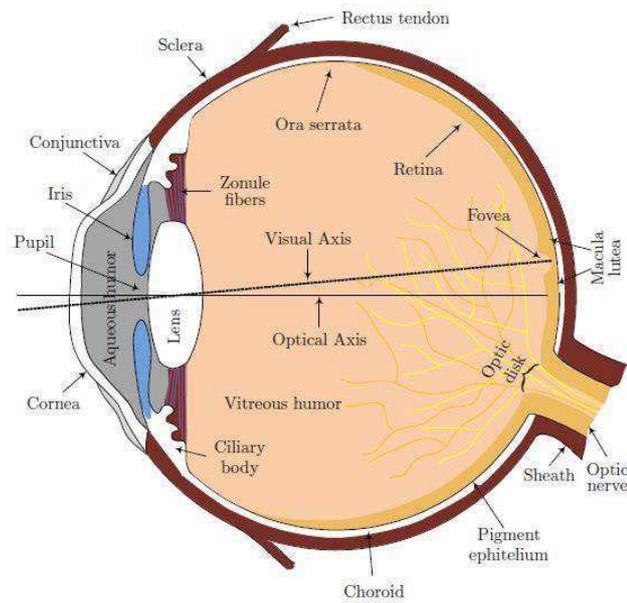


FIGURA 1 SEÇÃO TRANSVERSAL DE UM OLHO HUMANO.

1.1 A RETINA

A retina é um tecido neuronal que está presente no SVH e pode ser vista como uma extensão do próprio cérebro (MARTINS e SOUSA, 2009). Ela possui uma alta complexidade, devido à imensa quantidade de diferentes células especializadas, e cuja principal função é iniciar o processamento paralelo da informação, chamado de visão inicial ou *Early vision* (BOAHEN, 1996).

A retina é um disco circular com espessura de aproximadamente 0,5 mm composto de várias camadas de neurônios distintos entre si. Um diagrama simplificado da retina é representado na Figura 2. Na retina humana, há dois tipos de fotorreceptor: cones e bastonetes. Estes últimos são longos e finos, sensíveis apenas à luminosidade e mais numerosos. Já os cones são menos numerosos, menos sensíveis à luminosidade, mas perceptíveis às cores. Existem três tipos de cones no olho humano: azul, verde e vermelho, que correspondem ao comprimento de onda ao qual são mais sensíveis. É notável que os cones se concentram quase que exclusivamente na fóvea (MARTINS e SOUSA, 2009).

processamento (SANTANA, 2013). Alguns estudos recentes (ZAGHLOUL, 2009), (GOLLISCH e MEISTER, 2010), contudo, têm atribuído à retina outras funções de processamento:

1. Filtragem espaço-temporal;
2. Adaptação à luz;
3. Adaptação ao contraste;
4. Computação seletiva;
5. Detecção de níveis baixos de luminosidade;
6. Detecção de movimento.

Tendo em vista a importância da retina no SVH, e sabendo que patologias diversas podem ser responsáveis pelo seu mau funcionamento, é evidente que o desenvolvimento de próteses retinianas é de grande interesse.

1.1.1 REPRESENTAÇÃO DA RETINA EM DIAGRAMA DE BLOCOS

De modo a tentar reproduzir o comportamento de uma retina humana, as funções de uma prótese neuronal visual podem ser representadas pelo diagrama de blocos da Figura 3 (MARTINS e SOUSA, 2009).

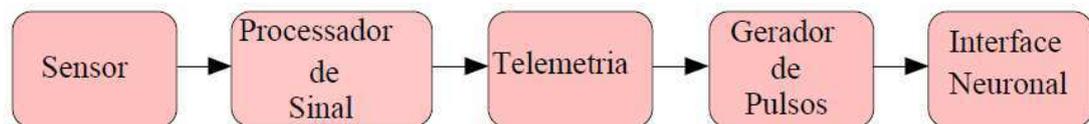


Figura 3 PRINCIPAIS COMPONENTES DE UMA PRÓTESE NEURONAL VISUAL.

O bloco sensor captura a informação visual e a transforma em um sinal elétrico. No componente de processamento, é feito um tratamento da informação recebida, que corresponde ao estímulo visual. Este tratamento depende do modelo da retina adotado.

O sistema de telemetria é responsável pela transmissão da informação (via radiofrequência ou conectores percutâneos), além da geração de sinais de controle dos circuitos. O gerador de impulsos por sua vez estimula a interface neuronal, bloco que transforma os sinais elétricos em correntes iônicas, que se propagam pelo corpo humano.

Cada bloco do sistema representa um desafio substancial do ponto de vista de concepção. Para torná-los viáveis, é necessário que os circuitos apresentem um bom compromisso entre baixo consumo, desempenho, tamanho, flexibilidade e autonomia. Este desafio torna-se ainda mais nítido quando a evolução dos circuitos e dos sistemas biomórficos é comparada com os milhões de anos de evolução biológica, que permitiram aos seres humanos desenvolver um sistema tão complexo e eficiente quanto o SVH, e em particular, a retina.

1.1.2 TIPOS DE MODELOS DA RETINA

Dois modelos de retina predominam nas publicações científicas: os modelos funcionais e os estruturais. Nos primeiros, a retina é abordada como um bloco com várias entradas e saídas, em que se busca reproduzir ao máximo as funções que ocorrem entre estes terminais. Nos modelos estruturais, prioriza-se o conhecimento fisiológico da retina para impulsionar o desenvolvimento de sistemas biomórficos (sistemas artificiais de engenharia inspirados em arquiteturas neurobiológicas) para desempenhar as mesmas funções da retina (MEAD, 1989).

Os modelos funcionais da retina normalmente consistem de um sensor, ligado a um conversor analógico para digital e um elemento único de processamento (geralmente implementado em SoC ou FPGA) (SANTANA, 2013). As principais vantagens destes modelos são a robustez do processamento, flexibilidade de programação e facilidade/rapidez de projeto.

Contudo, os sistemas biomórficos, amplamente utilizados nos modelos estruturais, têm apresentado características promissoras e desempenho destacável com relação a requisitos do sistema como implantabilidade, tamanho reduzido, baixo consumo e operação eficiente com baixas tensões (LIU, WANG e AN, 2009). Considerando estes requisitos, trabalhos como (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003), baseados em redes neuronais celulares (CNN) apresentam um bom compromisso entre velocidade e flexibilidade de programação, características fundamentais para o desenvolvimento de sistemas visuais (MOINI, 1997), (MOINI, 2000).

Desenvolver próteses que possam substituir a retina humana é, apesar de desafiadora, uma tarefa encorajadora. Uma motivação evidente é a contribuição para melhorar a qualidade de vida de pessoas com limitações visuais, possibilitando a execução de atividades simples como o reconhecimento de objetos e de fisionomias e

até mesmo a leitura. Os desafios para uma prótese desse tipo vão desde a complexidade dos sistemas de aquisição e processamento de imagem até a problemática de alimentação da prótese.

Com o objetivo de sistematizar a apresentação deste trabalho de conclusão de curso, o texto foi dividido em quatro capítulos. No capítulo 2, é feita uma breve descrição das redes neuronais, que são a base para a maioria dos atuais sistemas analógicos de processamento de imagens. No capítulo 3, são mostrados os principais blocos de circuito normalmente utilizados para a implementação de redes neuronais em próteses retinianas. Finalmente, no capítulo 4, são feitas as principais conclusões do trabalho.

2 REDES NEURONAIS CELULARES

As redes neuronais celulares (*Cellular Neural Network* - CNN) formam uma classe de circuitos analógicos não lineares (CHUA e YANG, 1988) que têm sido bastante utilizadas no processamento de imagens. Com isso, permitiram o desenvolvimento de um novo paradigma para a computação analógica (CHUA e ROSKA, 2002).

A Figura 4 representa uma CNN. Ela consiste em um arranjo retangular de células $C_{i,j}$ que se conectam a uma vizinhança S de raio r por meio de sinapses, como explicitado em (1).

$$S_r = \{(k, l) | \max_{1 \leq k \leq M, 1 \leq l \leq N} (|k - i|, |l - j|) \leq r\} \quad (1)$$

Em que r, i, j, k, l são inteiros positivos.

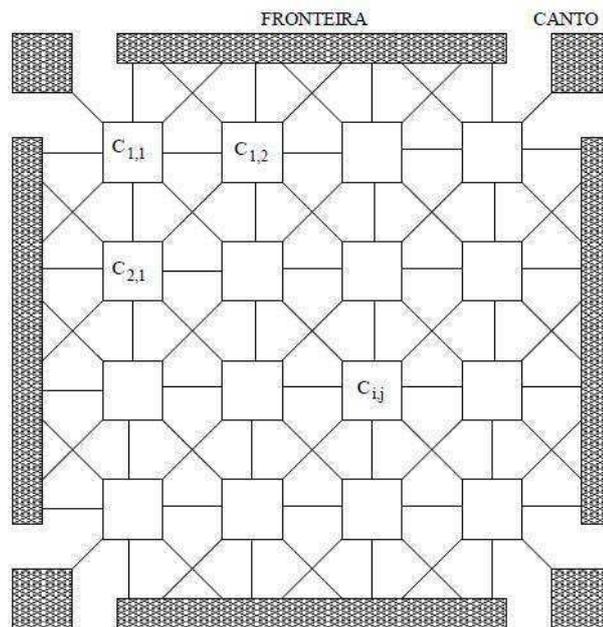


FIGURA 4 REDE NEURONAL CELULAR.

Cada célula padrão da rede pode ser representada pelo diagrama de blocos da Figura 5.

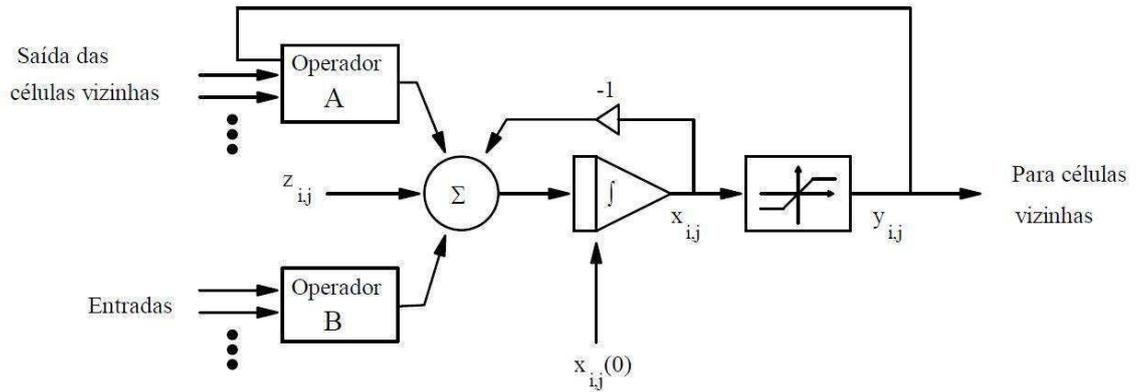


FIGURA 5 DIAGRAMA DE BLOCOS DA CÉLULA PADRÃO DE UMA CNN FONTE: (SANTANA, 2013).

A expressão que rege a dinâmica de cada célula padrão é definida em (2).

$$\dot{x}_{i,j} = -x_{i,j} + \sum_{C(k,l) \in S_r(i,j)} A(i,j;k,l)y_{k,l} + \sum_{C(k,l) \in S_r(i,j)} B(i,j;k,l)u_{k,l} + z_{i,j} \quad (2)$$

Em que:

- $x_{i,j}$ é o estado da célula $C_{i,j}$;
- $y_{i,j}$ é a saída da célula $C_{i,j}$;
- $u_{i,j}$ é a entrada da célula $C_{i,j}$;
- $z_{i,j}$ é o limiar da célula $C_{i,j}$;
- $A(i,j;k,l)$ é o operador sináptico de realimentação;
- $B(i,j;k,l)$ é o operador sináptico de entrada.

Numa CNN, os operadores sinápticos, doravante denominados A e B, podem variar no espaço e no tempo, podendo, então, executar funções não lineares que resultam em um escalar. Assim, pode-se modelar este comportamento como operações de multiplicação dos sinais (entradas para o operador B e saídas de células vizinhas para operador A) por coeficientes reais, chamados pesos sinápticos (SANTANA, 2013), conforme ilustrado na Figura 6.

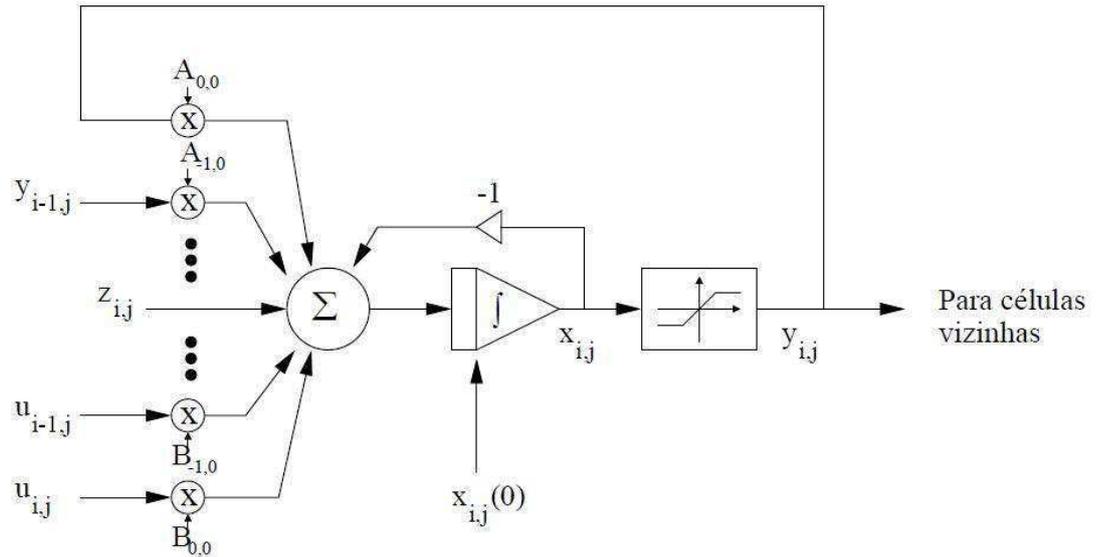


FIGURA 6 DIAGRAMA DETALHADO DA CÉLULA PADRÃO, EXPLICITANDO OS PESOS SINÁPTICOS. FONTE: (SANTANA, 2013)

De acordo com a aplicação e a função específica que deverá ser executada pela CNN, são definidos valores para os pesos sinápticos e para o limiar $z_{i,j}$. É possível que os valores dos pesos variem de acordo com valores de estado, saída e/ou entrada. Isso amplia consideravelmente o conjunto de funções que pode ser implementada com uma mesma CNN (CHUA e ROSKA, 2002).

A função limitadora do estado, representada no último bloco de cada diagrama supracitado, pode assumir diversas formas, de acordo com a aplicação. O trabalho de (RODRÍGUEZ-VÁZQUEZ, SERVANDO, *et al.*, 1993) mostrou que este bloco não-linear pode ser eliminado ao se garantir que os valores da variável de estado estão dentro da faixa de entrada da célula. Este tipo de rede neuronal é voltado à implementação física do modelo das CNN e é chamado de *Full Signal Range* (FSR). Este tipo de implementação também favoreceu o desenvolvimento de circuitos mais compactos e robustos (ESPEJO, CARMONA, *et al.*, 1996).

As FSR CNN estão sendo amplamente estudadas para implementação dos modelos estruturais da retina, visando a produção de próteses (MARTINS e SOUSA, 2009). Um diagrama de blocos para este tipo de célula pode ser visualizado na Figura 7.

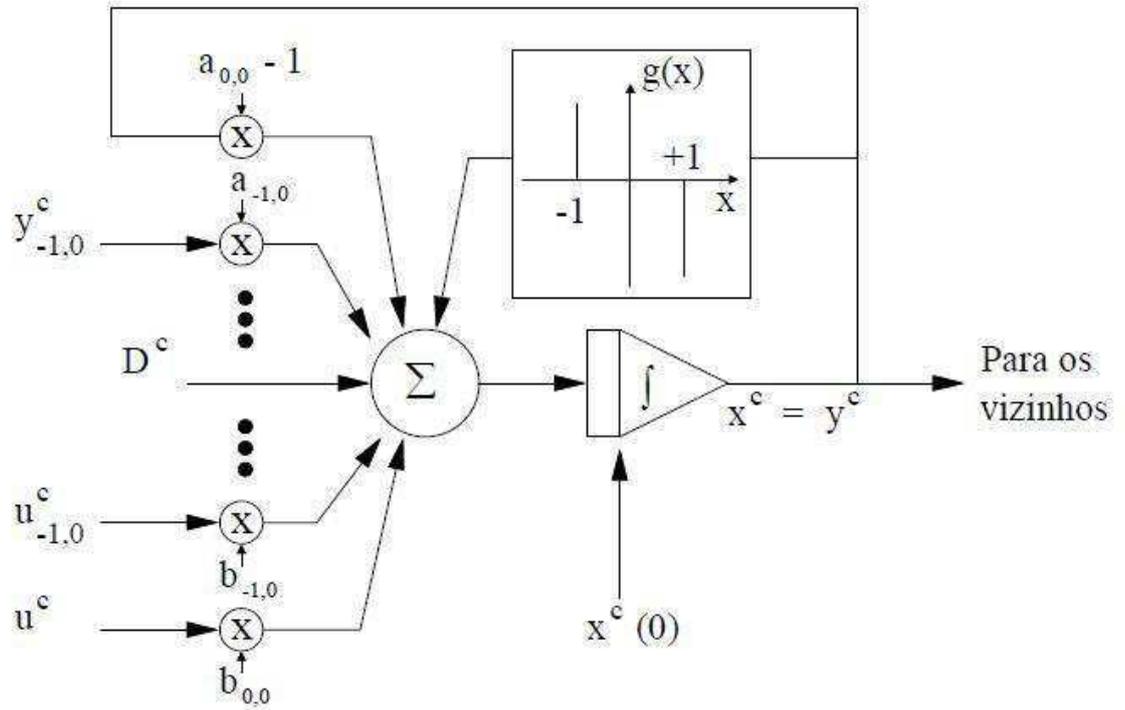


FIGURA 7 DIAGRAMA DE BLOCOS PARA UMA CÉLULA PADRÃO DA UMA FSR CNN.
 FONTE: (SANTANA, 2013).

3 CIRCUITOS ANALÓGICOS PARA IMPLEMENTAÇÃO DE CNN

A partir do trabalho inicial de (CHUA e YANG, 1988) e da implementação de FSR CNN proposta por (RODRÍGUEZ-VÁZQUEZ, SERVANDO, *et al.*, 1993), muitos trabalhos têm sido produzidos para implementações de CNN em diversas tecnologias. Notadamente, a tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) tem sido bastante utilizada, por ser bastante adequada ao processamento de sinais mistos. Algumas realizações fazem uso de porta flutuante (MOLINAR-SOLIS, GOMEZ-CASTANEDA, *et al.*, 2006) ou circuitos em modo corrente (VARRIENTOS, SANCHEZ-SINENCIO e RAMIREZ-ANGULO, 1993).

Diversos blocos de circuitos analógicos podem ser usados para implementar redes neuronais. Neste capítulo, são tratados alguns blocos, como multiplicadores de quatro quadrantes, transportadores de corrente e memória de corrente.

3.1 BLOCO DE SINAPSE UTILIZANDO TRANSISTOR ÚNICO

Em redes neuronais, o bloco de sinapse é de extrema importância, visto que ele é replicado diversas vezes (SANTANA, 2013). A sinapse é, na verdade, apenas um multiplicador analógico de quatro quadrantes (GÁLÁN, JIMENEZ-GARRIDO, *et al.*, 2003). As entradas deste multiplicador são:

1. O sinal de interesse (que pode ser o estado ou a entrada, por exemplo);
2. O peso analógico correspondente.

O trabalho de (GÁLÁN, JIMENEZ-GARRIDO, *et al.*, 2003) mostra que é desejável que a saída esteja sob a forma de corrente, pois as saídas das sinapses são diretamente somadas pela confluência em um nó do circuito.

É possível utilizar diferentes circuitos em tecnologia CMOS para implementar um multiplicador. Um transistor MOS operando na região de inversão fraca (SIDNEY, 1985) pode ter sua característica exponencial explorada para realizar uma multiplicação, bem como transistores MOS operando na região de saturação (aproveitando a relação

quadrática), que é o princípio da célula de Gilbert (GILBERT, 1968). Contudo, a multiplicação direta também pode ser obtida ao se usar um único transistor operando na região ôhmica (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

As vantagens desta última alternativa são a pequena área utilizada, a melhor relação entre a potência utilizada para a polarização e a potência para o sinal, que implica em baixo consumo e maior exatidão (R. DOMÍNGUEZ-CASTRO, 1998).

Transistores PMOS são mais adequados para esta aplicação pelo fato do canal tipo p ser mais resistivo do que o tipo n , proporcionando menores correntes e o consequente consumo reduzido;

A expressão (3) descreve o comportamento do PMOS na região ôhmica (SEDRA/SMITH, 2004).

$$I_D = \mu_P C_{ox} \frac{W}{L} \left[(V_{GS} - |V_T|) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3)$$

Para que o transistor opere acima da tensão de limiar, V_G pode ser composto de um sinal de referência V_{x_0} suficientemente grande e um sinal de interesse para a entrada V_x , conforme a expressão (4).

$$V_G = V_{x_0} + V_x \quad (4)$$

Ao se fazer a tensão da fonte do transistor conforme (5), é possível reescrever a expressão (3) como em (6) (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003), que nada mais é do que um sinal de corrente que contem a multiplicação dos dois sinais de entrada e um *offset* de corrente que pode facilmente ser eliminado com a devida calibração.

$$V_S = V_{w_0} + V_w \quad (5)$$

$$I_D = -\mu_P C_{ox} \frac{W}{L} V_w V_x - \mu_P C_{ox} \frac{W}{L} \left(V_{x_0} + |V_T| - V_{w_0} - \frac{V_w}{2} \right) \quad (6)$$

Uma limitação desta arquitetura é que se deve sempre garantir que as tensões aplicadas polarizem o transistor na região ôhmica.

3.2 TRANSPORTADOR DE CORRENTE

Como explicado anteriormente, se os sinais de saída dos multiplicadores tiverem a forma de corrente, para somá-los, basta que sejam ligados no mesmo nó. Para garantir que o nó em questão seja uma referência virtual na qual as correntes possam ser captadas, um transportador de corrente pode ser utilizado, conforme Figura 8. Qualquer diferença de tensão entre a tensão no nó L e a tensão de referência V_{w0} é amplificada e usada para corrigir o desvio, com a ação da realimentação negativa (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

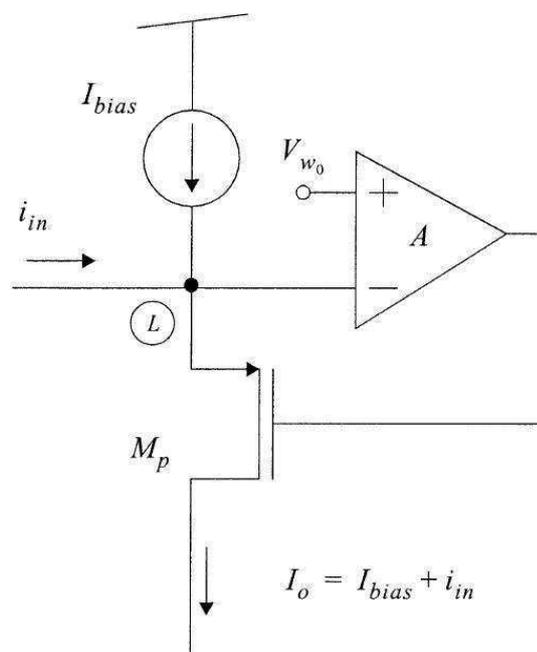


FIGURA 8 IMPLEMENTAÇÃO DE UM TRANSPORTADOR DE CORRENTE. FONTE: (GÁLAN, JIMENEZ-GARRIDO, *ET AL.*, 2003)

Esta arquitetura, contudo, possui como limitação a tensão de *offset* apresentada pelos amplificadores operacionais reais. Levando em consideração o tamanho dos dispositivos e a amplitude dos sinais envolvidos, esta limitação pode ser um grande problema. A contribuição deste valor de *offset* é aleatória e o erro inserido é propagado ao longo de toda a rede de multiplicadores, resultando em blocos sinápticos descasados que podem degradar o desempenho (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

Para resolver este problema, (R. CARMONA, 2002) propôs a arquitetura exibida na Figura 9. Esta topologia utiliza um amplificador de transcondutância (OTA) e uma célula de memória de corrente. Quando as chaves estão abertas, a corrente I_0 segue a

expressão (7). Quando as chaves são fechadas e o mecanismo de calibração começa a atuar, o transistor se comporta como diodo e passa a conduzir a corrente I_{mem} , conforme a expressão (8). Depois de algum tempo, as chaves são abertas e a corrente I_{mem} é de fato memorizada, graças à tensão armazenada no capacitor. Assim, o *offset* é corrigido, conforme as expressões para I_L em (9), (10) e (11).

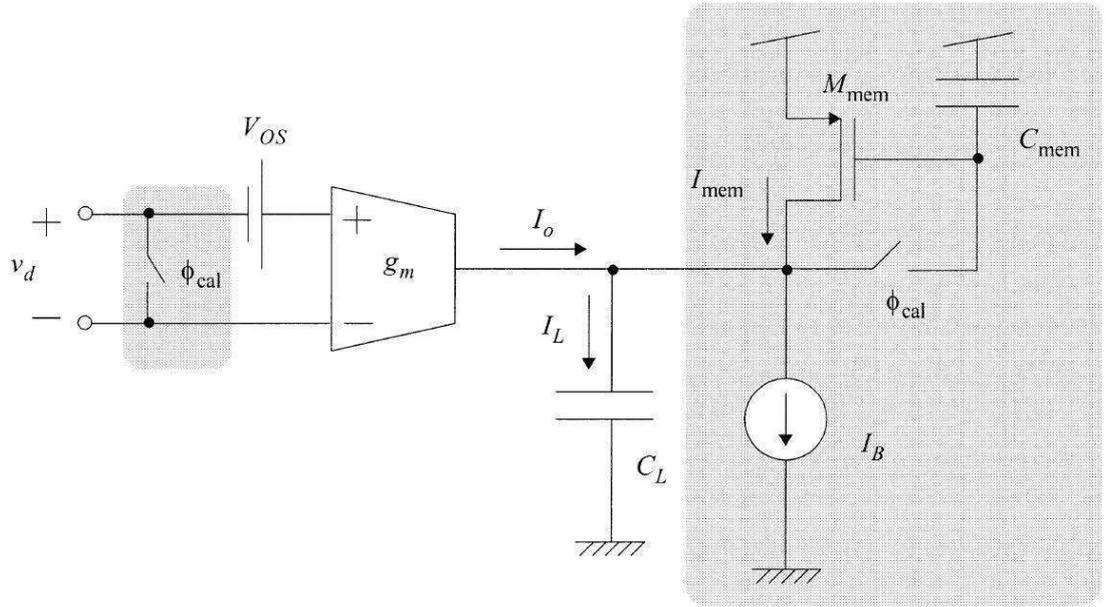


FIGURA 9 AMPLIFICADOR DE TRANSCONDUTÂNCIA COM MECANISMOS DE CORREÇÃO DE OFFSET.

$$I_0 = g_m(v_d + V_{OS}) \quad (7)$$

$$I_{mem} = I_B - g_m V_{OS} \quad (8)$$

$$I_L = I_0 + I_{mem} - I_B \quad (9)$$

$$I_L = g_m v_D + g_m V_{OS} + I_B - g_m V_{OS} - I_B \quad (10)$$

$$I_L = g_m v_D \quad (11)$$

3.3 MEMÓRIA DE CORRENTE

Como citado previamente, as saídas das sinapses estão na forma de corrente com um valor de *offset*. As correntes de interesse são somadas (conectando todas as saídas dos multiplicadores num mesmo nó) e seus valores de *offset* também. O trabalho de (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003) propõe o uso de uma célula de memória de corrente chamada de S³I (conforme Figura 10). Ao fazer uso dela, é possível cancelar todos os *offsets* de uma vez.

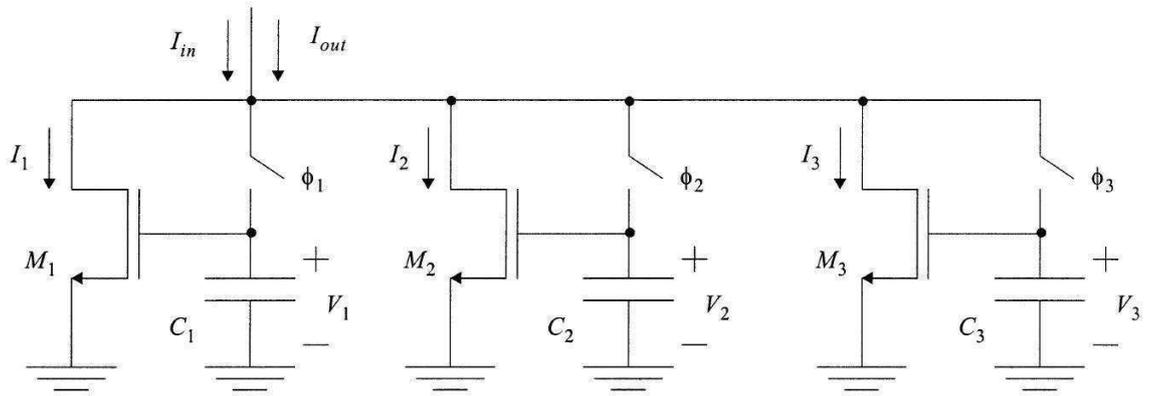


FIGURA 10 ESQUEMÁTICO DA MEMÓRIA DE CORRENTE S³I.

A memória de corrente S³I é composta por três estágios, cada um contendo uma chave, um capacitor e um transistor. No início do processo, quando todas as chaves estão fechadas, a corrente de entrada I_{in} é dividida em I_1 , I_2 , I_3 . As chaves ϕ_1 , ϕ_2 e ϕ_3 são fechadas consecutivamente. É possível provar que a corrente de saída do circuito é dada por (12) (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

$$I_{out} = I_{in} - g_{m_3} \Delta V_3 \quad (12)$$

3.4 ESPELHOS DE CORRENTE REPROGRAMÁVEIS

A constante de tempo de uma CNN é definida como a razão definida em (13)

$$\tau = C_C / G_C \quad (13)$$

Em que C_C é o capacitor de estado (composto pelas capacitâncias das portas dos transistores em cada sinapse) e G_C é a transcondutância obtida ao se multiplicar o fator de corrente de uma sinapse pela tensão correspondente ao peso do sinal (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

Para modificar a constante de tempo, pode-se implementar um capacitor regulável (o que é algo tecnologicamente difícil de realizar) ou implementar espelhos de corrente para alterar o valor das transcondutâncias das várias sinapses. Escalonar a soma das correntes implica em escalonar as transcondutâncias das sinapses, o que, por sua vez, implica no escalonamento da constante de tempo da CNN (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003).

Uma maneira de implementar um espelho de corrente reajustável foi usada no trabalho de (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003) e pode ser vista na Figura 11. A corrente de saída é dada pela expressão (14). Este design atenua os descasamentos entre as constantes de tempo das diferentes células.

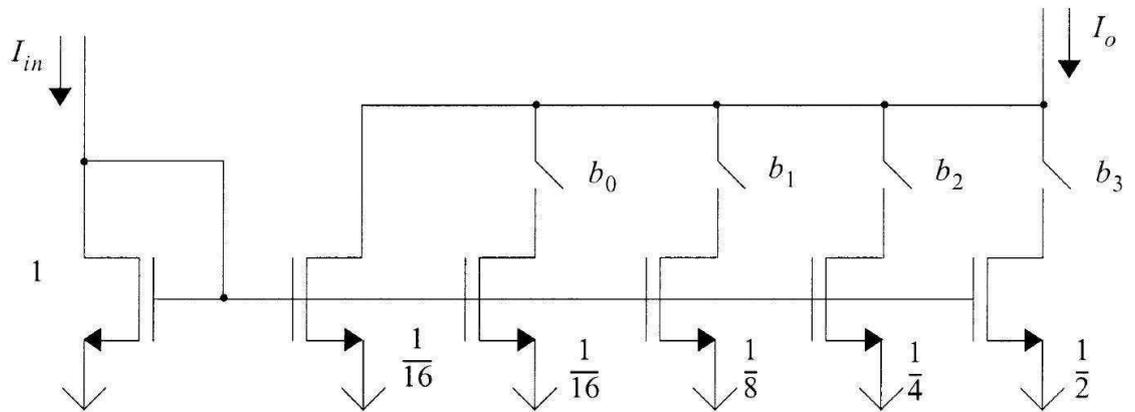


FIGURA 11 ESPELHO DE CORRENTE REPROGRAMÁVEL.

$$I_o = \frac{I_{in}}{16} (1 + b_0 + 2b_1 + 4b_2 + 8b_3) \quad (14)$$

3.5 CÉLULAS DE CNN IMPLEMENTADAS

Vários trabalhos propõem diferentes implementações de CNN para a aplicação em próteses retinianas. Alguns deles serão apresentados nesta seção.

O trabalho de (GÁLAN, JIMENEZ-GARRIDO, *et al.*, 2003) implementou a célula de CNN exibida na Figura 12. Nesta arquitetura, é possível identificar transportadores de corrente, espelhos de corrente reprogramáveis e memória de corrente. Os multiplicadores usados neste trabalho são do tipo transistor único operando na região linear. Este trabalho é uma alternativa bastante promissora aos tradicionais sistemas de processamento digital de imagens. Esse modelo é baseado no modelo

biológico real. A natureza completamente paralela do processamento é a principal vantagem em relação aos sistemas digitais, provendo grande poder computacional.

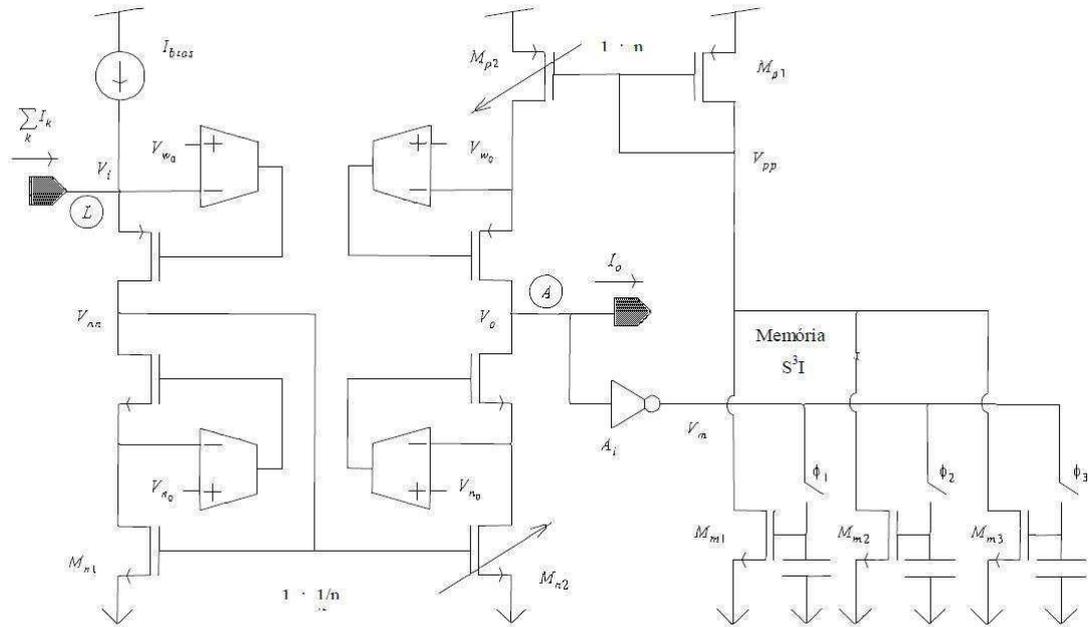


FIGURA 12 CÉLULA DA CNN IMPLEMENTADA POR (GÁLÁN, JIMENEZ-GARRIDO, ET AL., 2003)

Já o trabalho de (DOMINGUEZ-MATAS, CARMONA-GALÁN, *et al.*, 2006) representa um melhoramento na implementação do bloco de sinapse com um único transistor (ver Figura 13). Foi utilizado nele um OTA linearizado e espelhos de corrente reprogramáveis. A arquitetura proposta aumenta a linearidade da sinapse e reduz os offsets de corrente.

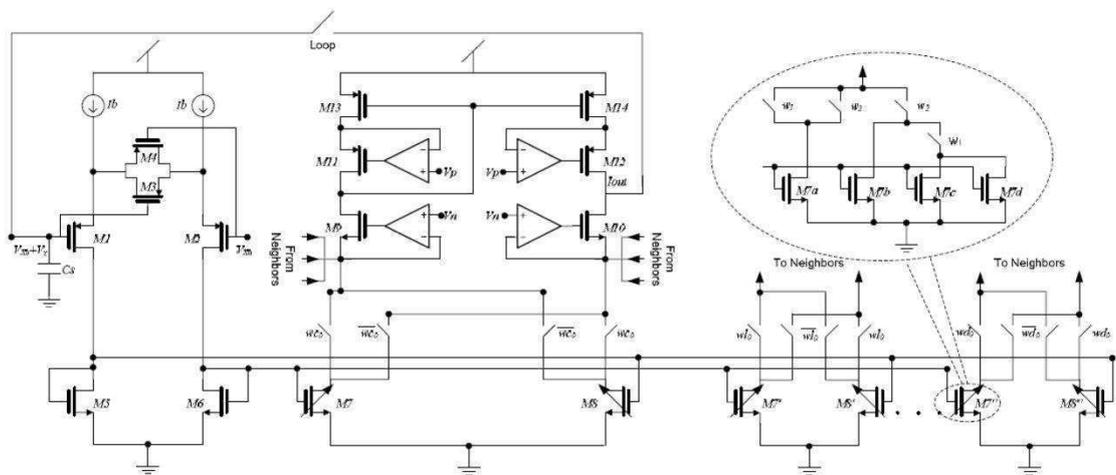


FIGURA 13 BLOCO ALTERNATIVO PARA IMPLEMENTAÇÃO DE SINAPSE.

O circuito proposto por (WANG, ZHANG e JIN, 2006) está representado na Figura 14. A topologia apresentada também pode ser fabricada em tecnologia CMOS e

se trata de um OTA que pode ser utilizado como multiplicador de quatro quadrantes. Como vantagens, ele apresenta larga faixa de dinâmica de saída e alta precisão, embora a complexidade do circuito aumente consideravelmente ao compará-lo com o multiplicador que utiliza apenas um transistor.

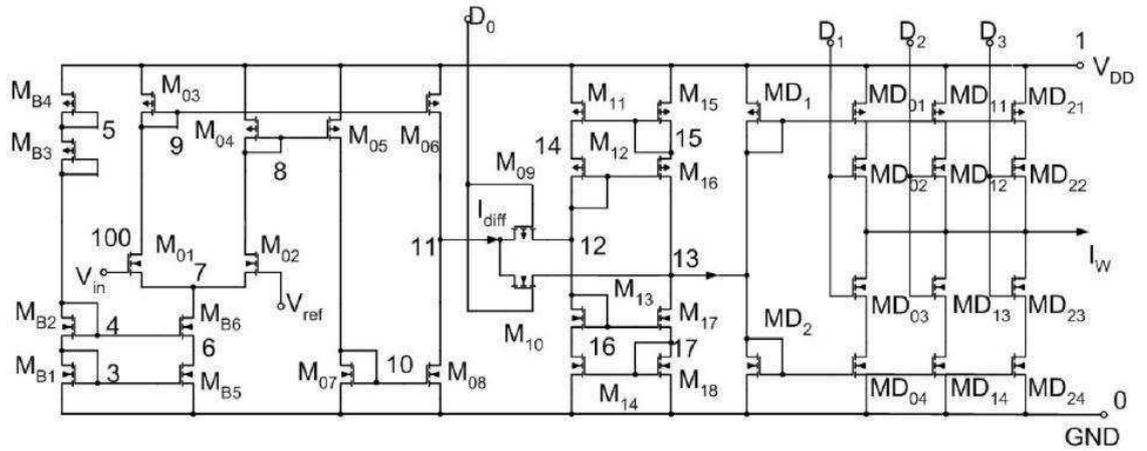


FIGURA 14 BLOCO PARA IMPLEMENTAÇÃO DA SINAPSE UTILIZANDO OTA.

4 CONCLUSÃO

Neste trabalho de conclusão de curso, foi feita uma revisão bibliográfica sobre circuitos utilizados para o desenvolvimento de próteses retinianas. Dois modelos de retina se sobressaem nos trabalhos mais atuais: os funcionais e os estruturais. Nos primeiros, analisam-se entradas e saídas e tenta-se reproduzir o comportamento existente. Esta implementação é muito comum em sistemas digitais, especialmente aqueles implementados em FPGA e SoC. Em contrapartida, os modelos estruturais têm recebido bastante atenção devido ao alto desempenho apresentado por eles. A base para estes modelos é o funcionamento biológico da retina. O alto paralelismo envolvido é de grande destaque e cujo desempenho supera bastante as abordagens seriais dos circuitos da eletrônica digital.

No âmbito dos modelos estruturais, as CNN têm grande relevância, visto que o processamento elétrico inicial que acontece na retina é muito parecido com o modelo delas. Para a implementação de CNN, são necessários multiplicadores e somadores, por exemplo. Observou-se na bibliografia que os circuitos que operam em modo corrente apresentam vantagens do ponto em termos de implementação física, visto que os melhores multiplicadores têm saída em corrente e que para somá-las, basta que todas estejam ligadas a um mesmo nó de referência.

Alguns problemas, como a garantia que um determinado nó possa servir de referência, podem ser contornados com a implementação de transportadores de corrente. Com o auxílio de uma célula base dos circuitos a corrente chaveada, é possível eliminar o *offset* adicionado por este estágio. Células de memória de corrente também podem ser usadas para eliminar o *offset* de corrente que algumas arquiteturas de multiplicadores adicionam.

Por meio da pesquisa bibliográfica realizada, percebe-se o quão vasto é o campo de próteses retinianas e a importância que a eletrônica analógica tem no processamento de imagens quando questões como velocidade, baixo consumo e tamanho do circuito são prioridades. Além disso, é notável que o entendimento de disciplinas da graduação como Dispositivos Eletrônicos e Eletrônica são de fundamental importância para a compreensão do funcionamento dos circuitos envolvidos, que em sua maioria não são triviais e necessitam de estudos para que sejam otimizados.

BIBLIOGRAFIA

- A. FERREIRA, C. S. I. T. P. L. C. P. A. S. F. **Comunicações Audiovisuais: tecnologias, normas e aplicações**. 1ª. ed. [S.l.]: IST Press, 2009.
- BOAHEN, K. A. A Retinomorphic Vision System. **IEEE Micro**, 16, outubro 1996. 30–39.
- CHUA, L. O.; ROSKA, T. **Cellular Neural Networks and Visual Computing: Foundations and Applications**. Cambridge: Cambridge, 2002.
- CHUA, L. O.; YANG, L. Cellular neural networks: theory. **IEEE Transactions on Circuits and Systems**, v. 35, p. 1257–1290, outubro 1988. ISSN 10.
- DOMINGUEZ-MATAS, C. M. et al. Robust Symmetric Multiplication for Programmable Analog VLSI Array Processing. **Proceedings of IEEE International Conference on Electronics, Circuits and Systems**. , Nice, 2006. 1332-1335.
- ESPEJO, S. et al. A VLSI-oriented continuous-time CNN model.. **International Journal of Circuit Theory and Applications**, v. 24, p. 341–356, 1996. ISSN 3.
- GÁLAN, R. C. et al. A Bio-Inspired Two-Layer Mixed-Signal Flexible Programmable Chip for Early Vision.. **IEEE Transactions on Neural Networks**, 2003. 1313-1336.
- GILBERT, B. A precise four-quadrant multiplier with subnanosecond response. **IEEE J. Solid-State Circuits**, v. 3, p. 365-373, December 1968. ISSN 4.
- GOLLISCH, T.; MEISTER, M. L. Eye Smarter Than Scientists Believe: Neural Computations in Circuits of the Retina. **Neuron**, p. 150–164, 2010. ISSN 65.
- LIU, J. H.; WANG, C. Y.; AN, Y. Y. A Survey of Neurmorphic Vision System: Biological Nervous Systems Realized on Silicon.. **Proceedings of International Conference on Industrial Machine and Automation**. , Chengdu, 2009. 154–157.
- MARTINS, J. C.; SOUSA, L. A. **Bioelectronic Vision: Retinal Models, Evaluation Metrics and System Design**. [S.l.]: Singapore: World Scientific Publishing Co. Pte. Ltda., v. 3, 2009.
- MEAD, C. **Analog VLSI and Neural Systems**. [S.l.]: ADDISON WESLEY, 1989.
- MOINI, A. **Vision Chips or seeing silicon**.. University of Adelaide. Adelaide, p. 5-12. 1997.
- MOINI, A. **Vision Chips**. Boston: Kluwer Academic Publishers, 2000.
- MOLINAR-SOLIS, J. et al. Programmable CMOS CNN Cell Based on Floating-Gate Inverter Unit.. **Journal of VLSI Signal Processing**, p. 207–216, 2006. ISSN 49.
- R. CARMONA, F. J.-G. R. D.-C. S. E. A. R.-V. CMOS REALIZATION OF A 2-LAYER CNN UNIVERSAL MACHINE CHIP. **Proceedings of the 2002 7th IEEE International Workshop on Cellular Neural Networks and Their Applications, 2002. (CNNA 2002)**. , July 2002. 444-451.

R. DOMÍNGUEZ-CASTRO, A. R.-V. S. E. A. R. C. Four-Quadrant one-transistor synapse for high density CNN implementations. **Fifth IEEE International Workshop on Cellular Neural Networks and Their Applications**, April 1998. 243-248.

RODIECK, R. W. **The First Steps in Seeing**. Sunderland : Sinauer Associates, 1998.

RODRÍGUEZ-VÁZQUEZ, A. et al. Current-mode techniques for the implementation of continuous and discrete time cellular neural networks.. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 40, p. 132-146, 1993. ISSN 3.

SANTANA, E. P. **Circuitos analógicos em tecnologia CMOS para implementação de próteses retinianas**. Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia. Bahia. 2013.

SEDRA/SMITH. **Microelectronics Circuits**. 5ª. ed. New York: Oxford, 2004.

SIDNEY, S. **Analog Integrated Circuits**. Englewood Cliffs: Prentice-Hall, 1985.

VARRIENTOS, J. E.; SANCHEZ-SINENCIO, E.; RAMIREZ-ANGULO, J. A current-mode cellular neural network implementation. **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, v. 3, p. 147 –155, março 1993. ISSN 40.

VICTOR, J. D. The dynamics of cat retinal X cell centre. **J. Physiol.**, 386, 1987. 219-246.

WANG, P.; ZHANG, X.; JIN, D. A Novel OTA for Implementing Programmable CNN.. **IEEE Proceedings of International Conference on Solid-State and Integrated Circuit Technology**., Shangai, 2006. 2076–2078.

ZAGHLOUL, K. A. **A Silicon Implementation of a Novel Model for Retinal Processing**.. Thesis (PhD) - University of Pensilvania.. Pensilvania. 2009.