



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

CONVERSOR ANALÓGICO-DIGITAL DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO

WENDELL EDUARDO MOURA COSTA

Área de Concentração: Processamento da Informação

Orientadores: **Prof. Dr. Raimundo Carlos Silvério Freire**

Prof. Dr. Fernando Rangel de Sousa

Campina Grande - Paraíba - Brasil

Março de 2015

Wendell Eduardo Moura Costa

**CONVERTOR ANALÓGICO-DIGITAL
DE DOBRAMENTO UTILIZANDO CIRCUITOS A
CAPACITOR CHAVEADO**

Tese de Doutorado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências no Domínio da Engenharia Elétrica.

Linha de pesquisa: Microeletrônica/Processamento da Informação

Prof. Dr. Raimundo Carlos Silvério Freire

Orientador

Prof. Dr. Fernando Rangel de Sousa

Orientador

Campina Grande - Paraíba - Brasil

Março de 2015

Aos meus pais, Deoclecio (*in memoriam*) e Filomena e,
principalmente, minha amada família, Taieni e Nicolás.

Agradecimentos

Agradeço primeiramente a Deus, meu Criador, Sustentador, e Salvador, pelo dom da vida, pela saúde.

Agradeço à minha amada família por todo o apoio e incentivo para conclusão deste trabalho.

Aos meus pais Deoclecio (*in memorian*) e Filomena, pelo dom da vida, pelos ensinamentos e pelas lições de amor, fé e esperança.

Agradeço aos meus orientadores Raimundo Carlos Silvério Freire (Dr.) e Fernando Rangel de Sousa (Dr.) pelos valiosos ensinamentos e incentivos e principalmente pela compreensão e apoio para conclusão deste trabalho.

Agradeço aos meus irmãos Maxwell, Deoclecio Jr., Priscilla e Marcelle, pelo apoio, pela torcida e pelo incentivo nos momentos difíceis.

Aos meus amigos Marcus André, Monale, Daniela, Adão e Ana pelo apoio e amizade.

Agradeço a todos os amigos da Universidade Federal de Campina Grande, em especial aos amigos Bruno Winkeler, Bob Brandt, Cristovão Oliveira, Emmanuel Dupouy, Euler Macedo, Malone Castro, Newton Fonseca, Sabiniano Rodrigues, Thiago Batista, Vanderson Reis, pela ajuda, companheirismo e amizade.

Agradeço ao Prof. Antônio Augusto, da Universidade Federal da Paraíba (UFPB), pela disponibilidade em compartilhar dos seus conhecimentos e por toda ajuda para o bom andamento deste trabalho.

Agradeço a Universidade Federal de Campina Grande, ao Centro de Engenharia Elétrica e Informática, ao Departamento de Engenharia Elétrica, e à Copele.

Agradeço a todos os amigos da Coordenação de Indústria do IFTO e do Campus Palmas, principalmente aos companheiros do programa DINTER UFCG/IFTO Maxwell, Marcus André, Mateus e Gerson por compartilharem comigo os bons e maus momentos dentro deste programa (em especial ao Maxwell e ao Marcus André pela ajuda para conclusão deste trabalho). Ao companheiro Francisco Canindé (*in memorian*).

.

.

Resumo

Este trabalho tem como objetivo apresentar subsídios para o desenvolvimento de um ADC (Conversor Analógico-Digital) de Dobramento (*Folding*) de 8 bits utilizando circuitos a Capacitor Chaveado (SC). O conversor utiliza uma amostragem irregular do tipo “amostragem por cruzamento de níveis”, que é uma amostragem não uniforme no tempo para realizar as conversões, o que faz com que os circuitos internos do conversor só sejam acionados quando for necessário. Foram realizadas simulações com o conversor utilizando circuitos a capacitor chaveado e com o conversor utilizando resistores para comparar o desempenho do conversor de dobramento SC com um já existente. Por simulação utilizando a tecnologia de fabricação padrão 0,35 μm (TSMC035), obteve-se do ADC de dobramento SC de 8 bits, uma relação sinal-ruído mais distorção (SNDR) de 45,8 dB, com um consumo de 4,9 mW, enquanto que do conversor de dobramento de 8 bits utilizando resistores obteve-se uma relação sinal-ruído mais distorção (SNDR) de 41,0 dB, com um consumo de 11,9 mW. Foi realizado o projeto do leiaute do *chip* do ADC de dobramento SC, utilizando-se para isso as ferramentas computacionais da Cadence com a tecnologia de fabricação padrão 0,18 μm (CMRF75F). Por simulação, obteve-se do conversor A/D de dobramento SC de 8 bits, uma relação sinal-ruído mais distorção (SNDR) de 44,67 dB, com um consumo de 7,23 mW. Para concluir esta pesquisa foi montado em laboratório o circuito ADC de dobramento SC de três bits utilizando componentes discretos, o qual obteve um SNDR de 18,06 dB e um ENOB de 2,71 bits, enquanto que por simulação foi obtido um SNDR de 19,05 dB e um ENOB de 2,87 bits.

Palavras chave: Conversores analógico-digitais, circuitos a capacitor chaveado, *chip*, leiaute.

Abstract

This work aims to contribute for the development of an 8 bits Folding Analog to Digital Converter using Switched Capacitor (SC) circuits. The converter uses a sampling irregular type "sampling crossing levels", which is a non-uniform sampling in time to perform the conversion, which causes the internal circuitry of the converter are driven only when necessary. Simulations were conducted with the converter using switched capacitor circuits and the converter using resistors to compare the performance the folding SC converter with an existing one. By simulation, using manufacturing standard technology 0,35 μm (TSMC035), we obtained the 8 bits folding SC converter, a signal-to-noise plus distortion (SNDR) of 45,8 dB, with a consumption of 4,9 mW, while the 8 bits folding converter using resistors obtained a signal-to-noise plus distortion (SNDR) of 41,0 dB, with a consumption of 11,9 mW. Was conducted the design of the SC folding ADC chip layout, using for this computational tools from Cadence with standard manufacturing technology 0.18 μm (CMRF7SF). By simulation, converter was obtained A / D Folding 8-bit SC a signal to noise ratio more distortion (SNDR) of 44.67 dB, with a consumption of 7.23 mW. To conclude this research was mounted in the laboratory the SC folding ADC circuit with três bits using discrete components, which obtained an SNDR of 18.06 dB and a 2.71-bits ENOB, while in simulation was reached SNDR of 19.05 dB and an ENOB 2.87 bits.

Keywords: *Analog-to-Digital Converter, switched capacitor circuits, chip, layout.*

Sumário

1 INTRODUÇÃO	25
1.1 OBJETIVOS.....	33
1.1.1 OBJETIVO GERAL	34
1.1.2 OBJETIVOS ESPECÍFICOS.....	34
1.2 ORGANIZAÇÃO DO TRABALHO.....	35
2 REVISÃO DE CONCEITOS BÁSICOS.....	37
2.1 CONVERSÃO ANALÓGICA-DIGITAL.....	37
2.2 AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS.....	38
2.3 CONVERSOR ANALÓGICO-DIGITAL DE DOBRAMENTO.....	39
2.3.1 PRINCÍPIO DE FUNCIONAMENTO.....	41
2.4 TÉCNICA DE CAPACITORES CHAVEADOS.....	44
2.4.1 PRINCÍPIO DE FUNCIONAMENTO.....	45
3 PROJETO DO CONVERSOR ANALÓGICO-DIGITAL.....	48
3.1 ARQUITETURA DO ADC DE DOBRAMENTO.....	48
3.1.1 CONVERSOR A/D DE DOBRAMENTO USANDO RESISTORES.....	49
3.1.2 CONVERSOR A/D DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO.....	54
3.2 MÁXIMA TAXA DE AMOSTRAGEM DO ADC.....	63
3.3 LARGURA DE BANDA DE ENTRADA.....	64
3.4 CONSUMO DE POTÊNCIA.....	64
4 LEIAUTE DO ADC DE DOBRAMENTO A CAPACITOR CHAVEADO.....	70
4.1 LEIAUTE DOS CIRCUITOS DIGITAIS.....	71
4.1.1 LEIAUTE DO CIRCUITO GERADOR DE SINAIS DE CLOCK NÃO- SOBREPOSTOS.....	71
4.1.2 LEIAUTE DO CIRCUITO LATCH.....	73
4.2 LEIAUTE DA CHAVE CMOS.....	74

4.3 LEIAUTE DO AMPLIFICADOR OPERACIONAL.....	75
4.4 LEIAUTE DO CIRCUITO COMPARADOR.....	80
4.5 LEIAUTE DO ADC DE DOBRAMENTO SC.....	81
5 RESULTADOS OBTIDOS.....	85
5.1 RESULTADOS OBTIDOS POR SIMULAÇÃO DO ADC DE DOBRAMENTO SC EM NÍVEL DE TRANSISTOR.....	85
5.1.1 UTILIZANDO OS SOFTWARES COMPUTACIONAIS DA MENTOR GRAPHICS.....	85
5.1.2 UTILIZANDO OS SOFTWARES COMPUTACIONAIS DA CADENCE.....	91
5.2 RESULTADOS OBTIDOS POR SIMULAÇÃO DO ADC DE DOBRAMENTO SC PÓS-LEIAUTE.....	94
5.3 AMPLIFICADOR OPERACIONAL FABRICADO.....	98
5.4 ADC DE DOBRAMENTO SC FABRICADO.....	99
5.5 CIRCUITO DO ADC DE DOBRAMENTO SC MONTADO EM LABORATÓRIO.....	101
6 CONCLUSÕES GERAIS.....	111
6.1 TRABALHOS FUTUROS.....	113
6.2 TRABALHOS PUBLICADOS.....	114
REFERÊNCIAS BIBLIOGRÁFICAS.....	115
APÊNDICE A.....	119
APÊNDICE B.....	155

Lista de Figuras

Figura 1.1: Sistema de aquisição de dados.....	25
Figura 1.2: Arquiteturas de ADC: Área de abrangência segundo resoluções e taxas de amostragens.....	28
Figura 2.1: Amostragem de um sinal contínuo.	37
Figura 2.2: Amostragem não uniforme por cruzamento de níveis.....	39
Figura 2.3: Blocos não lineares para obter o dobramento do sinal de entrada.....	40
Figura 2.4: Arquitetura básica de um conversor de dobramento.....	41
Figura 2.5: Diagrama simplificado de um bloco de um conversor de dobramento e a forma de onda da entrada e saída para uma entrada de rampa linear.	42
Figura 2.6: Diagrama de blocos de um conversor de dobramento de três bits	43
Figura 2.7: Formas de onda da entrada e do resíduo para um ADC de dobramento de três bits.....	43
Figura 2.8: Técnica de capacitor chaveado: resistor simulado (ALLEN; HOLBERG, 2002).....	47
Figura 3.1: Diagrama de blocos do ADC de dobramento -1 bit/estágio (RODRIGUES, 2011).....	50
Figura 3.2: Fluxograma de conversão do ADC de dobramento proposto.....	51
Figura 3.3: Diagrama esquemático de um estágio do ADC de dobramento utilizando resistores (RODRIGUES, 2011).....	52
Figura 3.4: Diagrama esquemático da primeira configuração do ADC de dobramento (RODRIGUES, 2011).	53
Figura 3.5: Sinais de <i>clock</i> não-sobrepostos.....	54
Figura 3.6: Circuito para gerar os sinais de <i>clock</i> não-sobrepostos.....	55

Figura 3.7: Diagrama esquemático do ADC de dobramento utilizando circuitos a capacitor chaveado.	55
Figura 3.8: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado.	56
Figura 3.9: Formas de onda dos sinais dos dois primeiros blocos do conversor de dobramento SC utilizando os macromodelos.	58
Figura 3.10: Formas de onda dos sinais dos dois primeiros blocos do conversor de dobramento SC utilizando os circuitos projetados.	59
Figura 3.11: Diagrama esquemático de um estágio do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.	60
Figura 3.12: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.	61
Figura 3.13: Formas de onda dos sinais de entrada e saída dos 2 (dois) primeiros blocos do conversor de dobramento SC.	62
Figura 3.14: Circuito sub-ADC composto de um amplificador de dois estágios, dois inversores e um circuito <i>latch</i>	66
Figura 3.15: Circuito amplificador utilizado no sub-DAC.	68
Figura 3.16: Circuito de realimentação de modo comum do circuito amplificador.	68
Figura 3.17: Circuito sub-DAC utilizado em cada estágio do ADC proposto.	69
Figura 4.1: Leiaute do circuito gerador de <i>clock</i> não-sobrepostos.	72
Figura 4.2: Formas de onda de entrada e saída do circuito gerador de <i>clock</i> não-sobrepostos.	72
Figura 4.3: Leiaute do circuito <i>latch</i> com dois inversores.	73
Figura 4.4: Resposta no domínio do tempo do circuito <i>latch</i>	74
Figura 4.5: Leiaute das chaves CMOS utilizadas no conversor.	75

Figura 4.6: Leiaute do circuito amplificador.....	76
Figura 4.7: Resposta em frequência do circuito amplificador.....	76
Figura 4.8: Leiaute do amplificador enviado para fabricação.....	77
Figura 4.9: Leiaute do circuito amplificador com <i>buffer</i> na saída.....	78
Figura 4.10: Resposta em frequência do amplificador com <i>buffer</i>	78
Figura 4.11: Leiaute do OTA.....	79
Figura 4.12: Resposta em frequência do OTA.....	79
Figura 4.13: Leiaute do circuito comparador.....	80
Figura 4.14: Sinais de entrada e saída do circuito comparador.....	81
Figura 4.15: Resposta em frequência do circuito comparador.....	81
Figura 4.16: Leiaute de um estágio do conversor A/D de dobramento SC.....	82
Figura 4.17: Sinais de entrada e saída de um estágio do conversor A/D.....	82
Figura 4.18: Leiaute do conversor A/D de dobramento SC completo.....	83
Figura 4.19 Leiaute do conversor A/D de dobramento SC de 5 bits.....	83
Figura 4.20 Leiaute de um bloco do ADC de dobramento SC de 8 bits utilizando OTA.....	84
Figura 4.21 Leiaute do ADC de dobramento SC de 8 bits utilizando OTA.....	86
Figura 5.1: Sinais de saída dos 8 bits do ADC de dobramento SC modificado.....	86
Figura 5.2: Decodificador do código <i>Gray</i> para binário padrão.....	87
Figura 5.3: Sinais de entrada e recuperado do ADC de dobramento SC.....	87
Figura 5.4: FFT do sinal de saída (quantizado) do conversor de dobramento SC....	89
Figura 5.5: FFT do sinal de saída (quantizado) do conversor de dobramento utilizando resistores.....	90
Figura 5.6: Sinais de entrada e recuperado do ADC de dobramento SC.....	93

Figura 5.7: FFT do sinal de saída (quantizado) do conversor de dobramento SC obtida por simulação através do <i>CADENCE</i> .	93
Figura 5.8: Sinal de entrada analógico e sinais das saídas digitais do ADC SC obtidos por simulação pós-leiaute	94
Figura 5.9: Sinais de entrada e recuperado do ADC de dobramento SC proposto...	95
Figura 5.10: FFT do sinal de saída (quantizado) do conversor de dobramento SC.	96
Figura 5.11: Histograma do sinal recuperado.	97
Figura 5.12: DNL e INL do ADC de dobramento SC.	98
Figura 5.13: Sinais de entrada e saída do amplificador fabricado.	99
Figura 5.14: CHIP do ADC fabricado pela MOSIS.	100
Figura 5.15: Circuito de um estágio do conversor montado em laboratório.	102
Figura 5.16: Sinais analógicos de entrada do primeiro bloco.	102
Figura 5.17: Sinais digitais de saída do primeiro bloco.	103
Figura 5.18: Sinais analógicos de saída do primeiro bloco.	103
Figura 5.19: Sinais digitais de saída do segundo bloco.	104
Figura 5.20: Sinais analógico e digital de saída do segundo bloco.	105
Figura 5.21: Sinais digitais de saída em código <i>Gray</i> do ADC de dobramento SC de três bits.	105
Figura 5.22: Sinais digitais de saída em binário do ADC de dobramento SC de três bits.	106
Figura 5.23: Sinal recuperado do ADC de dobramento SC de três bits.	107
Figura 5.24: FFT do sinal recuperado do ADC de dobramento SC de três bits.	107
Figura 5.25: Sinais digitais de saída em código <i>Gray</i> do ADC de três bits simulado.	108
Figura 5.26: Sinais digitais de saída em binário do ADC de três bits simulado.	108
Figura 5.27: Sinais de entrada e recuperado do conversor A/D SC de três bits.	109

Figura 5.28: FFT do sinal recuperado em simulação do ADC de dobramento SC de três bits.....	110
Figura A.1: Inversor.....	120
Figura A.2: Análise no domínio do tempo do circuito inversor.....	121
Figura A.3: Porta lógica NAND.....	121
Figura A.4: Análise no domínio do tempo da porta lógica NAND.	122
Figura A.5: Porta lógica XOR.	122
Figura A.6: Análise no domínio do tempo da porta lógica XOR.....	123
Figura A.7: Circuito <i>latch</i> utilizado na saída do comparador.	124
Figura A.8: Análise no domínio do tempo do circuito LATCH.....	124
Figura A.9: Circuito para gerar os <i>clocks</i> não-sobrepostos.....	125
Figura A.10: Análise no domínio do tempo do circuito gerador dos sinais de <i>clock</i> não-sobrepostos.....	125
Figura A.11: Resposta transitória dos circuitos a capacitores chaveados.....	126
Figura A.12: Amplificador operacional de dois estágios.....	128
Figura A.13: Diagrama do circuito de realimentação de modo comum.	132
Figura A.14: Resposta em frequência do amplificador em malha aberta.	133
Figura A.15: OTA <i>cascode</i> dobrado.....	135
Figura A.16: Circuito de controle de modo comum do OTA <i>cascode</i> dobrado.....	135
Figura A.17: Amplificador de dois estágios utilizado como comparador.	141
Figura A.18: Análise no domínio do tempo do circuito comparador projetado.	143
Figura A.19: Análise no domínio do tempo do circuito comparador (atraso).	143
Figura A.20: Análise no domínio do tempo do circuito comparador (<i>Slew Rate</i>).....	144
Figura A.21: Resposta do Comparador sem e com histerese (ALLEN; HOLBERG, 2002).	145

Figura A.22: Curva transitória do comparador com histerese (ALLEN; HOLBERG, 2002).	145
Figura A.23: Comparador com histerese interna e estágio de saída (ALLEN; HOLBERG, 2002).	146
Figura A.24: Princípio de funcionamento da histerese interna (ALLEN; HOLBERG, 2002).	147
Figura A.25: Circuito da tensão de referência.	149
Figura A.26: (a) Chave simples. (b) Chave Complementar.	151
Figura A.27: Circuito da chave analógica.	152
Figura B.1: Diagrama esquemático de um estágio do ADC de dobramento utilizando resistores (RODRIGUES, 2011).	155
Figura B.2: Diagrama esquemático da primeira configuração do ADC de dobramento (RODRIGUES, 2011).	156
Figura B.3: Diagrama esquemático do ADC de dobramento utilizando circuitos a capacitor chaveado.	158
Figura B.4: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado.	159
Figura B.5: Diagrama esquemático de um estágio do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.	163
Figura B.6: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.	164

Lista de Tabelas

Tabela 6.1: Tabela comparativa dos resultados obtidos em simulação.....	112
Tabela A.1: Dimensão dos transistores utilizados nos circuitos digitais projetados.	120
Tabela A.2: Dimensões dos transistores utilizadas no amplificador Miller.....	130
Tabela A.3: Dimensões dos transistores do circuito OTA.....	140
Tabela A.4: Dimensões dos transistores do circuito comparador.....	148
Tabela A.5: Dimensões dos transistores principais utilizados como chave analógica nos circuitos a capacitor chaveado (SC) de cada estágio.....	154

Lista de Abreviaturas e Siglas

A/D	Analogic-to-Digital [Analógico-Digital]
ADC	<i>Analogic-to-Digital Converter</i> [Conversor Analógico-Digital]
ADK:	<i>ASIC Design Kit</i>
A&R	Amostra e Retém
AM	Amplitude Modulada
amp.	amplificador
AMPMAG	Amplificador de magnitude
AMS	<i>Austriamicrosystems</i> [Originalmente, <i>Austria Mikro Systeme</i>]
AMS035	<i>Design kit</i> de 0,35 μm da <i>Austriamicrosystems</i>
ASIC	<i>Application Metal-Oxide Semiconductor</i>
BW	<i>Band Width</i>
cc	corrente continua
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
D/A	<i>Digital-to-Analogic</i> [Digital-Analógico]
DAC	<i>Digital-to-Analogic Converter</i> [Conversor Digital-Analógico]
dc	<i>direct current</i> [Corrente continua]
DFT	<i>Discrete Fourier Transform</i> [Transformada Discreta de Fourier]
DK	<i>Design Kit</i>
DNL	<i>Differential Non-Linearity Error</i> [Erro de Não Linearidade Diferencial]
DSP	<i>Digital Signal Processor</i> [Processador Digital de Sinais]
ed.	edição
Ed.	Editor
EMI	<i>Electromagnetic Interference</i> [Interferência Eletromagnética]
ENOB	<i>Effective Number Of Bits</i>
ERBW	<i>Effective Resolution Bandwidth</i> [Banda-passante de resolução efetiva]

ESSCIRC	<i>European Solid-State Circuits Conference</i>
f.	folha(s)
FA	Função de Amostragem
FFT	<i>Fast Fourier Transform</i> [Transformada rápida de Fourier]
fig.	figura
FIR	<i>Finite Impulse Response (filter)</i> [Filtro de decimação]
FM	Frequência Modulada
FoM	<i>Figure of Merit</i> [Figura de Mérito]
FPB	Filtro Passa-Baixas
FR	<i>Folding Rate</i> [Taxa de dobramento]
Freq.	Frequência
GDS	<i>Graphic Data System</i>
GND	<i>Ground</i>
HDTV	<i>High-Definition Television</i> [Televisão de alta definição]
ICASSP	<i>IEEE International Conference on Acoustics, Speech, and Signal Processing</i>
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
il.	ilustrações
IMEKO	<i>Internationale Metetechnische Konföderation</i> [Confederação Internacional de Metrologia]
INL	<i>Integral Non-Linearity Error</i> [Erro de não linearidade integral]
ISO	<i>International Organization for Standardization</i>
ISBN	<i>International Standard Book Number</i> [Número Padrão Internacional de Livro]
ISCAS	<i>IEEE International Symposium on Circuits and Systems</i>
ISSCC	<i>IEEE International Solid-State Circuits Conference</i>
K	Taxa de sobreamostragem
LIMC	Laboratório de Instrumentação e Metrologia Científicas
LSB	<i>Least Significant Bit</i> [Bit menos significativo]
Magamp	<i>Magnitude amplifier</i> [Amplificador de magnitude (v. AMPMAG)]
MDC	Máximo Divisor Comum
MMC	Mínimo Múltiplo Comum

MSB	<i>Most Significant Bit</i> [Bit mais significativo]
MIM	Metal-Isolante-Metal
MOS	<i>Metal-Oxide Semiconductor</i> [Semicondutor metal-óxido]
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i> [Transistor de efeito de campo de semicondutor metal-óxido]
n.	número(s)
NF	Número de blocos de dobramento
NMOS	<i>Negative-Channel Metal Oxide Semiconductor</i> [Transistor de efeito de campo de semicondutor metal-óxido tipo N]
NUDFT	<i>Non Uniform Discrete Fourier Transform</i> [Transformada de Fourier discreta não uniforme]
Org.	Organizador
OSR	<i>Over-Sampling Ratio</i> [Fator de sobreamostragem]
OTA	Amplificador Operacional de Transcondutância
p.	página(s)
PMOS	<i>Positive-Channel Metal Oxide Semiconductor</i> [Transistor de efeito de campo de semicondutor metal-óxido tipo P]
pp.	<i>pages</i> [páginas]
Rel.	Relógio
SA	<i>Successive Approximation</i> [Aproximação sucessiva]
SAR	<i>Successive Approximation Register</i> [Registrador de aproximação sucessiva]
SC	<i>Switched Capacitor</i> [Capacitor chaveado]
S&H	<i>Sample and Hold</i> [Amostra e Retém]
SEMETRO	Seminário Internacional de Metrologia Elétrica
SFDR	<i>Spurious Free Dynamic Range</i> [Faixa dinâmica livre de espúrios]
SHA	<i>Sample and Hold</i> [Amostra e Retém]
SINAD:	<i>Signal-to-Noise and Distortion Ratio</i> [Relação sinal-ruído mais distorção]
SNDR:	<i>Signal to Noise Plus Distortion Ratio</i> [Relação sinal-ruído mais distorção]
SNR:	<i>Signal to Noise Ratio</i> [Relação sinal-ruído]
Std.:	<i>Standard</i> [Padrão]

subADC	subconversor analógico-digital
subDAC	subconversor digital-analógico
THD	<i>Total Harmonic Distortion</i> [Distorção Harmônica Total]
Trad.	Tradução
UFCG	Universidade Federal de Campina Grande
v.	veja
vol.	volume
WiFi	<i>Wireless Fidelity</i>
TSMC035	<i>Taiwan Semiconductor Manufacturing Corporation 0.35μm</i>

Lista de Símbolos

A	Amplitude máxima de um sinal senoidal
a_i	i -ésima amostra
$A_{in,max}$	Amplitude máxima do sinal de entrada
A_o	Ganho de malha aberta
b_0, b_1, \dots, b_{N-1}	Bits
b_i	i -ésimo bit
C_c	Capacitor de compensação Miller
C_A, C_B, C_C, C_D	Capacitâncias parasitas
C_1, C_2, \dots, C_N	Capacitores
C_g	Capacitância parasita de <i>gate</i>
dB	Decibel
dBc	Decibel relativo à portadora
EA(f)	Esquema de amostragem
em	Entrada analógica negativa
ep	Entrada analógica positiva
EVPA1	Tensão de polarização
f	Frequência
f_a	Frequência de amostragem, em Hz
$f_{s,max}$	Máxima taxa de amostragem
F_a	Periodicidade do esquema de amostragem uniforme
F_{ai}	Frequência de um conjunto i de amostragens
fF	femtofarad
$f_{in,max}$	Frequência máxima de entrada
$F_{máx}$	Frequência máxima do sinal
FP	Período de um esquema de amostragem
f_q	Densidade de probabilidade
F_{Nyq}	Frequência de Nyquist
f_s	Taxa de Amostragem
FT	Frequência na qual o ganho é 0 dB
G	Ganho de amplificador
GHz	gigahertz

Gsps	<i>Giga samples per second</i> [giga-amostras por segundo]
H(f)	Função de transferência do filtro
Hz	Hertz
I_0, I_1, \dots, I_9	Correntes de saturação dos transistores MOSFET
K	Taxa de sobreamostragem
kHz	quilohertz
ksps	<i>kilo samples per second</i> [quiloamostras por segundo]
$k\Omega$	quilo-ohm
L	Comprimento
MHz	megahertz
Msps	<i>Mega samples per second</i> [= mega-amostras por segundo]
mV	milivolt
mW	miliwatt
N	Número de bits
N^+	Conjunto dos números naturais não nulos
N_1, N_2, \dots, N_K	Número de bits de saída de cada fase do conversor
NF	Número de blocos de dobramento
ns	nanossegundo
$^{\circ}\text{C}$	Grau Celsius
P	Potência
P_e	Potência do erro
P_{ϵ}	Potência do ruído
P_{inv}	Potência consumida pelo circuito inversor
P_{LATCH}	Potência consumida pelo circuito <i>latch</i>
P_{subADC}	Potência consumida pelo circuito de subADC
P_{subDAC}	Potência consumida pelo circuito de subDAC
pF	picofarad
P_m	Potência média total consumida pelo conversor
q	Quantum
R	Resistência
R_1, R_2, \dots, R_N	Sinais analógicos residuais do estágio 1 e do estágio 2, respectivamente
rms	<i>Root mean square</i> [raiz média quadrática]
R_{ON}	Valor da resistência da chave quando ligada
R_{OFF}	Valor da resistência da chave quando desligada
s	segundo

S	Saída
SB	Densidade espectral de potência
SMCA	Tensão de referência
SR	Slew rate
S1, S2, S3, S4	Chaves analógicas
t	Tempo
t0, t1, ..., tn	Instantes de tempo das amostragens 0, 1, ..., n
Ta	Período de amostragem
T _{ai}	Período da i-ésima amostragem
T _{rel}	Período da forma de onda do relógio
t	
T ₁	Período de duração da conversão na fase 1
T ₂	Período de duração da conversão na fase 2
V	Volt
V _a	Tensão de amostragem de entrada
VDAC	Tensão de saída do conversor digital-analógico (DAC)
V _{dd}	Tensão de alimentação
V _{DD}	Tensão de alimentação
V _{dig}	Tensão digital
VDN	Sinal digital de saída do ADC de dobramento
VDP	Sinal digital de saída do ADC de dobramento
V _{ent}	Sinal analógico de entrada
V _{ent,i}	Tensão analógica de entrada do bloco i
V _{entn}	Sinal analógico de entrada do ADC de dobramento
V _{entp}	Sinal analógico de entrada do ADC de dobramento
V _ε	Ruído de quantização
V _{in}	Tensão analógica de entrada
V _{LSB}	Tensão referente a 1 LSB
V _{máx}	Tensão analógica máxima de entrada
V _{mín}	Tensão analógica mínima de entrada
V _p	Tensão de pico
V _{pp}	Tensão de pico a pico
V _R	Tensão analógica no formato de uma rampa
V _{ref}	Tensão de referência
V _{refn}	Tensão de referência negativa

V_{refp}	Tensão de referência positiva
$V_{res,i}$	Tensão residual do bloco i
$V_{saída}$	Tensão analógica de saída do bloco
$V_{saídap}$	Sinal analógico positivo de saída do bloco do ADC de dobramento
$V_{saídan}$	Sinal analógico negativo de saída do bloco do ADC de dobramento
V_{SS}	Tensão de alimentação
$V_x(t)$	Valor da tensão de saída do integrador
V_1, V_2, V_3, V_4	Faixas de valores de tensões em que a faixa da tensão analógica de entrada é dividida
V_{1a}, V_{1b}	Subdivisões da faixa de tensão V1
V_{2a}, V_{2b}	Subdivisões da faixa de tensão V2
$x(n)$	Conjunto de n pontos de amostragem consecutivos
$x(t)$	Função em tempo contínuo
$x_A(t)$	Sinal amostrado
W	<i>Watt</i> ; Largura
Z	Conjunto dos números inteiros
α_i	Coefficiente que representa o número de vezes que foi utilizada cada frequência
Δf	diferença ou passo de frequência
ϵ_n	Variável aleatória de tempo acrescentada ao período n
μA	microampère
μm	micrometro
μs	microsegundo
μW	microwatt
σ	ciclo de atraso
σ_{COMP}	ciclo de atraso do circuito comparador
σ_{DAC}	ciclo de atraso do conversor digital-analógico
σ_{ent}	Desvio padrão típico do sinal de entrada
$\Sigma-\Delta$	Representam as operações que acontecem internamente num conversor analógico-digital sigma-delta.

Capítulo 1

1 INTRODUÇÃO

As diversas grandezas físicas existentes na natureza ou em ambientes industriais, tais como temperatura, umidade, pressão etc. possuem variação contínua de seus valores e, por isto, são melhor representados por sinais analógicos. Uma das principais motivações para se realizar a conversão desses sinais da sua forma analógica para digital é a facilidade de armazenamento e de compactação dos sinais digitais. Outra motivação que podemos citar é a diminuição da largura de banda para transmissão do sinal digital, fora a eliminação mais fácil do ruído no sinal digital se comparado ao sinal analógico. Para poder adquirir, armazenar e até mesmo processar esses sinais analógicos é que foram desenvolvidos os diversos sistemas de aquisição de dados. Um sistema de aquisição de dados típico pode ser observado na figura 1.1.

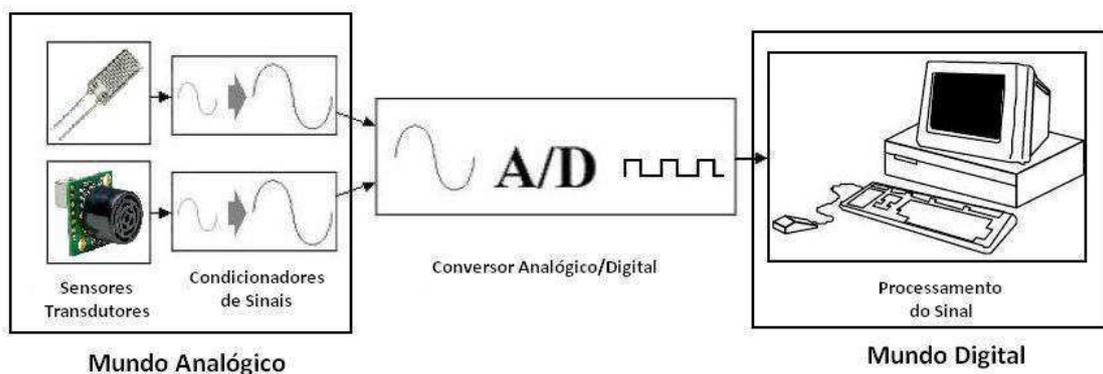


Figura 1.1: Sistema de aquisição de dados.

Um sistema de aquisição de dados típico é composto por: um sensor ou transdutor, um circuito de condicionamento de sinal, um Conversor Analógico Digital

(*Analog-to-Digital Converter* - ADC) e um sistema de processamento digital que pode ser um microcontrolador ou o computador.

O sensor ou transdutor converte a grandeza medida (fenômeno físico) em uma grandeza elétrica (sinal elétrico), tensão ou corrente. Os circuitos de condicionamento de sinais geralmente são utilizados para aumentar ou diminuir a amplitude dos sinais elétricos, a fim de ajustá-los à faixa de entrada do ADC.

O ADC é o elo ligação entre o sistema analógico, dos transdutores e o sistema digital, do processamento de sinais e manuseio de dados. Após a conversão desses sinais para a forma digital, o dado convertido pode ser computado e/ou utilizado na determinação de funções de controle a serem executadas. Os resultados deste processamento devem, geralmente, ser convertidos para a forma analógica, para acionar atuadores analógicos, como por exemplo: elementos de aquecimento, motores, alto-falantes ou um *display* de vídeo.

Até a década de 1980, as exigências militares determinavam as especificações dos conversores de dados no mercado.

Na década de 1980 houve grande crescimento para os conversores de dados em Circuito Integrado (CI). O que conduzia fortemente o mercado era: instrumentação, aquisição de dados, imagens médicas, profissionais e consumidores de áudio/vídeo, computação gráfica e uma série de outras aplicações. O aumento da disponibilidade de microprocessadores com custo relativamente baixo, de memória de alta velocidade, DSP, e o surgimento do PC (Computador Pessoal) com custos mais baixos, aumentaram o interesse em todas as áreas de processamento de sinais. A ênfase em ADC começou a mudar rapidamente para incluir desempenho em corrente alternada e larga faixa dinâmica, e, portanto, houve uma grande demanda por ADC com amostragem em todas as frequências. Especificações, tais como a relação sinal ruído (SNR), relação sinal ruído e distorção (SINAD), o número efetivo de bits (ENOB), a faixa dinâmica livre de espúrios (SFDR) etc. começaram a aparecer nos *datasheets* dos ADC (KESTER, 2005).

Os mercados dos conversores de dados na década de 1990 eram ainda mais diversificados e exigentes do que os dos anos 1980. Os conversores de alta velocidade, que antes eram encontrados apenas em usos militares, agora estavam cada vez mais sendo utilizados nos mais diversos equipamentos tanto industriais

como de consumo. Além das aplicações já conhecidas, foi em telecomunicações que o desenvolvimento dos ADC teve as suas maiores motivações, pois os sistemas de telecomunicações exigiam cada vez mais baixo custo, baixa potência, conversores de dados de alto desempenho em “modems”, aparelhos de telefone celular, infraestrutura sem fio (estações base) etc. Uma grande vantagem de se ter conversores de dados cada vez mais velozes e com maior resolução é a possibilidade de processar uma banda de frequência cada vez maior, permitindo, assim, mais canais, com melhor resolução.

Os ADC de alta velocidade e média resolução são amplamente adotados por sistemas eletrônicos, como os de instrumentação, disco canal de leitura, *links* seriais de alta velocidade, comunicações ópticas e rádios de banda larga etc. Os ADC nesta categoria foram inicialmente dominados pela arquitetura *flash* com transistores bipolares nos anos 80 e início dos anos 90, devido à velocidade do dispositivo ser bem superior a de outros transistores. A primeira mudança dramática de paradigma começou no final dos anos 90, quando da inserção generalizada da tecnologia CMOS. Apesar de inicialmente não alcançarem uma alta velocidade como a dos dispositivos construídos com tecnologia bipolar, os avanços tecnológicos somados ao seu baixo custo, ampla adoção da velocidade digital e melhoramento progressivo do processo de fabricação, têm feito com que os ADC CMOS de alta velocidade sejam uma realidade presente nos dias atuais.

Do ponto de vista da arquitetura, a topologia *flash* é a preferida para operação em alta velocidade uma vez que todas as comparações são cumpridas dentro de um único ciclo de *clock*. No entanto, devido ao aumento exponencial da complexidade com o aumento da resolução no ADC *flash*, surgiram outras possibilidades arquitetônicas e até mesmo as mais variadas associações de arquiteturas buscando maiores velocidades associadas a menores consumos, como por exemplo, a arquitetura ADC *pipeline time interleaved* (intercalado no tempo), ADC *folding flash*, ADC *interpolation flash* ou até mesmo os conversores assíncronos como o ADC *pipelined SAR* desenvolvido por Chen e Shuo (CHEN e SHUO, 2011) ou o ADC *folding* desenvolvido por Rodrigues (RODRIGUES, 2010).

Ao longo dos anos, uma extensa gama de arquiteturas de conversores tem sido desenvolvida para obter um consumo de energia ideal para diferentes taxas de amostragem e resoluções (AHMED, 2010).

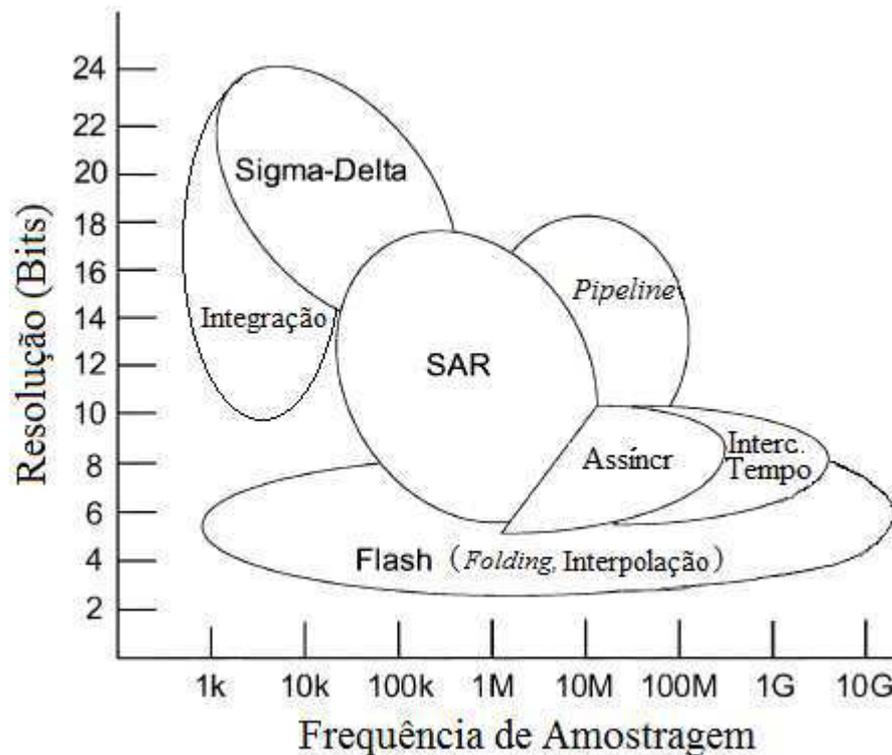


Figura 1.2: Arquiteturas de ADC: Área de abrangência segundo resoluções e taxas de amostragens.

(Adaptado de AHMED, 2010)

A escolha da arquitetura certa é uma decisão muito importante. Na figura 1.2 podem ser observadas as arquiteturas de conversores A/D mais comuns, com suas resoluções e taxas de amostragem. Como pode ser observado, as arquiteturas Sigma-Delta são muito úteis para aplicações em que são necessárias menor taxa de amostragem e maior resolução (cerca de 12-24 bits). As aplicações mais comuns para esta arquitetura são encontradas na banda de voz e nas medições industriais e de áudio. A arquitetura de Aproximação Sucessiva (SAR) é muito adequada para a aquisição de dados que necessitem de resoluções que variam de 8 a 18 bits com taxas de amostragem que variam de 50 kHz a 50 MHz. A forma mais eficaz para se atender a uma aplicação com uma taxa da ordem de GHz e com uma resolução de 8 a 16 bits é a arquitetura *pipeline* (ZARGAR, 2010).

Atualmente existem várias arquiteturas de circuitos de conversores, cada uma delas com características específicas. Dentre as principais, destacam-se:

- 1) Os conversores que seguem o teorema de Nyquist:
 - Conversor Paralelo (*Flash*);
 - Conversor de Rampa Dupla (*Dual Slope*);
 - Conversor de Aproximação Sucessiva (SAR);
 - Conversor de Canal (*Pipeline*);
 - Conversor de Dobramento (*Folding*);
- 2) Os conversores sobreamostrados:
 - Conversor Σ - Δ (*Sigma-Delta*).

Atualmente a maioria dos fabricantes está dividindo os ADC em algumas categorias, a saber:

- ADC de ultra-alta velocidade;
- ADC de alta velocidade;
- ADC para aplicações gerais;
- ADC de precisão;
- ADC isolados e
- ADC com entrada em corrente.

Na categoria dos ADC de ultra-alta velocidade, inserem-se os ADC de frequência de amostragem acima de 1 giga-amostras por segundo (1 GSps), com baixas e médias resoluções que variam de 4 a 12 bits, com arquiteturas diversas e, principalmente, com arranjos entre mais de um conversor para possibilitar atingir essa taxa. Na categoria dos ADC de alta velocidade, inserem-se os ADC de frequência de amostragem acima de cem mega-amostras por segundo (100 MSps), com resoluções de 8 a 14 bits, geralmente com arquiteturas *flash* ou *pipeline*.

Na categoria dos ADC para aplicações gerais se inserem os ADC de frequência de amostragem até oitenta mega-amostras por segundo (80 MSps), com resoluções de até 12 bits, geralmente com arquiteturas sigma-delta ou SAR

(aproximação sucessiva). Na categoria dos ADC de precisão, inserem-se os ADC de frequência de amostragem baixa, em torno de 2000 amostras por segundo (2000 Sps), com resoluções de 16 a 24 bits, geralmente com arquiteturas *pipeline*, sigma-delta ou SAR (aproximação sucessiva).

Na categoria dos ADC isolados, inserem-se os ADC de frequência de amostragem baixa, de até 100 mil amostras por segundo (100 kSps), com resoluções de 16 bits, no máximo. Normalmente, eles possuem arquitetura sigma-delta. Na categoria dos ADC com entrada em corrente, inserem-se os ADC de frequência de amostragem baixa, de até 100 mil amostras por segundo (100 kSps), com resoluções de 14 a 20 bits. Normalmente, eles possuem arquitetura sigma-delta ou SAR.

Com um mercado cada vez mais exigente, principalmente na área de telecomunicações, e com o avanço tecnológico na área de fabricação, tem-se buscado cada vez mais no setor acadêmico uma maior velocidade de conversão relacionada a um menor consumo e uma maior resolução, independente da arquitetura do ADC.

No quadro 1.1 encontram-se algumas publicações que mostram o desenvolvimento dos conversores nos últimos anos. Foram agrupados alguns tipos de arquitetura (ADC que segue o teorema de Nyquist e ADC sobreamostrado), para as mais diversas aplicações (baixo consumo, alta velocidade, alta resolução etc.). O quadro 1.1 está organizado de forma crescente em relação à frequência de amostragem para que possa ser realizada uma comparação do ADC com relação as suas outras especificações.

Para os ADC com frequência de amostragem de até 80 MS/s, que são considerados os ADC de aplicações gerais, a SNDR (Relação Sinal Ruído e Distorção) varia entre 48,5 dB (8 bits) para o ADC SAR desenvolvido por Harpe (HARPE *et al.*, 2011) e 83,9 dB (14 bits) para o ADC sigma-delta desenvolvido por Lei (LEI *et al.*, 2011), e o consumo varia entre 26,3 μ W para o SAR desenvolvido por HARPE (HARPE *et al.*, 2011) e 76,8 mW para o ADC *pipeline* desenvolvido por Lu (LU e TUNG, 2010). Para os ADC de alta velocidade, cuja frequência de amostragem varia entre 100 MS/s até 1 GS/s, a SNDR fica entre 36,45 dB para o ADC *flash* de 6 bits desenvolvido por Lad (LAD e BHAT, 2013), com um consumo de

energia de 15,75 mW e 59 dB para o ADC *pipeline* de 12 bits desenvolvido por Mulder (MULDER *et al.*, 2011), com um consumo de 105 mW. Para os ADC de ultra-alta velocidade cuja frequência de amostragem é superior a 1 GS/s, a SNDR fica entre 20 dB para o ADC *flash* de 6 bits desenvolvido por Lang (LANG *et al.*, 2011), com consumo de 2,3 W e 58 dB para o ADC *pipeline* de 12 bits desenvolvido por Chen (CHEN *et al.*, 2012) com consumo de 500 mW.

Como pode ser observado nas referências de [1] a [12] que se encontram no quadro 1.1, para sistemas que requerem um conversor de média ou alta resolução somados a baixa potência o ADC *pipeline* é a escolha mais usual. No âmbito da pesquisa do ADC *pipeline*, o foco tem sido em técnicas para reduzir o consumo de energia, principalmente nos circuitos Multiplicadores do Conversor Digital para Analógico (MDAC), que normalmente são responsáveis pela maior parte do consumo de energia no ADC. Pôde ser observado também que no trabalho desenvolvido por RODRIGUES, em 2010, foi demonstrado que o ADC sem *relógio folding* (dobramento) tinha melhores resultados que o ADC *pipeline* (canal), quando os mesmos eram construídos com os mesmos circuitos internos, tanto do ponto de vista de consumo, como SNDR e tempo de conversão.

No que concerne ao processo de desenvolvimento e fabricação de circuitos integrados, um dos componentes que ocupam uma grande área de silício é o resistor, o qual é responsável por boa parte do consumo de potência dos circuitos integrados (ALLEN; HOLBERG, 2002).

Além da grande área ocupada, os resistores não são muito exatos na sua forma integrada. O valor do resistor pode ser definido ajustando-se o comprimento e a largura das regiões de difusão. A tolerância obtida para os resistores é muito alta (20 % a 50 %), porém a relação entre os valores (ou casamento) para resistores similares é razoável (5 %). Esses resistores também possuem capacitância parasita de junção substancial, o que os torna pouco adequados às aplicações de alta frequência.

Quadro 1.1: Quadro comparativo de alguns ADC existentes em artigos e periódicos nos últimos 4 anos.

Referência	[2]	[10]	[12]	[3]	[18]	[5]	[1]	[8]	[6]	[4]	[9]	[11]	[21]	[7]	[19]	[16]	[20]	[15]	[14]	[17]	[13]	
Arquitetura	Folding	Sigma-Delta	SAR	Pipeline	Pipeline	SAR	Pipeline	Pipeline	Pipeline	Pipeline	Pipeline	Folding	Flash	Pipeline	SAR Interc. Tempo	Flash	Folding-flash	SAR	Pipeline	Sigma-Delta	Flash	
Tecnologia	350 nm	180 nm	90 nm	350 nm	130 nm	-	180 nm	130 nm	-	90 nm	90 nm	130 nm	130 nm	40 nm	-	90 nm	-	65 nm	40 nm	130 nm	90 nm	
Número de bits	8 bits	14 bits	8 bits	12 bits	15 bits	12 bits	10 bits	12 bits	10 bits	8 bits	10 bits	10 bits	6 bits	12 bits	10 bits	6 bits	7 bits	11 bits	12 bits	8 bits	6 bits	
Tensão de Alimentação	3,3 V	1,8 V	1 V	1,5 V	-	-	1,8 V	1,2 V	-	2,1 V/ 1,2 V	-	1,2 V	1,2 V	-	-	1 V	-	1,2 V	2,5 V	1,2 V	1,25 V/ 1,75 V	
Máxima																						
Frequência de Amostragem	2 MS/s	2 MS/s	10 MS/s	40 MS/s	48 MS/s	50 MS/s	50 MS/s	60 MS/s	100 MS/s	320 MS/s	320 MS/s	500 MS/s	500 MS/s	800 MS/s	1 GS/s	1 GS/s	2,2 GS/s	2,8 GS/s	3 GS/s	3,6 GS/s	25 GS/s	
Tempo de Conversão	500 ns	500 ns	100 ns	25 ns	20,8 ns	20 ns	20 ns	16,67 ns	10 ns	3,125 ns	3,125 ns	2 ns	2 ns	1,25 ns	1 ns	1 ns	455 ps	357 ps	333 ps	277 ps	40 ps	
Consumo	8 mW	2,1 mW	26,3 µW	76,8 mW	21 mW	3,5 mW	3,9 mW	36 mW	4,5 mW	12,77 mW	42 mW	0,3 W	68,82 mW	105 mW	18,9 mW	15,75 mW	27,4 mW	44,6 mW	500 mW	15 mW	2,3 W	
S.NDR	60 dB	83,9 dB	48,5 dB	69,5 dB	74 dB	66 dB	58,2 dB	64,9 dB	55 dB	45,7 dB	54,2 dB	52,34 dB	27 dB	59 dB	-	36,45 dB	-	48 dB	58 dB	50 dB	20 dB	
SFDR	-	91 dB	-	77,1 dB	80 dB	78 dB	66 dB	77,1 dB	62,3 dB	-	66,7 dB	62,04 dB	-	-	-	-	-	55 dB	-	52 dB	38 dB	
ENOB	9,7 bits	13,6 bits	7,77 bits	11,25 bits	12 bits	10,67 bits	9,4 bits	10,49 bits	8,84 bits	7,3 bits	8,71 bits	8,4 bits	4,19 bits	9,5 bits	-	5,76 bits	-	8,1 bits	9,84 bits	8 bits	5 bits	
[1] AHMED, MULDER, JOHNS, 2010				[6] HUANG, LEE, 2011				[11] HAN <i>et al.</i> , 2011												[16] LAD e BHAT, 2013		
[2] RODRIGUES <i>et al.</i> , 2010				[7] MULDER <i>et al.</i> , 2011				[12] HARPE <i>et al.</i> , 2011												[17] ASHRY e ABOUSHADY, 2013		
[3] LU, TUNG, 2010				[8] WEN <i>et al.</i> , 2012				[13] LANG <i>et al.</i> , 2011												[18] CHANG <i>et al.</i> , 2014		
[4] KIM, LIMOTYRAKIS, YANG, 2011				[9] TSENG <i>et al.</i> , 2012				[14] CHEN <i>et al.</i> , 2012												[19] SUNGHYUK LEE, CHANDRAKASAN e HAE-SEUNG LEE, 2014		
[5] LEE, FLYNN, 2011				[10] LEI <i>et al.</i> , 2011				[15] STEPANOVIC e NIKOLIC, 2013												[20] MIYAHARA, <i>et al.</i> , 2014		
																				[21] SHI e YOON, 2014		

Uma maneira de reduzir os problemas causados pela utilização de resistores nos circuitos integrados é a utilização da técnica de capacitores chaveados. Os capacitores MOS (basicamente a capacitância de porta-fonte do MOSFET) e *interpoly* (construído entre duas camadas de Silício Policristalino), possuem valores de capacitância que podem ser construídos com tolerância menor que 1 %. Valores práticos de capacitâncias situam-se na faixa de 0,5 pF a poucas dezenas de pF. O casamento entre capacitores similares pode ter um erro de até 0,1 %. Essa propriedade é extremamente útil para projetar circuitos CMOS (*Complementary Metal-Oxide Silicon*) analógicos com maior exatidão, além de reduzir bastante o tamanho da área dos circuitos projetados, haja vista que os capacitores possuem área bem menor que os resistores (ALLEN; HOLBERG, 2002).

A ideia principal da técnica de capacitores chaveados consiste na substituição de resistores por capacitores acionados por chaves. A partir desta substituição será permitida, simultaneamente, a redução de área de Silício, visto que os resistores ocupam maior área que os capacitores, e a redução das incertezas causadas na implementação dos circuitos, pois os resistores possuem uma tolerância referente à fabricação bem maior que os capacitores (GREGORIAN *et al.*, 1983).

O crescente aumento da densidade de integração na tecnologia CMOS associado às características de baixo consumo de potência, alta velocidade e baixa complexidade dos circuitos a capacitor chaveado, têm estimulado a compactação de sistemas de processamento de sinais pela integração de sistemas mistos analógico-digitais. A importância da integração está no baixo custo e alto desempenho, além do tamanho reduzido dos circuitos aliado à alta confiabilidade e estabilidade de funcionamento (GREGORIAN *et al.*, 1983).

1.1 OBJETIVOS

Considerando a necessidade de circuitos cada vez menores que apresentem baixo consumo, as questões de pesquisa descritas na seção anterior e a crescente demanda na área de desenvolvimento de circuitos integrados analógicos, expõem-se nesta seção, os objetivos deste trabalho.

1.1.1 OBJETIVO GERAL

O objetivo geral deste trabalho foi desenvolver um estudo sobre a aplicação dos circuitos a capacitor chaveado em um conversor A/D com arquitetura de dobramento.

Para tal, foram desenvolvidos dois circuitos de conversores que utilizam os circuitos a capacitor chaveado, de modo a serem compatíveis com o conversor desenvolvido por RODRIGUES para possibilitar a comparação das estruturas projetadas com o circuito desenvolvido por tal autor. Inicialmente, as estruturas foram simuladas na ferramenta computacional da *Mentor Graphics* com a tecnologia CMOS padrão 0,35 μm .

O primeiro conversor desenvolvido utiliza uma configuração clássica dos circuitos a capacitor chaveado. O segundo conversor, no entanto, foi desenvolvido utilizando uma estrutura modificada dos circuitos a capacitor chaveado.

Para que fosse possível a fabricação do circuito foi necessário modificar a tecnologia utilizada. Passou-se a utilizar a ferramenta computacional da *Cadence* com a tecnologia CMOS padrão 0,18 μm .

1.1.2 OBJETIVOS ESPECÍFICOS

Destacaram-se também como objetivos decorrentes da execução deste trabalho:

- Descrição das principais arquiteturas dos ADC desenvolvidos na atualidade e suas aplicações;
- Levantamento bibliográfico relacionado aos circuitos a capacitor chaveado e suas aplicações;
- Apresentação da metodologia sistemática de projeto de um ADC de dobramento utilizando os circuitos a capacitor chaveado, bem como seu modelo matemático;

- Apresentação do projeto dos circuitos básicos ADC de dobramento utilizados, como: amplificadores, comparadores, etc., nas tecnologias padrão 0,35 μm e 0,18 μm ;
- Apresentação dos resultados das simulações com os circuitos dos ADC de dobramento projetados em nível de transistor;
- Construção do leiaute do *chip* do ADC de dobramento e apresentação dos resultados experimentais realizados em laboratório para validar a teoria desenvolvida.

1.2 ORGANIZAÇÃO DO TRABALHO

A apresentação do trabalho desenvolvido foi dividida ao longo de seis capítulos:

Além deste primeiro capítulo introdutório, que se dedicou a contextualizar o leitor sobre o tema da pesquisa e sua aplicabilidade, no capítulo 2 estão apresentados os princípios da amostragem não uniforme (ou irregular) dando destaque a amostragem por cruzamento de níveis. É apresentado também o princípio de funcionamento da arquitetura de dobramento, objeto de estudo deste trabalho, bem como da técnica de capacitores chaveados.

No capítulo 3 iniciam-se as contribuições deste trabalho de tese. São apresentados, detalhadamente, os circuitos dos conversores de dobramento (*folded*), utilizando resistores e os circuitos a capacitores chaveados desenvolvidos. Apresentam-se também os equacionamentos matemáticos que comprovam a equivalência da utilização dos circuitos a capacitor chaveado no lugar dos resistores.

No capítulo 4 são apresentados os leiautes de todos os circuitos que fazem parte do ADC de dobramento SC.

No capítulo 5 são mostrados e comparados os resultados obtidos em simulações com os conversores de dobramento, um utilizando resistores e outro utilizando os circuitos a capacitor chaveado. As simulações foram realizadas por meio das ferramentas computacionais da *Mentor Graphics* com a tecnologia 0,35 μm . São mostrados os resultados obtidos por simulação dos circuitos em nível de

transistor e de leiaute utilizando as ferramentas da *Cadence* com a tecnologia 0,18 μm . São apresentados também, os resultados experimentais dos circuitos fabricados, bem como os resultados obtidos a partir de medições sobre o circuito do conversor de dobramento SC de três bits montado em laboratório, utilizando componentes discretos. Estes resultados são comparados com os da simulação.

Finalmente, no capítulo 6 são feitas as considerações finais deste trabalho e é exibida uma lista contendo sugestões para futuros estudos a serem desenvolvidos nesta área.

Complementa este documento, no apêndice A, os cálculos referentes aos projetos dos circuitos desenvolvidos e que fazem parte do ADC de dobramento SC. No apêndice B, está apresentada a análise matemática do modelo dos circuitos dos conversores de dobramento com resistores e com os capacitores chaveados (SC) desenvolvidos neste trabalho.

Capítulo 2

2 REVISÃO DE CONCEITOS BÁSICOS

2.1 CONVERSÃO ANALÓGICO-DIGITAL

A conversão analógico-digital é a etapa, em processamento de sinais, que permite passar de um sinal analógico, ou seja, contínuo em amplitude, geralmente contínuo no tempo, para um sinal discreto no tempo (amostrado) e em amplitude (quantizado) e codificá-lo numa representação digital. A conversão analógico-digital se passa geralmente em duas etapas distintas: a amostragem-retenção e a quantização-codificação. À amostragem-retenção deve preceder uma filtragem anti-recobrimento.

A amostragem consiste em manter o valor do sinal contínuo analógico, V_{ent} , durante uma duração de tempo fixa chamada de período de amostragem (v. figura 2.1), o que é feito por um circuito chamado de amostrador-retentor (S&H – *Sample and Hold*). A tensão analógica V_a , contínua por partes, é obtida. O período de amostragem, T_a , é fixado segundo o teorema de Nyquist: a frequência de amostragem deve ser pelo menos o dobro da maior componente de frequência do sinal contínuo analógico. (MALOBERTI, 2007).

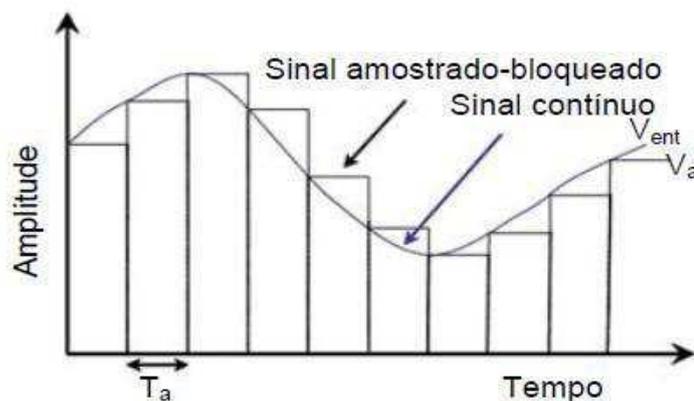


Figura 2.1: Amostragem de um sinal contínuo.

A quantização-codificação é a etapa de conversão analógico-digital propriamente dita: ela consiste em associar o valor da tensão real V_a em um número binário $V_{dig}=(b_i)_{0 \leq i \leq N-1}$, escolhido entre um conjunto finito e predeterminado de valores.

Um sinal pode ser amostrado utilizando uma amostragem uniforme (periódica) ou utilizando uma amostragem não uniforme (aperiódica). A amostragem uniforme é aquela que produz um sinal em tempo discreto cujas amostras são regularmente espaçadas pelo período de amostragem T_a . A amostragem não uniforme é aquela em que o sinal é amostrado de maneira aperiódica, sendo o processo de conversão disparado por um evento pré-definido. Para o conversor proposto, foi utilizada uma amostragem não uniforme por cruzamento de níveis.

2.2 AMOSTRAGEM POR CRUZAMENTO DE NÍVEIS

Dentre os vários modos de amostragem não uniforme, destaca-se a amostragem por cruzamento de níveis.

A amostragem por cruzamento de níveis tem como princípio a ausência do sinal de relógio que comanda a amostragem nos sistemas de conversão analógico-digital. O conversor que funciona baseado na amostragem por cruzamento de níveis amostra o sinal somente quando o mesmo atravessa um dos níveis de tensão (níveis de cruzamento), e o valor da amostra corresponde ao valor do nível cruzado. Estes níveis são uniformemente distribuídos na faixa completa do conversor. Mark, em 1981, propôs um método em que as amostras são convertidas quando o sinal cruza um dos níveis repartidos uniformemente sobre a dinâmica do sinal de entrada a fim de comprimir as informações coletadas (RODRIGUES, 2011), (MARK; TODD, 1981).

O interesse pela amostragem por cruzamento de níveis reside no fato de a atividade do sinal controlar automaticamente a operação do sistema de conversão. A amostragem por cruzamento de níveis é muito atrativa para reduzir a atividade do conjunto do sistema de processamento do sinal e, por conseguinte, o seu consumo de energia.

Para um melhor entendimento do funcionamento deste tipo de amostragem, pode-se observar as formas de onda existentes na figura 2.2. Supondo que o conversor possui uma faixa de tensão de entrada pré-definida cujo valor máximo é V_m e com cinco níveis pré-definidos cuja largura é igual a $V_m/6$. Percebe-se que em ambos os sinais a amostragem só é realizada quando o sinal cruza um dos níveis pré-estabelecidos. Outro fato que pode ser observado é que o sinal existente na figura 2.2 (a), possui um numero de amostras maior que o sinal existente na figura 2.2 (b), isto se deve ao fato de que o sinal existente na figura 2.2 (a) ter atravessado mais níveis que o sinal existente na figura 2.2 (b).

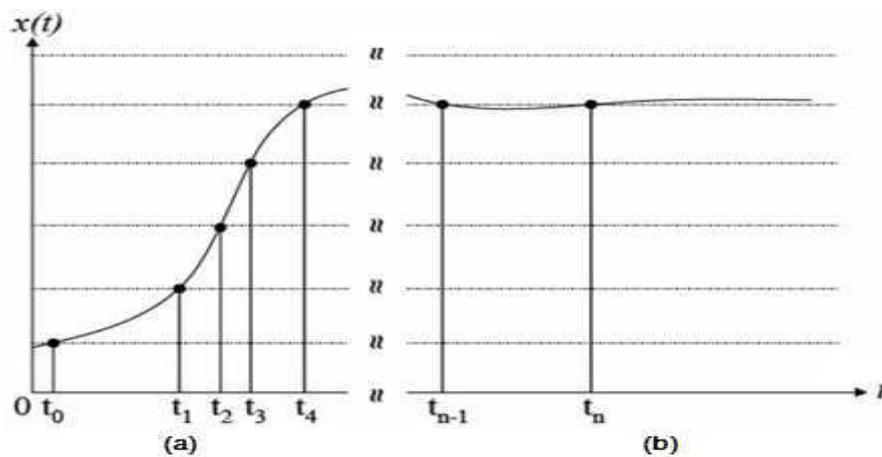


Figura 2.2: Amostragem não uniforme por cruzamento de níveis.

2.3 CONVERSOR ANALÓGICO-DIGITAL DE DOBRAMENTO

Compreendido o princípio de funcionamento de um conversor A/D por cruzamento de nível que será utilizado neste projeto, será realizada uma descrição do princípio de funcionamento dos conversores analógico-digital de dobramento (*folding*), mostrando os conceitos gerais e básicos desta arquitetura. Além disso, serão executados o projeto e implementação do conversor de dobramento utilizando circuitos a capacitor chaveado.

Um dos conversores projetados e implementados neste trabalho foi o conversor de dobramento (*folding*) clássico que utiliza resistores. Este tipo de conversor trabalha com o gerador de resíduos (diferença entre os sinais de entrada e os sinais quantizados em cada estágio), funcionando como uma transformação não-linear da entrada: a gama do sinal de entrada é dividida em um determinado

número de partes MSB (bit mais significativo) com relações lineares entre entrada e saída dentro de cada setor. Na figura 2.3 está mostrada a relação linear existente nos conversores de dobramento entre a entrada e a saída.

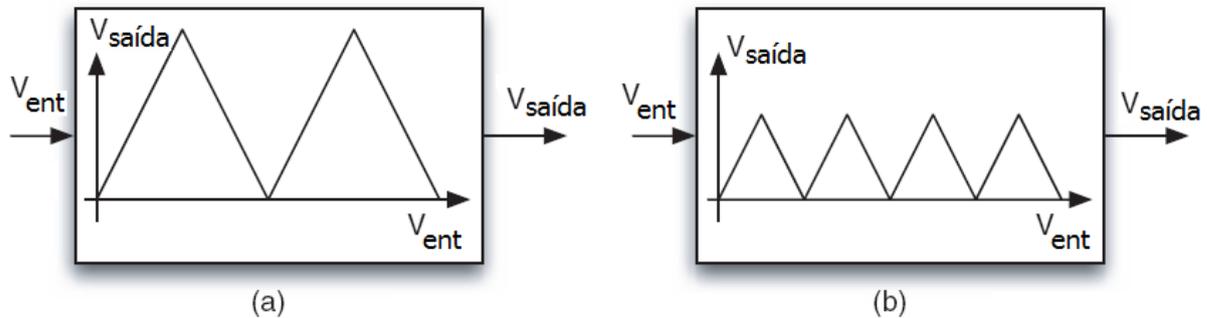


Figura 2.3: Blocos não lineares para obter o dobramento do sinal de entrada.

A transformação não-linear, mostrada na figura 2.3, é o dobramento do sinal de entrada que divide o período de entrada em um número de setores (4 na figura 2.3 (a) e 8 na figura 2.3(b)) para obter uma resposta linear dentro de cada bloco, com inclinações alternadamente positivas e negativas simétricas. As transformações não-lineares podem ser vistas como um múltiplo dobramento de uma rampa (duas vezes para gerar quatro setores, três vezes para gerar oito setores). É por isso que o método é chamado de dobramento (MALOBERTI, 2007).

Um único circuito dobra a entrada em torno de $1/2 V_{FE}$ (tensão de fundo de escala) e dá origem a dois setores a serem identificados por um código de 1 bit com pico de amplitude de $1/2 V_{FE}$. Dobrando duas vezes conduz a quatro setores a serem identificados por um código de 2 bits com pico de amplitude $1/4 V_{FE}$. Dobrando três vezes, o código passa a ser de três bits e o valor de pico torna-se $1/8 V_{FE}$ e assim por diante. Assim, sendo dobrado várias vezes o intervalo de saída é reduzido, e o número de intervalos que será necessário para quantizar o sinal dobrado diminui em conformidade. Por exemplo, após um dobrador de M bits, será necessário o uso de $2^{N-M} - 1$ comparadores para concluir a conversão de N-bits. Obviamente, é necessário saber em qual segmento a entrada se inscreve para determinar os MSBs, que são então combinados com os LSBs dados pela quantização do sinal dobrado (MALOBERTI, 2007).

2.3.1 PRINCÍPIO DE FUNCIONAMENTO

Na figura 2.4 pode ser observado um diagrama de blocos conceitual do conversor de dobramento. O conversor de dobramento de M bits produz dois sinais: a saída analógica dobrada e o código de M bits que identifica em qual segmento está inscrita a entrada. O estágio de ganho aumenta a faixa dinâmica para atingir V_{FE} . O conversor de N bits então determina os LSBs que serão combinados com os MSBs pela lógica digital para produzir $n = (N + M)$ bits (MALOBERTI, 2007).

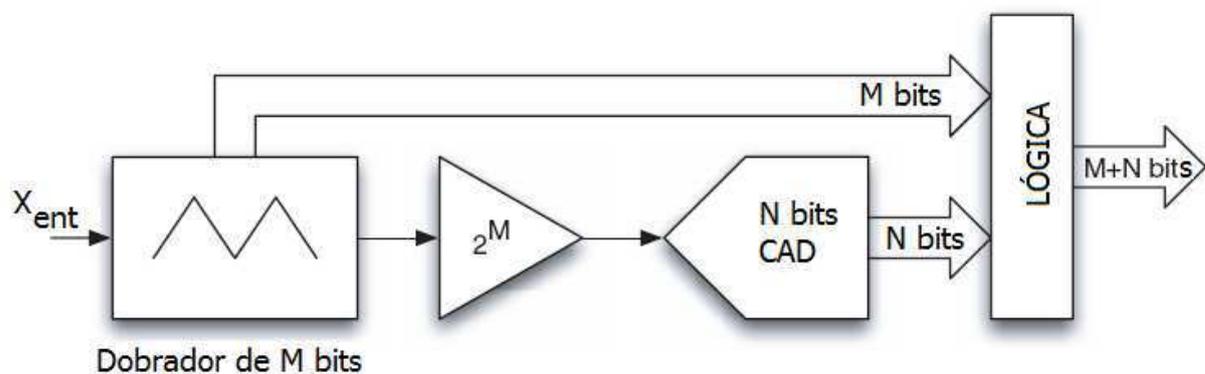


Figura 2.4: Arquitetura básica de um conversor de dobramento.

As regiões em torno dos pontos de dobradura são críticas, pois é necessário que haja variações bruscas na inclinação da curva entrada-saída. Esta característica não pode ser obtida diretamente por circuitos práticos usando transistores bipolares ou MOS, porque suas respostas são suaves acarretando em arredondamentos das características de transferência. Além disso, operar em diferentes segmentos estabelece atrasos diferentes, porque é necessário carregar ou descarregar as capacitâncias parasitas dos elementos de chaveamento para realizar a transição entre os setores (MALOBERTI, 2007).

Além dos limites citados, é necessário levar em consideração a largura de banda finita e a taxa de variação, pois o circuito de dobradura é normalmente utilizado para altas taxas de conversão de média a alta resolução.

Alguns trabalhos que utilizam arquiteturas de 1 bit por estágio empregam uma estrutura que é baseada em amplificadores de valor absoluto (amplificadores de magnitude – *MagAMPs*). Esta arquitetura é referenciada como serial *Gray*, porque a

saída está em código *Gray*, ou conversor de dobramento (*folding*), por causa da forma da função de transferência. Realizando uma conversão que usa uma função de transferência que produz inicialmente um código *Gray* que tem a vantagem de minimizar as descontinuidades nas formas de onda do resíduo e oferece um potencial de operação em velocidades mais altas que o conversor de saída binária (PLASSCHE, 2003; KESTER, 2005).

O estágio básico funcional desse tipo de conversor de dobramento é mostrado na figura 2.5, junto com seus sinais de entrada e saída. Nesta figura, a entrada do estágio é considerada uma rampa linear de tensão cuja faixa varia entre $-V_R$ e $+V_R$. O comparador detecta a polaridade do sinal de entrada e fornece o bit *Gray* de saída do estágio. Ele também determina se o ganho do estágio de amplificação será $+2$ ou -2 . A tensão de referência é somada com a saída da chave para gerar o sinal de resíduo que é aplicado ao próximo estágio (PLASSCHE, 2003; KESTER, 2005).

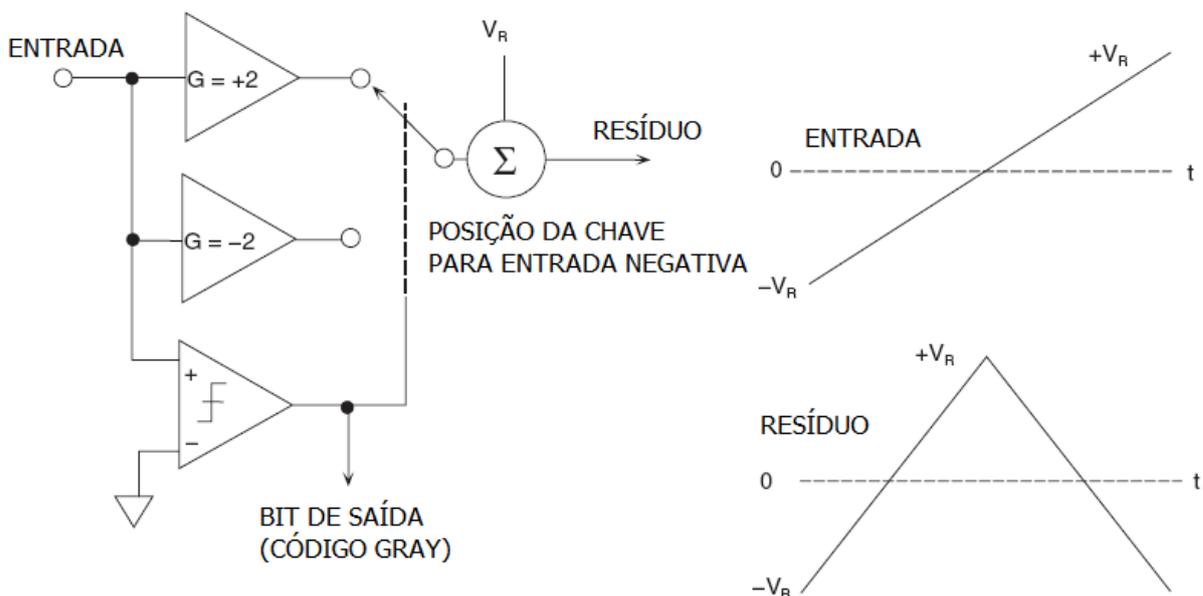


Figura 2.5: Diagrama simplificado de um bloco de um conversor de dobramento e a forma de onda da entrada e saída para uma entrada de rampa linear.

Um conversor de dobramento de três bits com amplificadores de magnitude pode ser observado na figura 2.6, e as formas de onda da entrada e dos resíduos podem ser observadas na figura 2.7. Da mesma forma que o conversor de canal (*pipeline*), a polaridade do sinal do resíduo de saída de um estágio determina o valor

do bit *Gray* para o próximo estágio. A polaridade da entrada do primeiro estágio determina o *Gray* MSB. A polaridade da saída de R1 (Resíduo 1) determina o bit *Gray* 2, e a polaridade de R2 determina o bit *Gray* 3. Note na figura 2.7, que diferentemente do conversor de canal, não existe transição abrupta em nenhuma das formas de onda do resíduo de saída do conversor de dobramento. Isso torna a operação mais fácil em velocidades mais altas (PLASSCHE, 2003; KESTER, 2005).

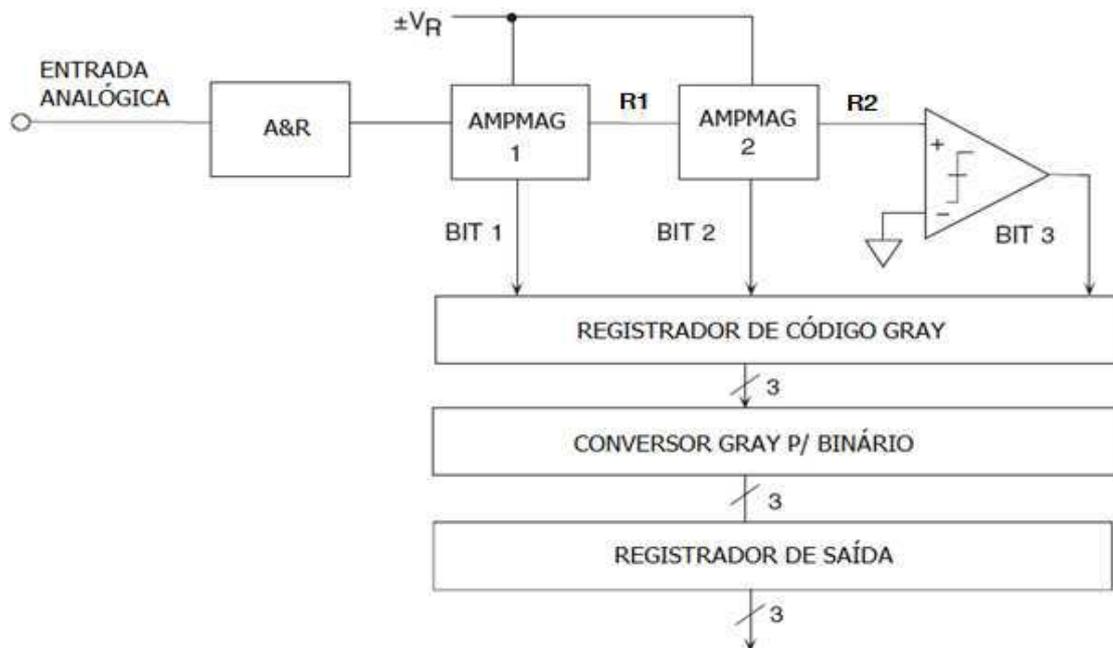


Figura 2.6: Diagrama de blocos de um conversor de dobramento de três bits

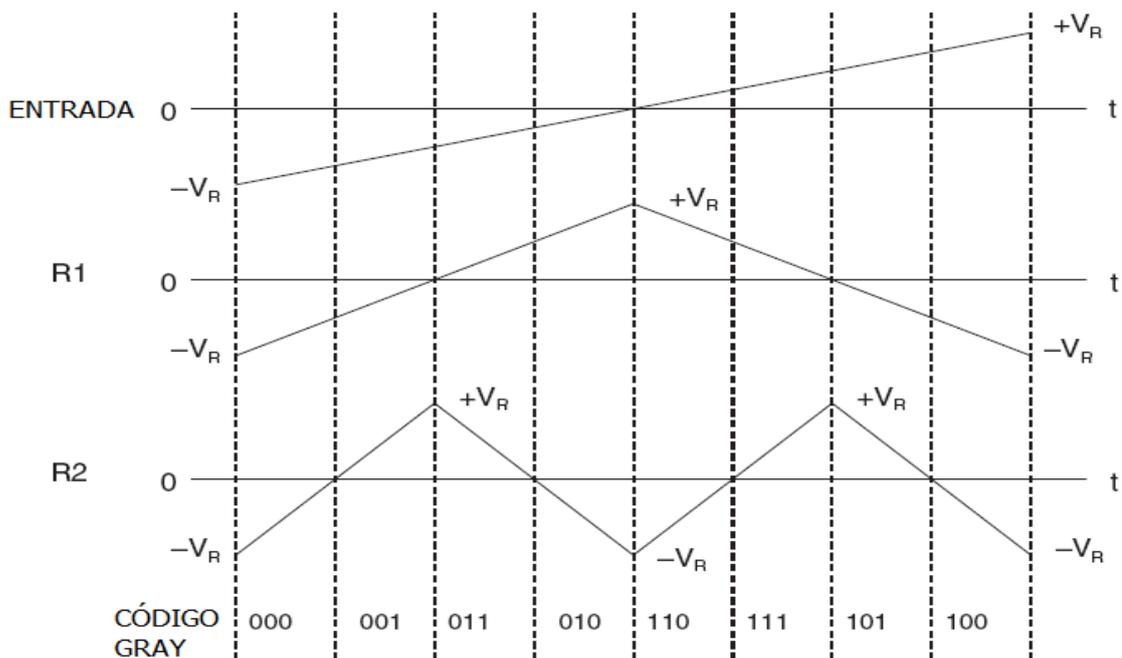


Figura 2.7: Formas de onda da entrada e do resíduo para um ADC de dobramento de três bits.

2.4 TÉCNICA DE CAPACITORES CHAVEADOS

Uma técnica bastante utilizada em circuitos integrados analógicos é a de capacitor chaveado (sigla SC, do inglês *Switched Capacitor*), que se implementa um resistor (chamado resistor SC) por meio de capacitores e chaves.

Os circuitos SC são uma classe comum de sistemas em tempo discreto e são utilizados na maioria dos tópicos avançados como filtros, comparadores, conversores analógico-digital (ADC) e conversores digital-analógico (DAC).

A técnica surgiu como solução ao problema de implementar constantes de tempo de alta exatidão para a construção de filtros ativos totalmente integrados sem a necessidade de componentes passivos ajustáveis.

Os elementos cruciais para a construção de circuitos que se baseiam nesta técnica são capacitores e chaves analógicas. A tecnologia mais adequada para a implementação destes elementos é a tecnologia CMOS. Nos dias atuais a tecnologia CMOS é predominante, pois é mais apropriada para a implementação de sistemas integrados que englobam circuitos digitais e analógicos. Deve-se mencionar também a facilidade na construção das chaves analógicas, por causa da baixa resistência de condução das chaves CMOS comparadas às chaves NMOS e PMOS.

A técnica de capacitor chaveado surgiu pela necessidade de reduzir a área do "chip" assim como de integrar circuitos analógicos e circuitos digitais. Esta técnica apresenta as seguintes vantagens:

- ❖ Redução de área do circuito integrado pela não necessidade de implementar resistências lineares;
- ❖ A resposta em frequência pode ser controlada mudando a relação de capacitâncias da rede;
- ❖ Pode ser implementada utilizando o processo CMOS padrão de baixo custo;
- ❖ Alta exatidão ($\sim 0,1\%$) já que a constante de tempo é implementada por uma razão entre capacitâncias. (GONZÁLEZ, 2011);
- ❖ Elevada linearidade.

2.4.1 PRINCÍPIO DE FUNCIONAMENTO

A ideia principal da técnica de capacitores chaveados (GREGORIAN; MARTIN; TEMES, 1983) consiste na substituição de resistores por capacitores acionados por chaves, permitindo, simultaneamente, a redução de área de Silício e a redução das incertezas na implementação dos circuitos (ALLEN; HOLBERG, 2002).

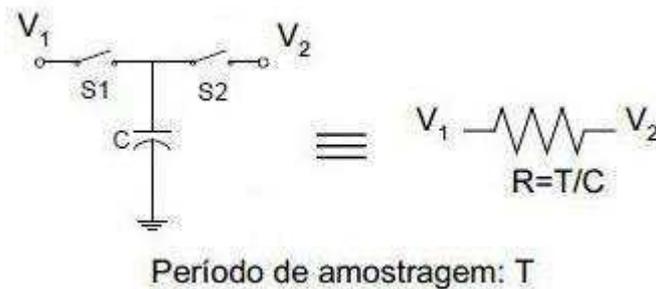


Figura 2.8: Técnica de capacitor chaveado: resistor simulado (ALLEN; HOLBERG, 2002).

Considerando a rede representada na figura 2.8, deve-se realizar a análise da mesma do ponto de vista da transferência da carga elétrica. Nela, as chaves S1 e S2 abrem e fecham periodicamente e muito mais rápido do que a variação das tensões nos terminais V_1 e V_2 . A chave S1 e S2 operam em fases opostas, o que significa que quando S1 estiver fechada, S2 estará aberta e vice-versa. Quando S1 estiver fechada, C é carregado com a tensão V_1 e quando S2 estiver fechada, C é carregado com a tensão V_2 . Após S2 ser aberta, S1 é fechada novamente e C é recarregado até a tensão V_1 novamente. Isso causa uma transferência de carga $\Delta Q = C * (V_1 - V_2)$ que flui pelo ramo do capacitor. Se o ciclo de carga e descarga do capacitor C se repetir a cada T segundos (T é o período de chaveamento), então a corrente média que flui através do ramo poderá ser expressa por (ALLEN; HOLBERG, 2002):

$$i \equiv \frac{\Delta Q}{T} = \frac{C}{T} * V_c = \frac{C}{T} * (V_1 - V_2). \quad (2.1)$$

Tem-se que a corrente média é proporcional à tensão do ramo $V_1 - V_2$. Similarmente, para um circuito que contém um resistor, a corrente média que passa por esse resistor é definida como (ALLEN; HOLBERG, 2002):

$$i = \frac{1}{R} * (V_1 - V_2). \quad (2.2)$$

Observa-se então que a corrente que flui entre os nós de V1 e V2 seria a mesma observada num resistor, $R = T/C$. Pode-se concluir que cada resistor de um circuito pode ser substituído pela rede equivalente das chaves e do capacitor da figura 2.8 e que o novo circuito vai realizar as mesmas funções do circuito com resistores (ALLEN; HOLBERG, 2002).

Assim, as constantes de tempo do circuito original serão modificadas com a introdução do resistor emulado, pois dependerão do período de chaveamento e do valor da capacitância inserida no circuito. O período T dos pulsos de chaveamento é determinado por um circuito gerador de pulsos controlado por um cristal de Quartzo que é altamente exato e estável (ALLEN; HOLBERG, 2002).

É importante frisar que, como as razões entre capacitores podem ser implementadas em tecnologia CMOS com exatidão de 0,1%, e a frequência de amostragem pode ser precisamente controlada por um oscilador a cristal, as constantes de tempo no circuito a capacitores chaveados são muito mais exatas do que aquelas do circuito com resistores.

Um melhoramento significativo também é alcançado em termos da área do circuito integrado requerida pelos elementos passivos do circuito. Para ter uma constante de tempo na faixa de frequências de áudio (10 krad/s), mesmo com uma capacitância grande como 10 pF é necessária uma resistência de 10 MΩ. Este resistor ocupa uma área de $10^6 \mu\text{m}^2$ aproximadamente, que representa cerca de 10 % da área de um chip médio. Por outro lado, para um período típico do *clock* de 10 μs, a capacitância que realiza um resistor de 10 MΩ num circuito a SC é $C=T/R=10^{-5}/10^7=10^{-12}\text{F} = 1 \text{ pF}$. A área requerida para realizar esta capacitância é cerca de $2500 \mu\text{m}^2$ ou somente 0,25 % da área necessária à implementação do resistor que ela substitui (ALLEN; HOLBERG, 2002).

Há aplicações em que os sistemas em MOS de processamento analógico de sinais são competitivos ou inclusive superiores a outras implementações. A seguir se relacionam algumas das mais sobressalentes propriedades dos sistemas analógicos e se comparam com outras alternativas de realização (ALLEN; HOLBERG, 2002):

i) Nos circuitos SC os pólos e zeros dependem unicamente das razões entre capacitâncias (e não dos valores absolutos), o que permite a realização de respostas altamente seletivas com uma maior exatidão e estabilidade. A constante de tempo dos circuitos SC é proporcional ao período T da frequência de chaveamento. Como resultado, a resposta em frequência do circuito todo $H(f)$ pode ser escalada mudando a frequência de chaveamento $f_C = 1/T$. Substituindo o valor de f_C pelo valor $2 \cdot f_C$, simplesmente produz a expressão da curva de resposta horizontalmente por um fator de 2. Esta é uma forma de realizar ajustes de respostas em aplicações como osciladores controlados por tensão, filtros adaptativos etc (ALLEN; HOLBERG, 2002).

ii) Como os circuitos SC trabalham com sinais analógicos, operações básicas como multiplicação, soma e atraso são muito mais simples de realizar do que nos sistemas digitais. Isto permite uma maior densidade de operações nos chips analógicos (ALLEN; HOLBERG, 2002).

iii) Devido à maior simplicidade das estruturas a capacitores chaveados e à menor área de Silício ocupada, o requerimento de potência DC para uma determinada tarefa de processamento é significativamente menor para uma implementação a capacitores chaveados do que para uma digital (ALLEN; HOLBERG, 2002).

iv) Por outro lado, os circuitos SC têm uma exatidão limitada pelas incertezas das razões entre capacitâncias, que é de cerca de 0,1 %. Este valor é significativo para um sistema analógico, mas só corresponde a uma resolução de 10 bits com ponto flutuante para um sistema digital. Para aplicações em que este valor é insuficiente, é necessário o uso de sistemas digitais (ALLEN; HOLBERG, 2002).

v) Outro problema é a faixa dinâmica. Devido ao nível do ruído causado pelos amplificadores operacionais, as chaves, linhas de alimentação e da frequência de chaveamento, a faixa dinâmica (razão sinal/ruído) de um circuito SC é inferior a 100 dB. Nos circuitos digitais este valor pode ser ultrapassado com o aumento do número de bits utilizados para codificar os coeficientes do filtro e as amostras dos sinais (ALLEN; HOLBERG, 2002).

Capítulo 3

3 PROJETO DO CONVERSOR ANALÓGICO-DIGITAL

Apresenta-se neste capítulo, o princípio de funcionamento do ADC de dobramento (*folding*) que faz parte do objetivo deste trabalho. Neste sentido, são descritos também detalhadamente os cálculos referentes aos circuitos projetados e os resultados de simulação em nível de transistor nas tecnologias 0,35 μm e 0,18 μm .

3.1 ARQUITETURA DO ADC DE DOBRAMENTO

Neste trabalho, optou-se por manter a implementação dos amplificadores a capacitores chaveados na forma diferencial, por causa das vantagens que esta topologia apresenta em relação aos circuitos não-diferenciais.

Se um amplificador com saída simples for projetado para uma excursão de sinal compreendida entre $-v$ e $+v$, então, o correspondente amplificador com saída balanceada possuirá uma excursão de sinal compreendida entre $-2v$ e $+2v$. Isso acontece porque cada uma das saídas do amplificador balanceado é, essencialmente, constituída pelo mesmo circuito que a saída do amplificador não-balanceado correspondente. Dessa forma, elas apresentam, independentemente, a mesma excursão de sinal. Além disso, durante a operação do conversor, as saídas do amplificador balanceado devem apresentar, idealmente, o mesmo módulo de tensão, porém com polaridade oposta. Assim, quando a tensão na saída positiva for $+v$, a tensão na saída negativa será $-v$, fazendo com que a tensão diferencial correspondente seja igual a $+2v$.

Quanto ao ruído, se o sinal diferencial na entrada estiver corrompido por ruído em modo comum, seja proveniente da fonte ou de algum outro circuito do conversor, então a estrutura diferencial do amplificador irá rejeitar esta componente ruidosa. Entretanto, a implementação diferencial tem como desvantagem o fato de ocupar uma área maior que a estrutura não-diferencial.

Por outro lado, além da vantagem de eliminar ruídos de modo comum, os amplificadores a capacitores chaveados diferenciais apresentam uma maior imunidade à injeção de cargas. Como os circuitos são totalmente iguais nos ramos positivos e negativos, as chaves irão injetar cargas tanto nos capacitores dos ramos positivos como nos dos ramos negativos. Dessa forma, as tensões produzidas pela injeção de carga irão aparecer como sinais de modo comum, as quais serão rejeitadas pela estrutura diferencial. Analogamente, tal estrutura também apresenta maior imunidade ao *clock feedthrough*, como é explicado no apêndice A.

Nos próximos tópicos, estão descritos os circuitos utilizados neste trabalho, contendo detalhadamente toda a teoria desenvolvida.

3.1.1 CONVERSOR A/D DE DOBRAMENTO USANDO RESISTORES

Uma das estruturas possíveis de um ADC de dobramento pode ser observada na figura 3.1. Ela consiste de uma estrutura em cascata com estágios idênticos que não utiliza relógio para conversão do sinal analógico em digital (RODRIGUES, 2011).

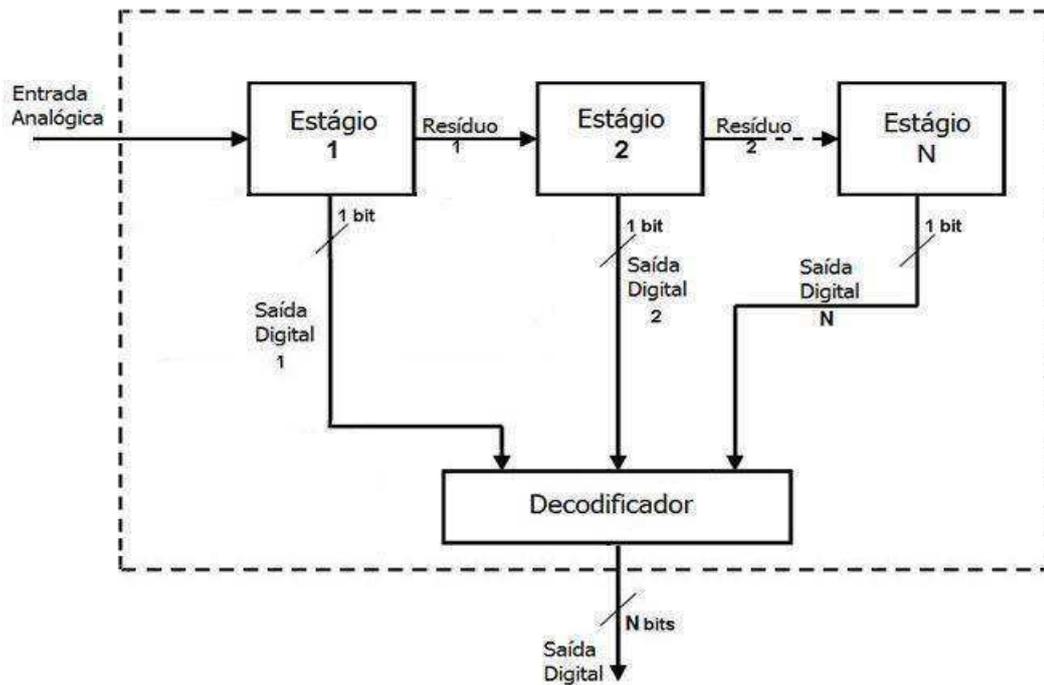


Figura 3.1: Diagrama de blocos do ADC de dobramento – 1 bit/estágio (RODRIGUES, 2011).

A arquitetura apresentada na figura 3.1 é um exemplo das diferentes arquiteturas seriais ou de 1 bit/estágio. Cada estágio é constituído por um sub-conversor analógico-digital (sub-ADC) de um bit de saída, e por um sub-conversor digital-analógico (sub-DAC) de um bit de saída, este último formado por chaves e um estágio de ganho que multiplica o sinal na saída por +2 ou por -2. O sub-ADC controla diretamente o sub-DAC para reconstruir o sinal analógico quantizado. Tal sinal analógico quantizado é subtraído do sinal analógico de entrada do estágio. Após a subtração do sinal quantizado do sinal analógico de entrada, o resíduo é amplificado pelo estágio de ganho e então aplicado ao próximo estágio (PLASSCHE, 2003; RODRIGUES, 2011).

O algoritmo para um estágio do ADC de dobramento proposto é mostrado na figura 3.2, na qual V_{entp} e V_{entn} são os sinais analógicos da entrada diferencial, contendo a mesma amplitude e frequência, porém defasados de 180 graus, e V_{DP} e V_{DN} são os sinais digitais da saída. Os sinais $V_{saídap}$ e $V_{saídan}$ são os sinais de saída diferencial e V_{refp} e V_{refn} são os sinais de referência positiva e negativa, respectivamente.

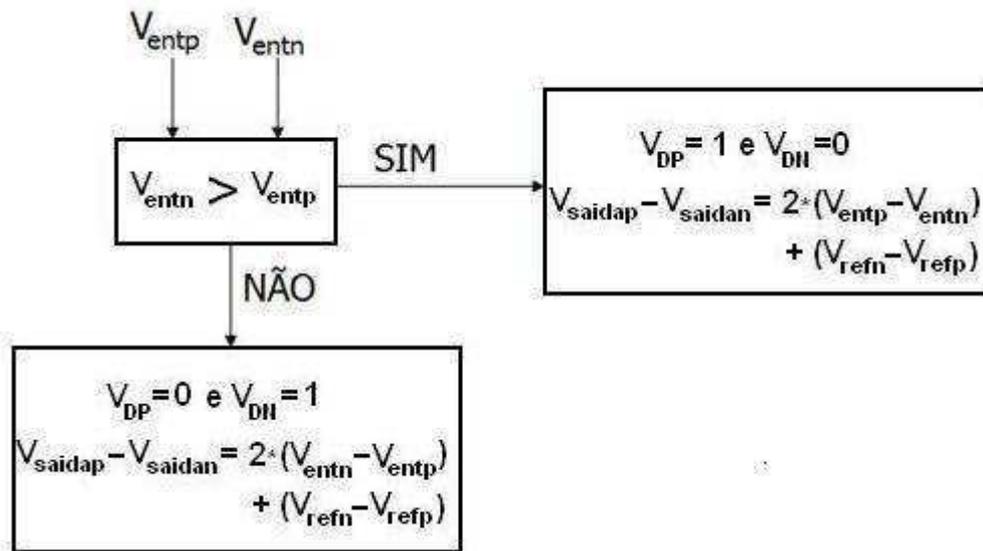


Figura 3.2: Fluxograma de conversão do ADC de dobramento proposto.

Na figura 3.3 pode ser observado o diagrama esquemático de um circuito que é utilizado em cada estágio do conversor de dobramento descrito acima, tal como foi utilizado por RODRIGUES em 2011. O circuito é composto de um sub-ADC que é o comparador que possui duas saídas, V_{DP} e V_{DN} . Ele é composto de um sub-DAC que é formado pelo amplificador operacional diferencial, pelos resistores e pelas chaves S1, S2, S3 e S4 que são controladas pelo sub-ADC. A saída desse estágio é composta pelos sinais $V_{saídap}$ e $V_{saídan}$, que são os sinais de resíduo que serão aplicados na entrada do próximo estágio. A estrutura utiliza no sub-DAC um amplificador operacional de entradas e saídas diferenciais, cuja vantagem é a sua capacidade de rejeitar ruídos inerentes da fonte e do sinal de entrada. Outra vantagem em se utilizar um amplificador com entradas e saídas diferenciais é que a saída em modo comum, ou seja, o valor médio das tensões de saída (V_{ocm}) pode ser controlado independentemente da tensão diferencial.

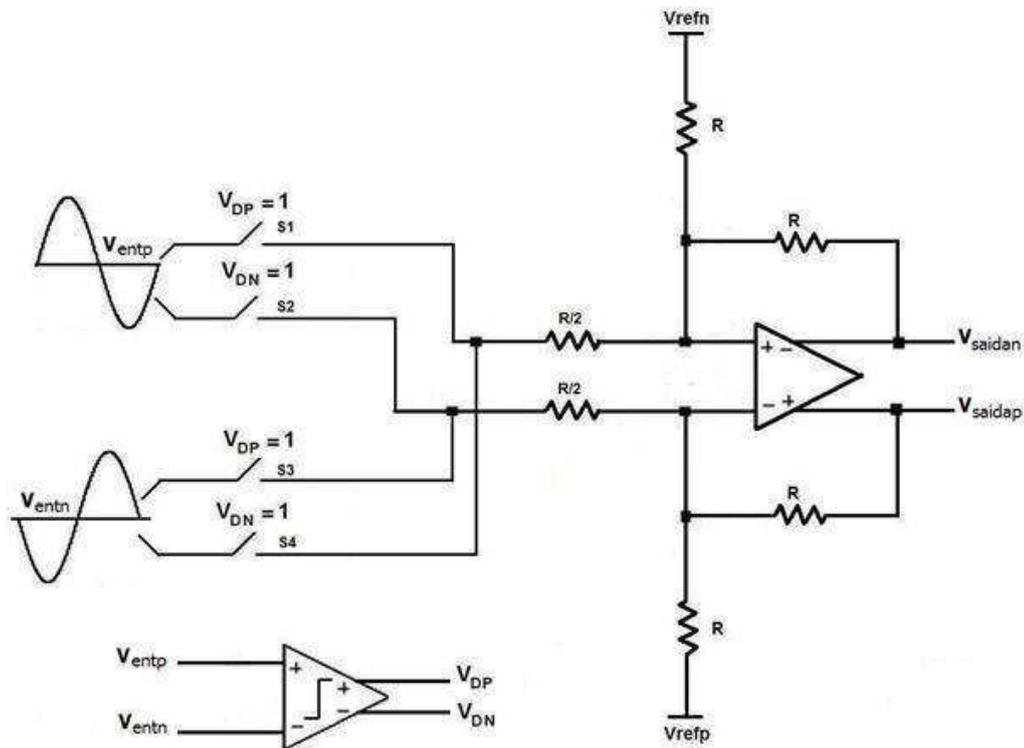


Figura 3.3: Diagrama esquemático de um estágio do ADC de dobramento utilizando resistores (RODRIGUES, 2011).

Dependendo dos valores das saídas do comparador da figura 3.3 (V_{DP} e V_{DN}), o amplificador é ajustado em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a 1 e a saída digital V_{DN} é igual a 0. Dessa forma as chaves $S1$ e $S3$ são fechadas e as chaves $S2$ e $S4$ são abertas e o circuito resultante pode ser observado na figura 3.4 (RODRIGUES, 2011).

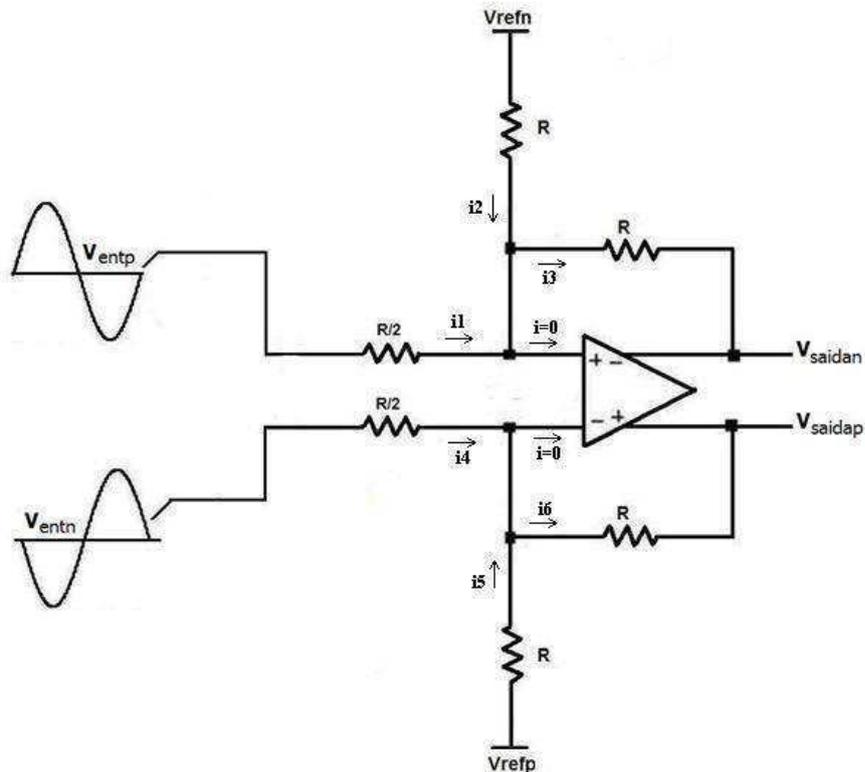


Figura 3.4: Diagrama esquemático da primeira configuração do ADC de dobramento (RODRIGUES, 2011).

Aplicando a Lei de *Kirchhoff* das correntes e analisando o circuito da figura 3.4, é possível determinar a tensão de saída do circuito que pode ser expressa por:

$$V_{saidap} - V_{saidan} = 2 * (V_{entp} - V_{entn}) + (V_{refn} - V_{refp}) \quad (3.1)$$

A segunda e última configuração para o circuito existente na figura 3.3 acontece quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S1 e S3 são abertas e as chaves S2 e S4 são fechadas. Sendo assim, a tensão de saída do circuito pode ser expressa por:

$$V_{saidap} - V_{saidan} = 2 * (V_{entn} - V_{entp}) + (V_{refn} - V_{refp}) \quad (3.2)$$

Dessa forma, o conversor de dobramento representado na figura 3.3 possui uma saída analógica (resíduo) que pode ser determinada como:

$$V_{saidap} - V_{saidan} = V_{DP} * [2 * (V_{entp} - V_{entn})] + V_{DN} * [2 * (V_{entn} - V_{entp})] + (V_{refn} - V_{refp}) \quad (3.3)$$

3.1.2 CONVERSOR A/D DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO

Para que os circuitos a capacitor chaveado venham a funcionar de forma correta, são necessários sinais de *clock* não-sobrepostos os quais são os pulsos utilizados para acionar os transistores que funcionam como chaves. Esses pulsos de disparo determinam quando as transferências de carga ocorrem e não devem ser sobrepostos, para garantir que a cargas nos capacitores não sejam inadvertidamente perdidas.

Como pode ser observado figura 3.5, o termo sinais de *clock* não-sobrepostos refere-se a dois sinais lógicos de funcionamento com a mesma frequência e dispostos de tal maneira que em nenhum momento, ambos os sinais estejam em nível alto. Uma arquitetura geral do circuito de *clock* não-sobreposto pode ser observada na figura 3.6. Neste trabalho, o circuito de *clock* não-sobreposto foi implementado utilizando inicialmente macromodelos da *Mentor Graphics* (GUPTA, 2010).

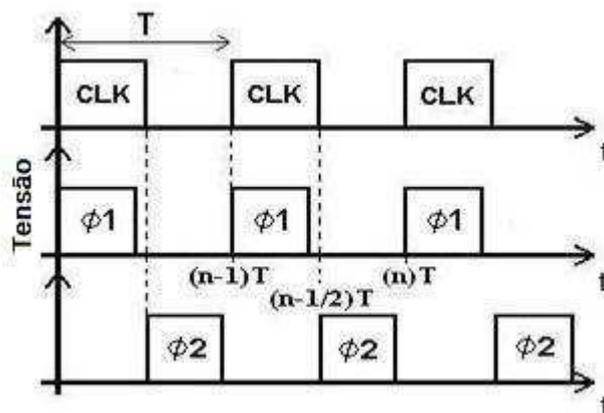


Figura 3.5: Sinais de *clock* não-sobrepostos.

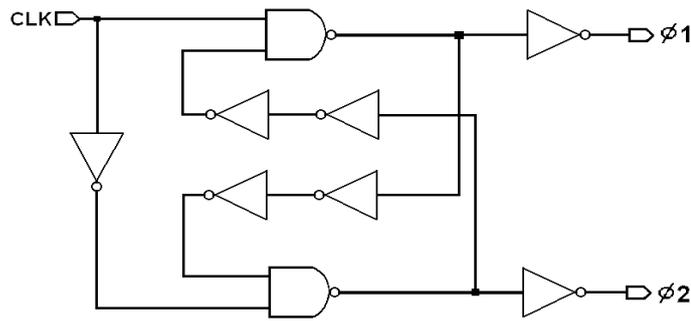


Figura 3.6: Circuito para gerar os sinais de *clock* não-sobrepostos.

Utilizando a mesma arquitetura para o ADC de dobramento da figura 3.3, substituindo os resistores pelas redes a capacitor chaveado e realizando a modificação na saída do amplificador para que a saída não fique em aberto em nenhum momento (para que o amplificador operacional não entre em saturação), obtém-se o diagrama esquemático que pode ser observado na figura 3.7. Mais detalhes sobre este aspecto estão descritos no apêndice A.

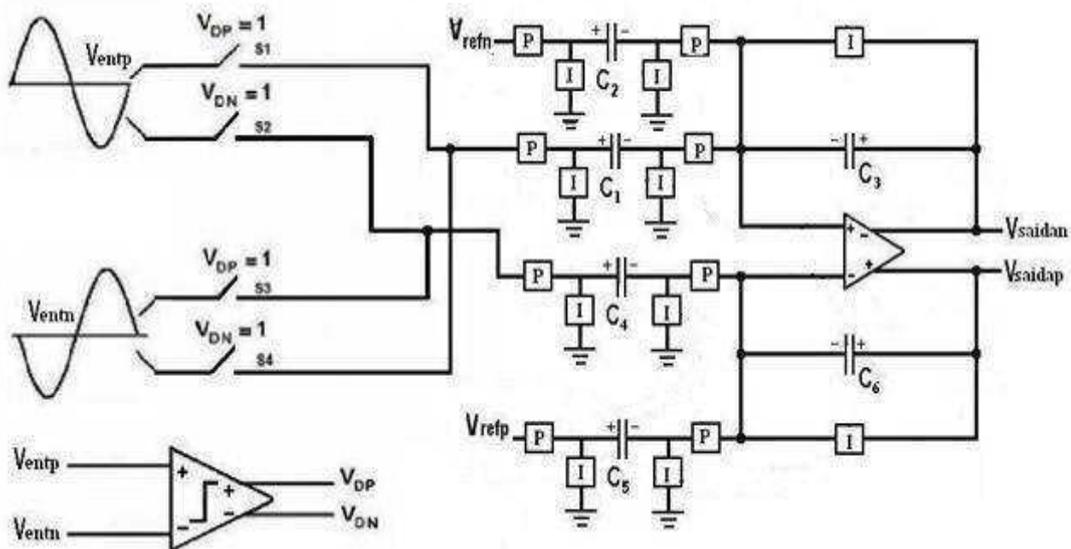


Figura 3.7: Diagrama esquemático do ADC de dobramento utilizando circuitos a capacitor chaveado.

De modo semelhante ao circuito da figura 3.3, conforme os valores das saídas do comparador da figura 3.7 (V_{DP} e V_{DN}), o amplificador é ajustado em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a 1 e a saída

digital V_{DN} é igual a 0. Dessa forma as chaves S_1 e S_3 são fechadas e as chaves S_2 e S_4 são abertas, resultando no circuito que pode ser observado na figura 3.8.

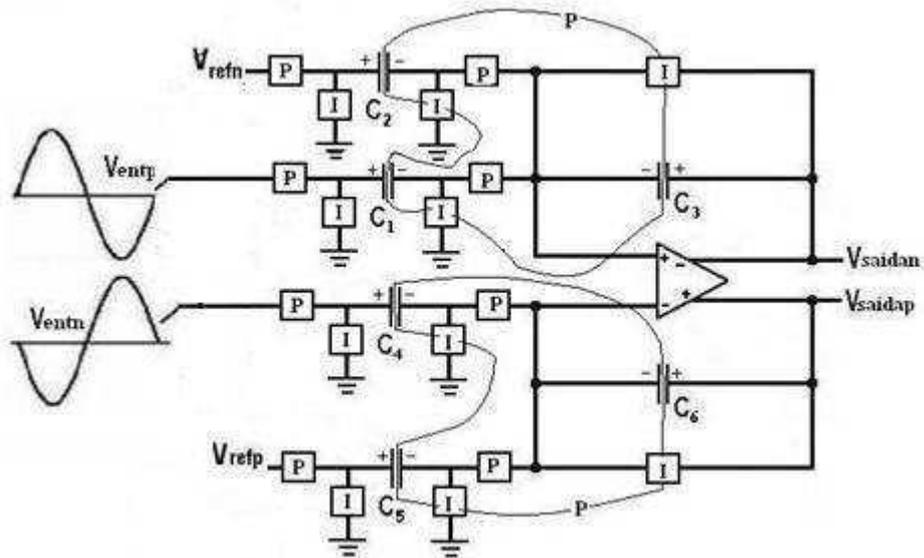


Figura 3.8: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado.

Analisando o circuito da figura 3.8 do ponto de vista do balanço de cargas dos capacitores, é possível determinar a tensão de saída do circuito que pode expressa por:

$$V_{saidap}(z) - V_{saidan}(z) = 2 * [V_{entp}(z) - V_{entn}(z)] + [V_{refn}(z) - V_{refp}(z)] \quad (3.4)$$

Da mesma forma, pode-se proceder para a segunda e última configuração que ocorre quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S_1 e S_3 são abertas e as chaves S_2 e S_4 são fechadas e as saídas do amplificador operacional diferencial são iguais a:

$$V_{saidap}(z) - V_{saidan}(z) = 2 * [V_{entn}(z) - V_{entp}(z)] + [V_{refn}(z) - V_{refp}(z)] \quad (3.5)$$

Desta forma, o conversor de dobramento da figura 3.7 possui uma saída analógica cuja tensão pode ser determinada por:

$$V_{saidap}(z) - V_{saidan}(z) = V_{DP} * [2 * (V_{entp}(z) - V_{entn}(z))] + V_{DN} * [2 * (V_{entn}(z) - V_{entp}(z))] + (V_{refn}(z) - V_{refp}(z)) \quad (3.6)$$

Observa-se que a equação 3.6 que foi determinada a partir da análise do circuito da figura 3.7, é equivalente à equação 3.3 que foi determinada a partir da análise do circuito da figura 3.3. Desta forma, o circuito da figura 3.7 é equivalente ao circuito da figura 3.3. O desenvolvimento detalhado das equações do circuito da figura 3.7 pode ser observado no apêndice B no final deste trabalho.

Uma vez realizada a análise dos circuitos, passa-se à simulação do conversor de dobramento utilizando circuitos a capacitor chaveado. Inicialmente o ADC de dobramento foi implementado utilizando macromodelos da linguagem SPICE para simulação na ferramenta ELDO da *Mentor Graphics*.

Nas simulações feitas com os conversores, o sinal de entrada é uma senóide com frequência de 8 kHz. A escala completa do sinal de entrada é de 1 V_{PP} (tensão de pico a pico). A tensão de desvio (*offset*) do sinal de entrada é 1,65 V, com as tensões de referências V_{refn} e V_{refp} iguais a 1,15 V e 2,15 V, respectivamente. Os circuitos foram configurados como sendo alimentados por uma tensão de 3,3 V. Os capacitores utilizados no circuito a capacitor chaveado são de 1 pF e 0.5 pF e a frequência de chaveamento utilizada é de 4 MHz.

Na figura 3.9 são mostradas as formas de onda do sinal analógico de entrada, do sinal analógico de saída (resíduo) e do sinal digital de saída dos dois primeiros blocos, obtidas por simulação. Pode-se observar que em cada ponto de comparação entre o sinal analógico de entrada e a tensão de referência (V_{ref}), uma transição é gerada no sinal digital de saída.

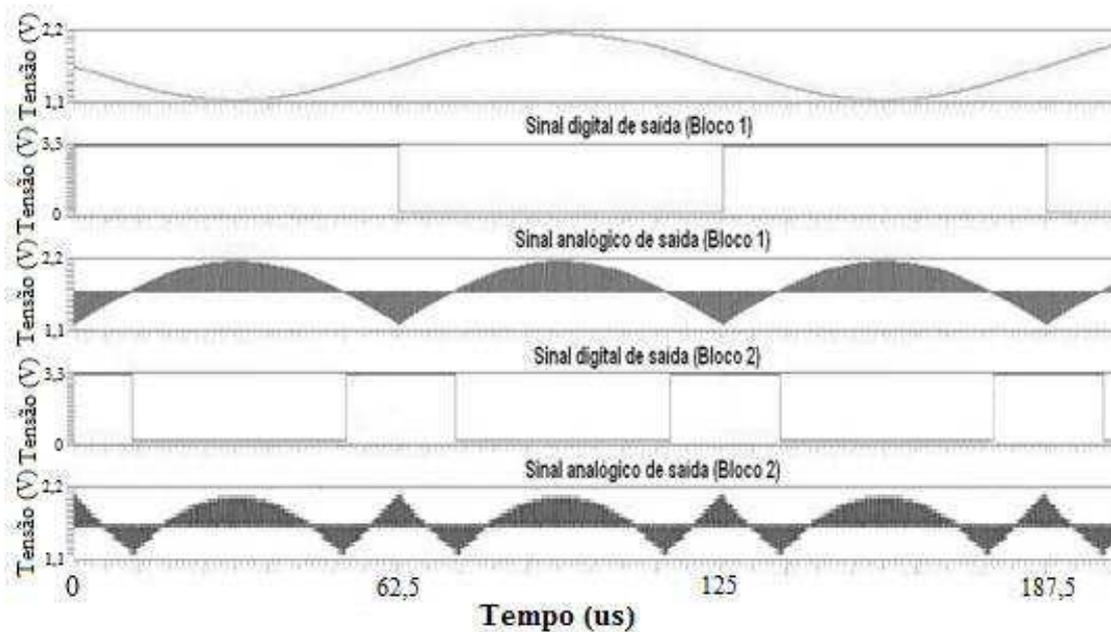


Figura 3.9: Formas de onda dos sinais dos dois primeiros blocos do conversor de dobramento SC utilizando os macromodelos.

Uma vez que o sinal analógico de entrada é processado pelo primeiro bloco, a frequência do sinal analógico de saída tem o dobro da frequência do sinal de entrada. Este é um dos efeitos no sinal provocado pelo dobramento. Desta forma, o desempenho dinâmico do conversor de dobramento é determinado, principalmente, pelo desempenho dos amplificadores operacionais dos últimos estágios.

Observa-se também na figura 3.9, que não acontece mais de uma transição dos sinais por instante de tempo. Ou seja, neste conversor, nunca dois sinais digitais irão realizar uma transição ao mesmo tempo. Esta é uma característica dos circuitos geradores de código *Gray* como saída digital, que é o caso do conversor de dobramento implementado.

Uma vez verificado, pelas simulações com os macromodelos da *Mentor Graphics*, que o circuito projetado funciona corretamente, passou-se às simulações utilizando transistor. Para que isso fosse possível foram realizados os projetos do comparador, do amplificador e das chaves que foram utilizados no ADC de dobramento, tais projetos são explicados detalhadamente no apêndice A. As formas de onda das simulações dos dois primeiros blocos do ADC de dobramento SC podem ser observadas na figura 3.10.

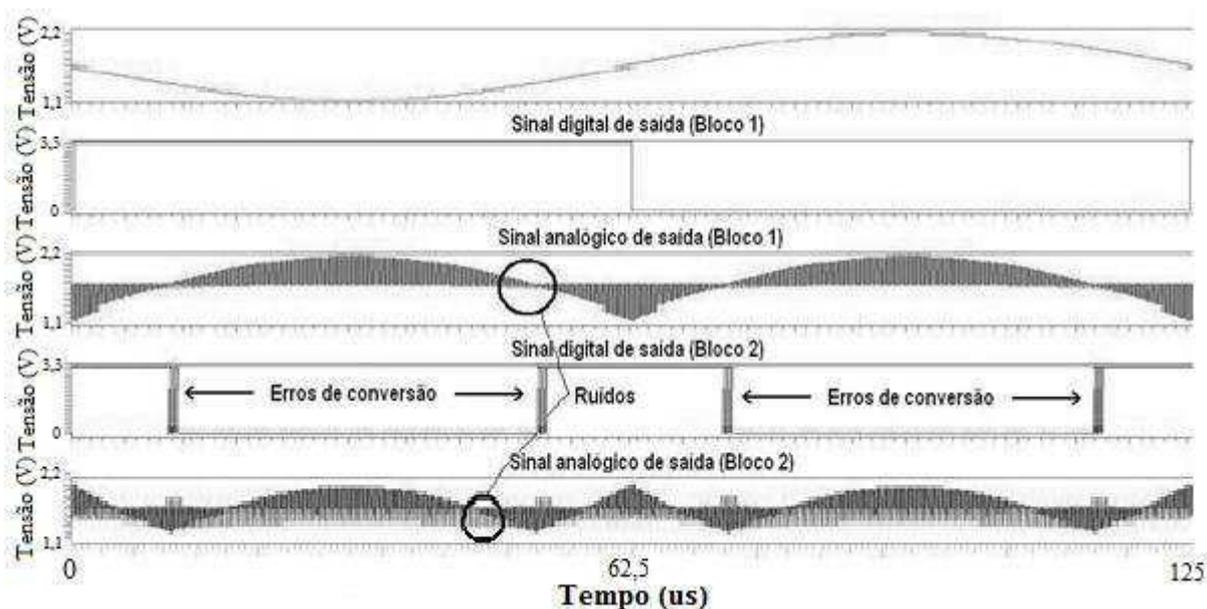


Figura 3.10: Formas de onda dos sinais dos dois primeiros blocos do conversor de dobramento SC utilizando os circuitos projetados.

Por esta figura, observa-se que a saída analógica do primeiro bloco possui ruídos que são propagados e amplificados pelos demais estágios que fazem parte do conversor (ver saída do segundo bloco). Observa-se também que devido ao fechamento das chaves em paralelo com os capacitores C3 e C6 ligados nas saídas do amplificador do circuito da figura 3.7, as tensões de saída em alguns momentos se igualam à tensão de referência, o que juntamente com os ruídos ocasionam alguns erros na saída do comparador, e conseqüentemente erros no sinal analógico convertido e no sinal analógico de saída do circuito amplificador diferencial.

Conforme explicado no apêndice A, quando do projeto do amplificador, no momento em que as chaves dos circuitos a capacitor chaveado são fechadas, os capacitores são carregados por uma variação quase instantânea de corrente, o que vem a gerar um pico de tensão oscilatório que leva um determinado tempo para se estabilizar.

Buscando reduzir esses efeitos decorrentes da carga e descarga dos capacitores, foi realizada uma modificação no circuito do amplificador diferencial a capacitor chaveado. As modificações executadas no circuito podem ser observadas na figura 3.11.

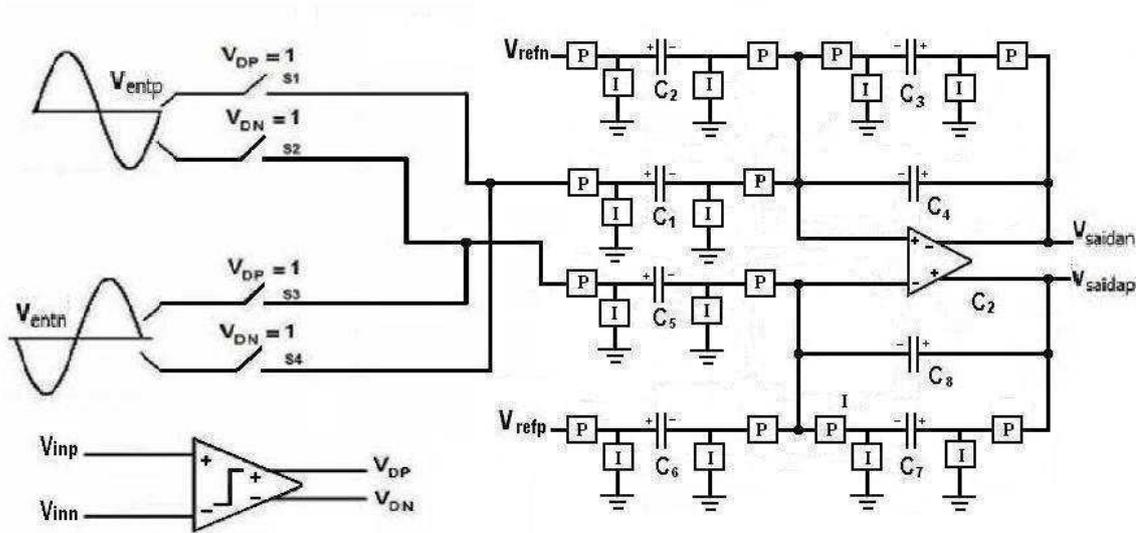


Figura 3.11: Diagrama esquemático de um estágio do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.

A inserção de mais um capacitor juntamente com as chaves no circuito não gera nenhuma alteração na tensão do sinal de saída, como é demonstrado no apêndice B. Para tanto, faz-se com que o capacitor inserido tenha a mesma capacitância que o capacitor existente ligado à saída do amplificador.

De modo semelhante ao circuito da figura 3.7, conforme os valores das saídas do comparador da figura 3.11 (V_{DP} e V_{DN}), o amplificador é ajustado em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a 1 e a saída digital V_{DN} é igual a 0. Dessa forma as chaves S1 e S3 são fechadas e as chaves S2 e S4 são abertas, resultando no circuito que pode ser observado na figura 3.12.

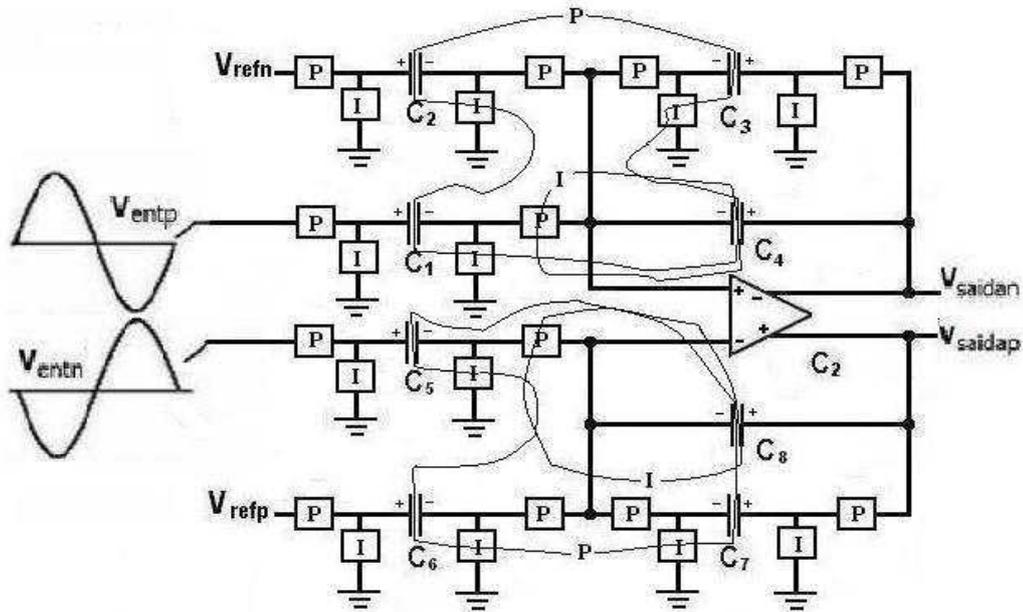


Figura 3.12: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.

Realizando a análise do circuito acima, do ponto de vista do balanço de cargas dos capacitores, é possível determinar a tensão de saída do circuito que pode expressa por:

$$V_{saidap}(z) - V_{saidan}(z) = \{2 * [V_{entp}(z) - V_{entn}(z)] + [V_{refn}(z) - V_{refp}(z)]\} * z^{-1} \quad (3.7)$$

Da mesma forma, pode-se proceder a segunda e última configuração que ocorre quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S_1 e S_3 são abertas e as chaves S_2 e S_4 são fechadas, e as saídas do amplificador operacional diferencial são iguais a:

$$V_{saidap}(z) - V_{saidan}(z) = \{2 * [V_{entn}(z) - V_{entp}(z)] + [V_{refn}(z) - V_{refp}(z)]\} * z^{-1} \quad (3.8)$$

O conversor de dobramento representado na figura 3.11 possui uma saída analógica cuja tensão pode ser determinada por:

$$V_{saidap}(z) - V_{saidan}(z) = \{V_{DP} * 2 * [V_{entp}(z) - V_{entn}(z)] + V_{DN} * 2 * [V_{entn}(z) - V_{entp}(z)] + (V_{refn}(z) - V_{refp}(z))\} * z^{-1} \quad (3.9)$$

Como pode ser observada, a equação 3.9 que foi determinada a partir da análise do circuito da figura 3.11 é equivalente à equação 3.3 que foi determinada a partir da análise do circuito da figura 3.3, tendo apenas um atraso no sinal de saída em relação ao sinal de entrada. Desta forma, o circuito da figura 3.11 é equivalente ao circuito da figura 3.3. O desenvolvimento detalhado das equações do circuito da figura 3.11 também pode ser observado no apêndice B no final deste trabalho.

Simulando o circuito da figura 3.11 em nível de transistor, os sinais de entrada e saída dos dois primeiros estágios do conversor baseado nos circuitos a capacitor chaveado modificados podem ser observados na figura 3.13.

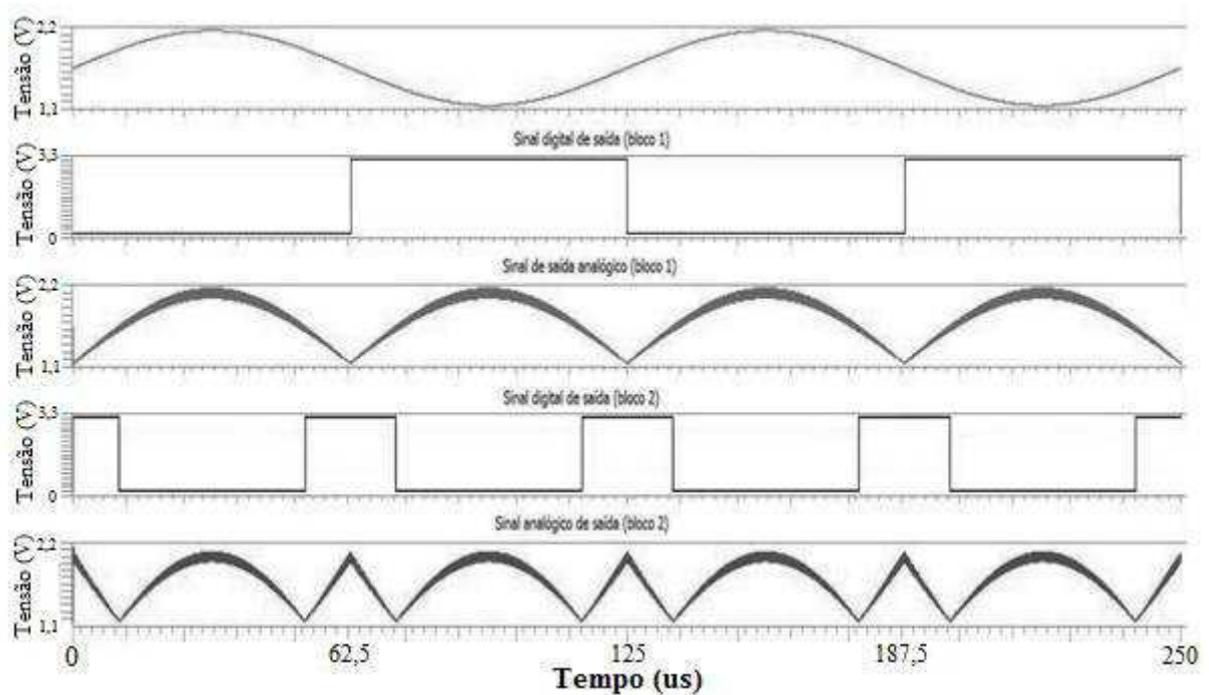


Figura 3.13: Formas de onda dos sinais de entrada e saída dos 2 (dois) primeiros blocos do conversor de dobramento SC.

Como pode ser observado na figura 3.13, os sinais das saídas analógicas dos 2 (dois) primeiros blocos do ADC de dobramento SC modificado, não possuem mais ruídos próximos ao valor de referência, não causando desta forma mais nenhum erro nos sinais das saídas digitais do conversor.

3.2 MÁXIMA TAXA DE AMOSTRAGEM DO ADC

Semelhante a um ADC flash, o ADC que realiza a conversão por cruzamento de nível pode processar uma amostra em uma única etapa. Para tanto, basta simplesmente determinar qual nível de referência foi atravessado, isto é, para cada vez que o sinal de entrada atravessa a tensão de referência pré-determinada é gerado na saída um sinal digital que é proporcional ao sinal de referência que ele atravessou.

Como o ADC proposto neste trabalho possui um único nível de referência para comparar com o sinal de entrada, o tempo mínimo entre as amostras de cada estágio, é o tempo gasto para realizar a conversão do sinal de entrada pelo sub-ADC (σ_{COMP}), que é composto pelo comparador, inversores e o circuito LATCH, somado ao tempo gasto para reconstruir no sub-DAC (σ_{DAC}), o sinal analógico que será enviado para o próximo estágio. Sendo assim, teremos para cada um dos sete primeiros estágios do conversor, um ciclo de atraso (σ) que pode ser determinado por:

$$\sigma = \sigma_{\text{COMP}} + \sigma_{\text{DAC}} \quad (3.10)$$

Como o circuito possui sete estágios completos iguais e o oitavo estágio só possui o comparador, teremos um ciclo de atraso total (σ_{T}), que é o tempo total gasto para converter uma amostra do sinal de entrada do nosso ADC, que pode ser determinado por:

$$\sigma_{\text{T}} = 8 * \sigma_{\text{COMP}} + 7 * \sigma_{\text{DAC}} \quad (3.11)$$

Como pode ser observado, para o ADC proposto, o tempo gasto pelos circuitos comparador e amplificador são críticos, pois determinam o tempo gasto para realizar a conversão de um determinado sinal que é colocado em sua entrada. Sendo assim, é de grande importância que os circuitos, comparador e amplificador sejam os mais rápidos possíveis.

Uma vez determinado o ciclo de atraso total do ADC, pode-se determinar a máxima taxa de amostragem ($f_{s,\text{max}}$) do conversor que é dada por:

$$f_{s,\text{max}} = \frac{1}{\sigma_{\text{T}}} \quad (3.12)$$

3.3 LARGURA DE BANDA DE ENTRADA

Se a entrada para um ADC assíncrono atravessa dois níveis de referência, em menos tempo do que o ciclo de atraso, uma distorção de sobrecarga de inclinação ocorrerá na segunda amostra devido ao erro de tempo resultante. Assim, a inclinação do sinal de entrada é limitada a:

$$\left| \frac{dV_{in}}{dt} \right| < \frac{\Delta_q}{\sigma} = \frac{V_{FS}}{\sigma * 2^M} \quad (3.13)$$

Em que Δ_q é a diferença entre os níveis de referência, V_{FS} e M são o fundo de escala do sinal de entrada do quantizador e a resolução em bits, respectivamente. Supondo um sinal de entrada de banda limitada, com uma frequência máxima ($f_{in,max}$), e a amplitude máxima ($A_{in,max}$), a máxima frequência de entrada livre de distorção pode ser determinada por:

$$f_{in,max} = \frac{\Delta_q}{2 * \pi * \sigma * A_{in,max}} = \frac{V_{FS}}{2 * \pi * \sigma * A_{in,max} * 2^M} \quad (3.14)$$

A partir da equação (3.14), observa-se que a frequência máxima de entrada é, portanto, inversamente proporcional à amplitude de entrada. Para uma resolução do quantizador fixa, a largura de banda de entrada pode ser ajustada para o seu valor de pior caso em (3.14), que ocorre quando $A_{in,max}$ está no seu valor máximo de fundo de escala em $V_{FS}/2$. Sendo assim, a largura de banda pode ser determinada por:

$$BW = \frac{1}{\pi * \sigma * 2^M} \quad (3.15)$$

Como o ADC proposto possui apenas um nível de referência para cada estágio, a largura de banda de cada estágio pode ser determinada por:

$$BW = \frac{1}{\pi * \sigma * 2} \quad (3.16)$$

3.4 CONSUMO DE POTÊNCIA

O ADC proposto é constituído de 7 estágios idênticos, que são compostos de um circuito sub-ADC e um circuito sub-DAC que utiliza circuitos a capacitor

chaveado e um amplificador de alto ganho como amplificador de resíduos, e um último estágio que só possui o sub-ADC. Em cada estágio, os circuitos sub-ADC e sub-DAC consomem uma potência que depende da topologia utilizada para cada um deles.

A potência total do ADC proposto é a soma das potências de cada estágio e pode ser determinada por:

$$P_{tot} = 8 * P_{subADC} + 7 * P_{subDAC} , \quad (3.17)$$

sendo P_{subADC} a potência consumida pelo circuito comparador de cada estágio e P_{subDAC} a potência consumida pelo circuito sub-DAC de cada estágio. O sub-ADC é composto de um circuito amplificador diferencial de 2 estágios com uma saída única como comparador, tendo ligado em sua saída 2 inversores e um circuito LATCH como pode ser observado na figura 3.14. Sendo assim, a potência P_{subADC} é a soma das potência de cada um desses circuitos e pode ser determinada por:

$$P_{subADC} = P_{comp} + P_{inv} + P_{LATCH} \quad (3.18)$$

$$P_{comp} = V_{DD} * (I_{MN5} + I_{MN7} + I_{MN8} + I_{POL}) \quad (\text{estática}) \quad (3.19)$$

$$P_{inv} = 2 * \left(\frac{1}{2} * f * C_{ginv} * V_{DD}^2 * N \right) \quad (\text{dinâmica}) \quad (3.20)$$

$$P_{LATCH} = \frac{1}{2} * f * C_{gL} * V_{DD}^2 * N \quad (\text{dinâmica}), \quad (3.21)$$

em que, I_{MN5} , I_{MN7} e I_{MN8} são respectivamente, as correntes dos transistores MN5, MN7 e MN8 pertencentes ao circuito da figura 3.14, I_{POL} é a corrente do circuito de polarização, f é a frequência do sinal que é aplicado no inversor e no LATCH, C_{ginv} é a capacitância parasita entre os terminais de porta e fonte do circuito inversor e C_{gL} é a capacitância parasita entre os terminais de porta e fonte da entrada do LATCH. O fator N é a atividade de chaveamento, isto é, o número de transições na saída de uma porta e V_{DD} é a tensão de alimentação do circuito.

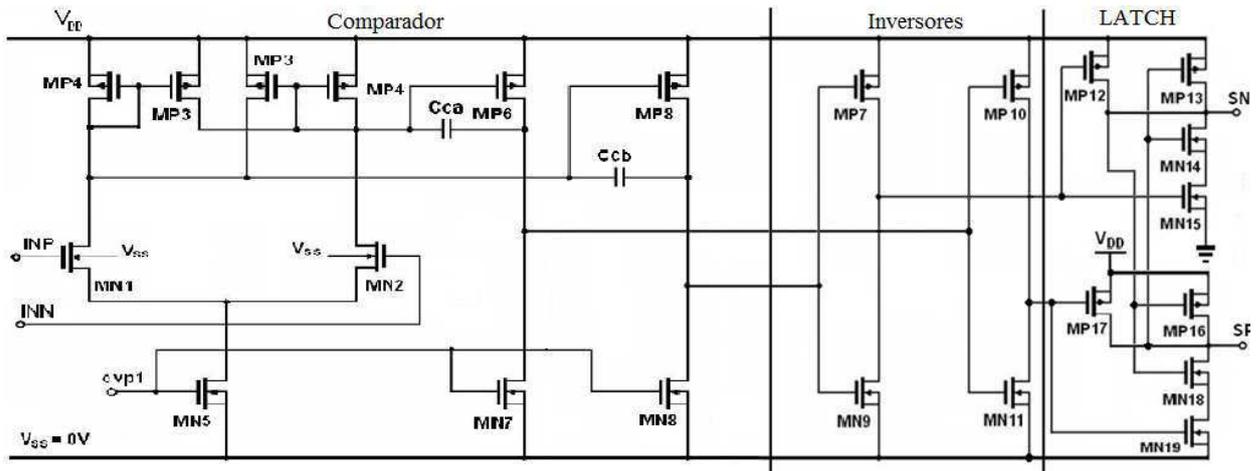


Figura 3.14: Circuito sub-ADC composto de um amplificador de dois estágios, dois inversores e um circuito *latch*.

Como pode ser observado na figura 3.14, a potência consumida pelo comparador é determinada pela equação 3.19. De acordo com o projeto apresentado no apêndice A, $I_{MN5}=20 \mu\text{A}$, $I_{MN7}=I_{MN8}=50 \mu\text{A}$ e $I_{POL}=100 \mu\text{A}$, então:

$$P_{comp} = V_{DD} * (I_{MN5} + I_{MN7} + I_{MN8} + I_{POL}) = 1,8 * (20\mu + 50\mu + 50\mu + 100\mu) = 396 \mu\text{W}$$

Como a frequência do sinal que chega ao último estágio do ADC proposto é 128 vezes o valor de entrada, será utilizada uma frequência de 64 vezes a de entrada para calcular as potências dinâmicas dos circuitos inversores e LATCH. Sendo a frequência de entrada de 1 kHz será utilizada uma frequência de 64 kHz para os cálculos. Antes de calcular o valor da potência, tem de ser calculadas as capacitâncias parasitas dos circuitos inversor (C_{ginv}) e LATCH (C_{gL}).

$$\begin{aligned} C_{ginv} &= (W * L * C_{OX})_n + (W * L * C_{OX})_p \\ &= 1\mu\text{m} * 0,35\mu\text{m} * 4,54 \frac{\text{fF}}{\mu\text{m}^2} + 2\mu\text{m} * 0,35\mu\text{m} * 4,54 \frac{\text{fF}}{\mu\text{m}^2} = 4,77\text{fF} \end{aligned}$$

$$P_{inv} = 2 * \left(\frac{1}{2} * f * C_{ginv} * V_{DD}^2 * N \right) = 2 * \left(\frac{1}{2} * 512\text{k} * 4,77\text{f} * 1,8^2 * 2 \right) = 15,82\text{ nW}$$

Como o circuito LATCH tem dois transistores ligados a terra e dois ligados a VDD a capacitância parasita equivalente é duas vezes a capacitância de um único transistor.

$$C_{gL} = 2 * (W * L * C_{OX})_n + 2 * (W * L * C_{OX})_p$$

$$= 2 * 1\mu m * 0,35\mu m * 4,54 \frac{\text{fF}}{\mu m^2} + 2 * 2\mu m * 0,35\mu m * 4,54 \frac{\text{fF}}{\mu m^2} = 9,53\text{fF}$$

Com isso, a potência do circuito LATCH pode ser determinada por:

$$P_{LATCH} = \frac{1}{2} * f * C_{gL} * V_{DD}^2 * N = \frac{1}{2} * 64k * 9,53 f * 1,8^2 * 2 = 5,27 nW$$

Desta forma, a potência consumida pelo sub-ADC é igual a:

$$P_{subADC} = P_{comp} + P_{inv} + P_{LATCH} = 216 \mu + 15,82 n + 5,27 n \approx 396 \mu W$$

O circuito sub-DAC é composto de um OTA *cascode* dobrado, com controle de modo comum e com saída diferencial, e dos circuitos a capacitor chaveado como pode ser observado nas figuras 3.15 e 3.16, cada circuito sub-DAC possui um consumo de potência estática que é referente ao circuito amplificador e um consumo de potência dinâmica que é referente às chaves dos circuitos a capacitor chaveado. Assim, a potência consumida pelo circuito sub-DAC pode ser determinada por:

$$P_{subDAC} = P_{estática} + P_{dinâmica} \quad (3.22)$$

$$P_{estática} = V_{DD} * I_{VDD} \quad (3.23)$$

$$P_{dinâmica} = C_{sw,tot} * V_{DD}^2 * f_{CK} \quad (3.24)$$

em que, $C_{sw,tot}$ é o somatório das capacitâncias ativas totais de todas as chaves, f_{CK} é a frequência de *clock* utilizada nas chaves, V_{DD} é a tensão de alimentação do circuito amplificador, I_{VDD} é a corrente do estágio de entrada do amplificador e do circuito de realimentação de modo comum que são alimentados por V_{DD} .

Como pode ser observada nas figuras 3.15 e 3.16, a corrente total do circuito amplificador pode ser determinada por:

$$I_{VDD} = 2 * I_{bias} + 2 * I_{d4} + 2 * I_{bf} \quad (3.25)$$

Desta forma, de acordo com o projeto apresentado no apêndice A:

$$I_{VDD} = 2 * 40\mu A + 2 * 80\mu A + 2 * 40\mu A = 320 \mu A$$

$$P_{estática} = V_{DD} * I_{VDD} = 1,8 * 320 \mu A = 576 \mu W$$

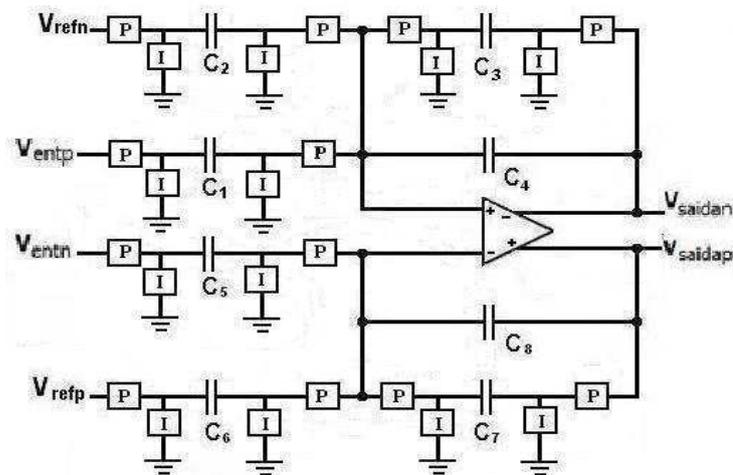


Figura 3.17: Circuito sub-DAC utilizado em cada estágio do ADC proposto.

A capacitância total ($C_{sw,tot}$) é a soma de todas as capacitâncias do circuito ligadas às chaves, que pode ser determinada por:

$$C_{sw,tot} = C_1 + C_2 + C_3 + C_5 + C_6 + C_7$$

Sendo $C_1=C_5= 1000 \text{ fF}$, $C_2=C_3= C_6=C_7 = 500 \text{ fF}$, então:

$$C_{sw,tot} = 1000 \text{ f} + 500 \text{ f} + 500 \text{ f} + 1000 \text{ f} + 500 \text{ f} + 500 \text{ f} = 4000 \text{ fF}$$

Uma vez determinada a capacitância total do circuito a capacitor chaveado e observando que a máxima variação de tensão (V_{DDA}) a qual os capacitores podem vir a ter será igual a 0,5 V, a potência dinâmica pode ser determinada por:

$$P_{dinâmica} = C_{sw,tot} * V_{DDA}^2 * f_s = 4000 \text{ f} * (0,5)^2 * 4 \text{ M} = 4 \text{ } \mu\text{W}$$

Com isso pode-se determinar a potência do sub-DAC:

$$P_{subDAC} = P_{estática} + P_{dinâmica} = 576 \text{ } \mu\text{W} + 4 \text{ } \mu\text{W} = 580 \text{ } \mu\text{W}$$

Desta forma o ADC proposto simulado em nível de transistor terá um consumo de potência total igual a:

$$P_{total} = 8 * P_{subADC} + 7 * P_{subDAC} = 8 * 396 \text{ } \mu\text{W} + 7 * 580 \text{ } \mu\text{W} \approx 7,23 \text{ mW}$$

Os resultados obtidos das simulações realizadas do conversor A/D utilizando resistores e dos circuitos a capacitor chaveado podem ser observados no capítulo 5.

Capítulo 4

4 LEIAUTE DO ADC DE DOBRAMENTO A CAPACITOR CHAVEADO

Com o intuito de realizar a fabricação do *chip* do Conversor A/D de dobramento SC foram realizados os novos projetos dos circuitos internos. Para isto, optou-se pela utilização do kit de projeto (*design kit*) da IBM para tecnologia CMOS 180 nm (CMRF7SF). Tendo em vista que as simulações dos circuitos desenvolvidos em nível de transistor na tecnologia CMOS 180 nm foram semelhantes as simulações dos circuitos desenvolvidos em nível de transistor da tecnologia CMOS 350 nm, optou-se por não colocar os resultados referentes as simulações da nova tecnologia.

Após comprovar o funcionamento adequado do ADC proposto, por meio de simulações dos componentes desenvolvidos em nível de transistor na nova tecnologia, passou-se para o desenvolvimento dos leiautes de cada componente (amplificador, comparador, chave etc.) que faz parte do conversor A/D de dobramento.

Neste capítulo são mostrados os leiautes de todos os blocos que fazem parte do conversor analógico-digital de dobramento SC que foram desenvolvidos neste trabalho.

O leiaute de um circuito integrado define as figuras geométricas que aparecerão nas máscaras usadas no processo de fabricação. O desenvolvimento do leiaute também é considerado parte do projeto de um circuito integrado, porque decisões tomadas ao longo do seu desenvolvimento podem interferir diretamente no funcionamento e no desempenho do circuito em questão. Circuitos com o mesmo dimensionamento podem apresentar comportamentos significativamente diferentes quando implementados em diferentes leiautes. (SAINT, C., SAINT, J., “*IC mask design: essential layout techniques*”. McGraw-Hill, 2002.).

4.1 LEIAUTE DOS CIRCUITOS DIGITAIS

Os circuitos digitais desse conversor são compostos basicamente por dois tipos de portas lógicas: porta inversora e portas NAND. Iniciou-se o leiaute do conversor pela elaboração dessas portas lógicas. Depois foram sendo montados os demais circuitos digitais, tais como: circuito *latch* e circuito de gerador de sinais de *clock* não-sobrepostos.

Para o leiaute de circuitos digitais é usada a técnica do caminho de Euler, que consiste em procurar por um caminho que passe simultaneamente pelas redes NMOS e PMOS uma única vez por cada transistor com a mesma entrada.

O leiaute dos circuitos digitais foi feito de maneira que viabilizasse a posição dos circuitos lado a lado, fazendo com que todos possuíssem o mesmo comprimento, diferindo apenas na largura, facilitando deste modo a interconexão entre as portas lógicas básicas.

4.1.1 LEIAUTE DO CIRCUITO GERADOR DE SINAIS DE *CLOCK* NÃO-SOBREPOSTOS

Com os leiautes das portas lógicas básicas prontos, pôde-se dar início ao leiaute do circuito gerador de sinais de *clock* não-sobrepostos, que são os pulsos necessários para acionar os transistores que funcionam como chaves nos circuitos a capacitor chaveado. O leiaute do circuito gerador de sinais de *clock* não-sobrepostos pode ser observado na figura 4.1.

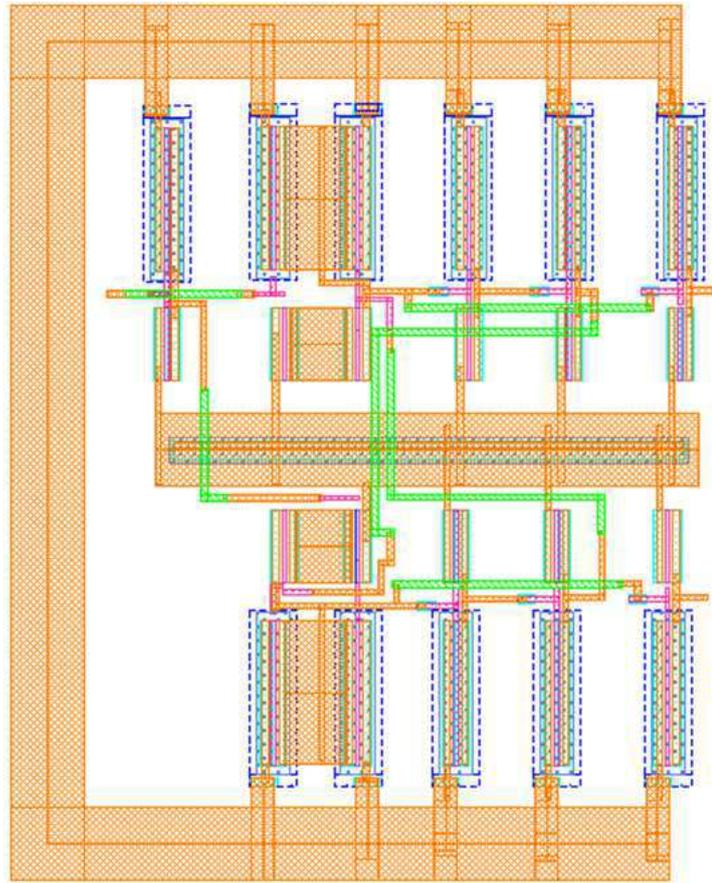


Figura 4.1: Leiaute do circuito gerador de sinais de *clock* não-sobrepostos.

As formas de onda de entrada e saída do circuito gerador de sinais de *clock* não-sobrepostos podem ser observadas na figura 4.2.

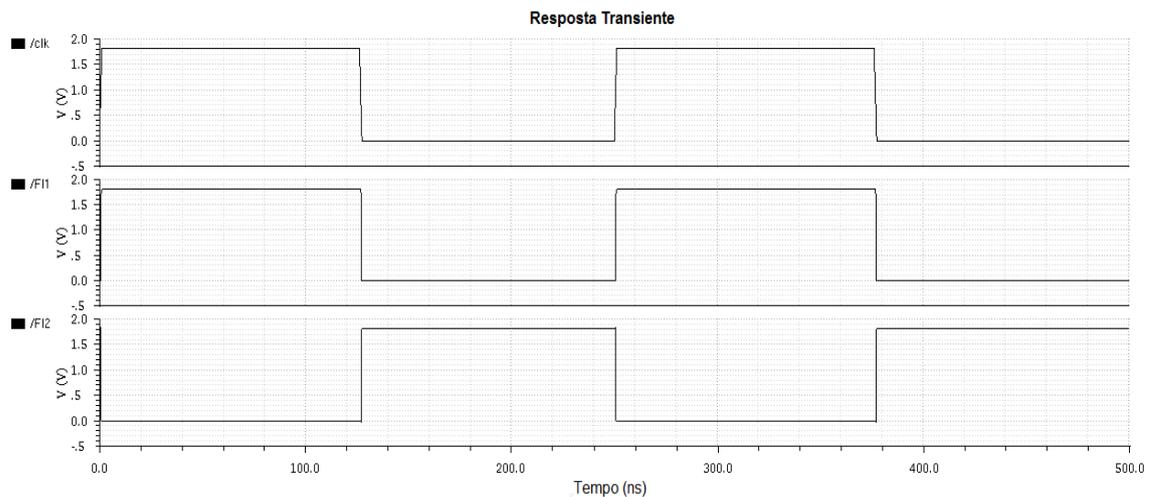


Figura 4.2: Formas de onda de entrada e saída do circuito gerador de sinais de *clock* não-sobrepostos

4.1.2 LEIAUTE DO CIRCUITO LATCH

Conforme exposto anteriormente, o circuito comparador controla as chaves de entrada que são responsáveis pela reconstrução do sinal analógico que será enviado para o próximo estágio. Para garantir que nenhuma parte do sinal de entrada seja perdida, é necessário que não haja nenhum atraso na saída do circuito comparador, ou o atraso do circuito comparador tem de ter um período bem menor que o período do sinal de entrada. Para garantir que não haja perdas no sinal do resíduo, caso ocorra algum atraso significativo no circuito comparador, optou-se por utilizar na saída do comparador um circuito *latch* com dois inversores na entrada. O leiaute do circuito *latch* utilizado pode ser observado na figura 4.3. Os resultados das simulações do circuito desenvolvido podem ser observados na figura 4.4.

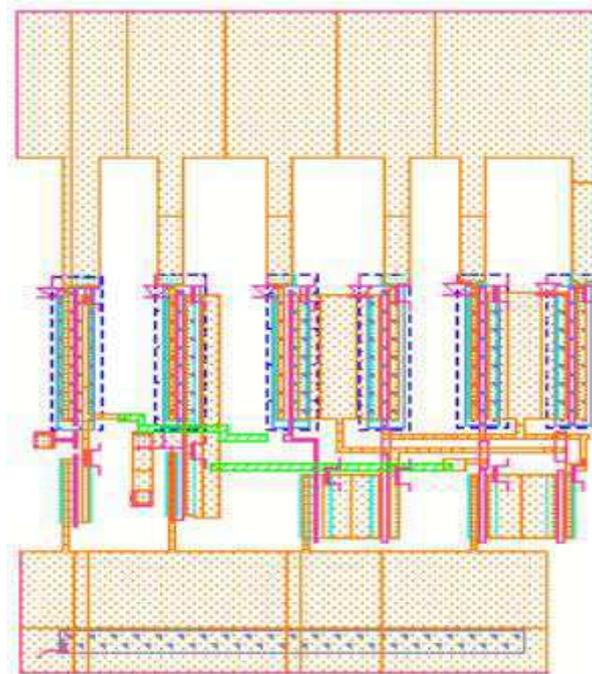


Figura 4.3: Leiaute do circuito *latch* com dois inversores.

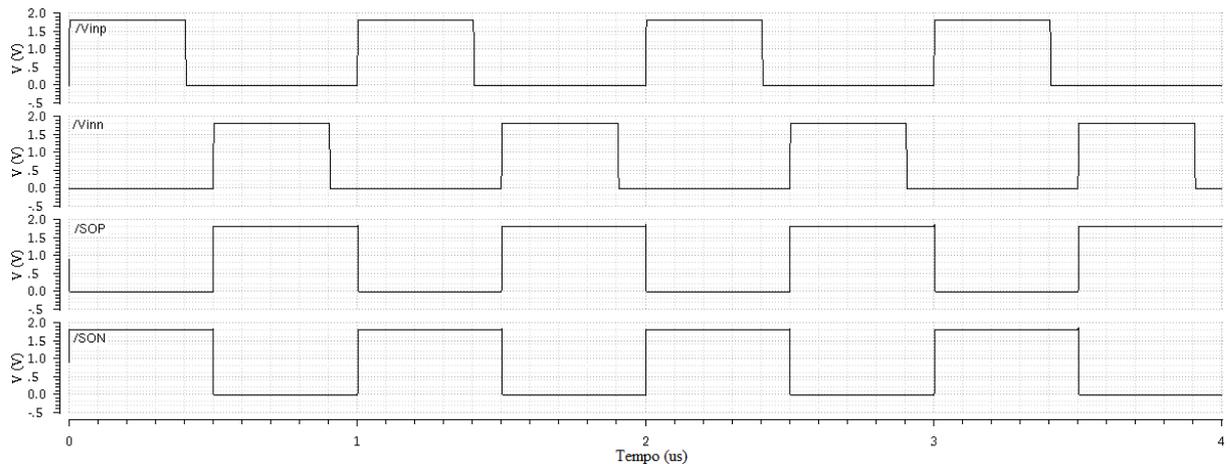


Figura 4.4: Resposta no domínio do tempo do circuito *latch*.

4.2 LEIAUTE DA CHAVE CMOS

Buscando reduzir ao máximo a resistência da chave analógica CMOS utilizada na entrada do sinal analógico do conversor e que ocupasse a menor área possível, optou-se por utilizar transistores complementares MOS, um transistor canal P e outro canal N ligados em paralelo. As chaves de entrada do conversor podem ser observadas na figura 4.5 (b). As larguras dos transistores utilizados nas chaves de entrada são de 20 μm para o transistor de canal N e 40 μm para o transistor de canal P, os comprimentos dos transistores utilizados foram iguais a 0,18 μm . Como explicado no apêndice A, buscando reduzir os efeitos de injeção de carga e de *clock feedthrough*, optou-se por utilizar uma chave complementar com transistores *dummy* para os circuitos a capacitor chaveado. As larguras dos transistores utilizados nas chaves de entrada são de 10 μm para o transistor de canal N e 20 μm para o transistor de canal P, os comprimentos dos transistores utilizados foram iguais a 0,5 μm . Os leiautes das chaves CMOS utilizadas na entrada de cada estágio do conversor e utilizadas para chaveamento dos capacitores podem ser observado na figura 4.5 (a).

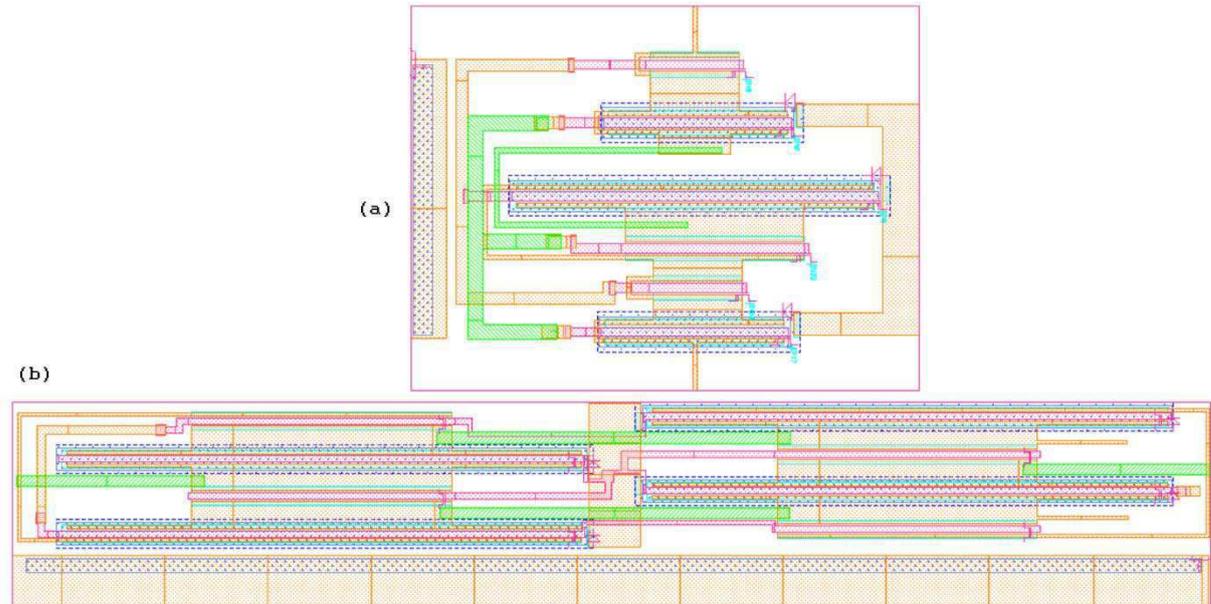


Figura 4.5: Leiaute das chaves CMOS utilizadas no conversor.

4.3 LEIAUTE DO AMPLIFICADOR OPERACIONAL

O amplificador operacional é um circuito analógico que requer alguns cuidados especiais em seu leiaute. Para um bom funcionamento do amplificador operacional e para conseguir que este fique invariante ao processo de fabricação, foi preciso utilizar algumas técnicas, as quais serão descritas a seguir. Os transistores dos espelhos de corrente foram casados entre si. Para os transistores do par diferencial de entrada foi realizado um casamento do tipo centróide comum, onde eles são dispostos um ao lado do outro. O mesmo foi feito com os transistores de saída.

Como o amplificador é um dos componentes mais críticos do conversor e buscando testar o processo de fabricação, o circuito do amplificador foi enviado para a MOSIS (*Metal Oxide Semiconductor Implementation Service*) para que fosse possível testar e corrigir algum erro de projeto antes de enviar o circuito completo. O leiaute do circuito do amplificador foi enviado juntamente com outros circuitos na conta do IFPB (Instituto Federal da Paraíba). O leiaute do circuito amplificador enviado pode ser observado na figura 4.6.

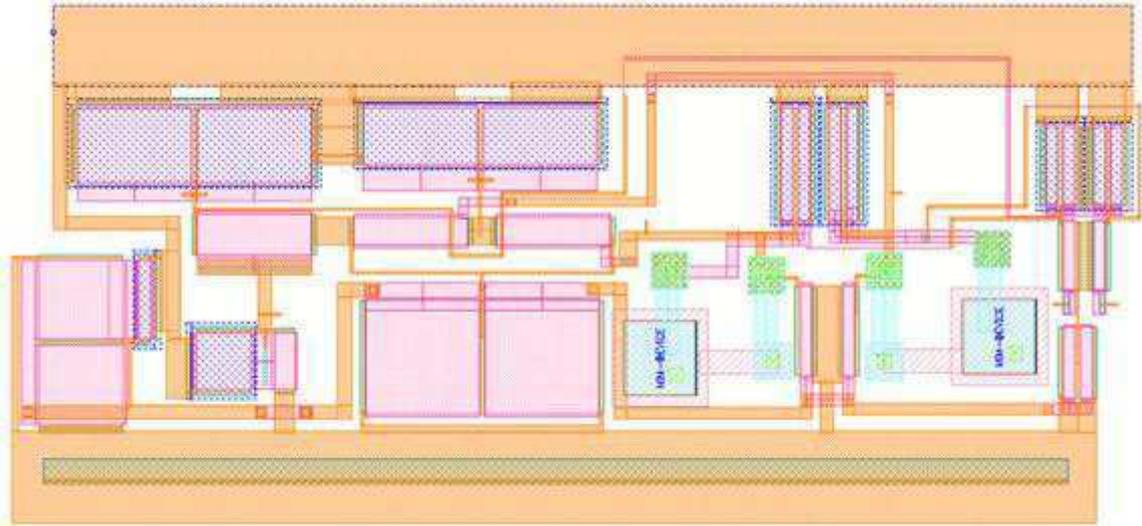


Figura 4.6: Leiaute do circuito amplificador.

Na figura 4.7 pode ser observada a resposta em frequência do amplificador em malha aberta. Como pode ser observado, o ganho de malha aberta obtido pelo amplificador projetado é de 55,15 dB e a frequência para o ganho de 0 dB é igual a 45 MHz. O leiaute do circuito com os PAD enviado para fabricação na MOSIS pode ser observado na figura 4.8.

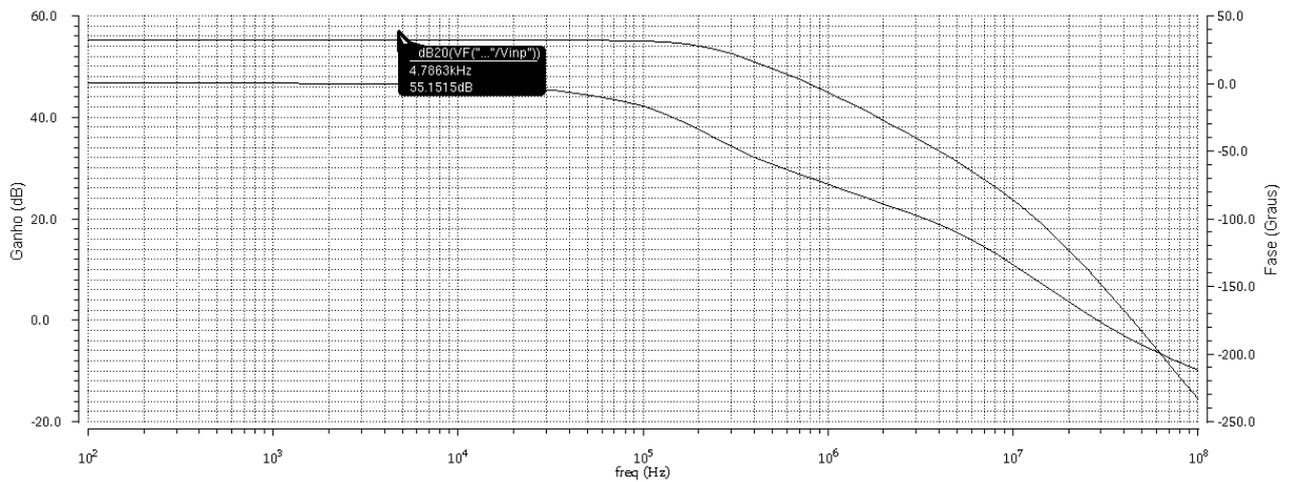


Figura 4.7: Resposta em frequência do circuito amplificador

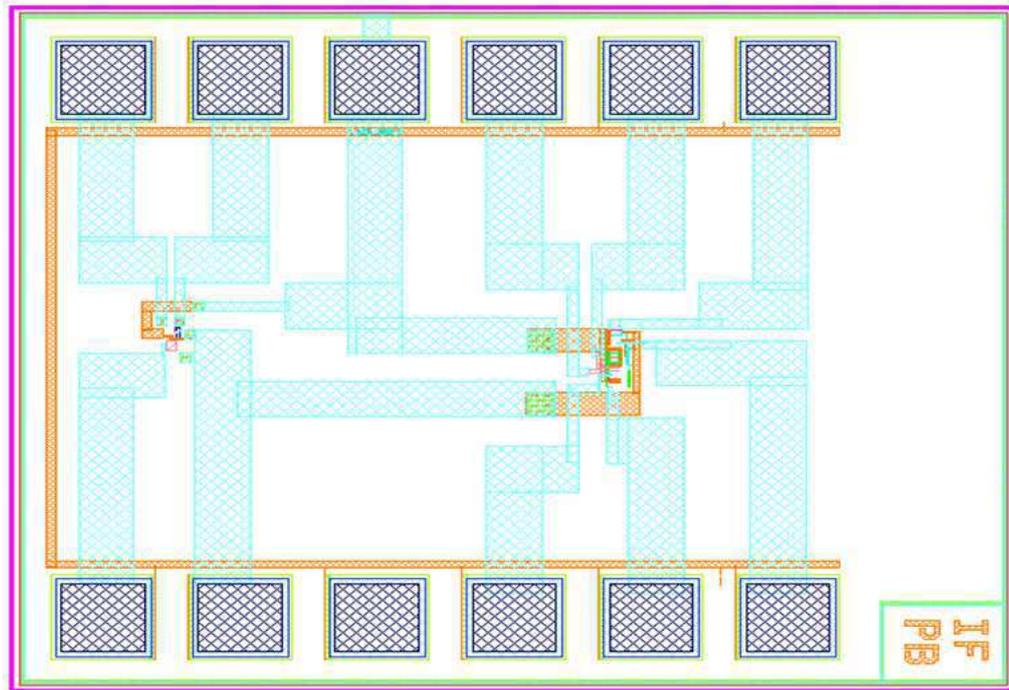


Figura 4.8: Leiaute do amplificador enviado para fabricação.

Os testes com o circuito do amplificador fabricado estão descritos no capítulo 5.

Como relatado no capítulo 3, quando da montagem do circuito completo, foi observada uma oscilação causada pelo chaveamento dos circuitos a capacitor chaveado na forma de onda analógica na saída do amplificador, principalmente próximo ao ponto de comparação, o que gerava erros na saída do comparador, o que causava, desta forma, erros na conversão do sinal de entrada.

Essas oscilações são muito comuns nos circuitos a capacitor chaveado, recebendo o nome de *clock feedthrough*. Este fenômeno acontece no momento do chaveamento do transistor que está conectado a um capacitor. Existem algumas maneiras de reduzir esse problema, uma delas é aumentando a corrente dos transistores de saída do amplificador, para que ele seja menos sensível ao chaveamento desses transistores ligados aos capacitores.

Buscando melhorar o sinal de saída do amplificador foi necessária a inserção de um *buffer* em cada uma das saídas. Para manter a tensão de saída com um *offset* de 0,9 V foi necessário aumentar a tensão de alimentação da saída para 2,5 V. O novo leiaute do amplificador pode ser observado na figura 4.9.

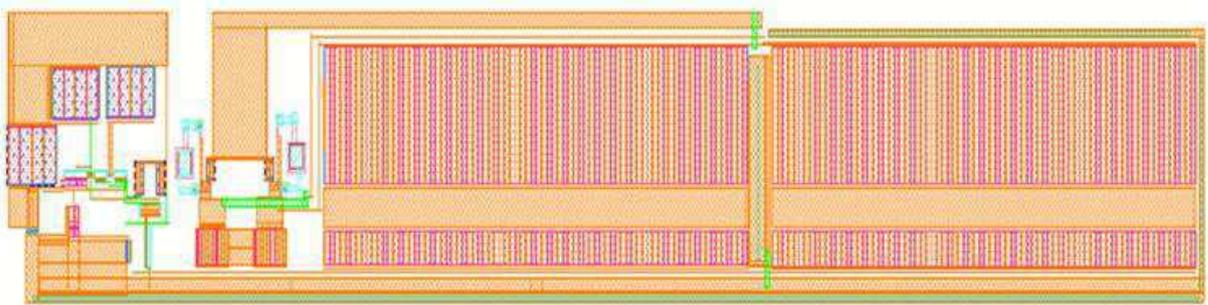


Figura 4.9: Leiaute do circuito amplificador com *buffer* na saída.

Como pode ser observado no leiaute do amplificador, os transistores dos *buffer* de saída ocupam mais da metade da área total. Os *buffer*s foram alinhados um ao lado do outro para minimizar os efeitos causados pelo processo de fabricação. Na figura 4.10 pode ser observada a nova resposta em frequência do amplificador em malha aberta. Como pode ser observado, o ganho de malha aberta obtido pelo amplificador projetado é de 48,59 dB e a frequência para o ganho de 0 dB é igual a 60 MHz.

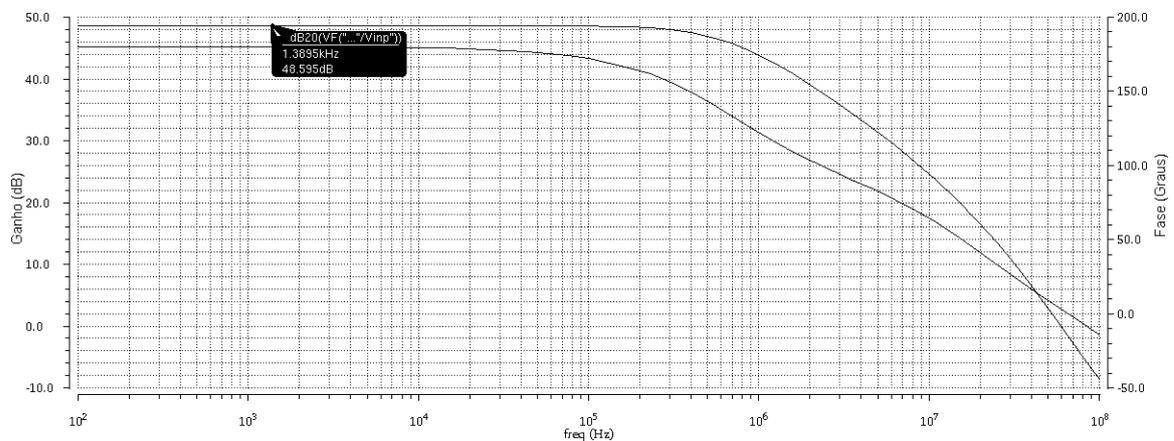


Figura 4.10: Resposta em frequência do amplificador com *buffer*.

Com o intuito de reduzir o consumo, aumentar o ganho e a resposta em frequência do conversor, e tendo observado ser uma prática usual nos circuitos a capacitor chaveado, a utilização de amplificadores operacionais de transcondutância (OTA), optou-se por utilizá-lo. O OTA é basicamente uma fonte de corrente controlada por tensão em paralelo com uma resistência elevada (RAZAVI, 2001). O leiaute e a resposta em frequência do OTA projetado podem ser observados nas

figuras 4.11 e 4.12, respectivamente. Os cálculos referentes ao projeto do OTA podem ser observados no apêndice A. Como pode ser observado, o ganho de malha aberta obtido pelo amplificador projetado é de 62 dB e a frequência para o ganho de 0 dB é igual a 400 MHz.

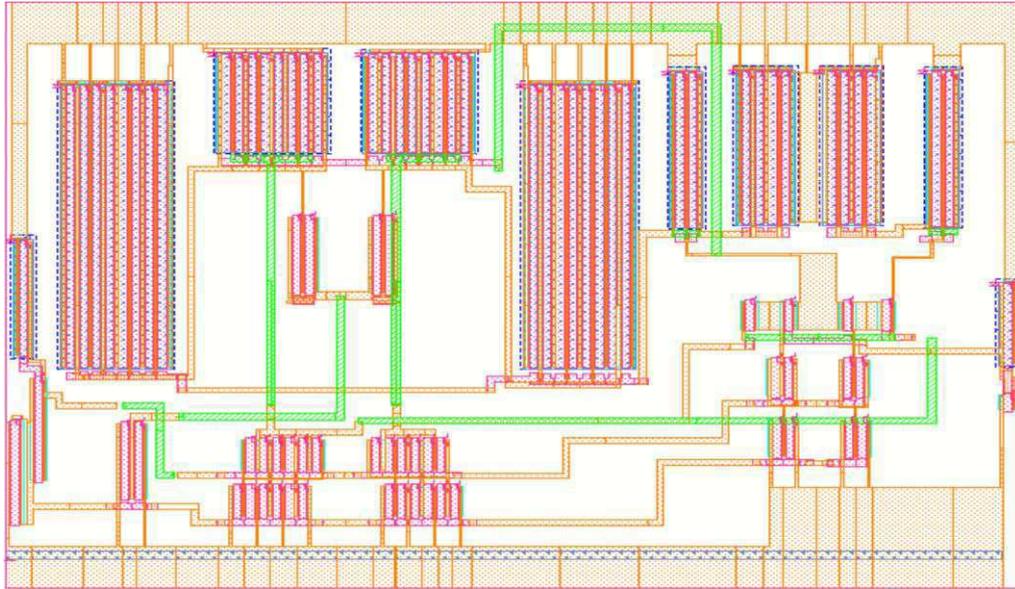


Figura 4.11: Leiaute do OTA.

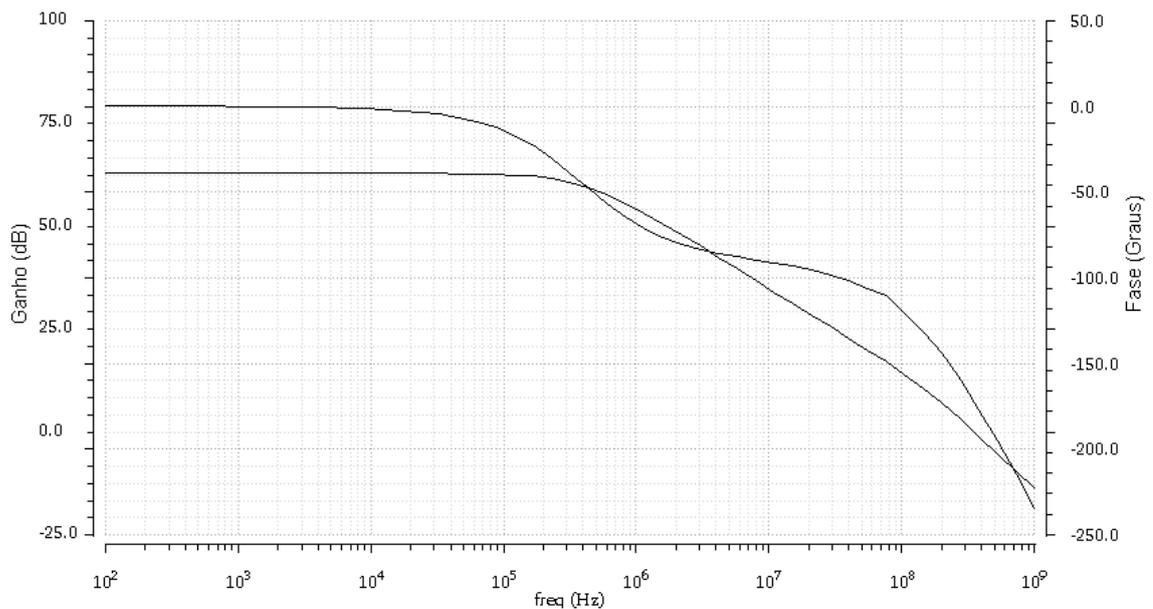


Figura 4.12: Resposta em frequência do OTA.

4.4 LEIAUTE DO CIRCUITO COMPARADOR

Os comparadores representam o segundo componente mais largamente utilizado em circuitos eletrônicos, depois dos amplificadores operacionais (GREGORIAN, 1999). O comparador é um circuito que compara um sinal de entrada analógico com outro sinal analógico (ou referência) e produz na sua saída um sinal binário baseado em tal comparação (ALLEN *et al.*, 2002). A aplicação mais importante de um comparador de tensão de alta velocidade é vista em um ADC. De fato, a velocidade de conversão está limitada ao tempo requerido para que ocorra a resposta (decisão) do comparador (GREGORIAN, 1999).

Assim como o leiaute do circuito amplificador, o leiaute do circuito comparador necessita de alguns cuidados especiais no que diz respeito ao casamento dos transistores e as mesmas técnicas utilizadas no amplificador foram utilizadas no comparador. A simulação do circuito comparador pode ser observada na figura 4.13.

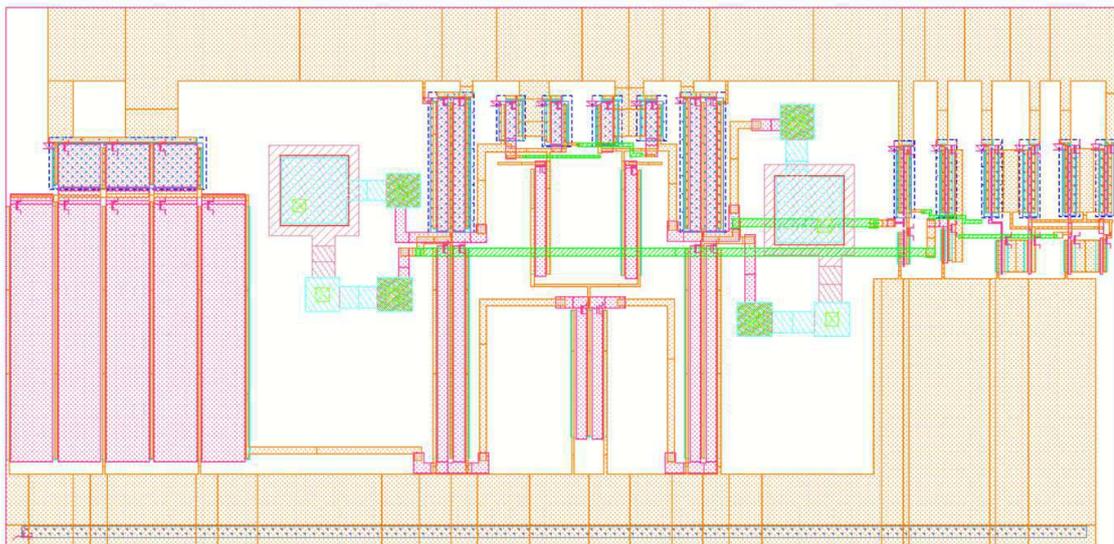


Figura 4.13: Leiaute do circuito comparador.

Os sinais de entrada e saída do circuito comparador podem ser observados na figura 4.14. A simulação do circuito comparador permitiu observar um *slew rate* de 1

V/ns para uma excursão do sinal de alimentação de 0 V a 1,8 V, com um tempo de atraso de 1,8 ns. Os diagramas de bode do comparador podem ser observados na figura 4.15. Como pode ser observado, o ganho de malha aberta obtido pelo comparador é de 55 dB e a frequência para o ganho de 0 dB é igual a 200 MHz.

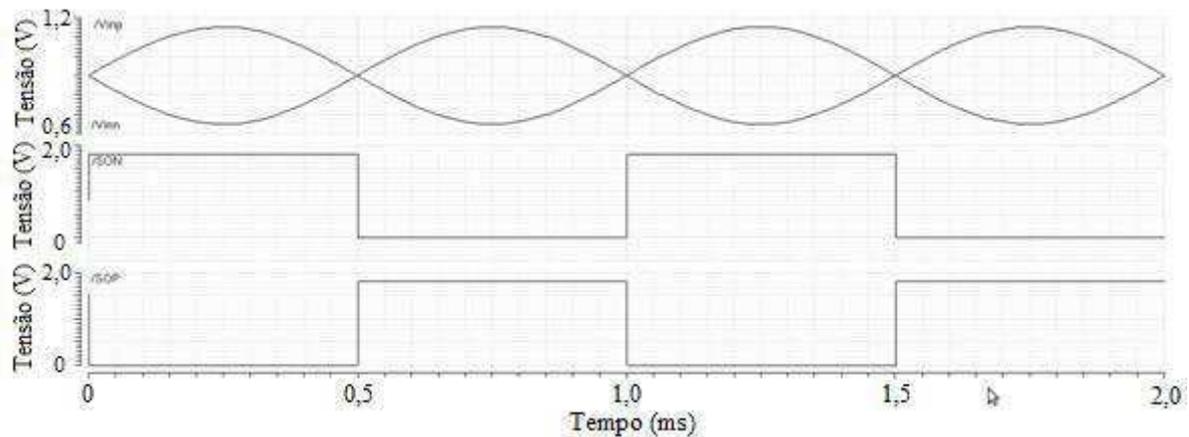


Figura 4.14: Sinais de entrada e saída do circuito comparador.

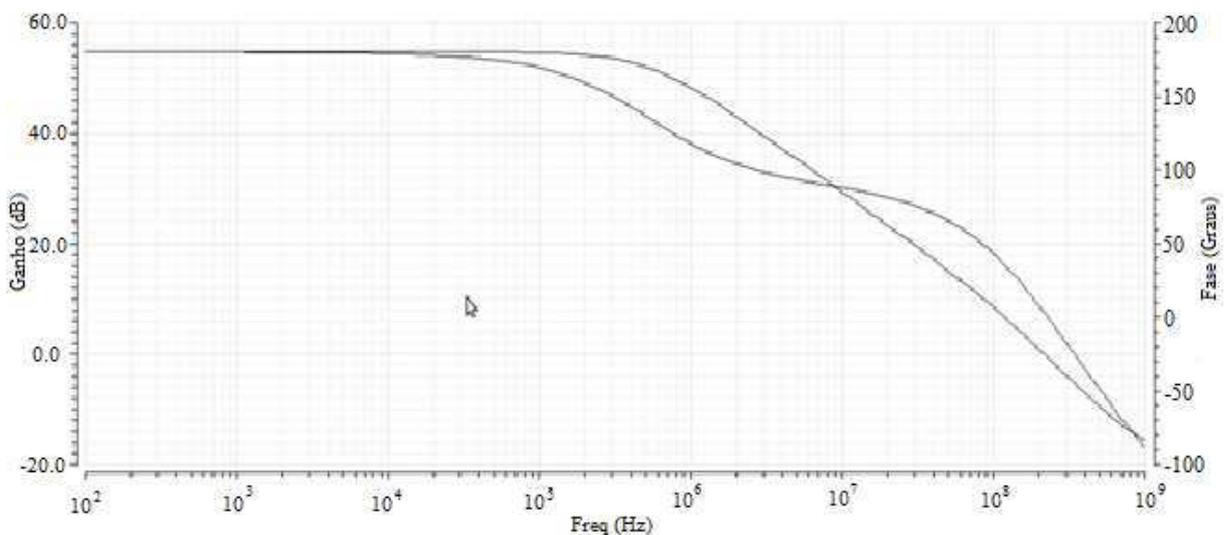


Figura 4.15: Resposta em frequência do circuito comparador.

4.5 LEIAUTE DO ADC DE DOBRAMENTO SC

Após comprovar o funcionamento adequado do ADC proposto, por meio de simulações dos componentes desenvolvidos em nível de transistor e observado o funcionamento correto de cada componente desenvolvido por meio das simulações pós-leiaute, e como o conversor é composto de vários estágios iguais, exceto o

ultimo que possui apenas um comparador, partiu-se para montagem do leiaute de um estágio do conversor para que fosse possível realizar os testes necessários para validar o seu funcionamento.

Com o intuito de reduzir ao máximo o tamanho final do conversor, os componentes foram dispostos de tal forma que obtivéssemos o formato de um retângulo para facilitar a interligação entre cada estágio. O leiaute de um estágio do conversor A/D de dobramento SC pode ser observado na figura 4.16. Os sinais de entrada e saída de um estágio do conversor A/D podem ser observados na figura 4.17.

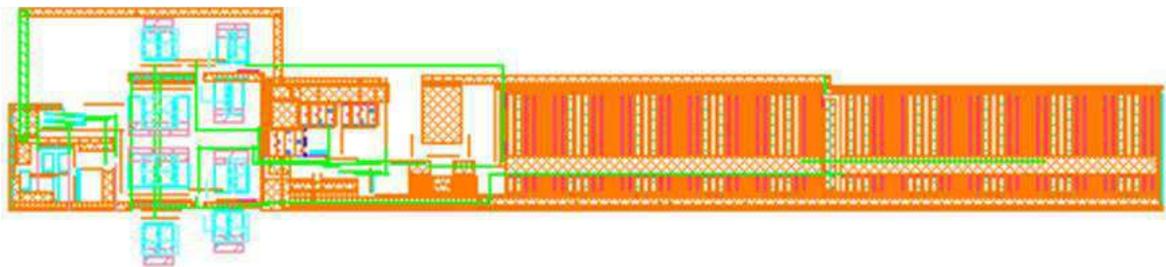


Figura 4.16: Leiaute de um estágio do conversor A/D de dobramento SC.

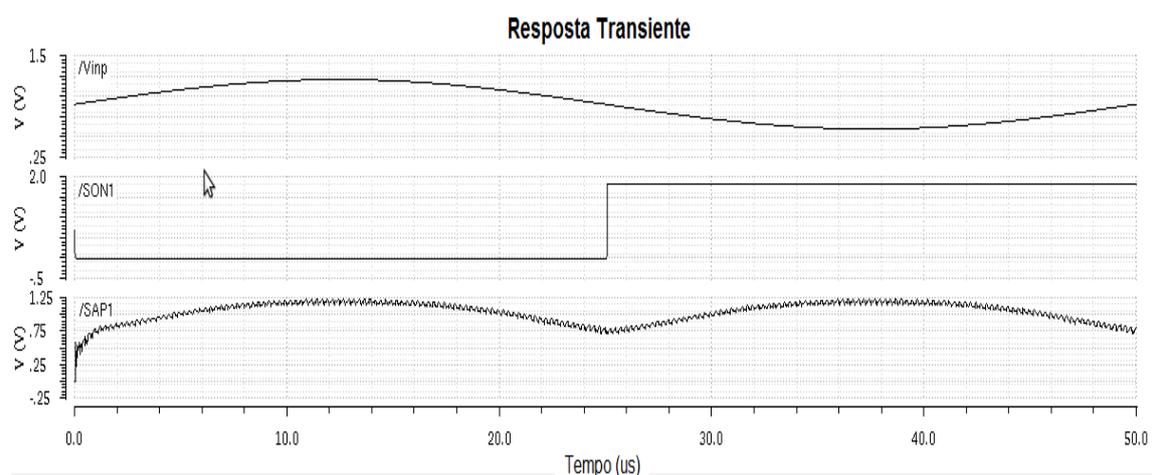


Figura 4.17: Sinais de entrada e saída de um estágio do conversor A/D.

Depois de feitos os devidos testes com o leiaute de um estágio do conversor. Foi feito o leiaute final do conversor A/D de dobramento SC de 8 bits copiando cada estágio e ligando a saída de cada um à entrada do seguinte. Apenas o ultimo

estágio ficou diferente, pois é composto apenas por um circuito comparador. O circuito completo do conversor A/D de dobramento SC de 8 bits pode ser observado na figura 4.18.

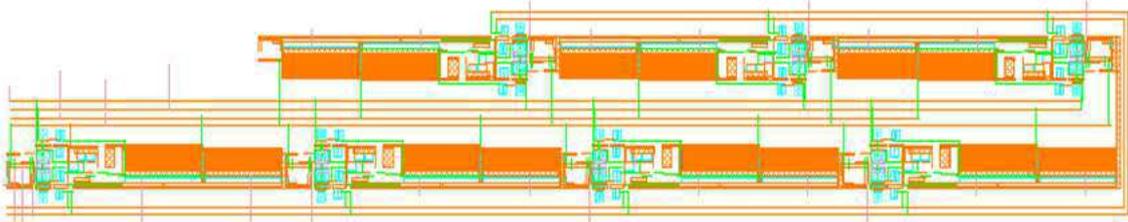


Figura 4.18: Leiaute do conversor A/D de dobramento SC completo.

O leiaute do circuito do ADC de dobramento foi enviado juntamente com outros circuitos na conta da UFPB (Universidade Federal da Paraíba). Em razão da falta de área foi necessário realizar uma redução no leiaute do circuito do conversor para 5 bits. O leiaute do conversor enviado para fabricação pode ser observado na figura 4.19.

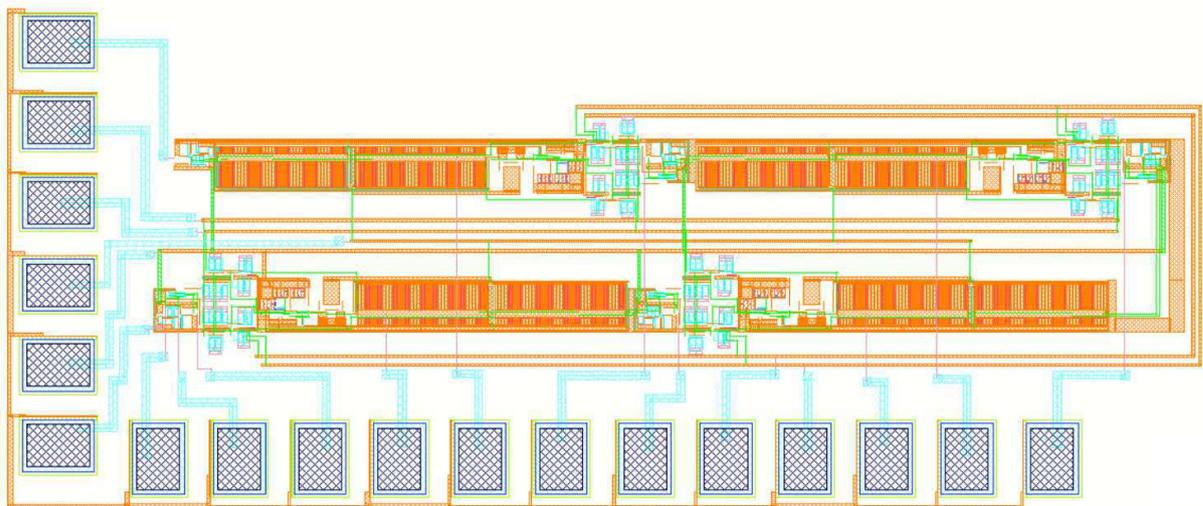


Figura 4.19 Leiaute do conversor A/D de dobramento SC de 5 bits.

Após enviar o leiaute do circuito para fabricação, buscaram-se alternativas para reduzir o consumo de energia do mesmo. Devido a necessidade de utilizar os

buffers na saída de cada circuito amplificador, o circuito completo do conversor desenvolvido no *software* da *Cadence* ficou com consumo muito elevado em comparação ao desenvolvido no *software* da *Mentor Graphics*, e portanto foi decidido modificar o amplificador para o OTA *cascode* dobrado. O circuito do ADC de dobramento utilizando o OTA *cascode* dobrado obteve em simulações um consumo menor do que o utilizando o amplificador de *Miller*. O leiaute de um bloco do novo ADC de dobramento SC utilizando o OTA *cascode* dobrado pode ser observado na figura 4.20 e o leiaute completo do ADC pode ser observado na figura 4.21.

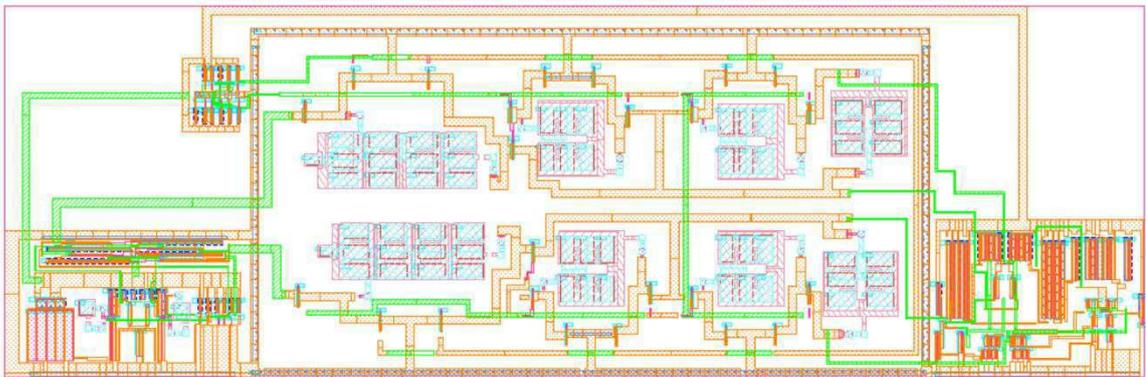


Figura 4.20 Leiaute de um bloco do ADC de dobramento SC de 8 bits utilizando OTA.

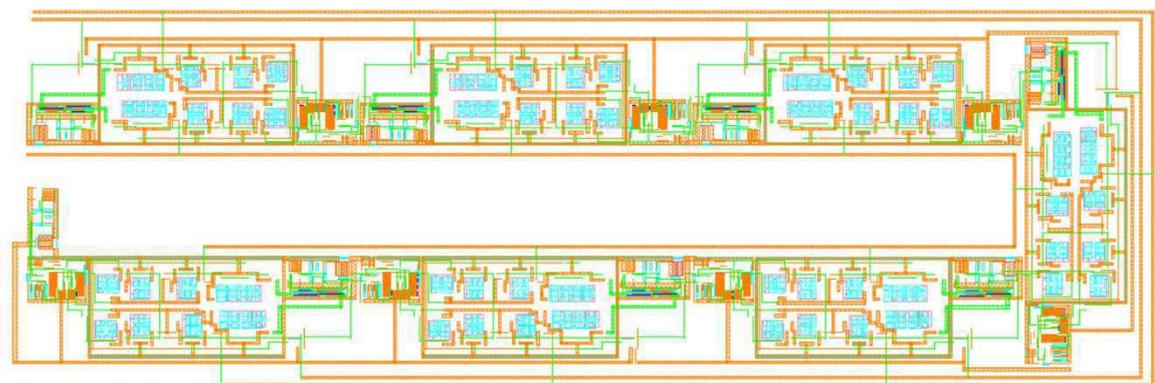


Figura 4.21 Leiaute do ADC de dobramento SC de 8 bits utilizando OTA.

Os resultados obtidos a partir das simulações do circuito completo pós-leiaute podem ser observados no capítulo 5.

Capítulo 5

5 RESULTADOS OBTIDOS

Neste capítulo serão apresentados os resultados obtidos por simulação dos circuitos dos conversores desenvolvidos neste trabalho, tanto em nível de transistor como em nível de leiaute. Foram realizadas simulações utilizando o *software* da *Mentor Graphics* com a tecnologia 0,35 μm e o *software* da *Cadence* com a tecnologia 0,18 μm .

Serão apresentados também os resultados obtidos em laboratório referentes aos experimentos realizados para o circuito amplificador, o qual faz parte do conversor de dobramento SC implementado em circuito integrado (CI) pela MOSIS.

Além destes, serão analisados os resultados obtidos em laboratório relativos aos circuitos do conversor A/D de dobramento SC de três bits utilizando componentes discretos, comparando-os com resultados obtidos por meio de simulações.

5.1 RESULTADOS OBTIDOS POR SIMULAÇÃO DO ADC DE DOBRAMENTO SC EM NÍVEL DE TRANSISTOR

5.1.1 UTILIZANDO OS *SOFTWARES* COMPUTACIONAIS DA *MENTOR GRAPHICS*

Uma vez concluída toda etapa de projeto dos componentes internos que compõem o conversor em nível de transistores na tecnologia 0,35 μm , passa-se à simulação do circuito completo do conversor A/D de dobramento SC de 8 bits. Para tanto, foram utilizados os *softwares* da *Mentor Graphics*. As saídas analógicas e digitais do circuito completo podem ser observadas na figura 5.1.

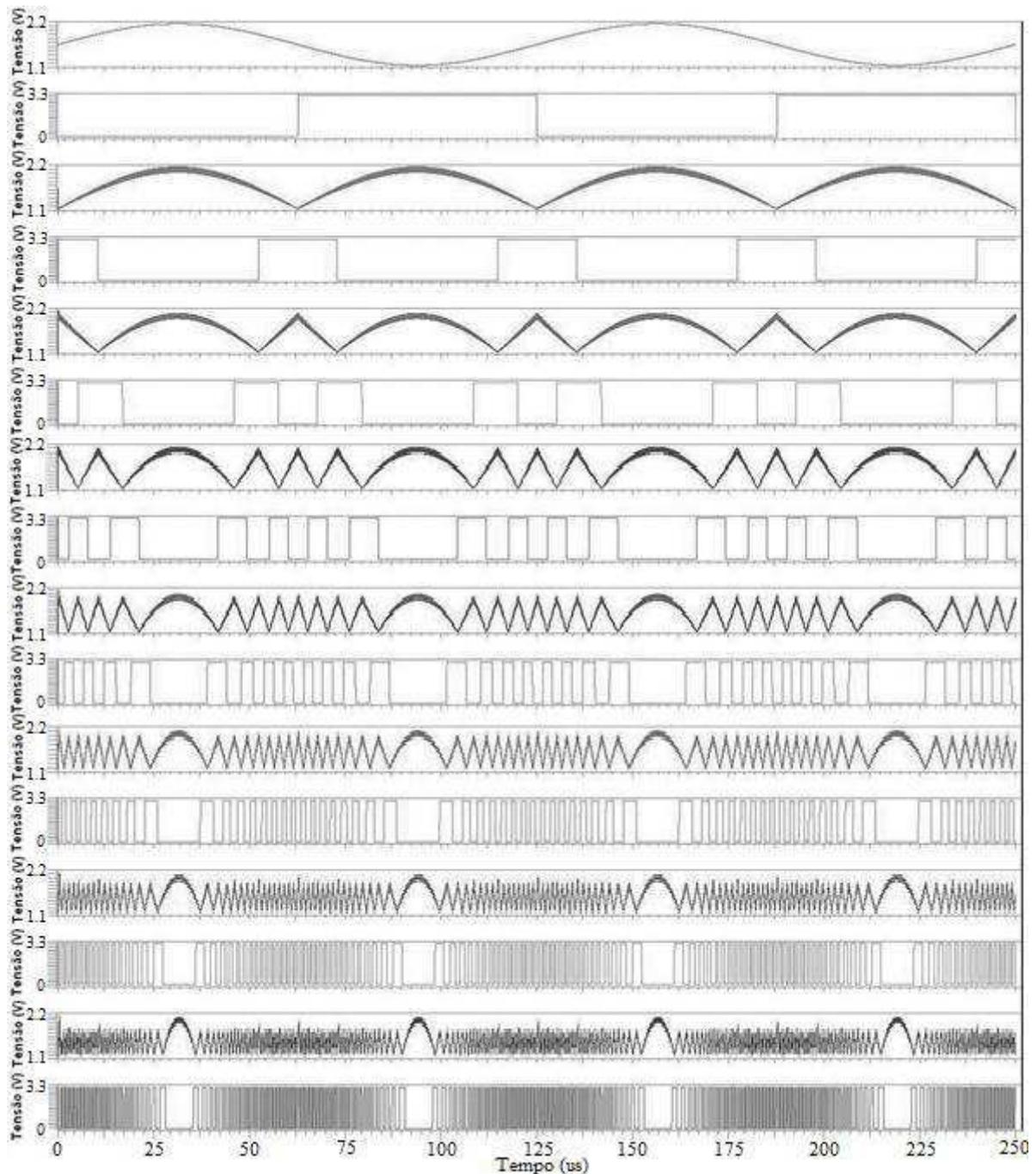


Figura 5.1: Sinais de saída dos 8 bits do ADC de dobramento SC modificado.

Como o conversor de dobramento apresenta em sua saída digital em código *Gray*, na operação com conversores digitais-analógicos padrões (com entrada binária), o código de saída do ADC de dobramento deve ser decodificado para binário. Na figura 5.2 está exposto o circuito do decodificador utilizado para converter o código *Gray* da saída do ADC de dobramento proposto para um código binário padrão (8 bits).

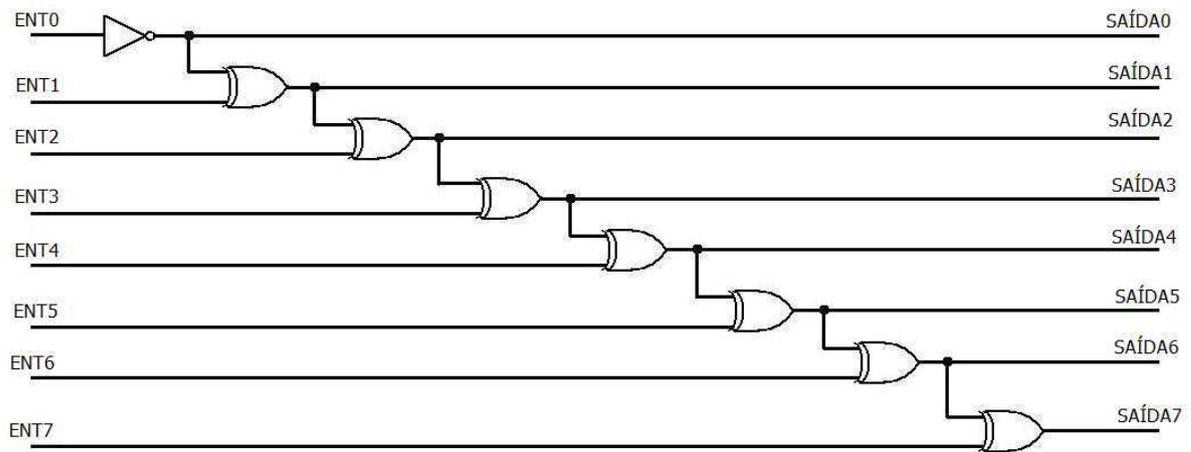


Figura 5.2: Decodificador do código Gray para binário padrão.

Utilizando o decodificador de código Gray para binário mostrado na figura 5.2 e um Conversor Digital-Analógico (DAC) ideal foi possível reconstituir o sinal que foi aplicado na entrada do nosso ADC de dobramento SC. Deste modo, o sinal de entrada e o sinal recuperado podem ser observados na figura 5.3.

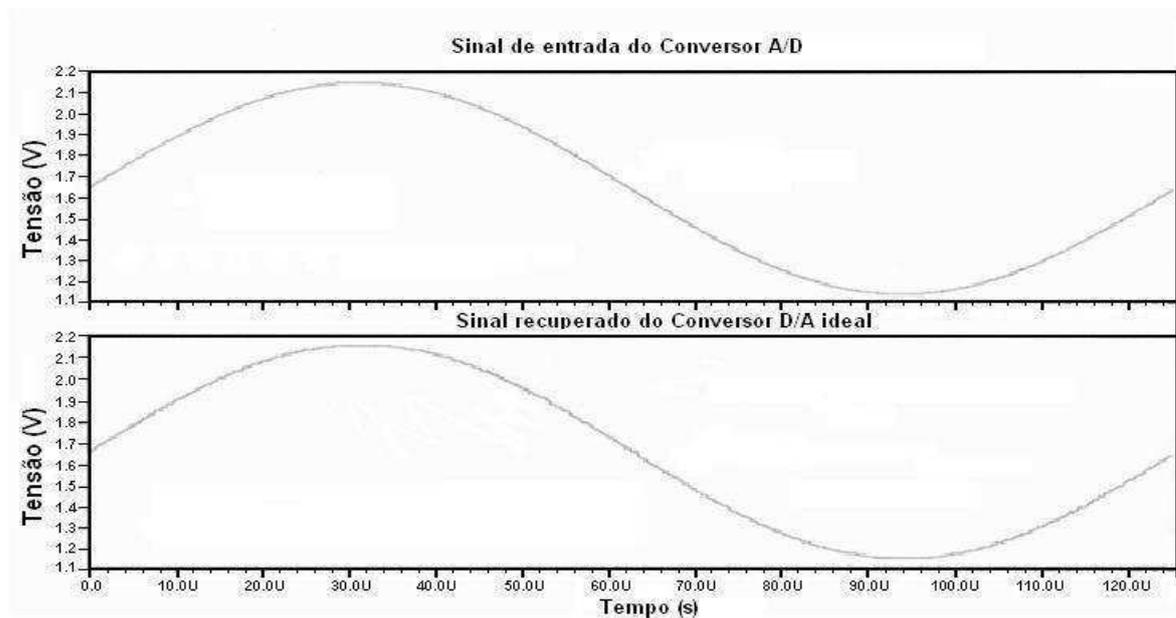


Figura 5.3: Sinais de entrada e recuperado do ADC de dobramento SC.

Um método utilizado para analisar o comportamento dos conversores A/D de forma dinâmica é o método de análise espectral. Ele é baseado na transformada de Fourier. A análise apropriada da transformada realizada no sinal recuperado fornece a informação sobre o desempenho dos conversores analógico-digitais. Segundo

BREITENBACH (BREITENBACH,1998), a realização deste teste sobre um conversor em busca da natureza dos erros nele presentes deve analisar a magnitude da transformada de Fourier do sinal de saída do conversor quando este é excitado por uma onda senoidal pré-definida e livre de ruídos. Por meio deste método é possível determinar algumas especificações dinâmicas dos conversores, tais como: Distorção Harmônica Total (DTH – *Total Harmonic Distortion*), Relação Sinal Ruído mais Distorção (SNDR - *Signal-to-Noise and Distortion Ratio*) e Faixa Dinâmica Livre de Espúrios (SFDR – *Spurious-Free Dynamic Range*).

Uma das especificações do conversor A/D consideradas mais importantes neste trabalho foi a SNDR. A SNDR foi calculada utilizando a FFT do sinal recuperado do ADC de dobramento SC. Para calcular a SNDR do conversor, deve-se levar em conta que, em primeiro lugar, a saída digital é obtida por meio de um conversor digital-analógico (DAC) ideal. Em segundo lugar, a saída analógica em tempo contínuo do DAC é amostrada usando uma alta taxa de amostragem se comparado com a faixa de frequência do sinal de entrada. E, finalmente, uma FFT é obtida do sinal amostrado.

Em conversores com amostragem por cruzamento de níveis, as amostras não são igualmente espaçadas no tempo, porque elas dependem da variação do sinal: quanto mais o sinal varia, mais amostras têm-se neste intervalo de tempo. Por isso, a frequência de amostragem utilizada no cálculo da FFT foi determinada pela medida do menor tempo entre uma amostra e outra do sinal quantizado de saída do DAC ideal.

A FFT do sinal recuperado do conversor de dobramento SC pode ser observada na figura 5.4.

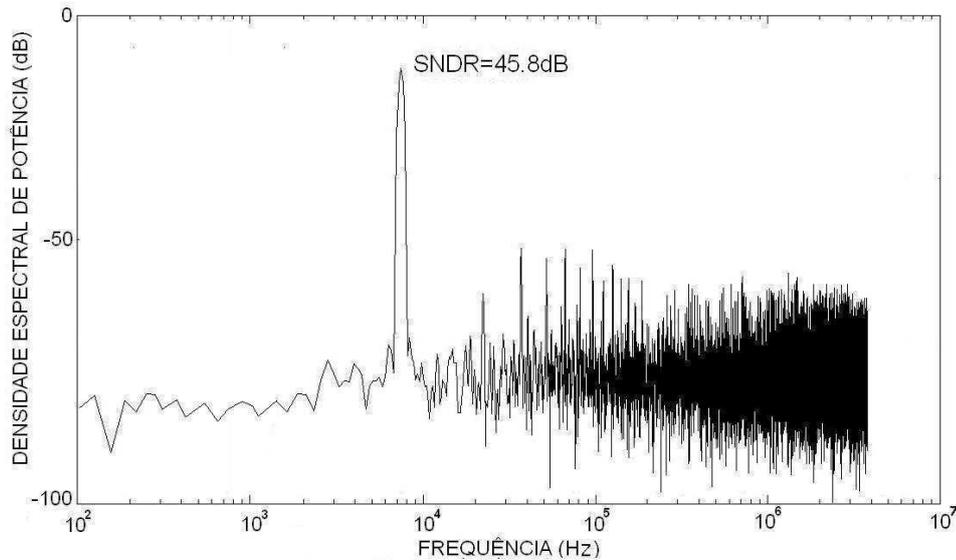


Figura 5.4: FFT do sinal de saída (quantizado) do conversor de dobramento SC.

O projeto do ADC de dobramento SC foi desenvolvido utilizando circuitos CMOS na tecnologia padrão de $0,35\ \mu\text{m}$ (TSMC035). Inicialmente, todas as chaves utilizadas no circuito foram construídas com transistores NMOS. Com as tensões de referência V_{refp} e V_{refn} iguais a $2,15\ \text{V}$ e $1,15\ \text{V}$, respectivamente, o conversor de dobramento de 8 bits consumiu $4,9\ \text{mW}$ de potência com uma alimentação de $3,3\ \text{V}$. A SNDR foi de $45,8\ \text{dB}$.

Com os mesmos circuitos CMOS e tecnologia padrão de $0,35\ \mu\text{m}$ (TSMC035), tendo ainda as mesmas tensões de referência, o conversor de dobramento (*folding*) utilizando resistores foi implementado em ambiente de simulação. Este conversor obteve uma SNDR de $41,0\ \text{dB}$ e consumiu $11,9\ \text{mW}$ de potência com uma tensão de alimentação de $3,3\ \text{V}$, sem contar a potência consumida pelas fontes de referência.

A FFT do conversor de dobramento utilizando resistores pode ser observada na figura 5.5.

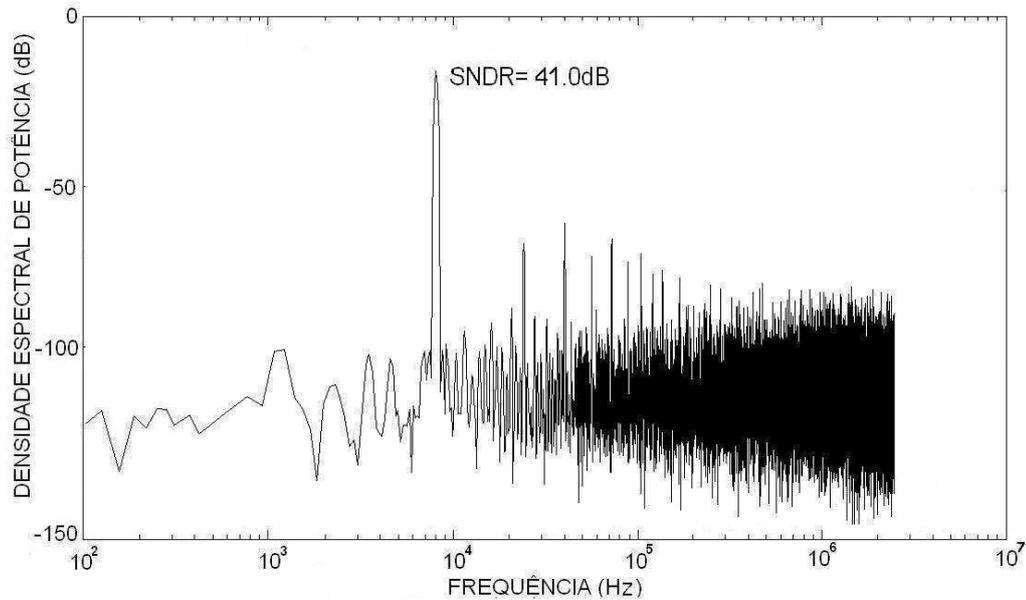


Figura 5.5: FFT do sinal de saída (quantizado) do conversor de dobramento utilizando resistores.

Como pode ser observado, o ADC de dobramento SC utilizando circuitos CMOS na tecnologia padrão de 0,35 μm obteve uma SNDR de 45,8 dB e consumiu 4,9 mW de potência com uma tensão de alimentação de 3,3 V, que foi bem próximo do valor teórico calculado que é de 4,69 mW. O conversor utilizando resistores e os mesmos circuitos básicos obtiveram uma SNDR de 41,0 dB e consumiu 11,9 mW de potência com a mesma tensão de alimentação, demonstrando assim que o ADC projetado possui um desempenho melhor que o circuito que utiliza resistores conseqüentemente. Segundo RODRIGUES o ADC de dobramento possui melhor desempenho que o ADC *pipeline* (de canal) quando os dois são construídos com os mesmos circuitos básicos, como o ADC de dobramento SC possui um melhor desempenho que o ADC de dobramento que utiliza resistores, pode-se concluir que o ADC de dobramento SC possui um melhor desempenho que o ADC *pipeline* (de canal).

5.1.2 UTILIZANDO OS *SOFTWARES* COMPUTACIONAIS DA *CADENCE*

Com a finalidade de realizar a fabricação do circuito do conversor, passou-se a utilizar o *Virtuoso*, que é um programa para simulação de circuitos integrados da *CADENCE*. Os novos circuitos do ADC de dobramento SC foram desenvolvidos utilizando a tecnologia padrão de 0,18 μm (CMRF7SF). A tensão de alimentação dessa tecnologia é de 1,8 V. Com a redução da tensão de alimentação, que anteriormente era de 3,3 V, foi necessário reduzir a amplitude do sinal de entrada cujo valor passou a ser de 500 mV de pico a pico com um *off-set* de 900m V. Com isso, passou-se a trabalhar com novas tensões de referência V_{refn} e V_{refp} e iguais a 0,65 V e 1,15 V, respectivamente.

Após a conclusão dos projetos, foram realizados os testes em nível de transistor com cada um dos circuitos, de forma individual (amplificador, comparador etc.). Com todos os circuitos funcionando corretamente, passou-se à montagem do circuito completo do ADC de dobramento em nível de transistor. Os resultados das simulações de cada um dos circuitos desenvolvidos podem ser observados no apêndice A.

Quando o circuito completo foi montado observou-se que a forma de onda analógica de cada bloco possuía uma oscilação proveniente das chaves no momento de chaveamento, que demorava um tempo maior do que o esperado para se amortizar, gerando erros na saída do comparador e conseqüentemente erros na conversão do sinal.

Conforme explicado no apêndice A, quando do projeto do amplificador, no momento em que as chaves dos circuitos a capacitor chaveado são abertas ou fechadas, os capacitores são carregados ou descarregados por uma variação quase instantânea de corrente, o que vem a gerar um pico de tensão com comportamento oscilatório que leva um determinado tempo para se estabilizar.

No intuito de diminuir essas oscilações, foi necessário aumentar a corrente de saída do amplificador. Para isso, foi realizado uma modificação no circuito amplificador, inserindo nas suas saídas um *buffer* de modo que houvesse um

aumento na corrente de saída, sem prejudicar as condições de funcionamento do circuito.

Para que a tensão de saída fosse mantida com um *off-set* de 900 mV, foi necessário modificar também a tensão de alimentação no estágio de saída do amplificador, que passou a ser de 2,5 V. O novo circuito amplificador pode ser observado no apêndice A.

Apesar de ter ocorrido uma mudança significativa no sinal analógico com a redução dessas oscilações, foi observada a existência de alguns erros na saída do comparador que ocorriam a partir do terceiro bit do sinal convertido.

No intuito de dirimir esses erros de conversão passou-se a utilizar um comparador com realimentação positiva. Estes comparadores são muito utilizados em circuitos onde se deseja comparar sinais que possuam ruídos de alta frequência, como os circuitos a capacitor chaveado. Os comparadores com realimentação positiva só modificam o seu sinal de saída quando há uma mudança nos seus sinais de entrada efetiva, obtendo assim melhores respostas se comparados aos circuitos comparadores sem realimentação positiva (ALLEN; HOLBERG, 2002). O circuito do comparador com realimentação positiva desenvolvido pode ser observado no apêndice A.

Buscando melhorar o funcionamento do circuito e reduzir ainda mais as oscilações no sinal analógico de saída de cada estágio foi alterado o valor da capacitância do circuito a capacitor chaveado para os valores de 2 pF e 1 pF. Desta forma, a frequência de chaveamento teve de ser alterada e passou a ser 1 MHz.

Realizados os devidos testes com cada circuito separadamente, o circuito completo do conversor pôde ser simulado. Foi aplicado na sua entrada uma onda senoidal com amplitude igual a 500 mV de pico a pico, *off-set* de 900 mV e frequência de 1 kHz. As formas de onda de entrada e saída de cada estágio obtidos por simulação utilizando os *softwares* da *CADENCE* foram semelhantes aos obtidos nos *softwares* da *Mentor Graphics*.

Utilizando um decodificador de código *Gray* para binário e um DAC ideal, foi possível reconstituir o sinal que foi aplicado na entrada do ADC de dobramento SC. Assim, o sinal de entrada e o sinal recuperado podem ser observados na figura 5.6.

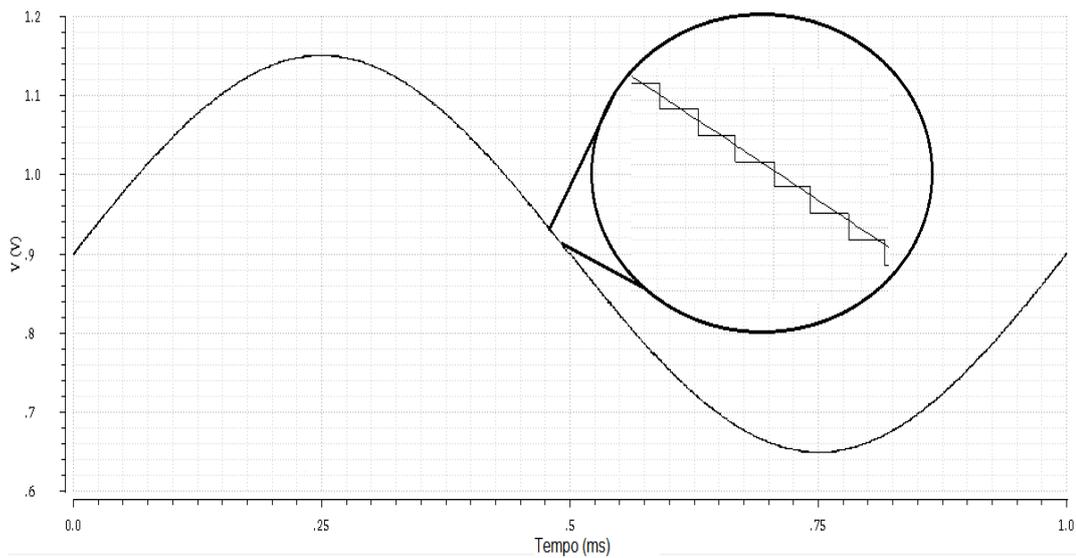


Figura 5.6: Sinais de entrada e recuperado do ADC de dobramento SC.

Após recuperar o sinal analógico, foi possível traçar a FFT a partir do sinal recuperado. A nova FFT do sinal recuperado do conversor de dobramento SC pode ser observada na figura 5.7. Foi possível calcular o novo valor de SNDR que foi de 45,74 dB.

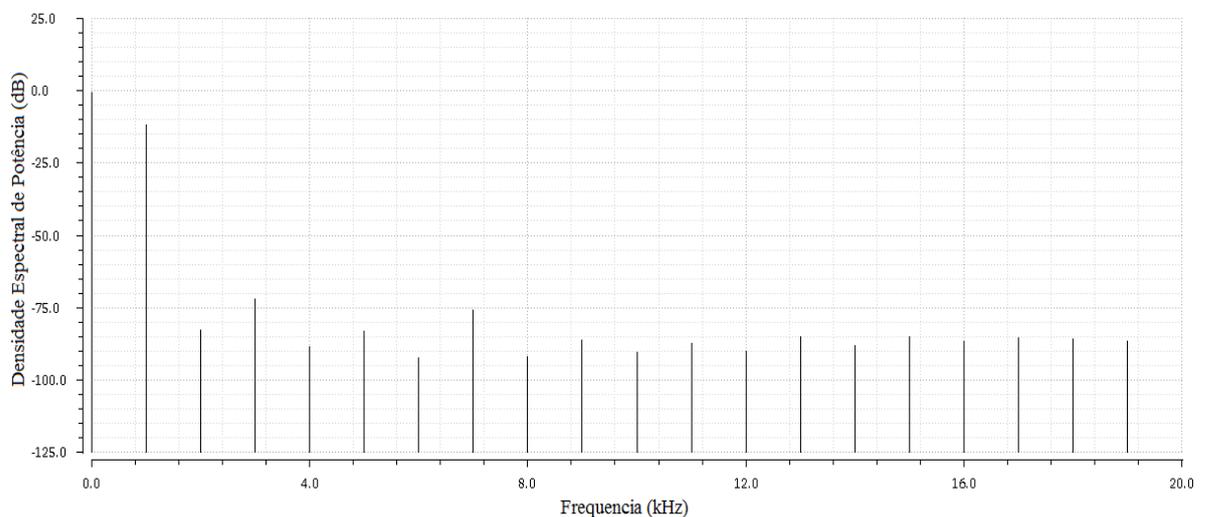


Figura 5.7: FFT do sinal de saída (quantizado) do conversor de dobramento SC obtida por simulação através do *CADENCE*.

Devido a necessidade do novo circuito amplificador e do aumento da corrente nos circuitos de saída, o novo conversor de dobramento de 8 bits passou a consumir 19 mW, com uma alimentação de 1,8 V no estágio de entrada do circuito

amplificador, e de 2,5 V no estágio de saída. Esse valor de potência foi medido com todas as fontes de polarização ligadas ao circuito.

5.2 RESULTADOS OBTIDOS POR SIMULAÇÃO DO ADC DE DOBRAMENTO SC PÓS-LEIAUTE

Após a montagem do leiaute completo do ADC de dobramento SC, foram iniciados os testes de forma a serem adquiridos os resultados mais próximos aos adquiridos por meio das simulações em nível de transistor.

As formas de onda da entrada analógica do primeiro estágio e das saídas digitais em código *Gray* de cada estágio podem ser observadas na figura 5.8.

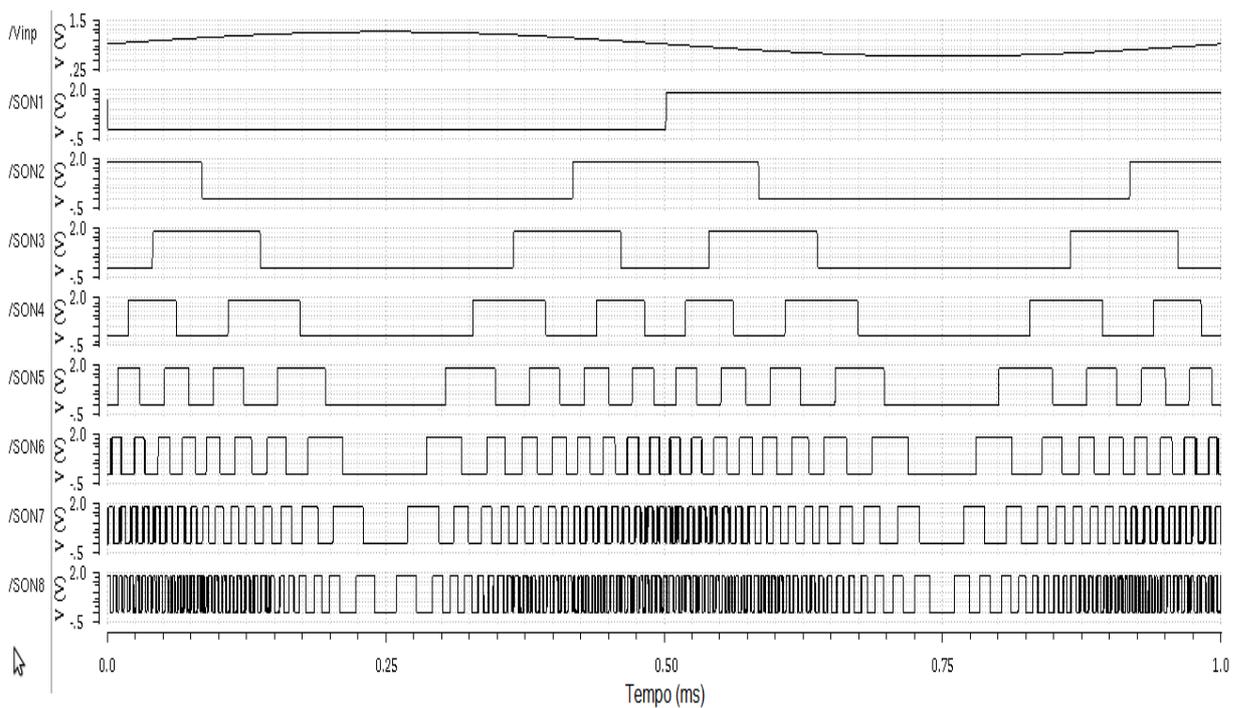


Figura 5.8: Sinal de entrada analógico e sinais das saídas digitais do ADC SC obtidos por simulação pós-leiaute.

Conforme pode ser observado, nos sinais digitais da saída do ADC de dobramento a capacitor chaveado, a partir do sexto bit (saída /SON6) ocorrem alguns erros de conversão, apesar da utilização de um comparador com histerese.

Isto ocorre devido às distorções nos sinais analógicos nos últimos estágios do conversor, causadas pelo chaveamento dos circuitos a capacitor chaveado e também ao aumento da frequência do sinal analógico que dobra a cada estágio. Sendo assim, é de grande importância que os circuitos amplificadores e comparadores possuam uma resposta em frequência muito alta.

Utilizando o decodificador de código *Gray* para binário e um Conversor Digital-Analógico (DAC) ideais foi possível reconstituir o sinal que havia sido aplicado na entrada do ADC de dobramento SC. O sinal de entrada e o sinal recuperado podem ser observados na figura 5.9.

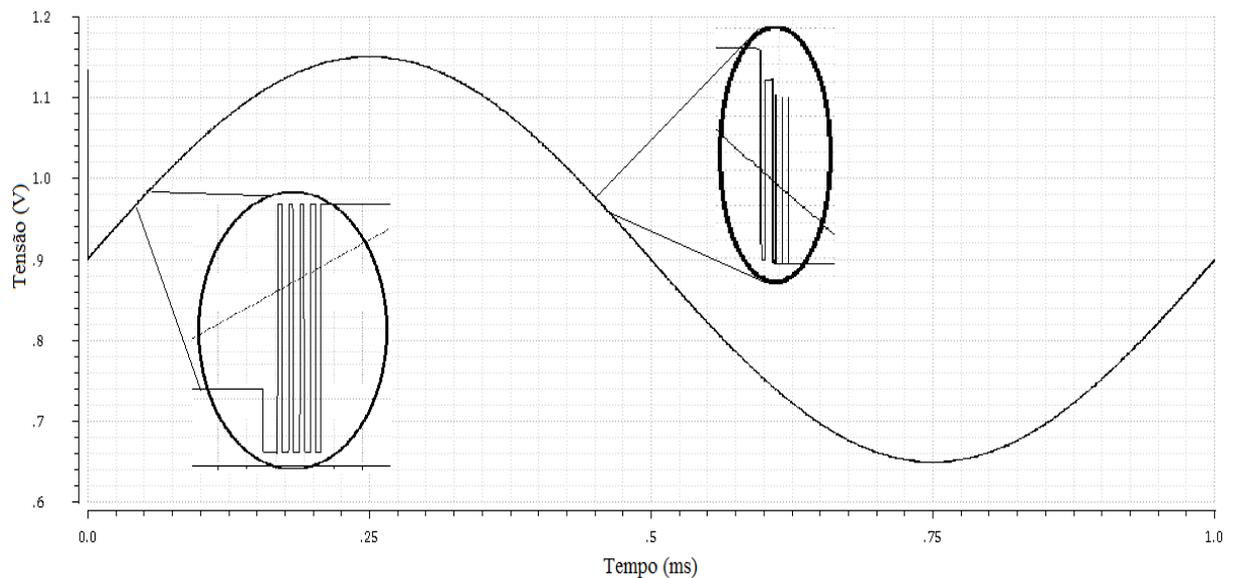


Figura 5.9: Sinais de entrada e recuperado do ADC de dobramento SC proposto.

Depois de recuperar o sinal analógico foi calculado novamente o valor da SNDR que foi de 44,67 dB. Com o resultado da SNDR é possível obter o número efetivo de bits (ENOB), para o ADC de dobramento SC de 8 bits, obteve-se um ENOB de 7,12 bits. O que demonstra que para essa resolução o conversor funciona de forma eficaz, garantindo que não haverá perda de códigos durante a conversão. A FFT do sinal recuperado pode ser observada na figura 5.10.

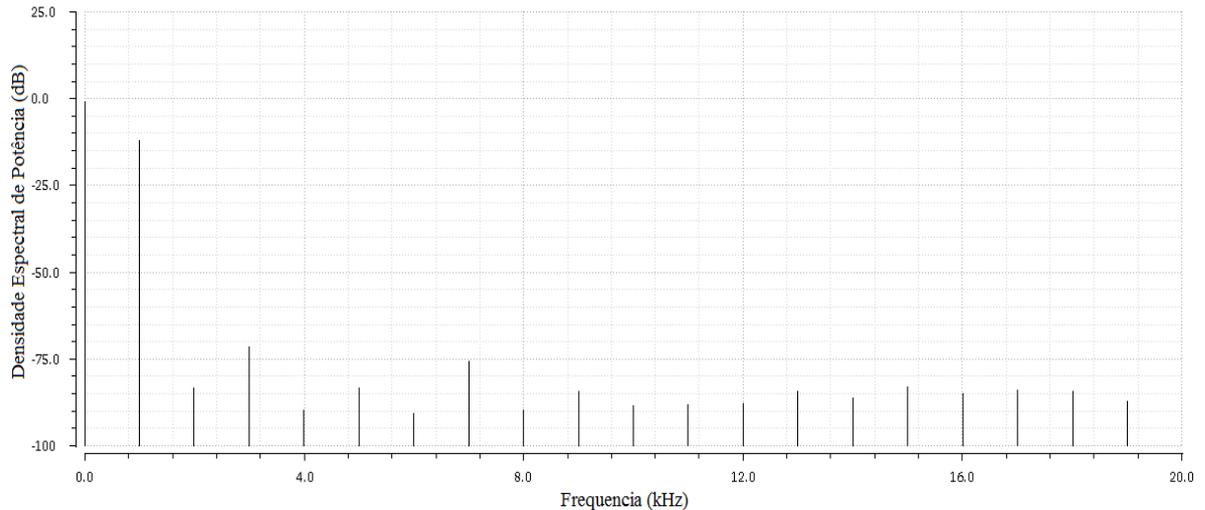


Figura 5.10: FFT do sinal de saída (quantizado) do conversor de dobramento SC.

Outro teste escolhido para avaliar o conversor projetado foi o método de histograma de onda senoidal. Os métodos de teste do histograma também são conhecidos como métodos CDT – *Code Density Test*, por serem baseados na avaliação dos códigos de resposta dos conversores analógico-digitais quando excitados por um sinal cuja função de densidade de probabilidade (PDF- *Probability Density Function*) é conhecida (BURNS, 2001 e IEEE Std. 1241,2000).

Sendo assim, caso um conversor analógico-digital seja excitado por um sinal repetitivo, com uma função de densidade de probabilidade uniforme, sua saída também seguirá esta função de densidade de probabilidade (GREEN,1990). Caso haja alguma alteração na função do sinal de saída, pode-se afirmar a presença de falha no conversor. Segundo DOERNBERG (DOERNBERG, 1984), estas variações de códigos são diretamente proporcionais aos erros de não-linearidade dos conversores. O método de histograma senoidal (ou excitado por uma senóide) é uma modificação do método de histograma tradicional e foi desenvolvido inicialmente por (DOERNBERG, 1984) e (BOSSCHE, 1996). Este método propõe a determinação dos erros de não-linearidade (DNL - Erro de não-linearidade diferencial e INL - Erro de não-linearidade integral) em conversores analógico-digitais seguindo as técnicas utilizadas no método do histograma padrão. Desde BLAIR (BLAIR,1994), quando a influência do ruído na resposta do sistema foi avaliada, este método foi adotado como método padrão para teste estático de ADC

segundo as normas IEEE 1057/94 (IEEE Std. 1057, 1994) e IEEE 1241/2000 (IEEE Std. 1241,2000).

O método do histograma envolve a aplicação de um dado sinal analógico na entrada do ADC e a determinação do número de vezes que cada código está presente na saída. Apesar de ser bastante simples, diversos parâmetros devem ser calculados e são necessárias também muitas amostras do sinal para que o método funcione de forma satisfatória e garanta sua exatidão, pois como é um método estatístico, possui um fator de incerteza. Porém, esta incerteza pode ser tão pequena quanto desejada, o que torna o método bastante robusto. Outro fator que aumenta a robustez do método é o fato de se utilizar ondas senoidais como entrada, que são obtidas com muito mais exatidão que ondas triangulares, que costumavam ser a escolha para este tipo de teste (BLAIR, 1994).

Para obtenção do histograma foi utilizado o software MATLAB. O histograma obtido pode ser observado na figura 5.11. As medidas de desempenho estáticas de DNL e INL, para o ADC de dobramento SC de 8 bits, obtidas utilizando o método de histograma de onda senoidal, podem ser observadas na figura 5.12.

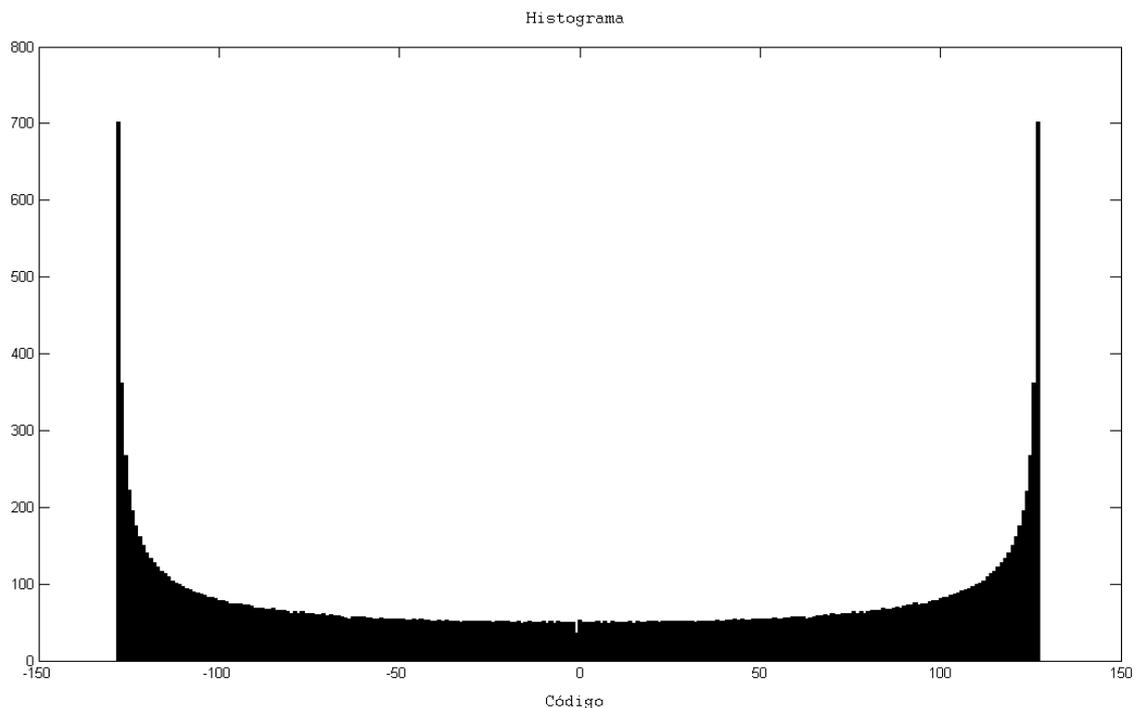


Figura 5.11: Histograma do sinal recuperado.

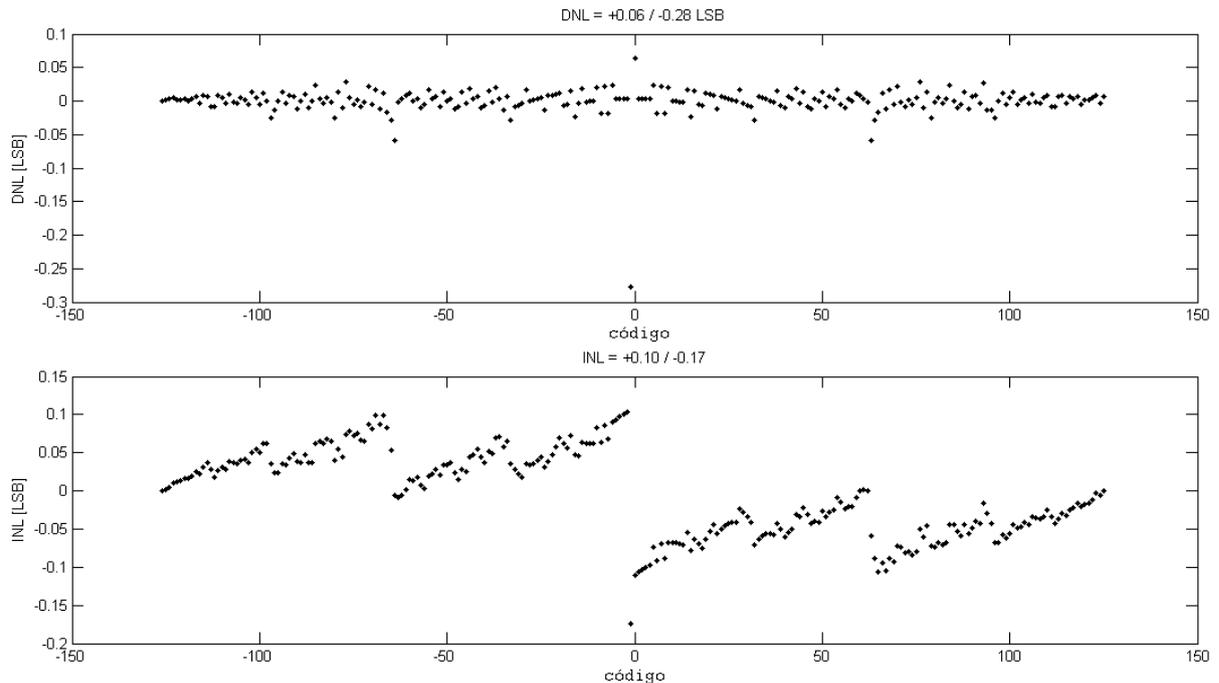


Figura 5.12: DNL e INL do ADC de dobramento SC.

Observando as medições de DNL e INL para o conversor de 8 bits, pode-se perceber que o pior caso positivo do DNL foi de 0,06 LSB e o pior caso negativo foi de -0,28 LSB. O INL teve o seu pior caso positivo de 0,10 LSB e o pior caso negativo de -0,17 LSB.

5.3 AMPLIFICADOR OPERACIONAL FABRICADO

Buscando testar o processo de fabricação, o primeiro circuito do amplificador projetado na tecnologia padrão 0,18 μm foi enviado para MOSIS para que fosse possível testar e corrigir algum erro de projeto antes de enviar o circuito completo do conversor.

Ao alimentar o amplificador com uma tensão de 1,8 V observou-se que as tensões de polarização não alcançaram os valores projetados. Assim, a tensão de alimentação foi sendo aumentada até 2,5 V, quando as tensões de polarização chegaram a valores próximos aos projetados.

Quando aplicada uma tensão igual nas duas entradas de 0,9 V, percebeu-se que com a mudança da tensão de alimentação, houve uma mudança na tensão de modo comum, o que fez com que houvesse uma alteração na tensão de *off-set* do circuito. Tal tensão passou a ser de 1,2 V.

Foi observado também que mesmo variando a tensão na entrada diferencial do amplificador, uma das saídas não alterava a sua tensão. Com isso supõe-se que deve ter ocorrido alguma falha na conexão dessa saída, pois ao testar outras amostras do CI o mesmo ocorreu.

Mesmo sem uma das saídas decidiu-se testar o amplificador como comparador e foi aplicada uma tensão contínua de 1,2 V em uma das entradas e uma tensão alternada de amplitude de 500 mV de pico a pico com um *off-set* de 1,2 V na outra. As formas de onda de entrada e saída do amplificador obtidas no osciloscópio podem ser observadas na figura 5.13.

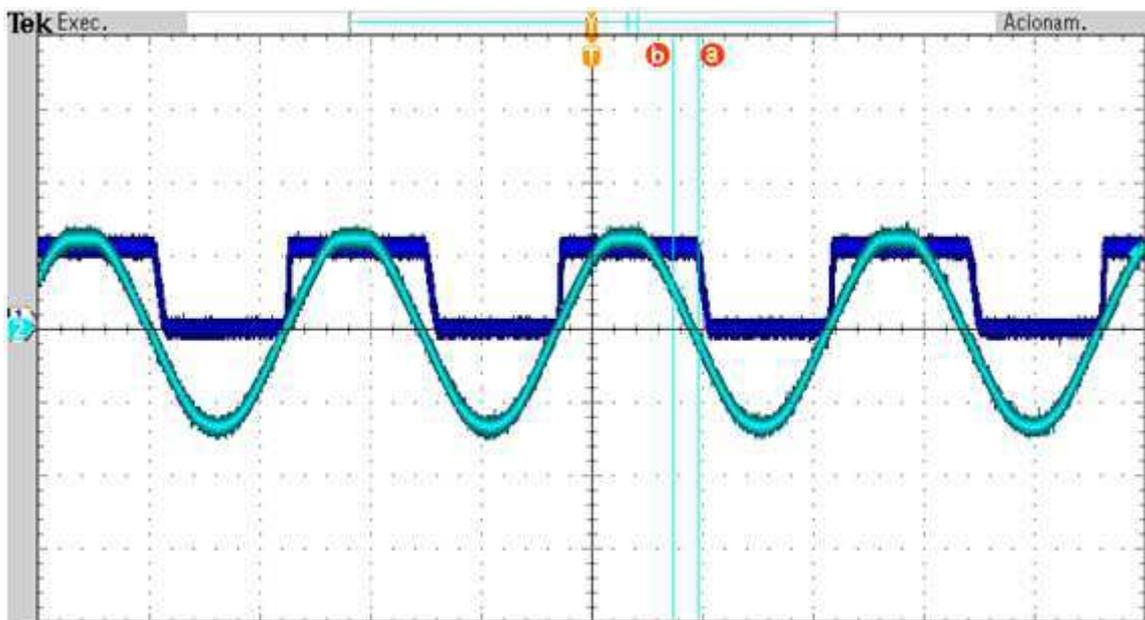


Figura 5.13: Sinais de entrada e saída do amplificador fabricado.

Para os testes, a frequência do sinal de entrada foi sendo variada de 1 kHz até 100 kHz. Embora o amplificador não tenha funcionado por completo, o mesmo pode ser utilizado como um comparador, pois quando aplicados dois sinais para serem comparados, ele apresenta em sua saída uma onda quadrada, como pode ser observado na figura 5.11.

5.4 ADC DE DOBRAMENTO SC FABRICADO

Após recebimento do circuito do conversor enviado para fabricação, observou-se que o mesmo havia sido encapsulado em SMD, sendo necessário

confeccionar uma placa para testá-lo. Na figura 5.14 está apresentada a foto do CHIP confeccionado, tirada a partir de uma mesa de testes com microscópio.

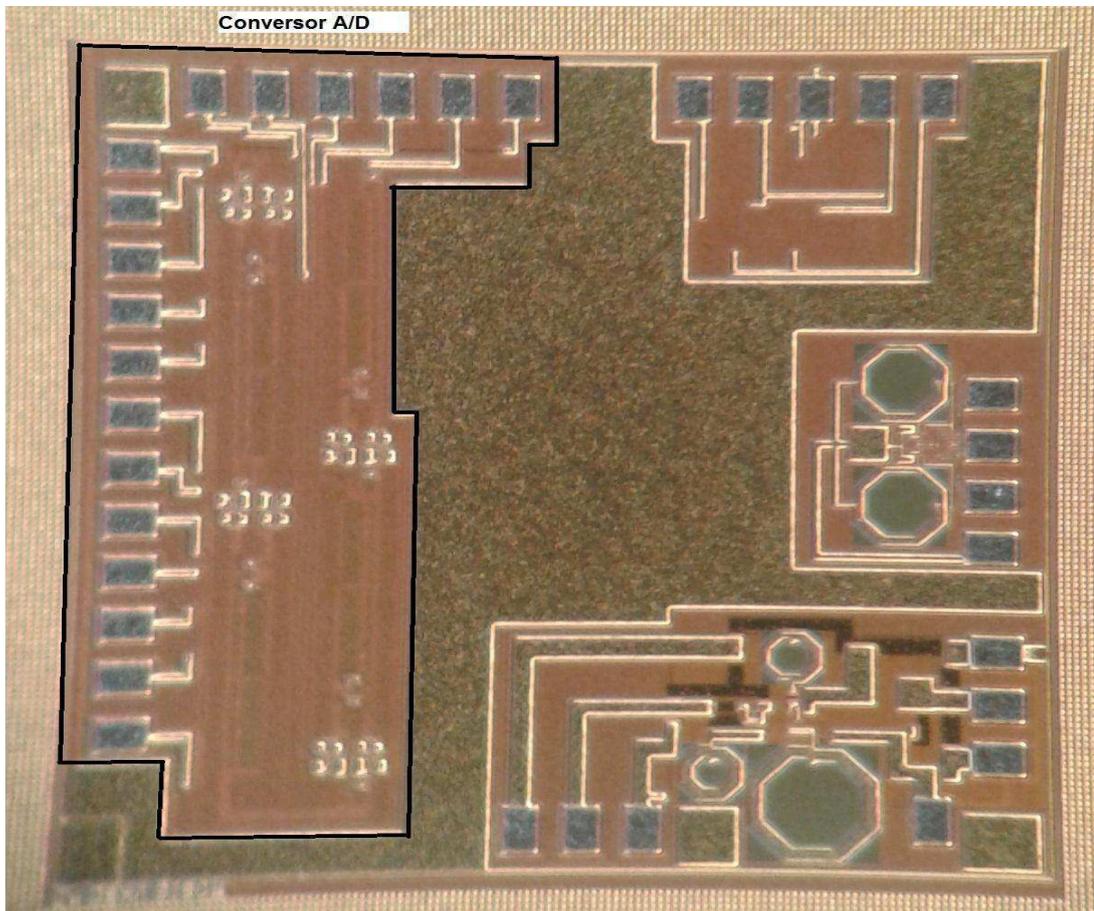


Figura 5.14: CHIP do ADC fabricado pela MOSIS.

Ao alimentar o circuito e aplicar aos seus terminais de entrada (**entradas diferenciais**), dois sinais senoidais de 250 mV de pico, com tensão de *off-set* de 900 mV, frequência de 1 kHz, defasados de 180°, percebeu-se que a saída do comparador do primeiro estágio, não apresentava uma variação de tensão conforme havia sido projetado.

Variando a tensão de alimentação, verificou-se que devido a alguma falha na parte das tensões de referência internas do comparador, a tensão de saída não atingia a sua excursão máxima (uma variação de 0 a 1,8 V). Uma vez que o comparador de entrada do ADC não funciona corretamente e como não tinha há acesso às entradas dos demais circuitos internos, não foi possível continuar os testes.

Após uma análise mais profunda no circuito fabricado, foram observados alguns pontos que podem ter contribuído para o não funcionamento correto do mesmo:

- Da mesma forma que no circuito amplificador, buscando o menor consumo de potência, as correntes dos circuitos foram reduzidos ao máximo, podendo ter ocasionado falhas no funcionamento dos mesmos após a fabricação;
- Foi observado que os PAD foram inseridos no circuito, e que apesar de estarem interligados, não foram conectados ao GND;

5.5 CIRCUITO DO ADC DE DOBRAMENTO SC MONTADO EM LABORATÓRIO

Uma vez que o circuito fabricado não funcionou corretamente, e como já haviam sido montados o circuito gerador de sinais de *clock* não-sobrepostos e o circuito gerador da forma de onda positiva e negativa com *off-set*, para serem aplicadas na entrada do conversor, com o intuito de comprovar o funcionamento prático do mesmo, foi realizada a montagem discreta do conversor de 3 bits utilizando amplificador operacional de entrada diferencial e uma única saída (TL084) e as chaves analógicas (CD4066).

Para cada bit são utilizados sete circuitos integrados CD4066, cada um com quatro chaves analógicas, dez capacitores de 100 pF, e um circuito integrado TL084 que possui quatro amplificadores operacionais, onde dois funcionam como comparador e dois funcionam como amplificador. A placa do circuito de um estágio (um bit) do conversor montado no laboratório pode ser observada na figura 5.15.

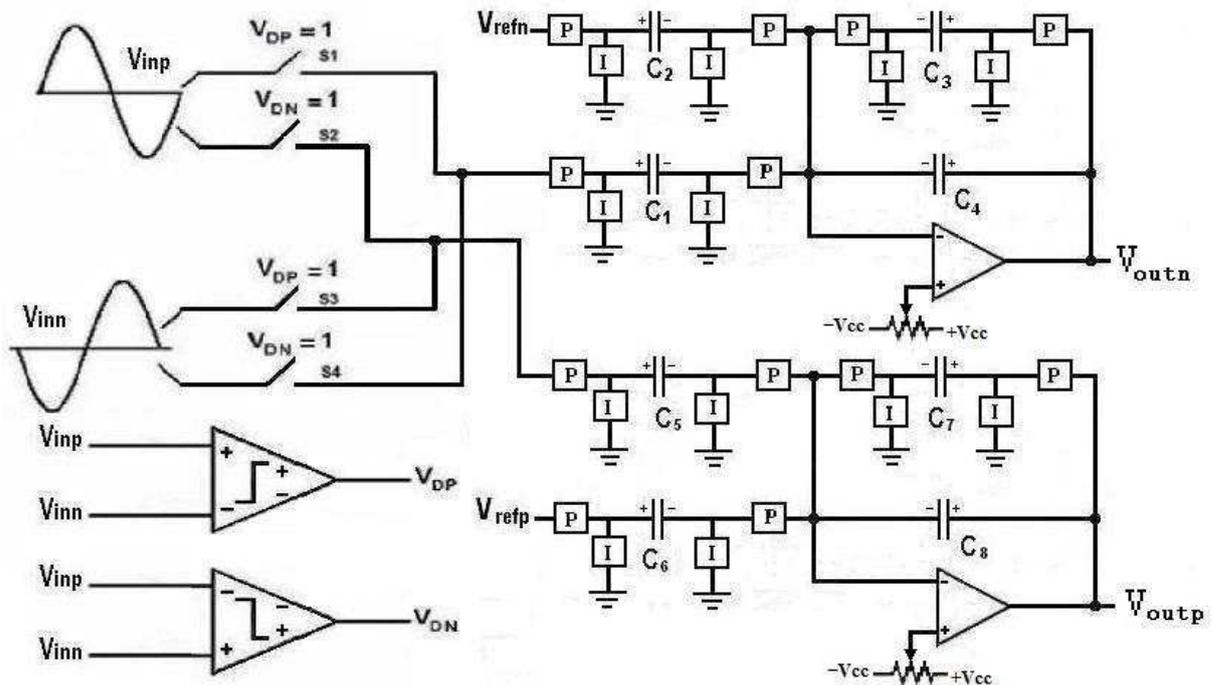


Figura 5.15: Circuito de um estágio do conversor montado em laboratório.

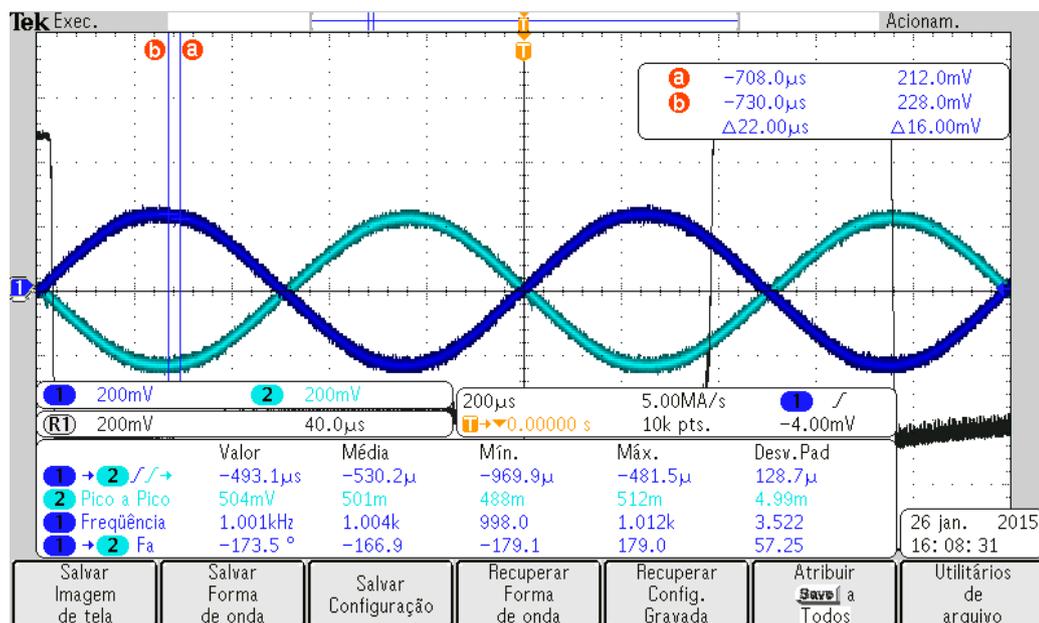


Figura 5.16: Sinais analógicos de entrada do primeiro bloco.

Na figura 5.16 podem ser observadas as formas de onda positiva e negativa que foram aplicadas na entrada do conversor A/D de três bits montado em laboratório. Como pode ser observado, elas possuem a mesma amplitude, mas estão defasadas de 180° .

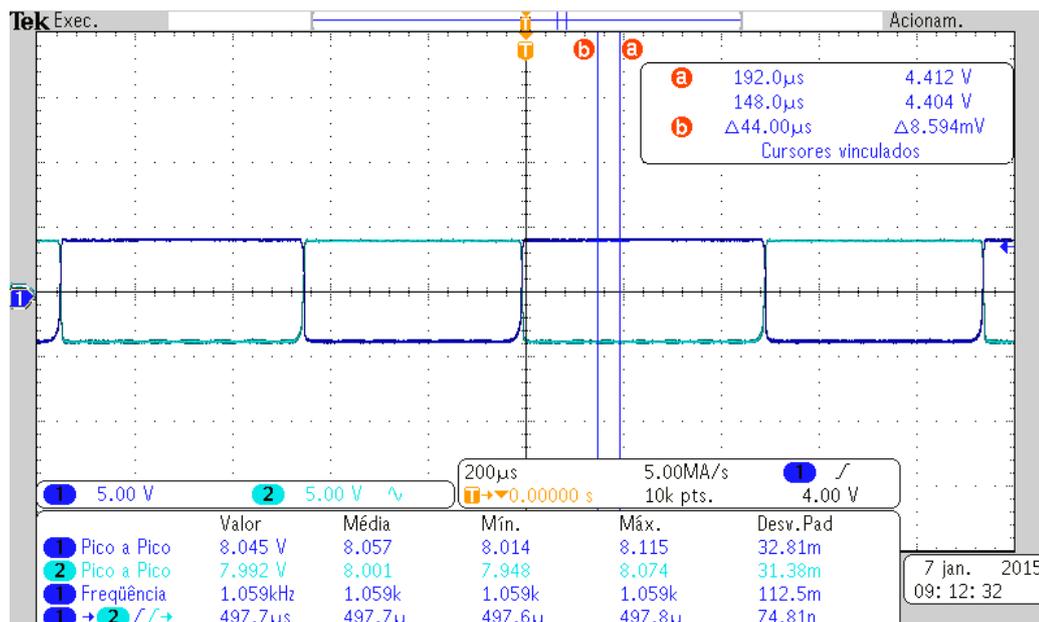


Figura 5.17: Sinais digitais de saída do primeiro bloco.

Na figura 5.17 podem ser observadas as formas de onda digitais em código Gray na saída do primeiro estágio do conversor de dobramento SC montado. Essas formas de onda são utilizadas para reconstruir o sinal analógico, que será enviado para o segundo estágio. Como pode ser observado, elas são o resultado da comparação entre as formas de onda de entrada do primeiro estágio. O mesmo acontece em todos os outros estágios do ADC de dobramento SC.

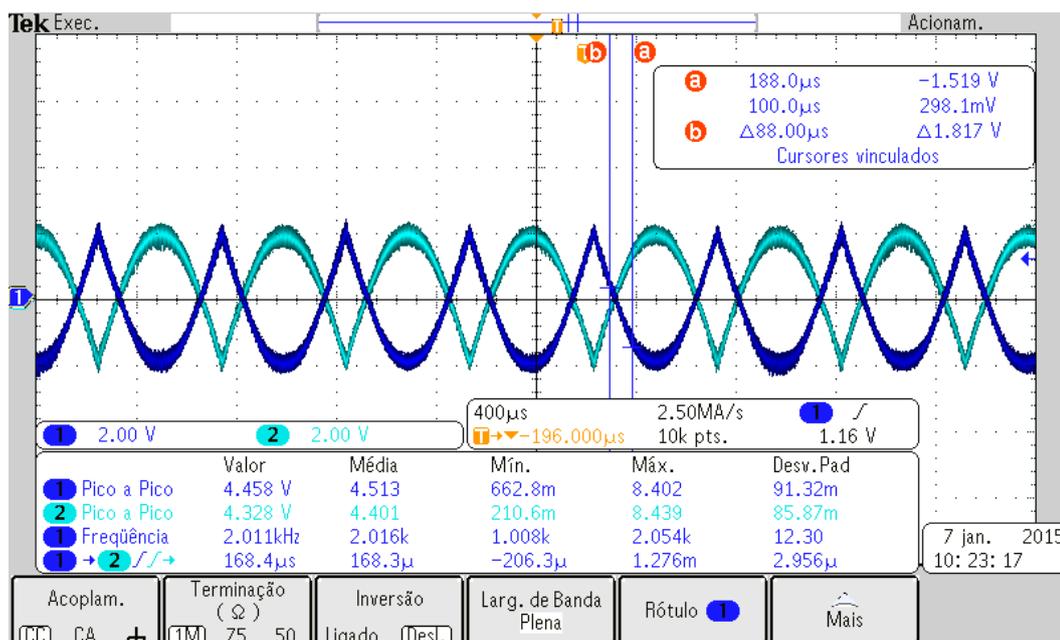


Figura 5.18: Sinais analógicos de saída do primeiro bloco.

Na figura 5.18 podem ser observadas as formas de onda analógicas que foram reconstruídas no primeiro estágio do conversor de dobramento SC e são enviadas para o sub-ADC que se encontra no segundo estágio.

Como pode ser observado, da mesma forma que aconteceu com os sinais adquiridos em simulação do ADC de dobramento nos *softwares* da *Mentor Graphics*, a ondulação decorrente do chaveamento do circuito a capacitor chaveado estão na envoltória da forma de onda que sai de cada estágio.

Na figura 5.19 podem ser observadas as formas de onda digitais de saída do segundo estágio. Essas formas de onda são o resultado da comparação dos sinais analógicos adquiridos na saída do primeiro estágio.

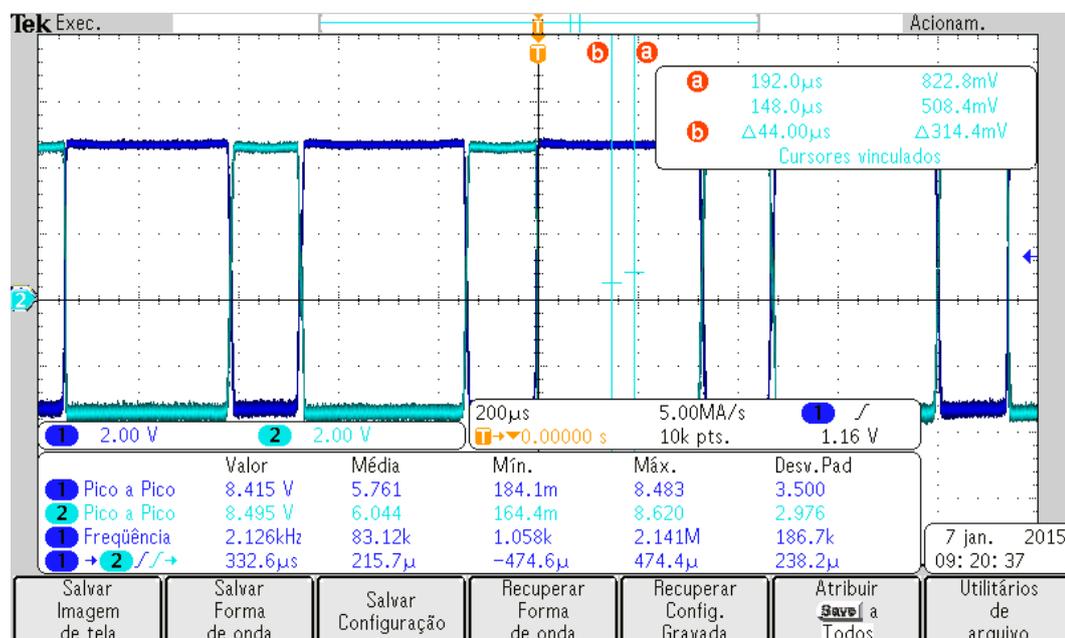


Figura 5.19: Sinais digitais de saída do segundo bloco.

Na figura 5.20 podem ser observadas as formas de onda analógica e digital adquiridas na saída do segundo estágio.

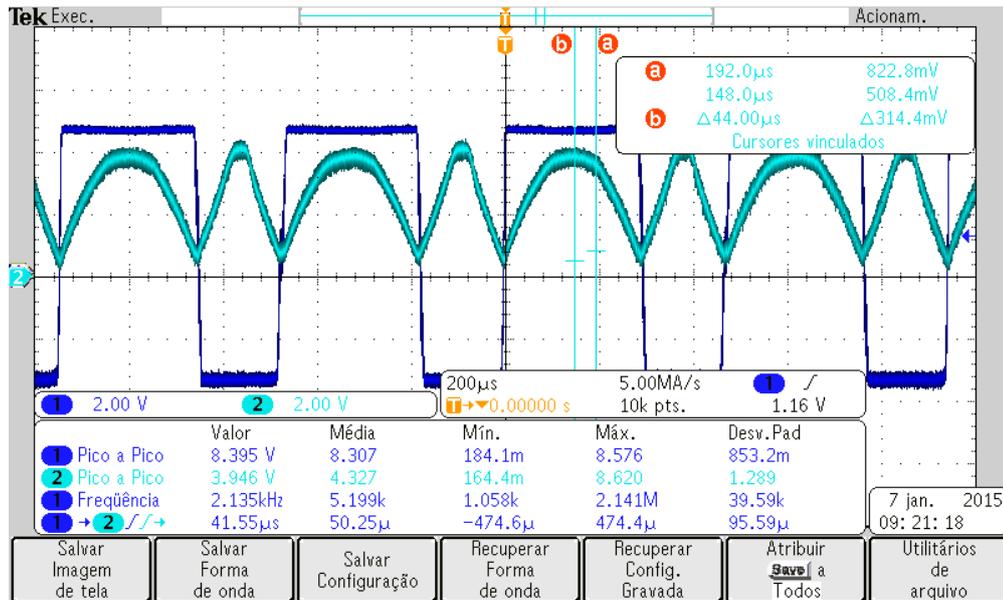


Figura 5.20: Sinais analógico e digital de saída do segundo bloco.

Na figura 5.21 podem ser observadas as formas de onda digitais em código *Gray* adquiridas na saída do conversor de três bits. Essas formas de onda foram adquiridas por uma carta de aquisição. A carta de aquisição é um equipamento de aquisição de dados ligado a um computador para processamento de algum sinal adquirido, as formas de onda adquiridas foram armazenadas no computador para posterior processamento no MATLAB. Na figura 5.22 podem ser observadas as formas de onda binárias resultantes, após passar as formas de onda da figura 5.21 por um decodificador ideal de código *Gray* para binário.

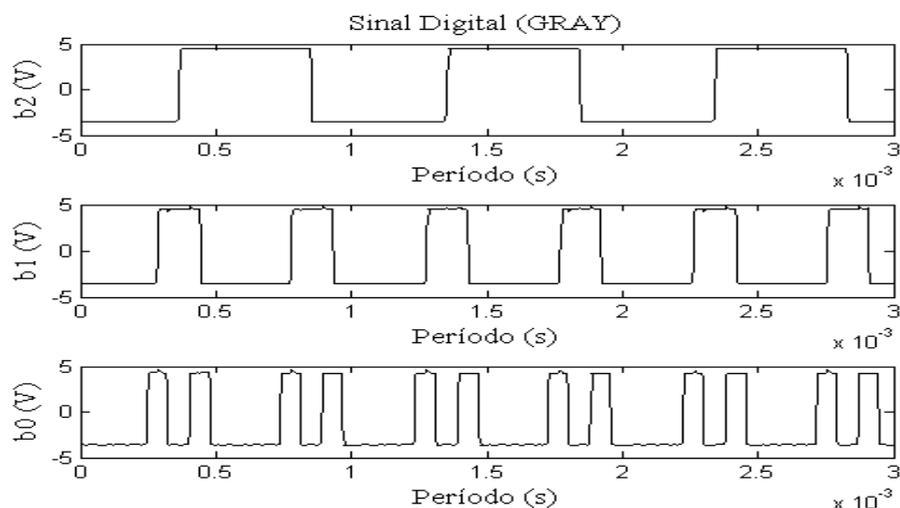


Figura 5.21: Sinais digitais de saída em código *Gray* do ADC de dobramento SC de três bits.

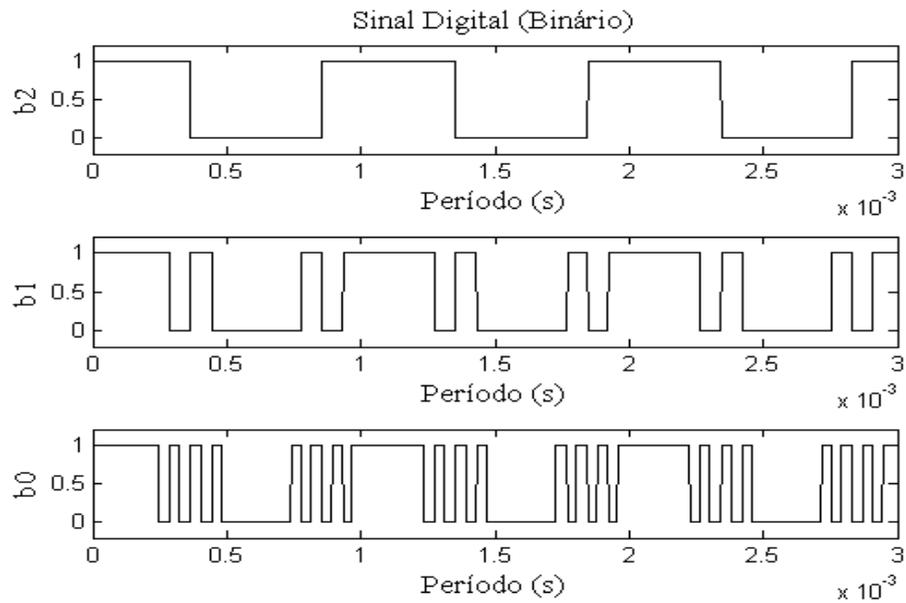


Figura 5.22: Sinais digitais de saída em binário do ADC de dobramento SC de três bits.

Após passar as formas de ondas da figura 5.22 por um conversor D/A ideal, foi possível recuperar o sinal convertido pelo ADC de dobramento SC de três bits, que pode ser observado na figura 5.23. Após aquisição do sinal, o mesmo foi deslocado em amplitude com uma tensão de *off-set* de 250 mV para poder dar uma ideia da real amplitude que o sinal possui com relação ao sinal original que tem amplitude de 250 mV.

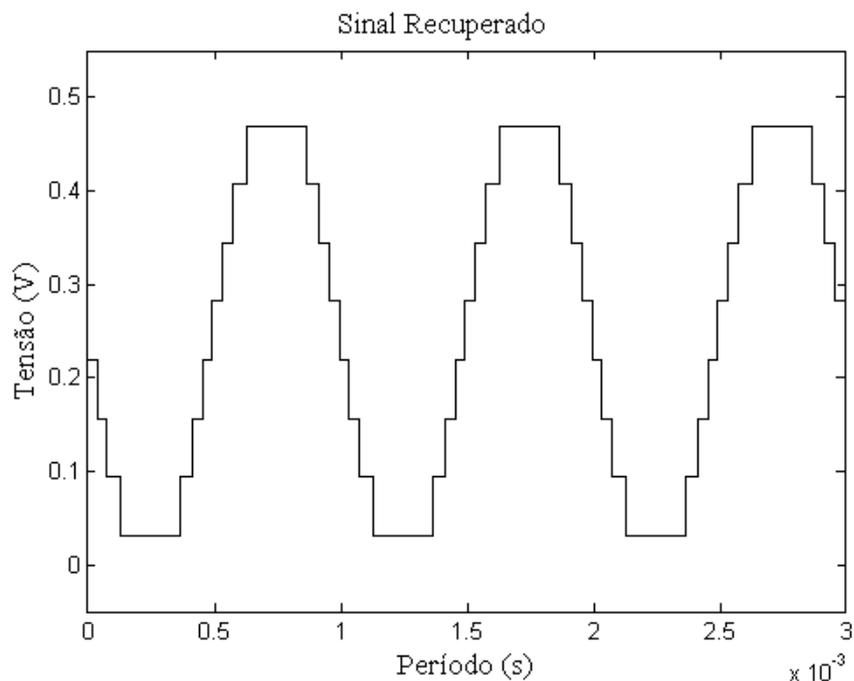


Figura 5.23: Sinal recuperado do ADC de dobramento SC de três bits.

A FFT do sinal adquirido pode ser observada na figura 5.24. A FFT foi calculada utilizando o MATLAB e desconsiderando o sinal de *off-set* existente no sinal adquirido. Como pode ser observado, o valor da amplitude do sinal adquirido é de aproximadamente 230 mV de pico e os valores das amplitudes das harmônicas são menores que 20 mV. Realizando os cálculos de SNDR e ENOB do sinal adquirido experimentalmente, foram obtidos os valores de 18,06 dB e 2,71 bits, respectivamente.

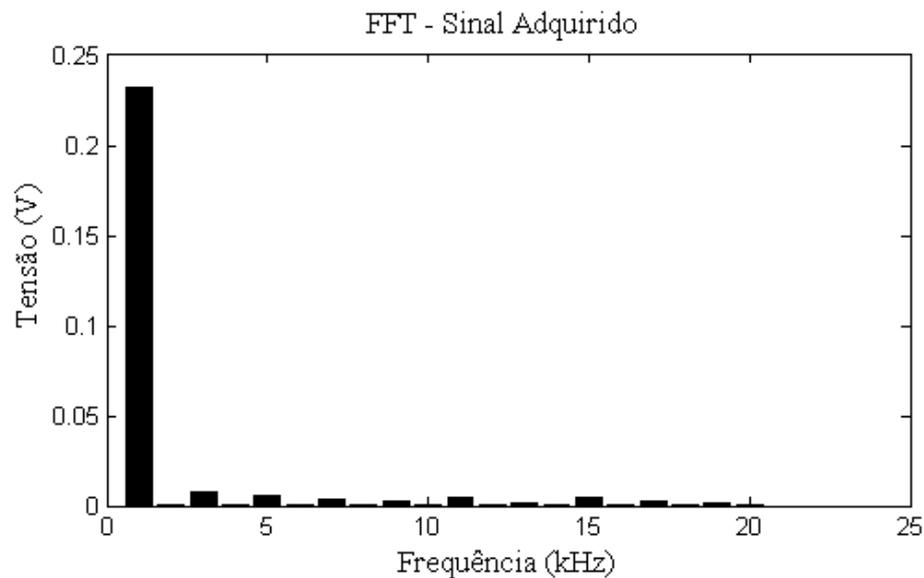


Figura 5.24: FFT do sinal recuperado do ADC de dobramento SC de três bits.

Realizando a simulação do circuito ADC de dobramento SC projetado com apenas três bits e aplicando um sinal senoidal de 250 mV de pico, com um *off-set* de 900 mV e uma frequência de 1 kHz, foi adquirido o sinal em código *Gray* para posterior processamento. O sinal em código *Gray* pode ser observado na figura 5.25. Passando os sinais da figura 5.25 por um decodificador de código *Gray* para binário ideal foi possível obter os sinais binários resultantes que podem ser observados na figura 5.26.

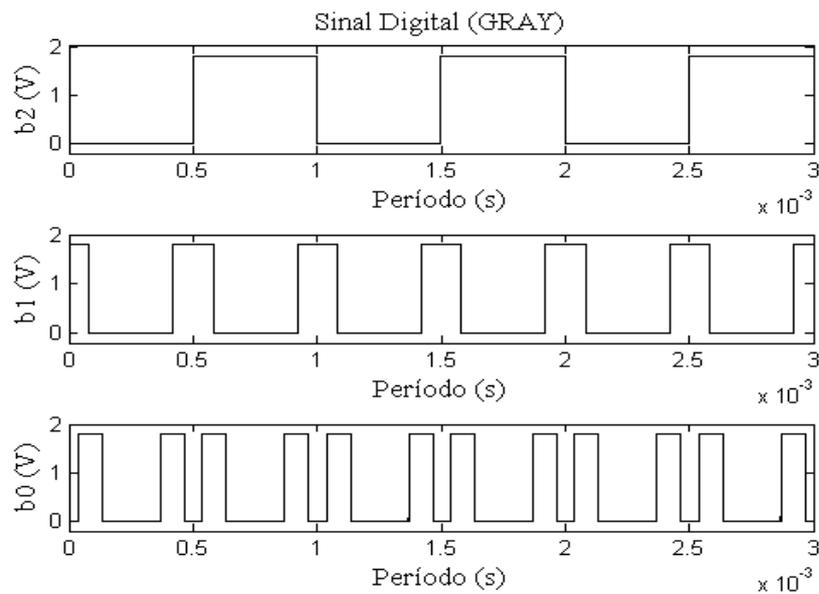


Figura 5.25: Sinais digitais de saída em código Gray do ADC de três bits simulado.

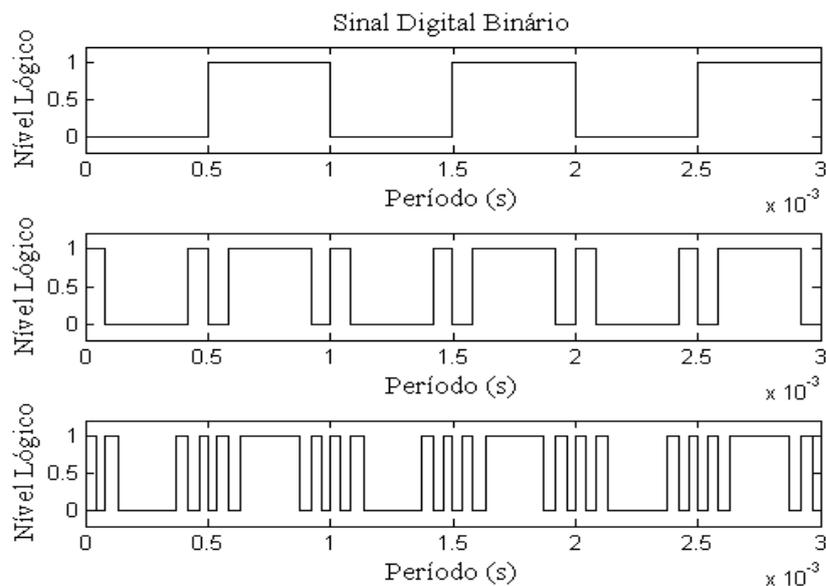


Figura 5.26: Sinais digitais de saída em binário do ADC de três bits simulado.

Após passar as formas de ondas da figura 5.26 por um conversor D/A ideal, foi possível recuperar o sinal convertido pelo ADC de dobramento SC de três bits, que pode ser observado na figura 5.27. Da mesma forma que anteriormente, foi aplicado um *off-set* de 250 mV para poder dar uma ideia da real amplitude que o sinal possui com relação ao sinal original que tem amplitude de 250 mV.

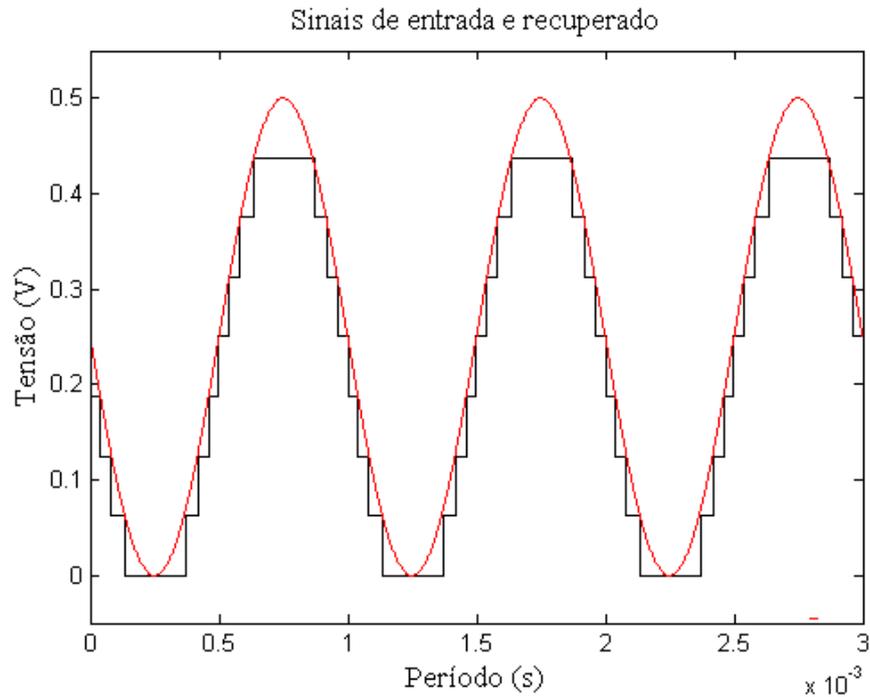


Figura 5.27: Sinais de entrada e recuperado do conversor A/D SC de três bits.

A FFT do sinal simulado pode ser observada na figura 5.26. Como pode ser observado, as harmônicas do sinal simulado possuem valores próximos dos adquiridos em laboratório. Por meio da FFT foi possível calcular o SNDR e o ENOB para o conversor simulado, que foi de 19,05 dB e 2,87 bits, respectivamente. Como pode ser observado, os valores obtidos experimentalmente de SNDR e ENOB resultaram em valores bastante próximos dos valores obtidos em simulação, o que comprova a aplicabilidade do circuito do ADC de dobramento SC projetado.

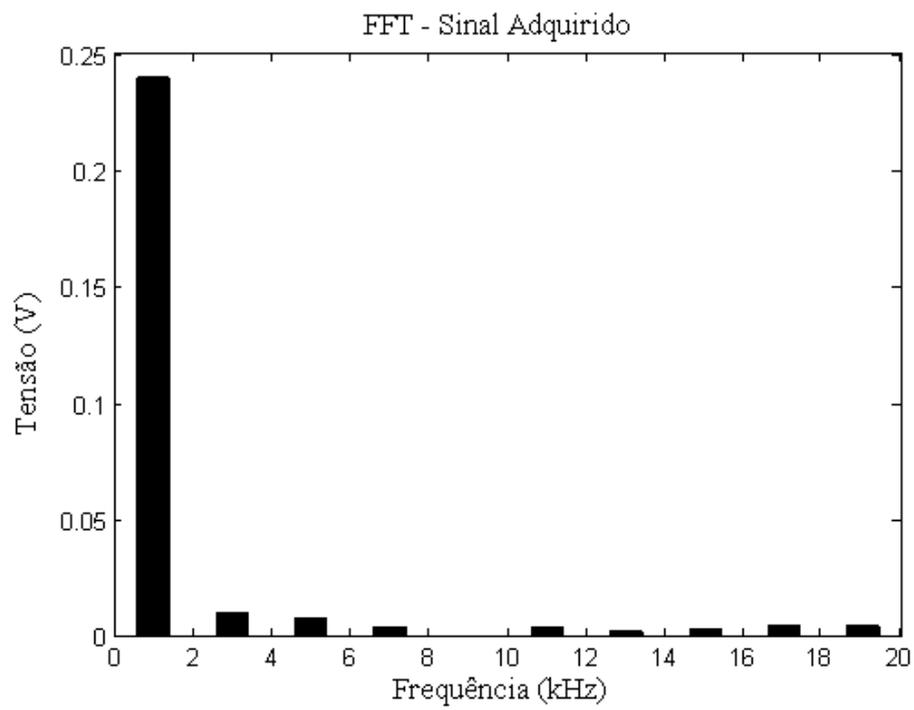


Figura 5.28: FFT do sinal recuperado em simulação do ADC de dobramento SC de três bits.

Capítulo 6

6 CONCLUSÕES GERAIS

Ao longo deste trabalho, foi desenvolvida a proposta de um conversor A/D de dobramento baseado nos circuitos a capacitor chaveado, com resolução de 8 bits e que utilizasse a amostragem por cruzamento de níveis.

O conceito do ADC de dobramento proposto foi validado tanto por simulações do circuito com 8 bits, utilizando os *softwares* da *Mentor Graphics* e da *Cadence* além de experimentos de um circuito real com três bits. Todos estes resultados podem ser observados no capítulo 5.

Desta forma, verificou-se que o conversor de dobramento utilizando os circuitos a capacitor chaveado possui melhores resultados de consumo e SNDR que o conversor A/D que utiliza resistores, quando ambos são construídos com os mesmos circuitos básicos. A SNDR e o consumo do conversor A/D de dobramento SC foram respectivamente 45,8 dB e 2,5 mW com um tempo de atraso de 90,9 ns, enquanto que a SNDR e o consumo do conversor A/D de dobramento utilizando resistores foram respectivamente 41,0 dB e 11,9 mW.

Em simulações no *software* da *Cadence*, o novo conversor A/D de dobramento SC completo, inclusive com todos os circuitos de polarização, apresentou SNDR de 44,67dB com um consumo de 19 mW. Além disso, o tempo de atraso total para realização de uma conversão foi de 90 ns. Na tabela 6.1 pode ser observado um resumo comparativo deste trabalho com outras arquiteturas desenvolvidas.

Tabela 6.1: Tabela comparativa dos resultados obtidos em simulação.

Parâmetros	SUNG <i>et al.</i> , 2006	SUMANEN e HALOIZEIZ, 2006	ZHAODONG e ZHIQUN, 2011	AHMED <i>et al.</i> , 2012	Este Trabalho
Arquitetura	<i>Pipeline</i> Corrente chaveada	<i>Pipeline</i>	<i>Pipeline</i>	<i>Pipeline</i>	<i>Folding</i> Capacitor chaveado
Tecnologia	0,35 µm 2P4M	0,35 µm BICMOS	0,18 µm CMOS	0,18 µm CMOS	0,18 µm CMOS
Tensão de alimentação	3,3 V	2,7 V	1,8V	1,8 V	1,8 V
Resolução	7 bits	6 bits	7 bits	10 bits	8 bits
ENOB	6,68 bits	5,69 bits	6,5 bits	9,4 bits	7,12 bits
Tempo de conversão	30,3 ns	65,1 ns	62,5 ns	20 ns	90 ns
Consumo de potência	276 mW	12 mW	3,7 mW	3,9 mW	19 mW
SNDR	42 dB	36 dB	40,9 dB	58,2 dB	44,67 dB

O ADC de dobramento tem por característica básica dobrar a frequência do sinal analógico existente na entrada de cada bloco e, portanto, é necessária a existência de um amplificador e comparador com uma larga banda passante, de modo que também possam ser rápidos. O ajuste dos diversos parâmetros do

conversor mostrou ser algo de razoável complexidade, por requerer uma combinação ótima de valores de modo a obter um equilíbrio entre desempenho, banda passante de grande largura e consumo.

Nas respostas obtidas por meio do *software* da *Cadence*, observa-se que os sinais analógicos reconstruídos pelo sub-DAC de cada bloco apresentam muito ruído. Isto se deve ao processo de chaveamento, bem como ao ganho e a resposta em frequência do circuito amplificador que precisam ser altíssimos. Buscando melhorar a resposta do conversor foram feitas varias modificações nos circuitos comparadores e amplificadores; neste sentido, o comparador com histerese e o amplificador operacional de transcondutância obtiveram melhores resultados.

Finalmente, foram apresentados os resultados obtidos em laboratório e por simulação para o conversor A/D de dobramento SC de três bits. Observa-se que os resultados obtidos foram bem próximos, como já era esperado. O conversor A/D de dobramento SC obteve um SNR de 19,05 dB e com isso um ENOB de 2,87 bits em simulação, enquanto em laboratório ele obteve um SNR de 18,06 dB e ENOB de 2,71 bits.

6.1 TRABALHOS FUTUROS

- Realizar um estudo sobre os melhores amplificadores e comparadores a serem utilizados nos conversores A/D de dobramento SC, que atendam melhor as especificações de alta velocidade, banda passante e consumo.
- Projeto, análise e implementação do conversor com a utilização de sinais de *clock's* não-sobrepostos múltiplos para cada bloco de modo a minimizar os efeitos do chaveamento dos circuitos a capacitor chaveado.
- Projeto, análise e implementação de uma versão com 1,5 bit/estágio e 2,5 bit/ estágio, de modo a melhorar o desempenho do conversor;
- Realizar um estudo comparativo do circuito implementado com outro, utilizando circuitos a corrente chaveada.

6.2 TRABALHOS PUBLICADOS

- 1) COSTA, W. E. M.; RODRIGUES, S. A.; FREIRE, R. C. S.; CATUNDA, S. Y. *8-bit Folding ADC Based on Switched Capacitor*. International Instrumentation Measurement Technology Conference – I2MTC, pp. 1559 – 1563, Maio 2013.
- 2) COSTA, W. E. M.; RODRIGUES, S. A.; FREIRE, R. C. S.; CATUNDA, S. Y. *A 8-bit Folding ADC Based on Switched Capacitor Circuits*. 19th IMEKO TC-4 Symposium Measurements of Electrical Quantities, pp. 468 – 473, Julho 2013.
- 3) REIS, V. L., COSTA, W. E. M.; FREIRE, R. C. S.; DE ASSIS, F. M.; SANTANA, E. *$GF(2^4)$ multiplier in hardware using discrete neural network*. International Instrumentation Measurement Technology Conference – I2MTC, 2014, pp. 1144 – 1147, Maio 2014.
- 4) DUARTE, R. M.; VILLANUEVA, J. M. M.; COSTA, M. M.; CATUNDA, S. Y. C. COSTA, W. E. M., *Ultrasonic time of flight estimation for wind speed measurement based on time-frequency domain using STFT*, 19th IMEKO TC-4 Symposium Measurements of Electrical Quantities, pp. 72 – 76, Julho 2013.
- 5) COSTA, W. E. M.; FREIRE, R. C. S.; SOUSA, F. R. *A 180nm Asynchronous Folding ADC Based on Switched Capacitor*, **Advances in Electronics - Hindawi Publishing Corporation**, 2015 (Submetido para publicação).

REFERÊNCIAS BIBLIOGRÁFICAS

AESCHLIMANN, F. ; *Traitement du Signal Échantillonné non Uniformément: Algorithme et Architecture*. PhD Thesis, Institut National Polytechnique de Grenoble. February 2006.

AHMED, I.; MULDER, J.; JOHNS, D. A.; *A low-Power Capacitive Charge Pump Based Pipelined ADC*, IEEE Journal of Solid-State Circuits, vol. 45, no. 5, 2010.

AHMED, I.; *Pipelined ADC Design and Enhancement Techniques, Analog Circuits and Signal Processing*. USA: Springer Heidelberg, 2010. 211 s. ISBN 978-90-481-8652-5.

ALLEN, P. E.; HOLBERG D. R.; *CMOS Analog Circuit Design*. 2^a ed.. Oxford University Press, Inc.. New York, 2002.

ALLIER, E.; SICARD, G.; FESQUET, L.; RENAUDIN, M.; *A New Class of Asynchronous A/D Converters Based On Time Quantization*. Proceedings of the Ninth International Symposium on Asynchronous Circuits and Systems (ASYNC'03). May 2003, Vancouver, Canadá.

ASHRY, A.; ABOUSHADY, H.; *A 4th Order 3.6 GS/s RF $\Sigma\Delta$ ADC With a FoM of 1 pJ/bit*, IEEE Transactions on Circuits and Systems—I: Regular Papers, vol. 0, pp. 1-12, 2013.

BEZERRA, T. B.; *Desenvolvimento de um Conversor A/D Integrador com Faixa de Entrada e Resolução Programável a Capacitor Chaveado*. 2012. 102 f. Dissertação (Mestrado em Engenharia de Eletricidade) – Universidade Federal do Maranhão. São Luís, 2012.

BLAIR, J. *Histogram Measurement of ADC Nonlinearities Using Sine Waves*, IEEE Transactions on Instrumentation and Measurement, v. 43, n. 3, pp. 373_383, jun. 1994.

BOSSCHE, M.; SCHOUKENS, J.; RENNEBOOG, J.; *Dynamic Testing and Diagnostics of A/D Converters*. IEEE Transactions on Circuit and Systems, vol. CAS-33, 1996.

CHEN, C.; WU, J.; HUNG, J.; LI, T.; *A 12-Bit 3 GS/s Pipeline ADC With 0.4 mm² and 500 mW in 40 nm Digital CMOS*, IEEE Journal of Solid-State Circuits, vol. 47, no. 4, pp. 1013-1021, 2012.

DOERNBERG, J.; *Full-Speed Testing of A/D Converters*. IEEE Journal of Solid-State Circuits, pp. 820-827, vol SC-19, n° 6, 1984.

DONDI, S.; VECCHI, D.; BONI, A.; BIGI, M.; *A 6-bit, 1.2 GHz Interleaved SAR ADC in 90 nm CMOS*. Conference on Ph.D. Research in Microelectronics and Electronics (PRIME). Set. 2006.

FRANÇA, J. A.; *Sistemas de Aquisição de Dados Baseados em Microcontrolador*. 1997. 96 f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal da Paraíba. Campina Grande, 1997.

GONZÁLEZ, J. O.; *Filtro a capacitor chaveado para implantes cocleares utilizando a tecnologia CMOS 0,6 μm* . 2011. 61 f. Dissertação (Mestrado em Engenharia Elétrica) – Universidade Federal de Itajubá. Itajubá, 2011.

GREGORIAN, R.; MARTIN, K. W.; TEMES, G. C. *Switched-Capacitor Circuit Design*. in Proc. Of the IEEE, vol. 71, N^o. 8, pp. 941-966, August 1983.

GUPTA, M.; *Design Switched Capacitor Filter Sub Circuits Using 0.35 μ Micron MAS Technology*. In: 2nd International Conference o Mechanical and Electronics Engineering (ICMEE), pp. V1-6 – V1-9, 2010.

HAN, J. *et al.*; *A 10-b 500MS/s CMOS Cascaded Folding A/D Converter with a Hybrid Calibration and a Prevision Error Correction Logic*, 2011 IEEE 9th International New Circuits and Systems Conference (NEWCAS), 2011.

HARPE, P. J. A. *et al.*; *A 26 μW 8 bit 10 MS/s Asynchronous SAR ADC for Low Energy Radios*, IEEE Journal of Solid-State Circuits, vol. 46, no. 7, pp. 1585 – 1595, 2011.

HUANG, Y.; LEE, T.; *A 10-bit 100MS/s 4.5-mW Pipelined ADC With a Time-Sharing Technique*, IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, no. 6, pp. 1157-1166, 2011.

IEEE Std. 1057-1994; *IEEE Standard for Digitizing Waveform Recorders*, 1994 (Revisado 2007).

IEEE Std. 1241-2000; *IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*. IEEE, 2001, ISBN 0-7381-2724-8 (Revisado 2010).

JESPERS, P. G. A.; *Integrated Converters: D to A and A to D Architectures, Analysis and Simulations*. OXFORD University Press, 2001, ISBN: 978-0-19-856446-1.

KESTER, W.; *The Data Conversion Handbook*. Analog Devices, Inc., Newnes, 2005.

KIM, J.; LIMOTYRAKIS, S.; YANG, C. K.; *Multilevel Power Optimization of Pipelined A/D Converters*, IEEE Transactions on Very Large Scale Integration (Vlsi) Systems, Vol. 19, no. 5, 2011.

LAD, K.; BHAT, M. S.; *A 1-V 1-GS/s 6-bit Low-Power Flash ADC in 90-nm CMOS with 15.75 mW Power Consumption*, 2013 International Conference on Computer Communication and Informatics (ICCCI -2013), pp. 1-4, 2013.

LANG, F. *et al.*; *A 6 bit 25 GS/s Flash Interpolating ADC in 90 nm CMOS Technology*, 2011 7th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), pp. 117–120, 2011.

LEE, C. C.; FLYNN, M. P.; *A SAR-Assisted Two-Stage ADC*, IEEE Journal of Solid-State Circuits, vol. 46, no. 4, pp. 859-869, 2011.

LEI, W.; TAOTAO, Y.; TINGTING, M.; CUI, M.; *A 14-b 2MSPS Low Power Sigma-Delta ADC Using Feed-Forward Structure*, 2011 Third International Conference on Measuring Technology and Mechatronics Automation, pp. 3–5, 2011.

LU, C.; TUNG, W.; *A 1.5V 12-b 40 MSamples/s CMOS Pipelined ADC*, Proceedings of 2010 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 4045–4048, 2010.

MALOBERTI, F.; *Data Converters*. Published by Springer, Dordrecht, The Netherlands, 2007.

MARK, J. W.; TODD, T. D.; *A Non-uniform Sampling Approach to Data Compression*. IEEE Transactions on Communications COM-29(1): 24-32. 1981.

MULDER, J. *et al.*; *An 800MS/s dual-residue pipeline ADC in 40nm CMOS*, 2011 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), pp. 184-186, 2011.

NYQUIST, H.; *Certain Topics in Telegraph Transmission Theory*. Trans. Am. Inst. Electr. Eng., vol. 47, pp. 617–644, Feb. 1924.

PLASSCHE R. J. van de.; *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*. 2nd ed., Boston, MA, Kluwer, 2003.

RAZAVI, B.; *Design of Analog CMOS Integrated Circuits*. Ed. McGraw-Hill, 2001.

RAZAVI, B.; *Principles of Data Conversion System Design*. New York: IEEE Press, 1995, ISBN: 978-0-7803-1093-3.

- RODRIGUES, S. A. *et al.*; *A Clock-Less 8-bit Folding A/D Converter*, In: LASCAS 2010, 2010, Foz do Iguaçu. Proceedings of LASCAS 2010, 2010. p. 28-31. 2010.
- RODRIGUES, S. A.; *Conversor Analógico-Digital Assíncrono*. 2011. 137 f. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Campina Grande. Campina Grande, 2011.
- SAYINER, N.; SORENSEN, H. V.; VISWANATHAN, T. R.; *A Level Crossing Scheme for A/D Conversion*. IEEE Transactions on Circuits and Systems II 43(4): 335-339. 1996.
- SEDRA, A. S.; SMITH, K. C.; *Microeletrônica*, 4ª ed., São Paulo: Makron Book, 2004.
- STEPANOVIĆ, D.; NIKOLIĆ, B.; *A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS*, IEEE Journal of Solid-State Circuits, vol. 48, no. 4, pp. 971-982, 2013.
- STROEBLE, O.; DIAS, V.; SCHWOERER, C.; *An 80MHz 10b Pipeline ADC with Dynamic Range Doubling and Dynamic Reference Selection*. IEEE International Solid-State Circuits Conference, Feb. 2004.
- SUNG, G., TZENG, J., LIAO, C., SHU, S., “*A Low-power 7-b 33-Msamples/s Switched-current Pipelined ADC for Motor Control*”, IEEE Circuit and System, Dec. 2006 :171 – 174.
- SUMANEN, L.; HALOIZEIZ, K., “*A single-amplifier 6-bit CMOS pipeline A/D converter for WCDMA receivers*”, Circuits and Systems, ISCAS 2006, IEEE International.
- TSENG, C. *et al.*; *A 10-b 320-MS/s Stage-Gain-Error Self-Calibration Pipeline ADC*, IEEE Journal of Solid-State Circuits, vol. 47, no. 6, PP. 1334–1343, 2012.
- WEN, X. *et al.*; *A 12b 60MS/s SHA-Less Opamp-Sharing Pipeline A/D with Switch-Embedded Dual Input OTAs*, 2012 IEEE International Symposium on [Circuits and Systems \(ISCAS\)](#), pp. 802-805, 2012.
- WESTE, N. H. E.; ESHRAGHIAN, K.; *Principles of Cmos VLSI Design*. 2ª ed. USA. AT&T, 1993.
- ZARGAR, A. M. *Successive Approximation Analog to Digital Converter*, University San José State, 2010 By Team Number 7 Nila Barot Committee Members.
- ZHAODONG, Z.; ZHIQUN, L. “*A 7-Bit 16-MS/s Low-Power CMOS Pipeline ADC*”, In: 13th IEEE International Conference on Communication Technology (ICCT), pp. 1082-1085, 2011.

APÊNDICE A

Neste apêndice serão tratadas as particularidades dos projetos dos circuitos internos dos conversores A/D usando tecnologia CMOS. Os blocos dos conversores foram implementados em nível de transistor utilizando uma tecnologia padrão de 0,35 μm . A utilização dessa tecnologia deveu-se ao fato de os conversores operarem com sinais de baixa frequência nas simulações.

Os circuitos do conversor projetado neste trabalho são formados basicamente por amplificadores, comparadores, chaves e capacitores, além de circuitos auxiliares como os circuitos digitais e as fontes de tensão de referência que serão utilizadas no conversor.

Para o desenvolvimento do projeto proposto neste trabalho serão realizadas simulações computacionais e uma série de análises minuciosas sobre os pontos mais relevantes para o levantamento dos parâmetros e a implementação do conversor A/D em tecnologia CMOS 0,35 μm .

A.1 PROJETO DOS CIRCUITOS INTERNOS DO ADC DE DOBRAMENTO

A.1.1 CIRCUITOS DIGITAIS

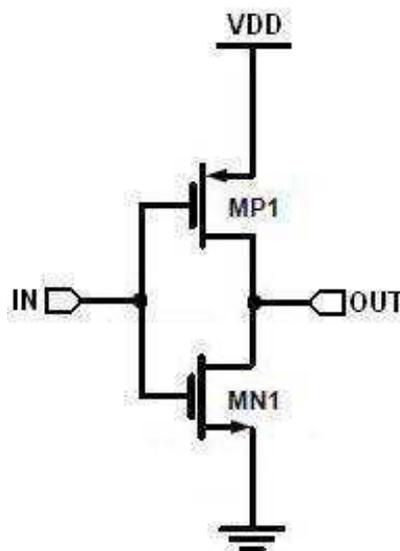
Para o desenvolvimento de alguns circuitos digitais do conversor, foram projetados algumas portas lógicas básicas em nível de transistores. Os circuitos digitais projetados foram: inversor, portas NAND e XOR e LATCH. Como os transistores NMOS possuem característica de serem duas vezes mais rápidos do que os transistores PMOS, decidiu-se fazer com que a largura dos transistores do tipo PMOS seja duas vezes maior do que a dos transistores NMOS. Buscando fazer com que o chip final seja o menor possível decidiu-se utilizar o comprimento de 0,18 μm para todos os transistores. Os valores das dimensões dos transistores utilizados nos circuitos digitais projetados podem ser observados na Tabela A.1.

Tabela A.1: Dimensão dos transistores utilizados nos circuitos digitais projetados.

Transistores	W (μm)	L (μm)
NMOS	3	0,18
PMOS	6	0,18

A.1.1.1 INVERSOR

Os circuitos lógicos inversores fazem parte dos circuitos a capacitor chaveado onde eles são utilizados para realizar a inversão dos pulsos das fases que controlam as chaves do conversor. Eles também são utilizados no circuito decodificador de *Gray* para binário. O circuito inversor com dois transistores, um NMOS e um PMOS utilizado, pode ser observado na figura A.1. Os nomes MN e MP denotam transistores NMOS (transistores de efeito de campo de metal-óxido-semicondutor tipo N) e PMOS (transistores de efeito de campo de semicondutores metal-óxido-semicondutor tipo P), respectivamente. Tipo N e tipo P querem dizer que o canal do transistor é tipo N (Negativo) ou tipo P (Positivo) (RAZAVI, 2001). A análise no domínio do tempo do circuito inversor pode ser observada na figura A.2.

**Figura A.1: Inversor.**

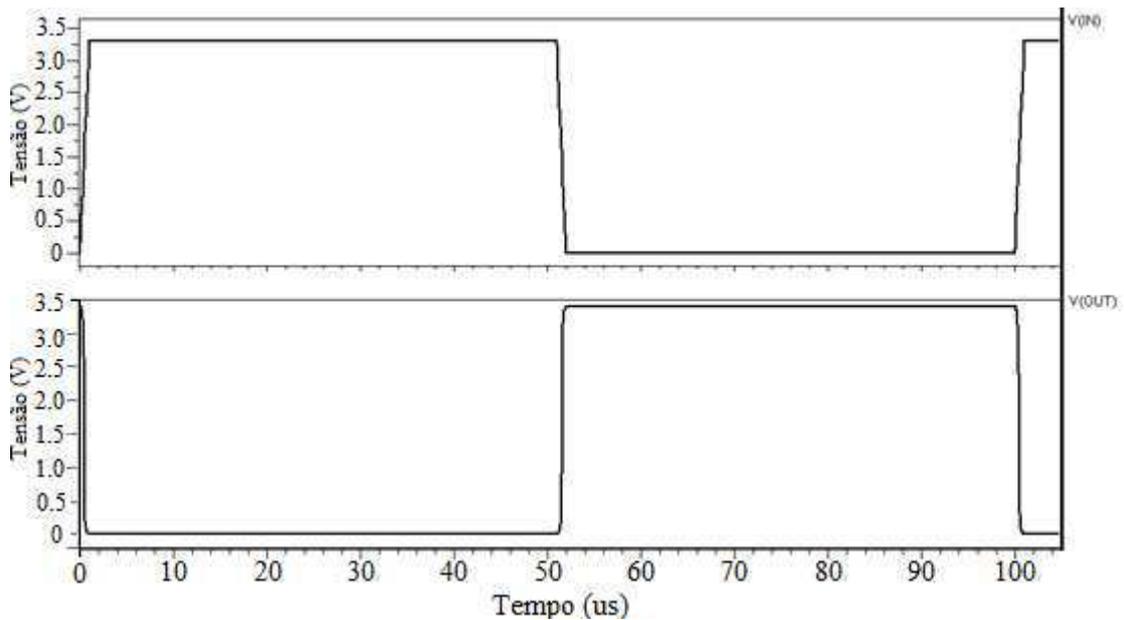


Figura A.2: Análise no domínio do tempo do circuito inversor.

A.1.1.2 NAND

As portas lógicas NAND também fazem parte dos circuitos a capacitor chaveado, sendo utilizadas nos circuitos geradores de sinais de *clock* não-sobrepostos. A porta lógica NAND projetada pode ser observada na figura A.3. A análise no domínio do tempo da porta lógica NAND pode ser observada na figura A.4.

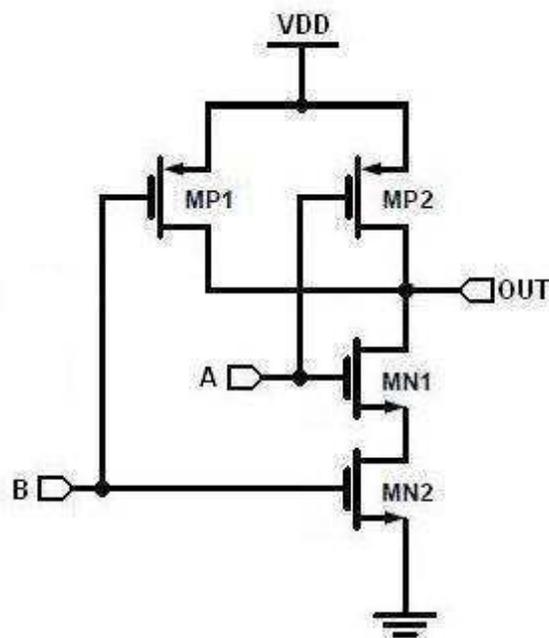


Figura A.3: Porta lógica NAND.

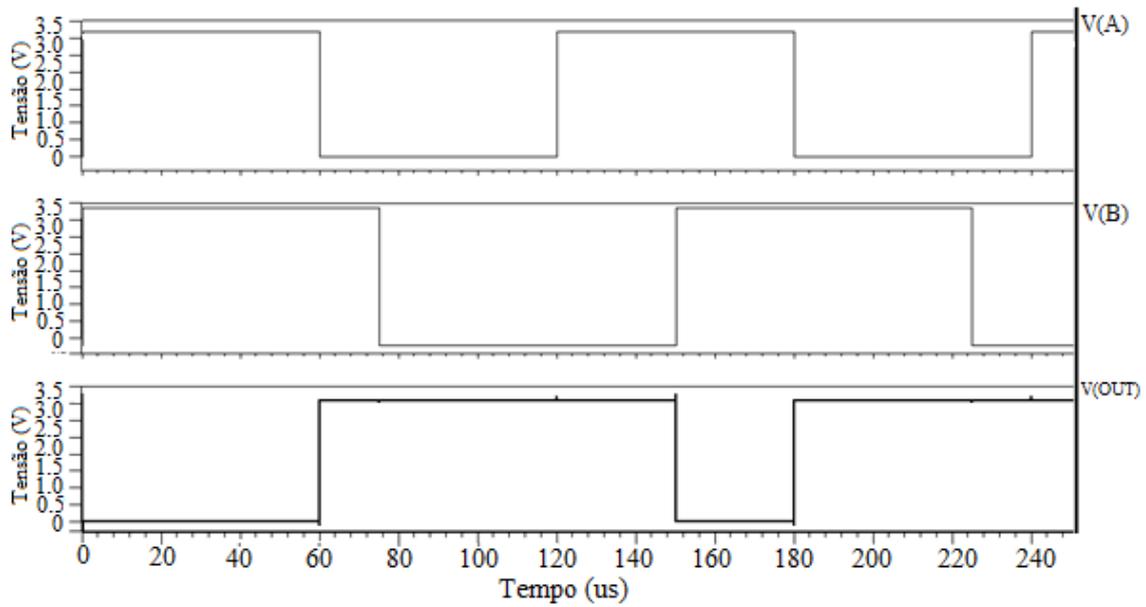


Figura A.4: Análise no domínio do tempo da porta lógica NAND.

A.1.1.3 XOR

As portas lógicas XOR ou OU-EXCLUSIVO também fazem parte do conversor, sendo utilizadas no circuito decodificador de código *Gray* para binário. A porta lógica XOR projetada pode ser observada na figura A.5. A análise no domínio do tempo da porta lógica XOR pode ser observada na figura A.6.

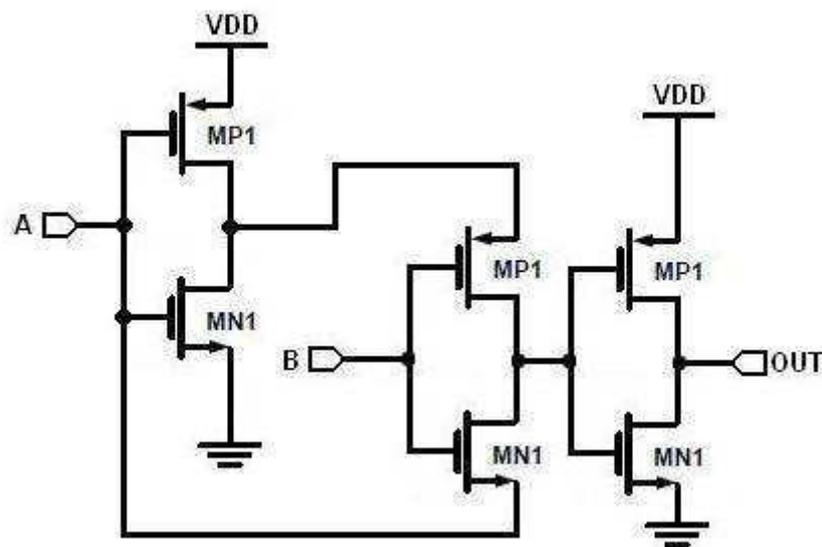


Figura A.5: Porta lógica XOR.

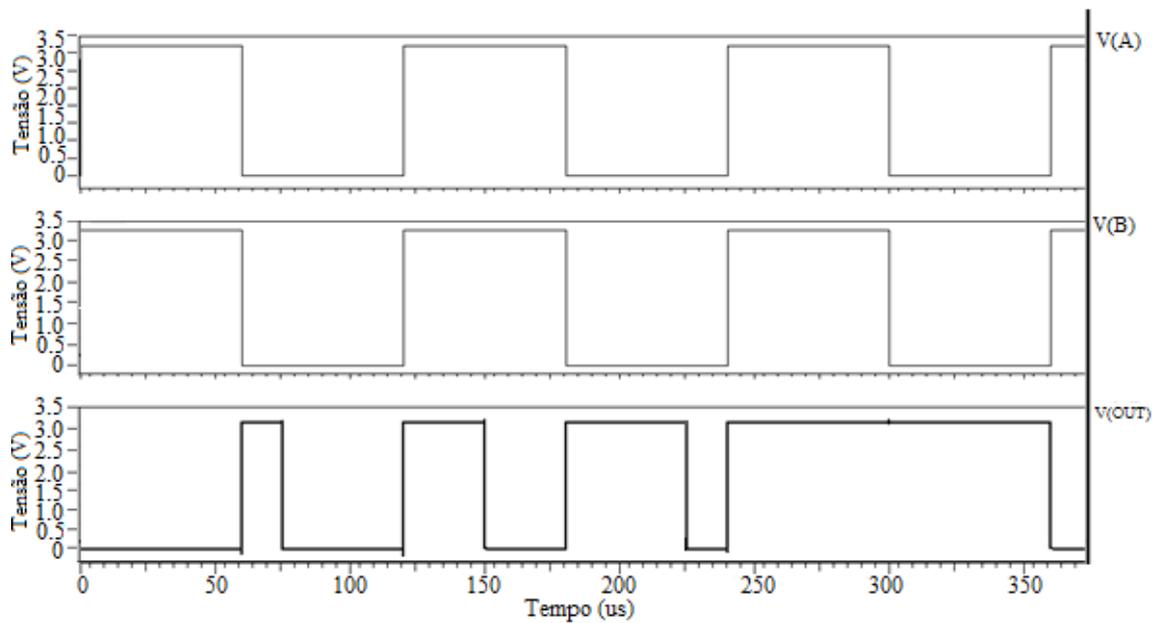


Figura A.6: Análise no domínio do tempo da porta lógica XOR.

A.1.1.4 LATCH

Os *latches* são dispositivos biestáveis e que podem permanecer em um dos dois estados estáveis usando uma configuração de realimentação, na qual as saídas são ligadas às entradas opostas. No nosso projeto nós utilizamos um *latch* para garantir que a saída do comparador tenha sempre níveis lógicos inversos (opostos) e que esses níveis tenham também um sincronismo no momento de subida e descida. Foram colocados dois inversores em suas entradas para fazer com que as suas saídas sejam iguais às suas respectivas entradas. O circuito *latch* projetado utilizando transistores pode ser observado na figura A.7. A análise transiente do circuito *latch* pode ser observada na figura A.8.

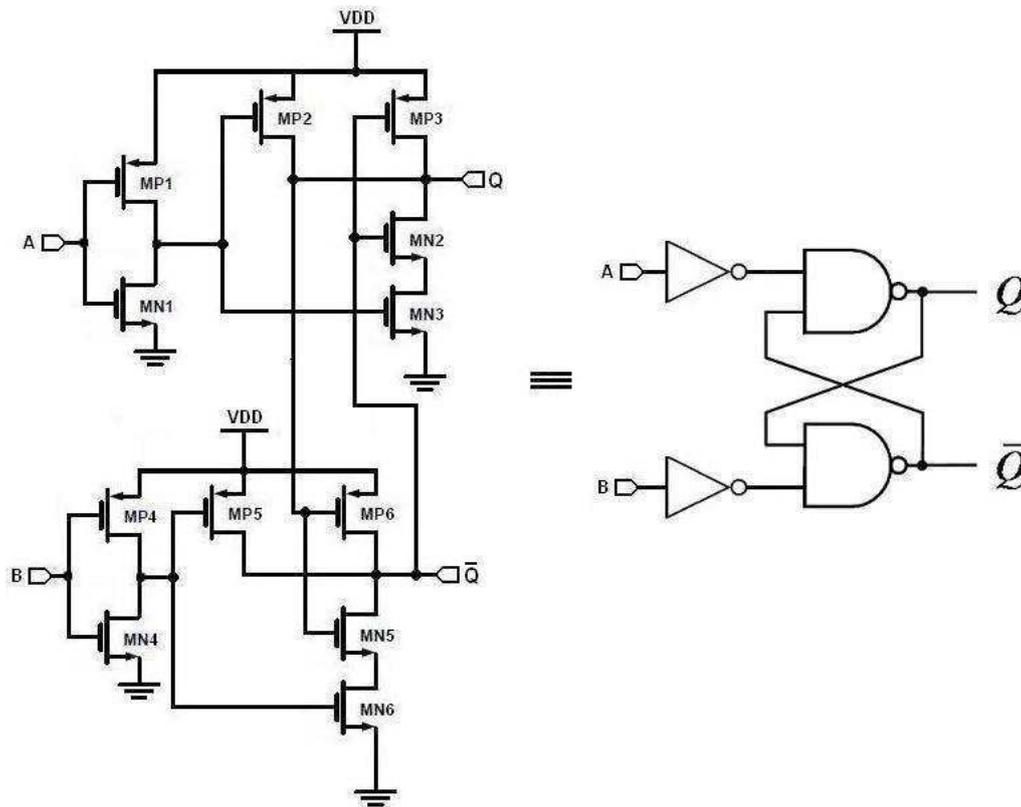


Figura A.7: Circuito *latch* utilizado na saída do comparador.

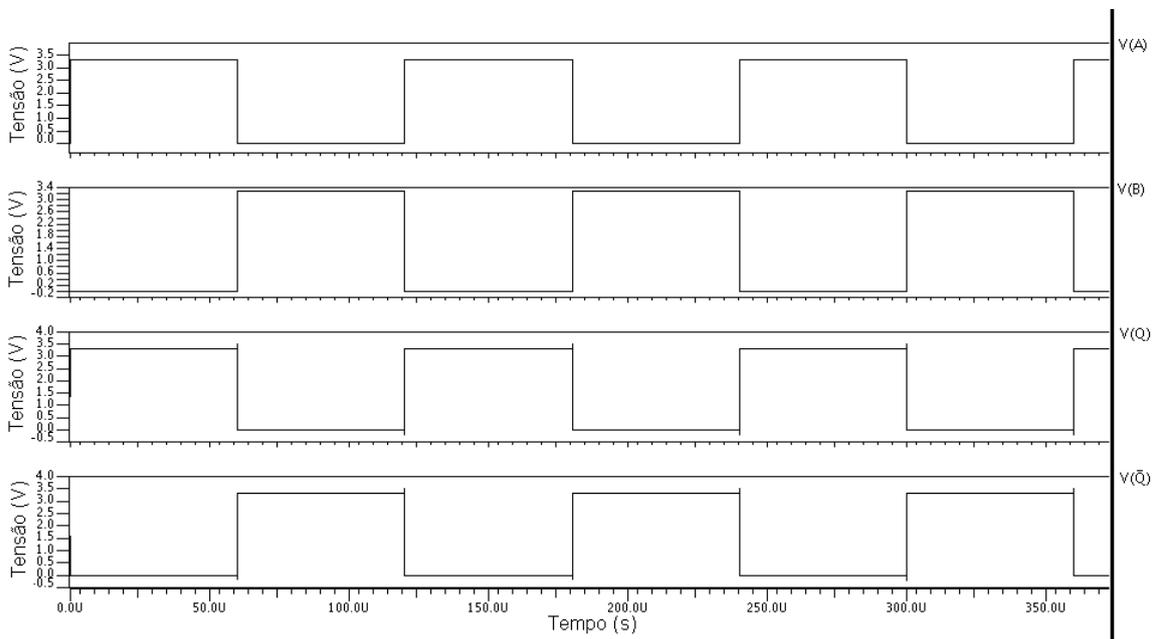


Figura A.8: Análise no domínio do tempo do circuito LATCH.

A.1.1.5 CIRCUITO GERADOR DE SINAIS DE CLOCK NÃO-SOBREPOSTOS

Para que os circuitos a capacitor chaveado venham a funcionar de forma correta são necessários sinais de clock não-sobrepostos que são os pulsos utilizados para acionar os transistores que funcionam como chaves. Estes pulsos de disparo determinam quando as transferências de carga ocorrem e eles não devem ser sobrepostos, para garantir que a cargas nos capacitores não sejam inadvertidamente perdidas. Uma arquitectura geral do circuito de clock não-sobreposto pode ser observada na figura A.9. No nosso trabalho, o circuito de clock não-sobreposto foi implementado utilizando inicialmente macromodelos da *Mentor Graphics*. Depois o circuito foi implementado utilizando transistores.

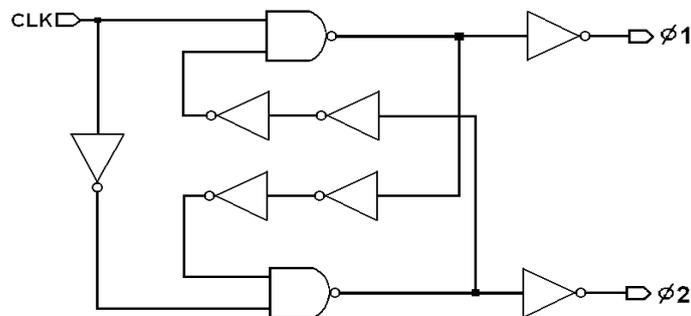


Figura A.9: Circuito para gerar os sinais de *clock* não-sobrepostos.

A análise no domínio do tempo do circuito gerador dos sinais de *clock* não-sobrepostos pode ser observada na figura A.10.

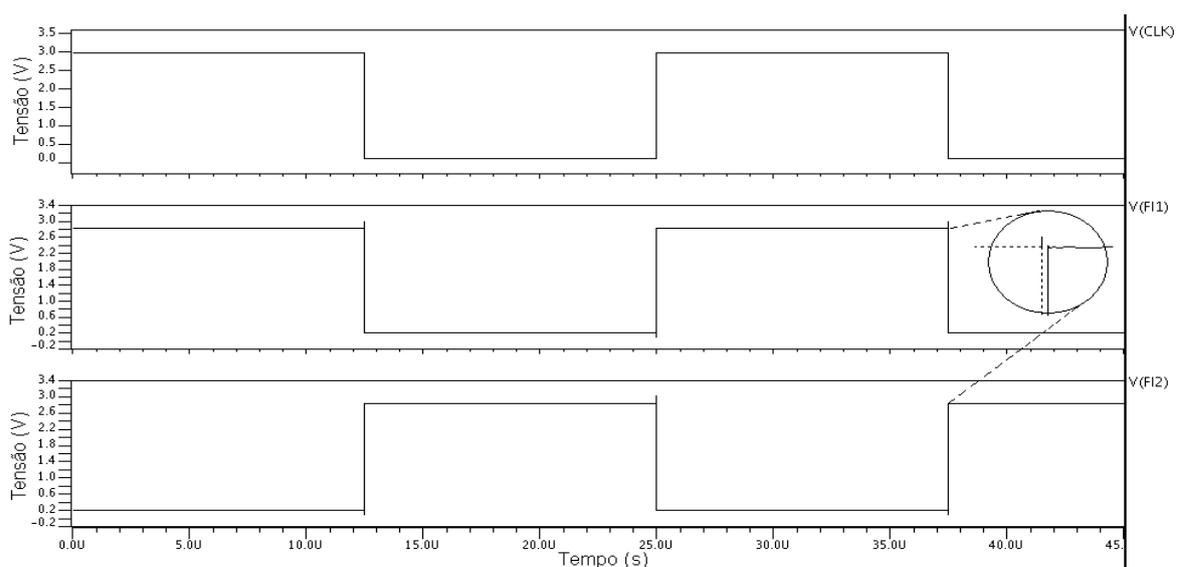


Figura A.10: Análise no domínio do tempo do circuito gerador dos sinais de *clock* não-sobrepostos.

A.1.2 AMPLIFICADOR

Os amplificadores operacionais são fundamentais para os circuitos a capacitores chaveados, pois realizam *buffers*, somadores e integradores. Os amplificadores operacionais trabalham, em geral, com realimentação negativa, e em muitos casos unitária.

Ao dimensionar um amplificador para aplicações nos circuitos a capacitores chaveados, deve-se olhar não apenas para a estabilidade, mas também para o tempo de estabilização. Para garantir que o circuito funcione corretamente, esse tempo de estabilização deve ser menor que o período de cada sinal de *clock* do circuito a capacitor chaveado.

A resposta transitória da tensão de saída de um amplificador em circuitos a capacitores chaveados pode ser dividida em duas partes: o tempo de *slew-rate* (SR) e o tempo de acomodação linear. Esta divisão é ilustrada na Figura A.11 (b).

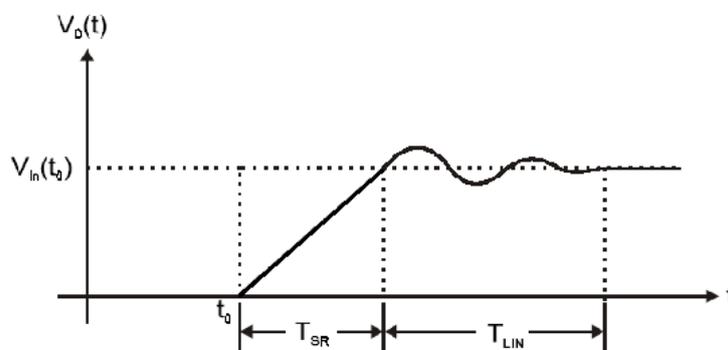


Figura A.11: Resposta transitória dos circuitos a capacitores chaveados.

Para que não haja distorções nos sinais de saída do amplificador é necessário que a corrente de saída seja a mais constante possível. No momento em que as chaves são fechadas e se inicia a resposta transitória, esta corrente constante irá carregar a capacitância vista pelo terminal de saída do amplificador, fazendo com que a tensão de saída cresça linearmente, conforme ilustrado na Figura A.11. A inclinação desta reta é denominada *slew-rate*, e pode ser calculada a partir da seguinte expressão:

$$SR = \frac{\Delta V_0}{T_{SR}} \quad (A.1)$$

em que ΔV_0 é a variação da tensão na saída durante o tempo de *slew-rate*, representado por T_{SR} . Como é difícil determinar o valor exato para ΔV_0 para cada instante de chaveamento, foi considerado o valor máximo de 1V que é a maior diferença entre os sinais de saída. Como a frequência de chaveamento é de 4 MHz, o T_{SR} mínimo é igual a 62,5 ns. Com isso, o SR mínimo necessário é de 16 V/ μ s. Para garantir que o valor da tensão de saída chegará ao valor de regime num tempo menor que o previsto, será utilizado um SR de 20 V/ μ s.

Devido à realimentação negativa, conforme a tensão na saída do amplificador cresce, a tensão diferencial em sua entrada decresce. Em um determinado instante de tempo, a tensão na entrada será pequena o suficiente para que o par diferencial apresente um comportamento aproximadamente linear. A partir desse ponto, o circuito passará a apresentar uma resposta transitória típica de um sistema linear até atingir o valor de regime permanente.

Feito isso, basta escolher o amplificador que será utilizado no projeto e calcular os transistores. Para a implementação do circuito gerador de resíduo do conversor, inicialmente foi utilizado o amplificador operacional diferencial em configuração de dois estágios que utiliza a técnica Miller para compensação de frequência. O amplificador operacional utilizado nos conversores pode ser observado na figura A.12.

A utilização de amplificadores operacionais diferenciais trouxe várias vantagens como maior rejeição ao ruído da alimentação, uma maior excursão do sinal de saída, dentre outras.

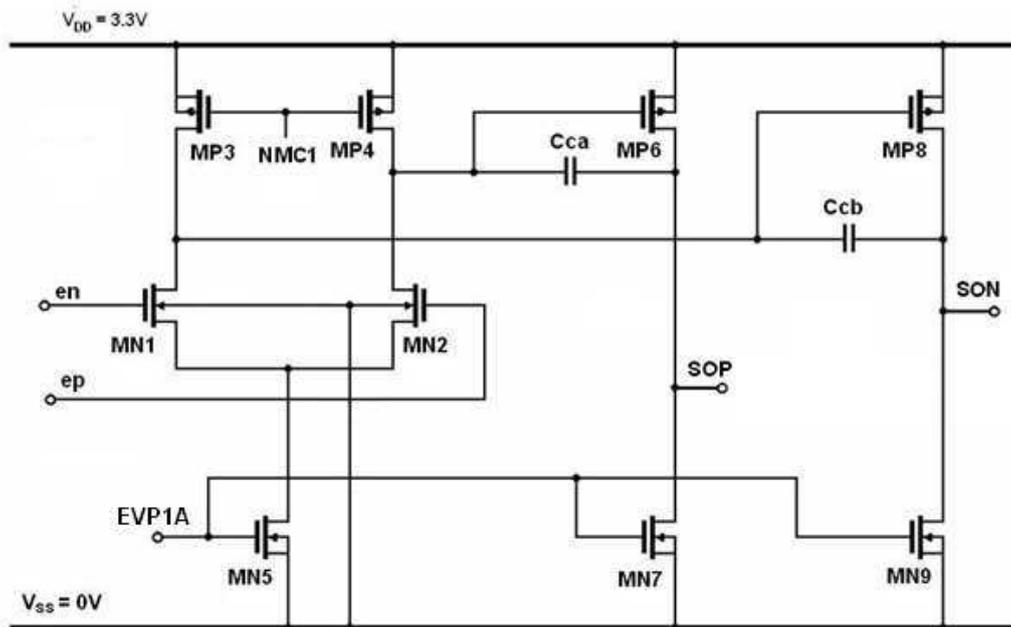


Figura A.12: Amplificador operacional de dois estágios.

O primeiro estágio do amplificador, formado pelos transistores MN1, MN2, MP3, MP4 e MN5, é configurado como par diferencial com carga ativa. (RAZAVI, 2001).

O segundo estágio, formado pelos transistores MP6, MN7, MP8 e MN9, é tipicamente configurado como fonte comum simples para permitir um ganho mais elevado.

Tendo como base o circuito do amplificador diferencial de 2 estágios da figura A.12, e estabelecendo que todos os transistores possuem iguais comprimentos de canal, o valor de W/L de cada transistor é apresentado na tabela A.2.

As especificações adotadas inicialmente são: $V_{DD} = 3,3 \text{ V}$, $V_{SS} = 0 \text{ V}$, $|A_V| \geq 60 \text{ dB}$, $GB = 200 \text{ MHz}$, $SR \geq 20 \text{ V}/\mu\text{s}$, $P_T \leq 1 \text{ mW}$ e $C_{ca} = C_{cb} = 0,1 \text{ pF}$, $V_{CMR_{max}} = 2,65\text{V}$ e $V_{CMR_{min}} = 1,15\text{V}$, sendo A_v o ganho diferencial, GB o produto ganho-largura de banda, SR o slew rate, P_T a potencia total DC, C_C a capacitância de compensação Miller e $V_{CMR_{max}}$ e $V_{CMR_{min}}$ são as máximas e mínimas tensões de modo comum, respectivamente;

A partir da especificação de SR , pode-se obter o limite mínimo para a corrente de polarização:

$$I_{D5} = SR * C_C \Rightarrow I_{D5} \geq 20 \frac{\text{V}}{\mu\text{s}} * 0,1\text{pF} \Rightarrow I_{D5} \geq 2 \mu\text{A}$$

A partir da especificação da potência, pode-se obter o limite máximo para a corrente de polarização:

$$P_T = V_{DD} * (I_{D5} + I_{D7} + I_{D9}) \leq 1 \text{ mW}, \text{ como } I_{D7} = I_{D9} \text{ e } I_{D7} \geq 2 * I_{D5} \text{ temos: } I_{D5} + 2 * 2 * I_{D5} \leq \frac{1 \text{ mW}}{3,3 \text{ V}}, \text{ então:}$$

$$I_{D5} \leq 60,6 \mu\text{A}, \text{ escolhe-se a corrente de polarização de } I_{D5} = \mathbf{20 \mu\text{A}}$$

A partir da especificação de GB, pode-se adquirir o valor de g_{m1} :

$$GB = \frac{g_{m1}}{2 * \pi * C_C} \Rightarrow 200 \text{ MHz} = \frac{g_{m1}}{2 * \pi * 0,1 \text{ pF}} \Rightarrow g_{m1} \geq 126 \mu\text{S}$$

Com isso temos:

$$\left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = \frac{g_{m1}^2}{K_n * I_{D5}} = \frac{(126 \mu)^2}{170 \mu * 20 \mu} = 4,66 \Rightarrow \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 5$$

Os transistores PMOS (M3 e M4) do espelho de corrente são calculados a partir de $V_{CRM\text{máx}}$:

$$V_{SG3} = 1,115 \text{ V} \Rightarrow \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = \frac{n * I_{D5}}{\mu_0 * C_{ox} * (V_{SG3} - V_{tp})^2} = 13,8 \Rightarrow$$

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 14$$

A razão de aspecto do transistor M5 é calculado a partir da especificação de $V_{CRM\text{min}}$:

$$V_{DS5} = 0,219 \text{ V} \Rightarrow \left(\frac{W}{L}\right)_5 = \frac{2 * n * I_{D5}}{\mu_0 * C_{ox} * (V_{DS5})^2} = 9,3 \Rightarrow \left(\frac{W}{L}\right)_5 = 10$$

Geralmente, para uma razoável margem de fase, g_{m6} é aproximadamente dez vezes a transcondutância de entrada do primeiro estágio, logo:

$$g_{m6} = 10 * g_{m1} = 10 * 126 \mu\text{S} \Rightarrow g_{m6} = 1260 \mu\text{S}$$

Para calcular a razão de aspecto do transistor M6, é necessário determinar antes o valor de g_{m4} do transistor M4:

$$g_{m4} = \sqrt{2 * K'_p * \left(\frac{W}{L}\right)_3 * I_3} = \sqrt{2 * 58 * 10^{-6} * 14 * 10 * 10^{-6}} = 127,44 \mu S$$

1) Como é necessário que $S_{GS4} = S_{GS6}$, então:

$$\left(\frac{W}{L}\right)_6 = \left(\frac{W}{L}\right)_8 = \left(\frac{W}{L}\right)_4 * \frac{g_{m6}}{g_{m4}} = 14 * \frac{1260 * 10^{-6}}{127,44 * 10^{-6}} \Rightarrow \left(\frac{W}{L}\right)_6 = 138$$

Desta forma, pode-se calcular a corrente $I_6 = I_8$:

$$I_6 = I_8 = \frac{g_{m6}^2}{2 * K'_p * \left(\frac{W}{L}\right)_6} = \frac{(1260 * 10^{-6})^2}{2 * 58 * 10^{-6} * 138} = 100 \mu A$$

2) Como as correntes $I_7=I_8=I_9=I_6$, pode-se agora determinar as razões de aspecto dos transistores M7 e M9:

$$\left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_9 = \frac{I_6}{I_5} * \left(\frac{W}{L}\right)_5 = \frac{100 * 10^{-6}}{20 * 10^{-6}} * 10 \Rightarrow \left(\frac{W}{L}\right)_7 = \left(\frac{W}{L}\right)_9 = 50$$

Após algumas simulações, os valores de W/L dos transistores do circuito amplificador foram modificados para poderem funcionar de acordo com o especificado. As dimensões dos transistores utilizados no circuito amplificador podem ser observadas na tabela A.2.

Tabela A.2: Dimensões dos transistores utilizadas no amplificador Miller.

Transistores	W/L ($\mu\text{m}/\mu\text{m}$)
MN1, MN2	5.53/1.0
MN5	10.0/1.0
MP3 e MP4	14.0/1.0
MN6 e MN8	138.0/1.0
MP7 e MP9	50.0/1.0

A.1.2.1 REALIMENTAÇÃO DE MODO COMUM

Em um amplificador com entradas e saídas diferenciais é preciso forçar a tensão de saída em modo comum, V_{ocm} , ao terra ou a algum outro potencial de referência, em contraste com o amplificador operacional com saída simples em que uma entrada é conectada ao terra e a outra virtualmente aterrada devido à realimentação negativa. A realimentação de modo comum tem a função de estabilizar as tensões de modo comum da entrada e da saída (GREGORIAN e TEMES, 2001).

Além de dimensionar os transistores do amplificador operacional propriamente dito, foi necessário projetar um circuito de realimentação de modo comum (*Common Mode Feedback Circuit*). Esse circuito é necessário por causa da indefinição do ganho de modo comum de uma topologia de saída diferencial, e, sendo assim, um sinal de modo comum na entrada poderá causar uma tensão de modo comum indesejável na saída. (ALLEN; HOLBERG, 2002).

A tensão de modo comum na saída é estabilizada coletando-se a tensão de modo comum na saída e usando uma realimentação negativa para ajustar a tensão de modo comum para o valor desejado. No circuito do amplificador operacional (v. figura A.12), a tensão de modo comum é coletada na saída do primeiro estágio, e um circuito de realimentação negativa gera uma tensão de 2,44 V na saída NMC1.

As tensões de saída do primeiro estágio, S0P e S0N, são ligadas às portas dos transistores MNA15 e MNA16, como mostrado na figura A.13. A tensão de saída para a polarização do primeiro estágio do amplificador operacional sai nos drenos dos transistores MPA12 e MNA14. E na porta do transistor MNA14 entra a tensão de modo comum desejada, ou seja, 2,44 V (entrada SMCA).

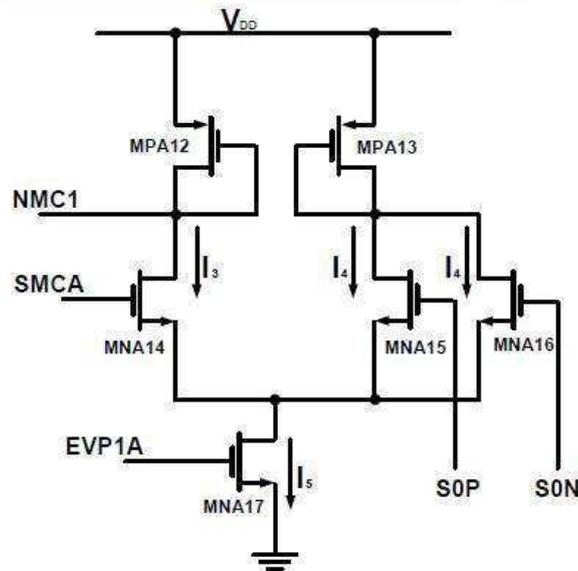


Figura A.13: Diagrama do circuito de realimentação de modo comum.

As correntes I_3 , I_4 e I_5 , do circuito mostrado na figura A.12, têm os valores de $80 \mu\text{A}$, $40 \mu\text{A}$ e $160 \mu\text{A}$, respectivamente. Esses valores de corrente foram escolhidos para possibilitar que uma máxima variação na tensão de modo comum provocasse, no máximo, 10% de variação na corrente do circuito de realimentação de modo comum. E a justificativa para a utilização do circuito da figura A.13 para a realimentação de modo comum é que a impedância de entrada do circuito de realimentação de modo comum deve ser muito maior que a impedância de saída do amplificador operacional para evitar a diminuição do ganho de malha aberta. (RAZAVI, 2001).

O ganho em modo diferencial é o ganho em malha aberta, aplicado sobre a diferença das tensões nas entradas do amplificador. Valores típicos de ganhos diferenciais variam de 40 dB a 120 dB, o que corresponde a amplificar o sinal de entrada do amplificador de 10^2 a 10^6 vezes. Na figura A.14 pode ser observada a resposta em frequência do amplificador em malha aberta. Como pode ser observado, o ganho de malha aberta obtido pelo amplificador projetado é de 63 dB e a frequência para o ganho de 0 dB é igual a 40 MHz.

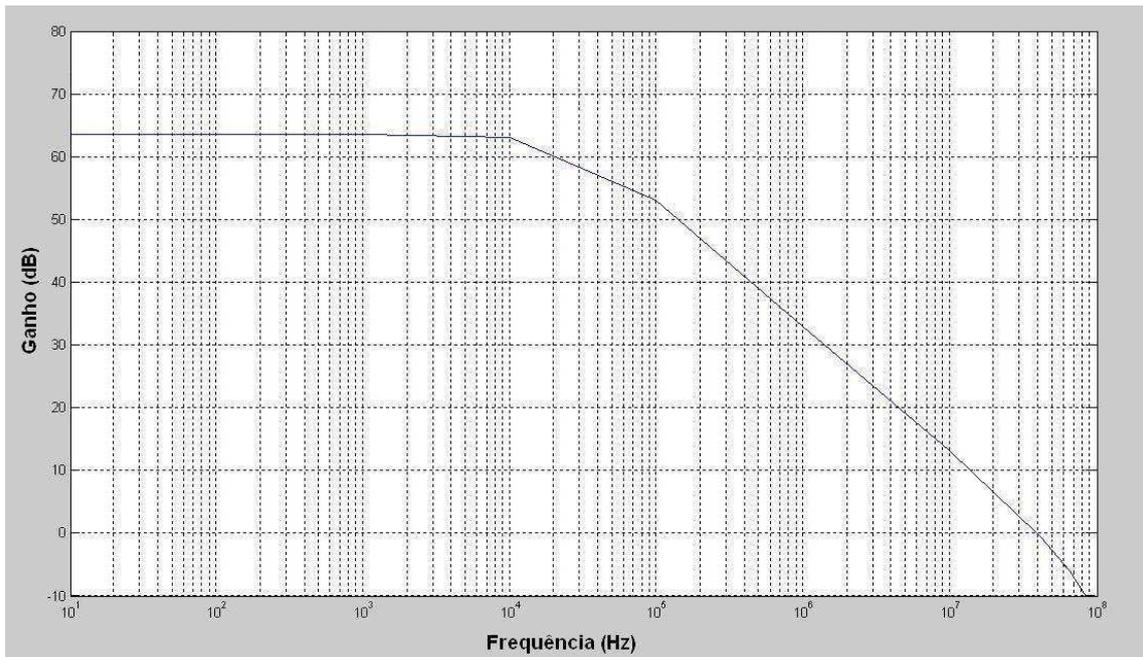


Figura A.14: Resposta em frequência do amplificador em malha aberta.

Quando foi realizado o novo projeto na tecnologia 0,18 μm , observou-se a existência de muito ruído no sinal analógico recuperado em cada estágio. Com intuito de reduzir esse ruído foi necessário realizar uma modificação na saída do amplificador, inserindo um *buffer*, o que fez com que houvesse um aumento na corrente do amplificador utilizado no conversor e conseqüentemente um aumento no seu consumo de potência.

Com o intuito de reduzir o consumo, aumentar o ganho e a resposta em frequência do conversor, e tendo observado ser uma prática usual nos circuitos a capacitor chaveado, a utilização de amplificadores operacionais de transcondutância (OTA), optou-se por utilizá-lo. O OTA é basicamente uma fonte de corrente controlada por tensão em paralelo com uma resistência elevada (RAZAVI, 2001).

Além das vantagens de se utilizar amplificadores operacionais diferenciais, como maior rejeição ao ruído da alimentação, uma maior excursão do sinal de saída etc, os OTA possuem ainda uma maior resposta em frequência com banda maior e um elevado ganho de tensão em baixa frequência, se comparado ao amplificador com compensação de Miller.

O elevado ganho em baixa frequência é necessário para que a tensão diferencial de entrada dos OTA seja quase nula, para uma dada tensão de saída como ocorre em amplificadores operacionais.

No OTA, um elevado ganho de tensão pode ser obtido através de uma elevada resistência de saída, pois o ganho de tensão de um OTA é dado por:

$$A_v = g_m * R_o, \quad (A.2)$$

em que, g_m é a transcondutância e R_o é a resistência de saída do OTA. Quanto maior a resistência de saída, maior será o ganho do amplificador e, conseqüentemente, menor será o erro introduzido na resposta em frequência do circuito (GEIGER, 1982).

Portanto, com o objetivo de se obter ganho elevado e baixo consumo, optou-se por implementar o OTA do conversor a capacitores chaveados empregando a topologia com saída *cascode* dobrado com controle de modo comum, cujos circuitos podem ser observados nas figuras A.15 e A.16.

Essa topologia apresenta uma elevada resistência de saída, e seu consumo de potência é significativamente menor que o de outras topologias como o amplificador com saída *cascode* regulado, por exemplo (RAZAVI, 2001).

O circuito é composto por um amplificador diferencial de entrada {M1, M2} e um estágio de saída formado por duas fontes de corrente *cascode*. Os espelhos de corrente formados pelos conjuntos de transistores {M11, M12, M17}, {M11, M12, M13, M14}, {M15, M16, M10, M8} e {M15, M16, M9, M7} polarizam o circuito. Normalmente estabelece-se o mesmo comprimento de canal para todos os transistores. No ponto de polarização, as correntes relacionam-se como segue:

$$I_{d1} = I_{d2} = I_{d4} = I_{d8} = \frac{I_{bias}}{2} \quad (A.3)$$

$$I_{d9} = I_{d10} = I_{bias}; \quad I_{d6} = I_{d8} \quad (A.4)$$

$$I_0 = I_{d8} - I_{d6} = 0 \quad (A.5)$$

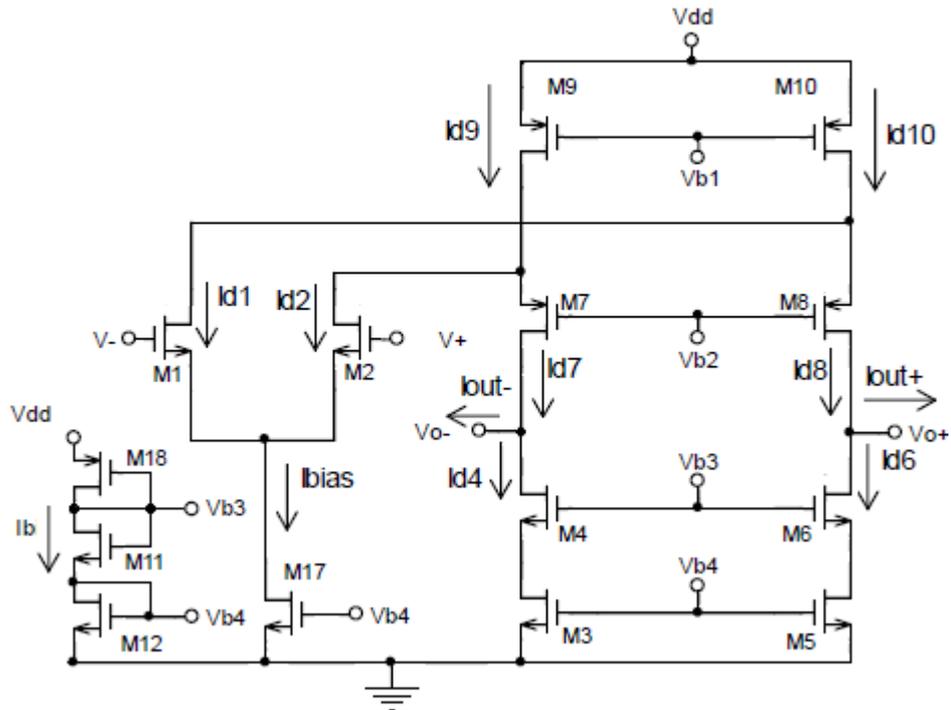


Figura A.15: OTA cascode dobrado;

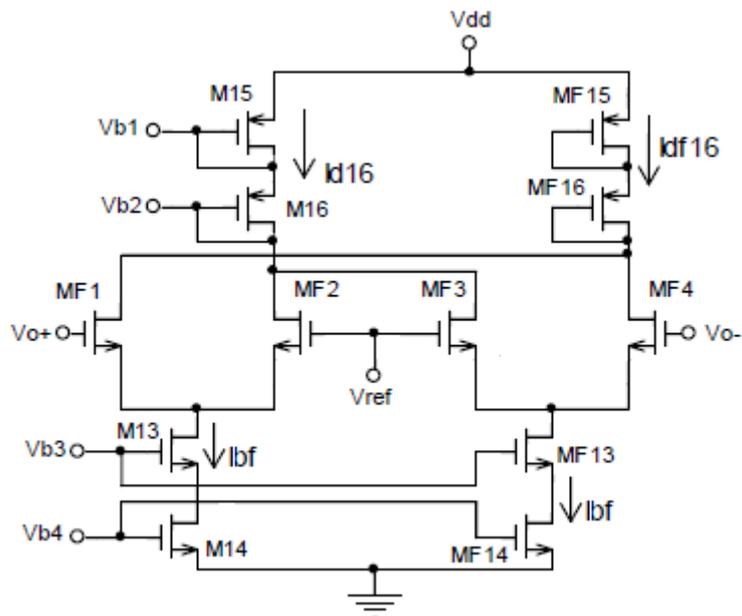


Figura A.16: Circuito de controle de modo comum do OTA cascode dobrado;

Os transistores são dimensionados de forma a atender às seguintes equivalências:

$$M1 = M2; M11 = M12; M3 = M4 = M5 = M6; \tag{A.6}$$

$$M7 = M8; M9 = M10; M13 = M14; M15 = M16; \quad (\text{A.7})$$

$$W1 = W2; W9 = 2*W7; W10 = 2*W8; \quad (\text{A.8})$$

$$\frac{W11}{W17} = \frac{I_b}{I_{bias}}; \quad \frac{W13}{W17} = \frac{I_{d8}}{I_{bias}}; \quad \frac{W10}{W15} = \frac{I_{d10}}{I_{bf}}. \quad (\text{A.9})$$

O OTA diferencial mostrado na figura A.15 possui duas saídas em corrente cujos valores dependem, idealmente, da diferença de potencial nas entradas. Somente a tensão diferencial é processada pelo circuito, sendo a componente de modo comum rejeitada. Sua estrutura é basicamente a mesma do OTA com saída simples, mas sem o espelho de corrente formado por {M3, M4, M5, M6}, que neste caso formam duas fontes de corrente independentes e de mesmo valor.

As correntes de saída são dadas por:

$$\left\{ \begin{array}{l} i_{out+} = \frac{gm_d}{2} * (V_+ - V_-) = gm_d * \frac{v_d}{2} + gm_c(V_{ref} - v_{ocm}) \\ i_{out-} = -\frac{gm_d}{2} * (V_+ - V_-) = -gm_d * \frac{v_d}{2} + gm_c(V_{ref} - v_{ocm}) \end{array} \right\} \quad (\text{A.10})$$

em que gm_c é a transcondutância do circuito de controle de modo comum, v_{ocm} tensão de modo comum na saída, e V_{ref} é a tensão de referência, sendo v_{ocm} e V_{ref} de modo ideal são iguais. Uma vez que isso aconteça, os ganhos de tensão DC nos modos diferenciais podem ser dados por:

$$\left\{ \begin{array}{l} \frac{v_{o+}}{v_d} = \frac{gm_d}{2} * R_0 \\ \frac{v_{o-}}{v_d} = -\frac{gm_d}{2} * R_0 \end{array} \right\}, \quad (\text{A.11})$$

O circuito da figura A.16 é muito empregado no controle de modo comum. Uma análise detalhada mostra que as correntes i_{d16} e i_{df16} dependem somente da tensão de modo comum nas entradas V_{o+} e V_{o-} e da tensão de referência (V_{ref}) ou seja,

$$\left\{ \begin{array}{l} i_{df16} = I_{bf} + gm_f * \left(V_{ref} - \frac{(v_{o+} + v_{o-})}{2} \right) = I_{bf} + gm_f * (V_{ref} - v_{ocm}) \\ i_{d16} = I_{bf} - gm_f * \left(V_{ref} - \frac{(v_{o+} + v_{o-})}{2} \right) = I_{bf} - gm_f * (V_{ref} - v_{ocm}) \end{array} \right\}, \quad (\text{A.12})$$

em que gm_f é a transcondutância dos transistores MF1, MF2, MF3 e MF4.

As relações entre os transistores são:

$$MF1 = MF2 = MF3 = MF4 \quad (A.13)$$

$$M13 = M14 = MF13 = MF14 \quad (A.14)$$

$$M15 = M16 = MF15 = MF16 \quad (A.15)$$

As dimensões dos transistores MF1, MF2, MF3 e MF4 devem ser determinadas pela máxima variação da tensão de saída, de forma que todos os transistores permaneçam saturados. No caso limite, a corrente I_{bf} passa por somente um transistor de cada par diferencial.

A resistência de saída R_0 é o paralelo das resistências de saída das fontes de corrente *cascode* tipo N e P, ou seja:

$$R_0 = R_{0N} // R_{0P} = (R_{ds6} * (1 + g_{m6} * R_{ds5})) // (R_{ds8} * (1 + g_{m8} * R_{ds10})) \quad (A.16)$$

A variação de tensão diferencial entre as saídas pode ser determinada por:

$$\Delta V_{od} = (V_{0+} - V_{0-}) = 2 * (V_{dd} - 2 * \Delta V_{sgP} - |V_{TP}| - 2 * \Delta V_{sgN} - |V_{TN}|) \quad (A.17)$$

Para determinação das dimensões dos transistores OTA é necessário levar em consideração o tempo de estabilização do sinal de saída do amplificador.

Como explicado anteriormente, o *slew-rate* de um determinado sinal pode ser calculado a partir da expressão A.1.

Se observarmos o circuito sub-DAC da figura 3.11 nos instantes “P”, que é a fase de atualização da tensão de saída do amplificador, desprezando as capacitâncias parasitas das chaves e considerar apenas os capacitores ligados ao amplificador. Como a entrada do amplificador apresenta alta impedância, os terminais de entrada podem ser considerados como estando em aberto, pois a tensão de entrada não irá influenciar a corrente de saída durante o período de *slew-rate*. A capacitância equivalente vista por cada saída do amplificador pode ser, assim, expressa por:

$$C_{eq} = \frac{(C_4 + C_3) * (C_2 + C_1)}{(C_4 + C_3) + (C_2 + C_1)} \quad (A.18)$$

Como:

$$C_4 = C_3 = C_2 \text{ e } C_1 = 2 * C_2), \quad (\text{A.19})$$

Então:

$$C_{eq} = \frac{6}{5} * C_2 \quad (\text{A.20})$$

Se for considerado que durante a fase de *slew-rate*, a corrente de saída do amplificador é constante, cujo valor I_{max} corresponde à máxima corrente que pode ser fornecida na saída, pode-se concluir que o *slew-rate* também pode ser obtido através de:

$$SR = \frac{I_{max}}{C_{eq}}. \quad (\text{A.21})$$

Nos amplificadores operacionais de transcondutância, quanto menor for T_{SR} , maior será o *slew-rate* e conseqüentemente maior será a corrente de saída do amplificador. Portanto, a corrente de polarização depende do *slew-rate* e da capacitância equivalente C_{eq} . Entretanto, o tempo de estabilização linear não depende da corrente de polarização, e pode ser otimizado. Desta forma, minimizando T_{LIN} , pode-se aumentar T_{SR} e conseqüentemente reduzir o consumo de potência do amplificador.

Considerando apenas um lado do circuito e aproximando o modelo do circuito apresentado na figura 3.7 no momento de atualização da tensão de saída para um modelo de primeira ordem, devido as capacitâncias ligadas ao circuito produzirem polos em baixa frequência e considerando que a transcondutância do circuito (gm) é constante durante este período, a constante de tempo (T) do circuito pode ser dada por:

$$T = \frac{C_1 + C_2}{2 * C_2 * gm} + \frac{C_1}{gm}. \quad (\text{A.22})$$

Quanto ao tempo de acomodação linear, a resposta transitória de um circuito linear de primeira ordem é dada por:

$$v_o(t) = V_{of} - (V_{of} - V_{oi}) * e^{-t/T}, \quad (\text{A.23})$$

em que V_{oi} é a tensão de saída inicial, V_{of} é a tensão final, valor da tensão na saída quando o circuito atinge o regime permanente, e T é a constante de tempo do circuito.

Entretanto, assim como no caso do *slew-rate*, não é simples obter a tensão na saída do circuito quando este inicia seu comportamento linear. Portanto, para simplificar as equações de projeto, será considerado $V_{oi} = 0$ em (A.23). Dessa forma, (A.23) pode ser reescrita da seguinte maneira:

$$\frac{v_o(t) - V_{of}}{V_{of}} = e^{-t/T} = \epsilon, \quad (\text{A.24})$$

em que ϵ é o erro relativo entre a tensão na saída no instante t e seu valor de regime permanente.

O erro ϵ permite ao projetista definir o valor de tensão na saída que pode ser considerado como já sendo o de regime permanente. Se o projetista definir $\epsilon = 0, 1\%$, por exemplo, será considerado que o circuito estará em regime permanente quando sua saída atingir um valor de tensão que é 0,1% menor que o valor final.

Dessa forma, dado o valor do erro ϵ e o intervalo de tempo reservado para a resposta transitória linear T_{LIN} , o valor da constante de tempo T será, então, obtido da seguinte forma:

$$T = -\frac{T_{LIN}}{\ln(\epsilon)}. \quad (\text{A.25})$$

Substituindo (A.25) em (A.22), obtém-se a expressão para o cálculo da transcondutância do amplificador:

$$gm = -\frac{1}{T_{LIN}} * \left(\frac{C_1 + C_2}{2 * C_2} + C_1 \right) * \ln(\epsilon). \quad (\text{A.26})$$

Considerando uma frequência de chaveamento de 1 MHz, o novo *slew-rate* passará a ser de 40 V/ μ s, sabendo que o capacitor C_2 tem o valor de 1

pF , a corrente máxima de saída do amplificador I_{0max} pode ser calculada utilizando a equação A.9 e é igual a $39,2 \mu A$, ou seja, aproximadamente $40 \mu A$.

Desta forma, utilizando as equações demonstradas acima e fazendo os devidos ajustes para que o circuito venha a funcionar de forma adequada, foram realizados os cálculos referentes aos transistores dos circuitos. Foi utilizado um comprimento mínimo para todos os transistores de 800 nm . As dimensões dos transistores podem ser observadas na tabela A.3.

Tabela A.3: Dimensões dos transistores do circuito OTA.

Transistores	W/L ($\mu m/\mu m$)	Transistores	W/L ($\mu m/\mu m$)
M1, M2	20.0/0.8	M13, M14, MF13, MF14	9,8/0.8
M3, M4, M5, M6	24.0/0.8	M15, MF15	79,0/0.8
M7, M8	100,0/0.8	M16, MF16	40,0/0.8
M9, M10	195,0/0.8	M17	19,8/0.8
M11, M12	13,5/0.8		

A.1.3 COMPARADOR

Comparador é um circuito que compara um sinal analógico com outro sinal analógico ou referência de tensão e após a comparação a saída é binária. Um comparador é um conversor analógico/digital de 1 bit.

O comparador precisa ter um ganho muito alto para que possa saturar e obter uma resposta binária, 0 ou 1 e uma alta impedância de entrada. Entretanto, este ganho na realidade é limitado, o que afeta na resposta de transição de um estado para outro.

Inicialmente, para a implementação dos comparadores foi utilizado o amplificador operacional em configuração de dois estágios que utiliza a técnica Miller para compensação de frequência. O circuito amplificador utilizado como comparador nos conversores pode ser observado na figura A.17. A utilização de amplificadores operacionais diferenciais trouxe várias vantagens como

maior rejeição ao ruído da alimentação, uma maior excursão do sinal de saída, etc.

Os nomes MN e MP denotam transistores NMOS (transistores de efeito de campo de semicondutores metal-óxido tipo N) e PMOS (transistores de efeito de campo de semicondutores metal-óxido tipo P), respectivamente. Tipo N e tipo P querem dizer que o canal do transistor é tipo N (Negativo) ou tipo P (Positivo). (RAZAVI, 2001).

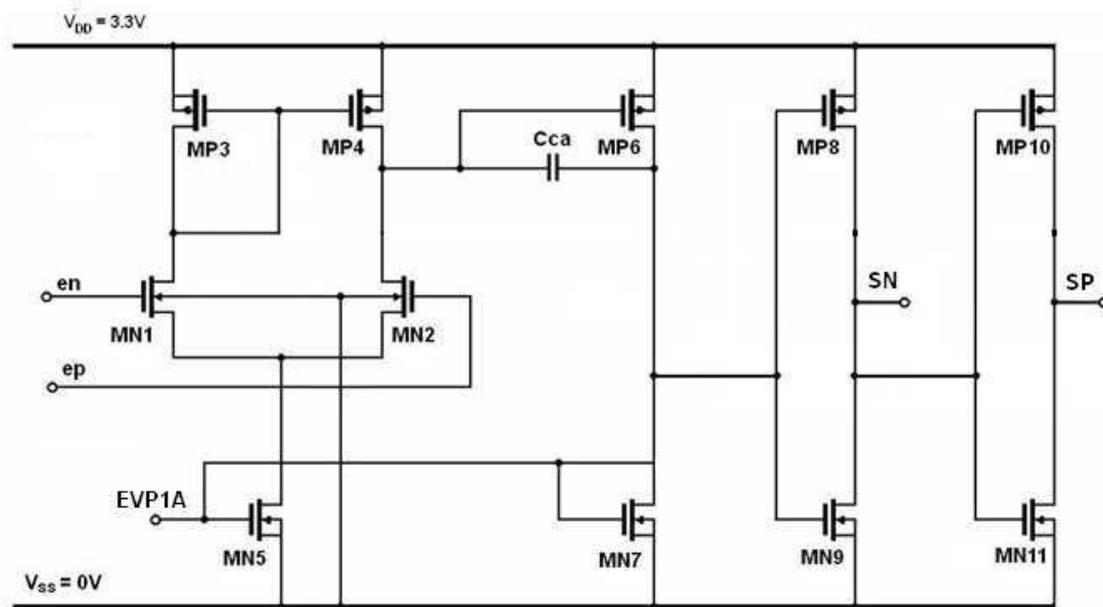


Figura A.17: Amplificador de dois estágios utilizado como comparador.

O primeiro estágio do amplificador, formado pelos transistores MN1, MN2, MP3, MP4 e MN5, é configurado como par diferencial com carga ativa. Nesse estágio, os transistores operam na saturação, sendo utilizados em aplicações que requeiram um ganho de tensão grande num simples estágio. (RAZAVI, 2001).

O segundo estágio, formado pelos transistores MP6 e MN7, é tipicamente configurado como fonte comum simples para permitir uma máxima excursão do sinal de saída. Como pode ser observado, na saída do segundo estágio existem 2 inversores para poder ter a saída necessária para controlar as 4 chaves do sub-DAC.

Tendo como base o circuito do amplificador operacional diferencial de 2 estágios da figura A.17, e estabelecendo que todos os transistores possuem o

mesmo canal, podem ser realizados os cálculos das dimensões dos transistores obedecendo as especificações a seguir: $V_{DD} = 3,3 \text{ V}$, $V_{SS} = 0 \text{ V}$, $|A_V| \geq 60 \text{ dB}$, $GB = 200 \text{ MHz}$, $SR \geq 120 \text{ V}/\mu\text{s}$, $P_T \leq 0,5 \text{ mW}$ e $C_C = 0,1 \text{ pF}$, $V_{CMR_{max}} = 2,65 \text{ V}$ e $V_{CMR_{min}} = 1,15 \text{ V}$;

- 1) A partir da especificação de SR, pode-se obter o limite mínimo para a corrente de polarização:

$$I_{D5} = SR * C_C \Rightarrow I_{D5} \geq 120 \frac{\text{V}}{\mu\text{s}} * 0,1 \text{ pF} \Rightarrow I_{D5} \geq 12 \mu\text{A}$$

- 2) A partir da especificação da potência, pode-se obter o limite máximo para a corrente de polarização:

$$P_T = V_{DD} * (I_{D5} + I_{D7} + I_{D9}) \leq 0,5 \text{ mW}, \text{ como } I_{D7} = I_{D9} \text{ e } I_{D7} \geq 2 * I_{D5} \text{ temos: } I_{D5} + 2 * 2 * I_{D5} \leq \frac{0,5 \text{ mW}}{3,3 \text{ V}}, \text{ então:}$$

$I_{D5} \leq 30,3 \mu\text{A}$. Escolhe – se a corrente de polarização $I_{D5} = 20 \mu\text{A}$.

Como o valor referente a corrente I_{D5} escolhido foi o mesmo usado no projeto do amplificador da figura A.12, optou-se por utilizar o mesmo circuito amplificador de 2 estágios como comparador. Na saída do comparador foi utilizado um LATCH com 2 inversores na entrada para garantir excursão do sinal de saída que será aplicado nas chaves de controle do sub-DAC.

Foram aplicadas uma tensão contínua de 1,65 V na entrada negativa do comparador e uma senoidal de 1 mV de pico a pico com uma tensão de desvio de 1,65 V na entrada positiva do comparador. Depois foram aplicadas uma tensão contínua de 1,65 V na entrada negativa e uma forma de onda quadrada de 3,3 V e 100 MHz na entrada positiva do comparador. Nas figuras A.18, A.19 e A.20 podem ser observadas as respostas no domínio do tempo do circuito comparador projetado, obtidas por simulação. Na figura A.19 pode ser observado que o comparador projetado possui um tempo de atraso de aproximadamente 2,2 ns. Na figura A.20 pode ser observado que o comparador possui um *Slew Rate* (SR) de aproximadamente 1,375 V/ns na descida.

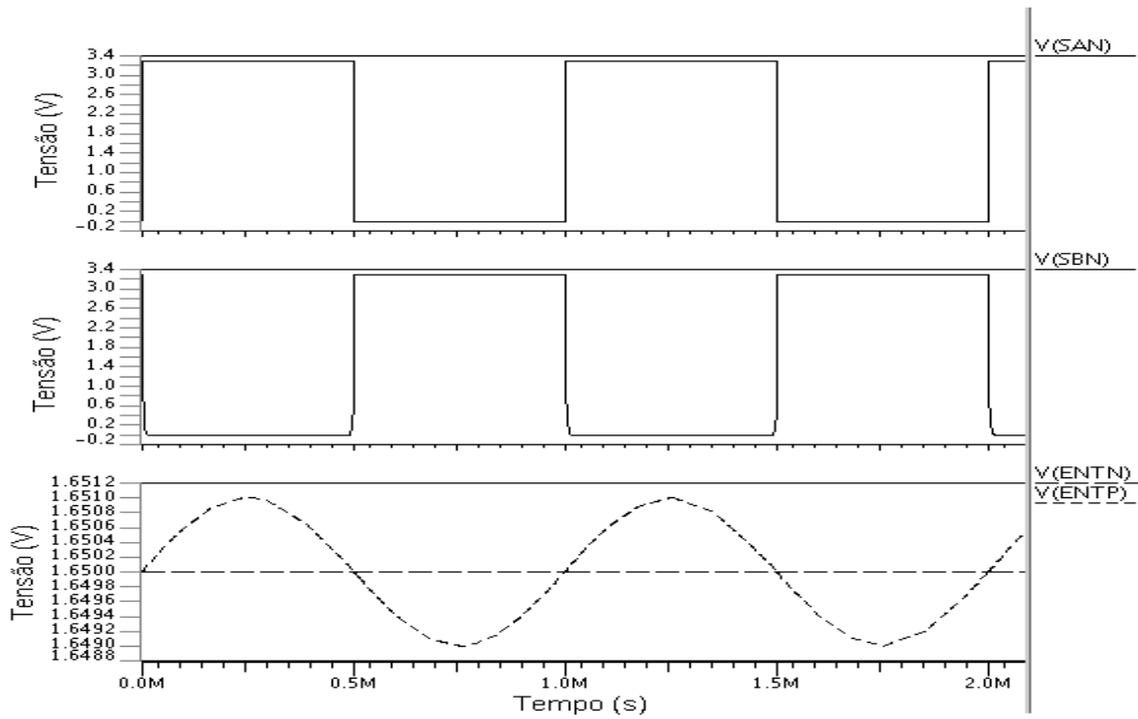


Figura A.18: Análise no domínio do tempo do circuito comparador projetado.

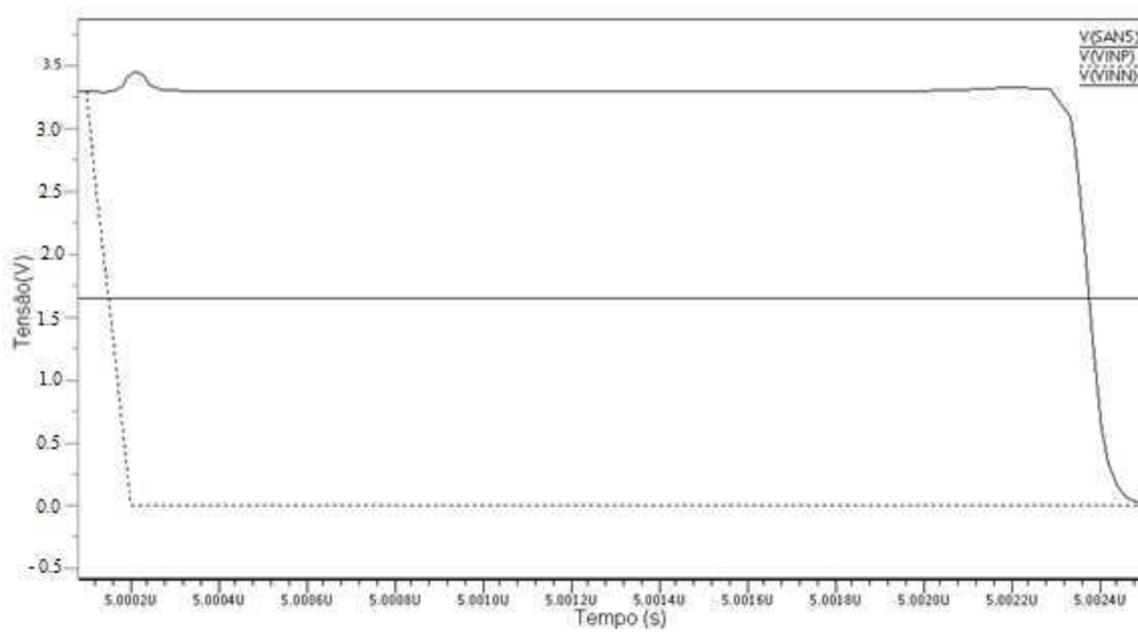


Figura A.19: Análise no domínio do tempo do circuito comparador (atraso).

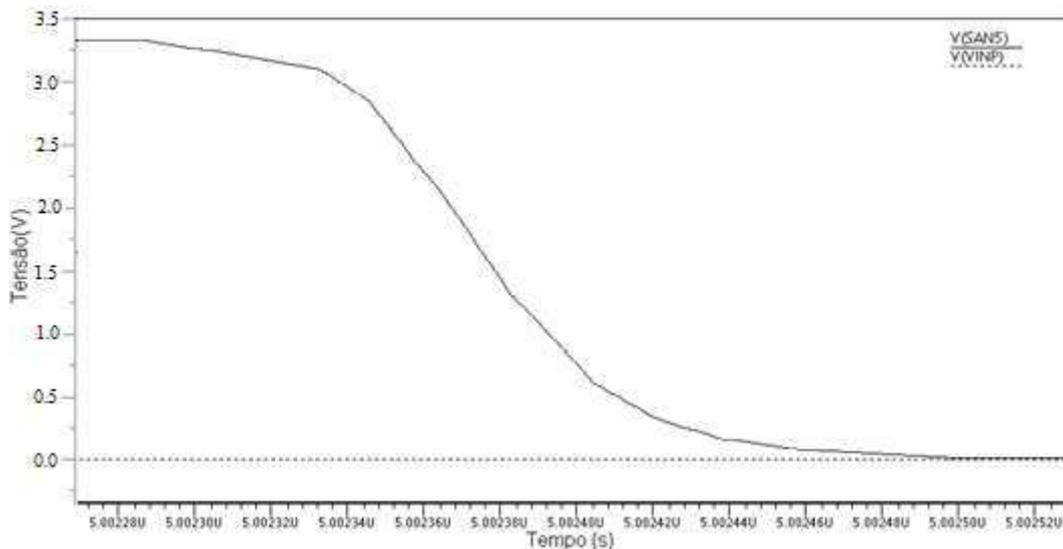


Figura A.20: Análise no domínio do tempo do circuito comparador (*Slew Rate*).

Quando da mudança de tecnologia para fabricação dos circuito do conversor A/D, observou-se a presença de muito ruído no sinal analógico. Esse ruído causava mudanças desnecessárias no estado lógico de saída do comparador, fazendo com que o sinal fosse convertido de forma errada. Isso é comum quando não se utiliza comparadores sem histerese para comparar sinais com muito ruído.

Isso acontece principalmente quando é definido certo sinal de referência para a comparação, se o outro sinal for maior a saída será 1 ou se for menor será 0. Qualquer pequena variação ou ruído deste sinal pode alterar o estado de saída do comparador. Então, o circuito fica vulnerável em relação ao ruído.

Para resolver este problema, implementou-se um comparador com histerese para melhorar o desempenho do conversor. Na Figura A.21 podem ser observadas as respostas de um comparador com histerese e sem histerese.

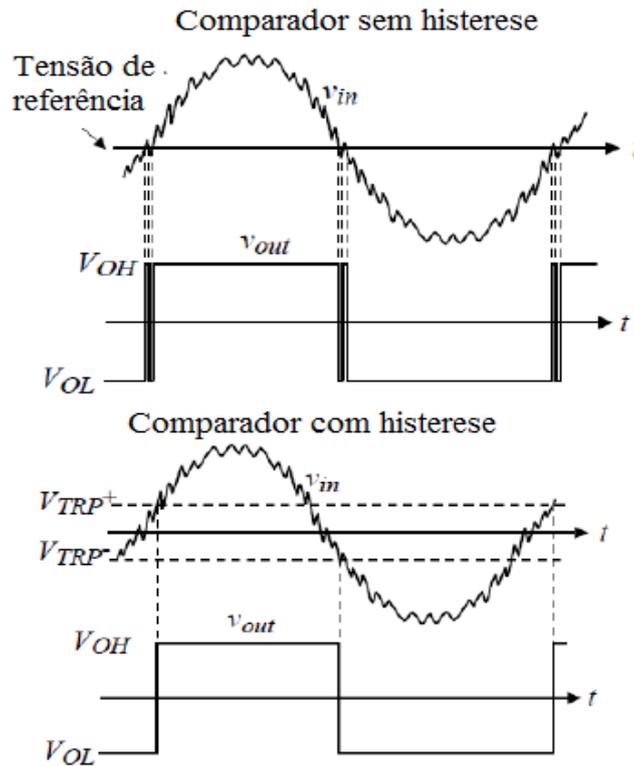


Figura A.21: Resposta do comparador sem e com histerese (ALLEN; HOLBERG, 2002).

A histerese serve para definir duas tensões V_{TRP+} (*positive trip point voltage*) e V_{TRP-} (*negative trip point voltage*) em relação a tensão de referência. Essas tensões servem para evitar variações com o ruído como pode ser observado na figura A.22 (ALLEN; HOLBERG, 2002).

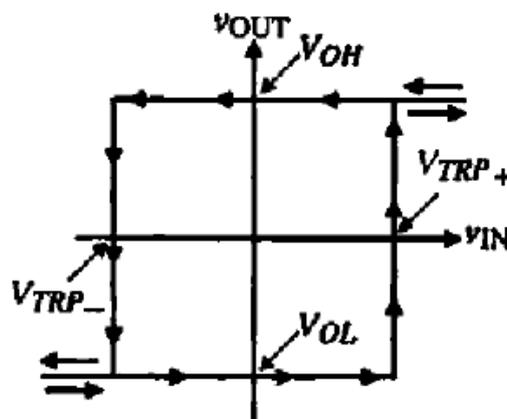


Figura A.22: Curva transitória do comparador com histerese (ALLEN; HOLBERG, 2002).

Existe duas maneiras de implementar a histerese em um comparador: externamente e internamente. Para este projeto implementou-se a histerese

internamente, utilizando a topologia apresentada na figura A.23, sendo que com duas saídas, uma positiva e outra negativa.

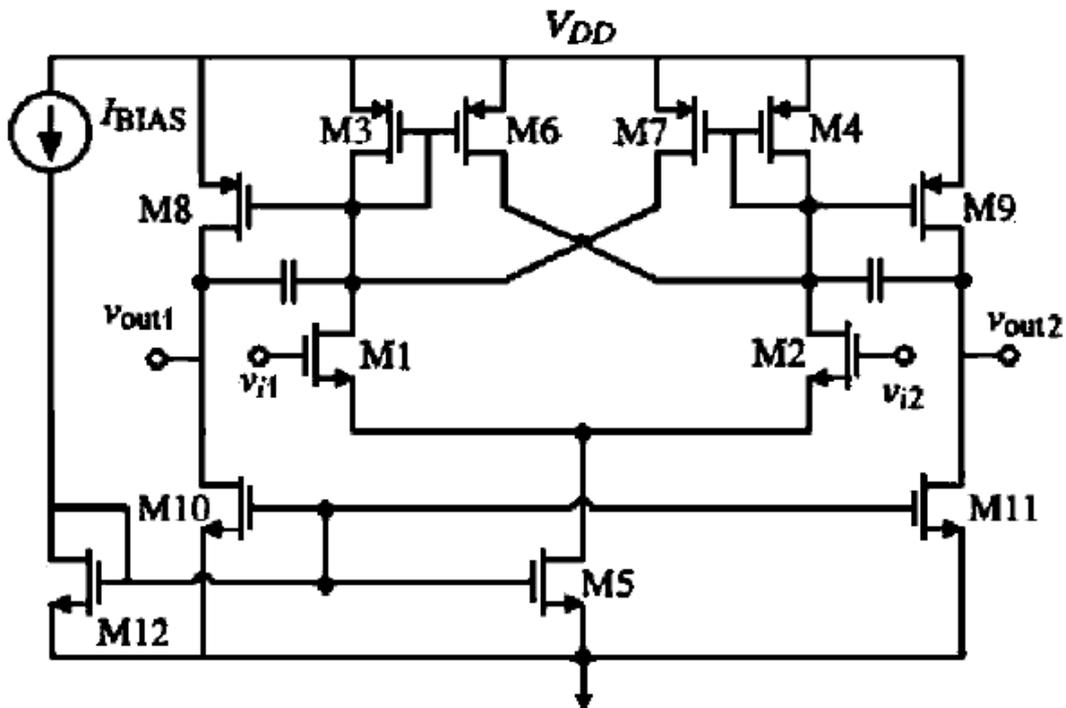


Figura A.23: Comparador com histerese interna e estágio de saída (ALLEN; HOLBERG, 2002).

Suponha que a tensão de entrada do transistor M_1 esteja aterrada e a tensão de entrada do transistor M_2 esteja um pouco abaixo de zero. Então o transistor M_1 está ligado e o transistor M_2 está cortado e em seguida, M_1 liga também os transistores M_3 e M_6 (espelho de corrente) e desliga os transistores M_4 e M_7 . A corrente I_5 flui toda pelos transistores M_1 e M_3 colocando a tensão de saída V_{out2} em V_{DD} . Neste momento, M_6 está atingindo a seguinte quantidade de corrente (ALLEN; HOLBERG, 2002):

$$i_6 = \frac{(W/L)_6}{(W/L)_3} * i_5. \tag{A.27}$$

Assim que a tensão V_i que está na entrada do transistor M_2 incrementa até a tensão V_{TRP} que ainda não é conhecida, uma parte da corrente I_5 começa a fluir pelo transistor M_2 . Isto faz com que a corrente que flui pelo transistor M_2 seja igual à corrente que flui por M_6 . Esta igualdade é necessária para analisar e encontrar qual o valor de tensão crítica (*Trip Point Voltage*) para que se

defina a histerese (ALLEN; HOLBERG, 2002). Analisando o circuito da figura A.23 é possível determinar as correntes para cada transistor do circuito.

$$i_6 = \frac{(W/L)_6}{(W/L)_3} * i_3. \quad (A.28)$$

$$i_2 = i_6. \quad (A.29)$$

$$i_5 = i_2 + i_1 \quad (i_1 = i_3). \quad (A.30)$$

$$i_3 = \frac{i_5}{1 + [(W/L)_6 / (W/L)_3]} = i_1. \quad (A.31)$$

$$i_2 = i_5 - i_1. \quad (A.32)$$

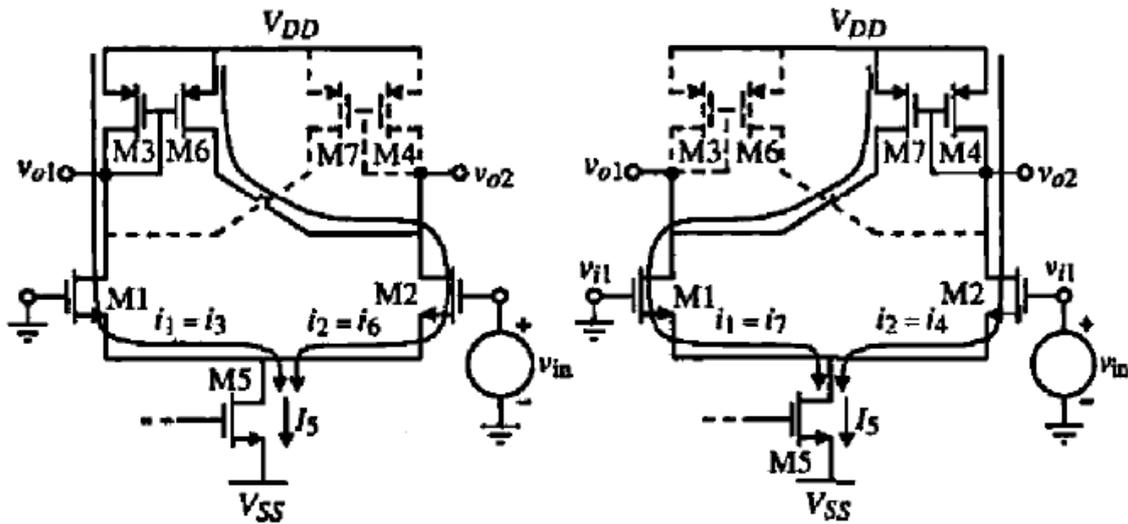


Figura A.24: Princípio de funcionamento da histerese interna (ALLEN; HOLBERG, 2002).

Conhecendo a corrente que flui pelos transistores M_1 e M_2 , é fácil calcular as tensões V_{gs} dos respectivos transistores. Desde que a porta do transistor M_1 esteja aterrada, a diferença das tensões V_{gs1} e V_{gs2} se torna a tensão V_{TRP+} positiva do comparador com histerese (ALLEN; HOLBERG, 2002).

$$v_{GS1} = \left(\frac{2 * i_1}{\beta_1} \right)^{1/2} + V_{T1}. \quad (A.33)$$

$$v_{GS2} = \left(\frac{2 * i_2}{\beta_2} \right)^{1/2} + V_{T2}. \quad (A.34)$$

$$V_{TRP+} = v_{GS2} - v_{GS1}. \quad (A.35)$$

Assim que a tensão V_{TRP+} é encontrada, o comparador altera o estado e a maioria da corrente I_5 começa a fluir pelos transistores M_2 e M_4 . Como resultado disso, o transistor M_7 liga e os transistores M_3 , M_6 e M_1 desligam. Realizando o mesmo procedimento realizado anteriormente para analisar o circuito da figura A.23, entretanto a ideia agora é encontrar a tensão V_{TRP-} , é possível determinar as correntes de cada transistor, como pode ser observado a seguir (ALLEN; HOLBERG, 2002).

$$i_7 = \frac{(W/L)_7}{(W/L)_4} * i_4. \quad (A.36)$$

$$i_1 = i_7. \quad (A.37)$$

$$i_5 = i_2 + i_1. \quad (A.38)$$

$$i_4 = \frac{i_5}{1 + [(W/L)_7 / (W/L)_4]} = i_2. \quad (A.39)$$

$$i_1 = i_5 - i_2. \quad (A.40)$$

$$V_{TRP-} = v_{GS2} - v_{GS1}. \quad (A.41)$$

O circuito foi implementado no *Cadence* utilizando corrente de polarização de 20 μ A e uma histerese de aproximadamente 20 mV para cima e para baixo. A histerese é simétrica, pois as relações W/L dos espelhos de corrente são iguais. Os valores dos comprimentos e das larguras dos transistores utilizados no comparador podem ser observados na tabela A.4.

Tabela A.4: Dimensões dos transistores do circuito comparador.

Transistores	W/L (μ m/ μ m)	Transistores	W/L (μ m/ μ m)
M1, M2	5.0/1.0	M8, M9	5.0/1.0
M3, M4	15.0/1.0	M10, M11	15.0/1.0
M5	10.0/1.0	M12	10.0/1.0
M6, M7	127.0/1.0		

O amplificador *cascode* na saída do comparador foi utilizado para aumentar a impedância de saída e conseqüentemente aumentar o ganho final do amplificador.

A.1.4 CIRCUITOS DE POLARIZAÇÃO

Como bem sabemos, para um bom funcionamento dos circuitos amplificador e comparador necessitam-se algumas tensões de polarização e essas tensões não podem sofrer variações, senão podem comprometer o bom funcionamento do conversor A/D. Após o dimensionamento dos transistores do amplificador operacional e do circuito de realimentação de modo comum, foi feito o dimensionamento dos transistores do circuito para geração das tensões de polarização do amplificador e do comparador e da tensão de referência V_{ref} .

Para simplificar os circuitos de polarização, optou-se por projetar um circuito de polarização utilizando a configuração que pode ser observada na figura A.25. Para calcular as dimensões dos transistores é necessário que os mesmos estejam na região de saturação.

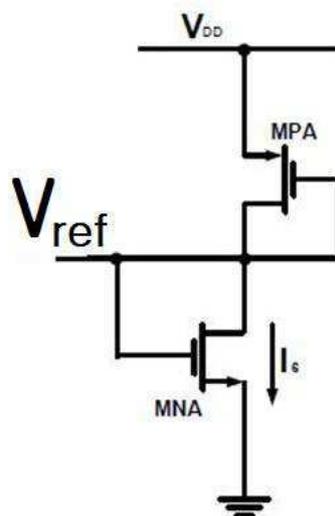


Figura A.25: Circuito da tensão de referência.

A corrente I_6 tem o valor de $80 \mu\text{A}$. Com o circuito e os valores da tensão e da corrente, fica fácil calcular as dimensões dos transistores.

Para simplificar o projeto do ADC foram utilizadas fontes ideais para gerar as tensões de referências positiva (V_{refp}) e negativa (V_{refn}). Os valores das tensões V_{refp} e V_{refn} são, respectivamente, 1,15 V e 0,65 V.

A.1.5 CHAVE ANALÓGICA

As chaves analógicas estão entre os dispositivos integrados mais simples que existem. A grande aplicação das chaves analógicas encontra-se nos circuitos a capacitor chaveado. Seu papel nesse tipo de aplicação é de fundamental importância, pois são elas que permitem a dinâmica do sinal.

Todavia, os circuitos a capacitores chaveados sofrem com o problema de injeção de carga (GREGORIAN, e TEMES, 1986). Para que um transistor MOS conduza corrente elétrica, é necessário que um canal seja formado na região abaixo da porta (JONHS e MARTIN, 1997), (GREGORIAN, e TEMES, 1986). O canal é constituído por elétrons, em um transistor NMOS, e por lacunas, em um transistor PMOS. Dessa forma, quando uma chave MOS se abre, parte das cargas que constituíam o canal é injetada no capacitor ligado a ela, provocando um erro em sua tensão.

O fenômeno da injeção de carga é aleatório e não-linear. Portanto, a injeção de carga provoca erros na resposta em frequência do circuito a capacitores chaveados e aumenta a distorção harmônica do sinal na saída.

Neste projeto, o emprego da estrutura diferencial na implementação do circuito do sub-DAC ajuda na redução dos efeitos da injeção de carga, pois os erros de tensão provocados por este fenômeno aparecem como tensões de modo comum, que são rejeitadas pela estrutura diferencial. Entretanto, apenas adotar uma estrutura diferencial não é o bastante. É necessário projetar as chaves analógicas de tal forma a minimizar a quantidade de cargas injetadas. A injeção de carga pode ser significativamente atenuada se as chaves analógicas do circuito forem projetadas cuidadosamente, com o emprego de uma estrutura complementar e com a adição de transistores *dummy*.

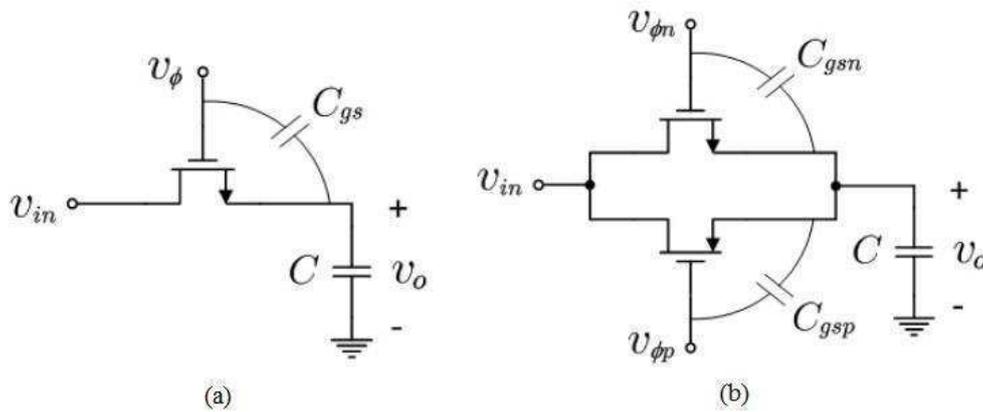


Figura A.26: (a) Chave simples. (b) Chave Complementar.

Outra questão a ser considerada no projeto das chaves analógicas, é o efeito de *clock feedthrough*. Na figura A.26 (a) é apresentado um circuito composto por um capacitor C e um transistor NMOS, operando como uma chave analógica. A figura mostra que a capacitância que existe entre a porta e a fonte forma um divisor capacitivo com o capacitor C , permitindo que uma parcela do sinal de *clock* apareça em V_0 . Essa interferência é conhecida como *clock feedthrough* (GREGORIAN, e TEMES, 1986).

A parcela de tensão sobre o capacitor C devido ao efeito de *clock feedthrough* pode ser determinado por:

$$v_0 = \frac{C_{gs}}{C_{gs} + C} * v_\phi \quad (\text{A.42})$$

A Figura A.26 (b) ilustra o caso em que uma chave complementar é utilizada para carregar o capacitor C . Nesse caso, a tensão que aparece no capacitor, devido ao efeito de *clock feedthrough*, pode ser expressa por:

$$v_0 = \frac{C_{gsn}}{C_{gsn} + C_{gsp} + C} * v_{\phi n} + \frac{C_{gsp}}{C_{gsn} + C_{gsp} + C} * v_{\phi p}. \quad (\text{A.43})$$

Se os dois transistores da chave complementar apresentarem a mesma área de canal, teremos que $C_{gsn} = C_{gsp}$. Além disso, os sinais de *clock* que acionam as chaves são complementares. No caso deste projeto, como está sendo utilizado um sinal analógico com uma tensão de *off-set* de 0,9 V, o sinal

de *clock* tem $v_{\phi n} = 0,9 \text{ V}$ e $v_{\phi p} = -0,9 \text{ V}$, e vice-versa. Desse modo, pode-se escrever que $V_{\phi n} = -V_{\phi p}$.

Portanto, para este caso ideal em que $C_{gsn} = C_{gsp}$ e $V_{\phi n} = -V_{\phi p}$, (A.44) mostra que $V_0 = 0$, atenuando o efeito de *clock feedthrough*.

Por isso, com o objetivo de minimizar a quantidade de cargas injetadas e o *clock feedthrough*, adotou-se o circuito da figura A.27 para a implementação das chaves analógicas do conversor A/D a capacitores chaveados.

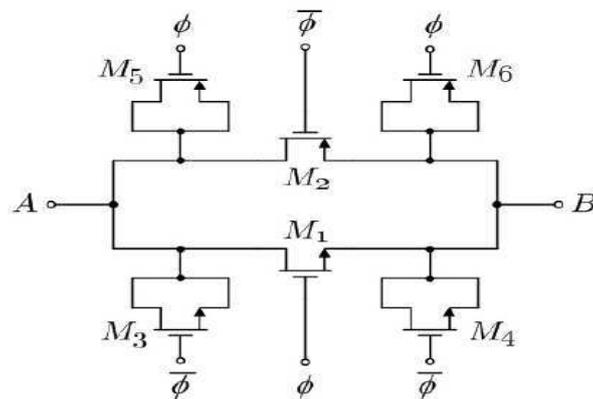


Figura A.27: Circuito da chave analógica.

. Outra vantagem da chave complementar está no fato de que ela apresenta uma resistência menor que a de uma chave implementada com apenas um transistor MOS.

Além disso, uma chave construída com apenas um transistor precisaria de uma largura maior para conseguir ter a mesma resistência de uma chave complementar, o que aumentaria a área do canal do transistor e elevaria a quantidade de cargas injetadas. A resistência de uma chave complementar quando acionada pode ser dada por:

$$R_{ON} = \frac{L}{K_N * W * (V_{GS} - V_T)} \Big|_{NMOS} // \frac{L}{K_P * W * (V_{GS} - V_T)} \Big|_{PMOS} \quad (A.45)$$

em que L é o comprimento do transistor, W é a largura, K_N e K_P são parâmetros de transcondutância dos transistores NMOS e PMOS, respectivamente, que

depende do processo de fabricação, V_{GS} é a tensão entre o gate e a fonte do transistor e V_T é a tensão de limiar.

Outra técnica de redução da injeção de cargas, adotada no circuito da figura A.27, é o emprego de transistores *dummy*. Nesse circuito, os transistores M_1 e M_2 são os transistores principais da chave complementar. Os transistores M_3 , M_4 , M_5 e M_6 são transistores *dummy*, adicionados ao circuito apenas com o objetivo de assimilar as cargas restantes dos transistores principais.

No circuito da Figura A.27, quando o transistor M_1 abre, os transistores M_3 e M_4 são fechados. Nesse momento, o canal de M_1 será desfeito e serão criados os canais de M_3 e M_4 . Assim, as cargas que outrora constituíam o canal de M_1 , serão assimiladas pelos transistores M_3 e M_4 , para a formação de seus respectivos canais, reduzindo a injeção de carga.

No projeto de chaves analógicas com transistores *dummy*, recomenda-se que estes transistores sejam dimensionados de forma que cada um tenha seu canal com metade da área do canal dos transistores principais (BARÚQUI, 1999). Desse modo, na média, a quantidade de carga armazenada no canal do transistor principal será igual à quantidade de carga armazenada nos canais dos dois transistores *dummy*.

Com o uso de simulações, foram dimensionados os transistores que funcionam como chaves nas entradas dos amplificadores operacionais. Foram realizadas simulações com chaves PMOS e NMOS (compondo uma porta de transmissão) de modo a resistência da chave seja a menor possível, para poder ter uma maior excursão da tensão de entrada aplicada.

O ADC proposto utiliza vinte e oito chaves complementares em cada um dos sete primeiros estágios, totalizando 112 chaves. O oitavo bloco é composto apenas do comparador, e não utiliza nenhuma chave. Na tabela A.5 podem ser observados os comprimentos e larguras dos transistores utilizados nas chaves complementares utilizadas nos circuitos a capacitor chaveado. Os transistores *dummy* utilizados nas chaves possuem metade do comprimento dos transistores principais.

Tabela A.5: Dimensões dos transistores principais utilizados como chave analógica nos circuitos a capacitor chaveado (SC) de cada estágio.

. Transistores	W/L ($\mu\text{m}/\mu\text{m}$)
NMOS	10/0.18
PMOS	20/0.18

APÊNDICE B

Neste apêndice serão realizadas as análises dos circuitos utilizados neste trabalho. Inicialmente será demonstrado o funcionamento do circuito de um estágio do ADC de dobramento utilizando resistores, depois serão feitas as análises dos circuitos a capacitor chaveado.

B.1 ANÁLISE DO CIRCUITO DE UM ESTÁGIO DO ADC DE DOBRAMENTO UTILIZANDO RESISTORES

O diagrama esquemático do circuito de um estágio do ADC de dobramento utilizando resistores pode ser observado na figura B.1.

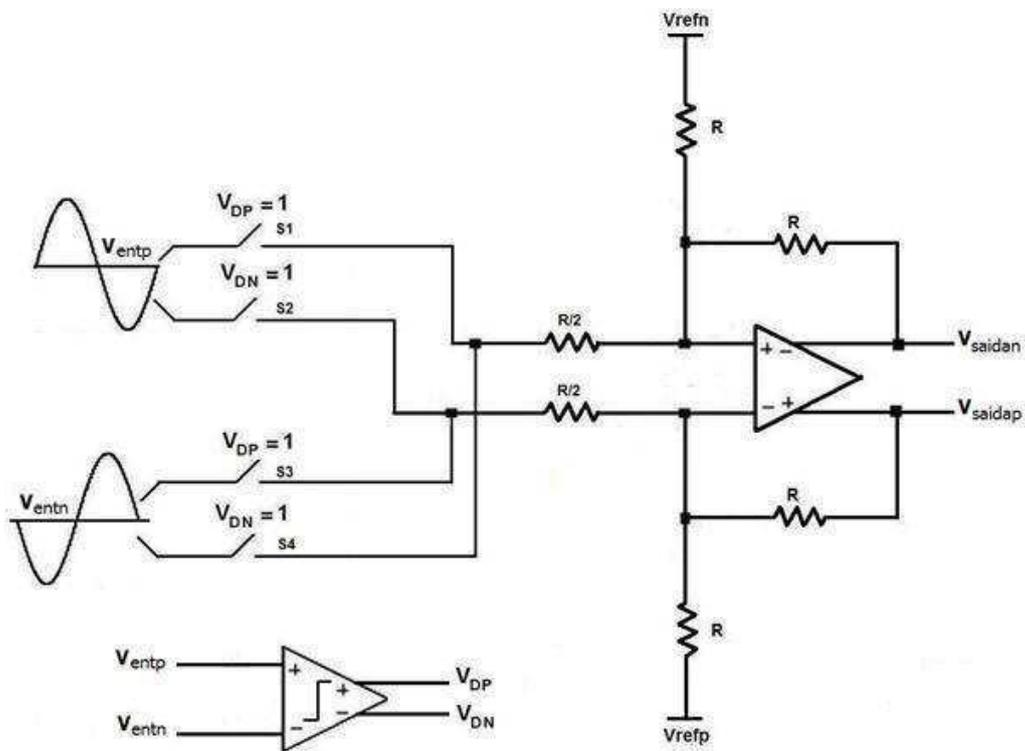


Figura B.1: Diagrama esquemático de um estágio do ADC de dobramento utilizando resistores (RODRIGUES, 2011).

B.1.1 FUNCIONAMENTO DO CONVERSOR A/D DE DOBRAMENTO UTILIZANDO RESISTORES

Dependendo dos valores das saídas do comparador da figura B.1 (V_{DP} e V_{DN}), o amplificador é ajustado em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a 1 e a saída digital V_{DN} é igual a 0. Dessa forma as chaves S1 e S3 são fechadas e as chaves S2 e S4 são abertas e o circuito resultante pode ser observado na figura B.2 (RODRIGUES, 2011).

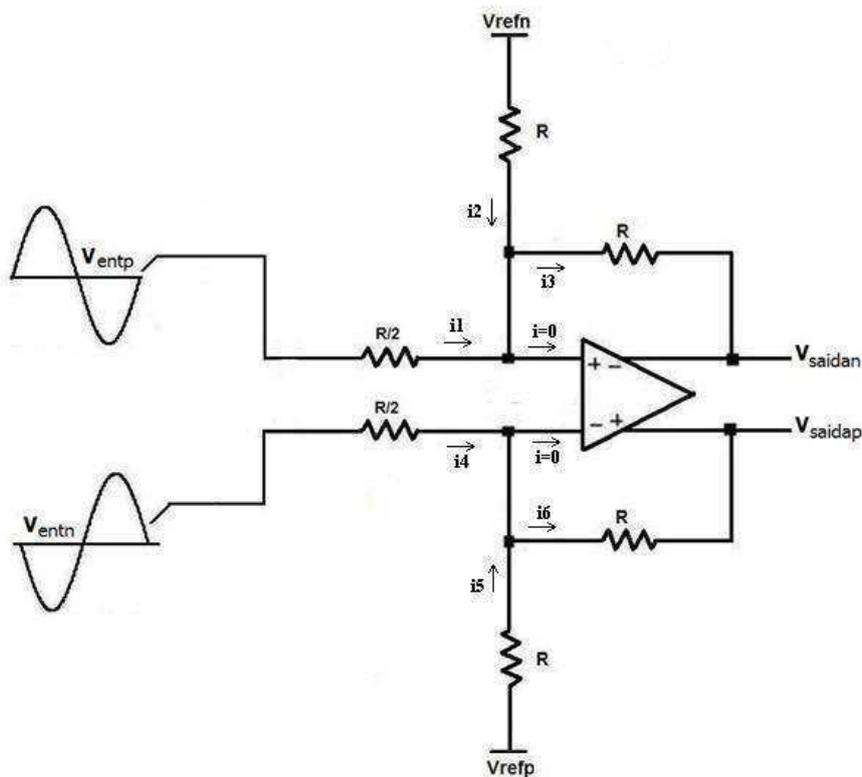


Figura B.2: Diagrama esquemático da primeira configuração do ADC de dobramento (RODRIGUES, 2011).

Aplicando a Lei de Kirchhoff das correntes e analisando o circuito da figura B.2, tem-se:

- Para o nó da entrada positiva do amplificador:

$$i_1 + i_2 = i_3 \longrightarrow \frac{V_{entp} - v^+}{R/2} + \frac{V_{refn} - v^+}{R} = \frac{v^+ - V_{saidan}}{R} \longrightarrow$$

$$\frac{2 * (V_{entp} - v^+)}{R} + \frac{V_{refn} - v^+}{R} = \frac{v^+ - V_{saidan}}{R} \longrightarrow$$

$$v^+ = \frac{2 * V_{entp} + V_{refn} + V_{saidan}}{4} \quad (\text{B.1})$$

- Para o nó da entrada negativa do amplificador:

$$i_4 + i_5 = i_6 \longrightarrow \frac{V_{entn} - v^-}{R/2} + \frac{V_{refp} - v^-}{R} = \frac{v^- - V_{saidap}}{R} \longrightarrow$$

$$\frac{2 * (V_{entn} - v^-)}{R} + \frac{V_{refp} - v^-}{R} = \frac{v^- - V_{saidap}}{R} \longrightarrow$$

$$V_{saidap} = 4 * v^- - 2 * V_{entn} - V_{refp} \quad (\text{B.2})$$

Como em um amplificador operacional $V^- = V^+$ e substituindo a equação B.1 na equação B.2, tem-se:

$$V_{saidap} = 4 * \left(\frac{2 * V_{entp} + V_{refn} + V_{saidan}}{4} \right) - 2 * V_{entp} - V_{refp} \longrightarrow$$

$$V_{saidap} - V_{saidan} = 2 * (V_{entp} - V_{entn}) + (V_{refn} - V_{refp}) \quad (\text{B.3})$$

A segunda e última configuração acontece quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S_1 e S_3 são abertas e as chaves S_2 e S_4 são fechadas e as saídas do amplificador operacional diferencial são iguais a:

$$V_{saidap} - V_{saidan} = 2 * (V_{entn} - V_{entp}) + (V_{refn} - V_{refp}) \quad (\text{B.4})$$

Desta forma, a tensão da saída analógica para o conversor de dobramento existente na figura B.1 possui uma saída que pode ser expressa como:

$$V_{saidap} - V_{saidan} = V_{DP} * [2 * (V_{entp} - V_{entn})] + V_{DN} * [2 * (V_{entn} - V_{entp})] + (V_{refn} - V_{refp}) \quad (\text{B.5})$$

B.2 ANÁLISE DO CIRCUITO DE UM ESTÁGIO DO ADC DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO

Utilizando a mesma arquitetura para o ADC de dobramento existente na figura 4.8, substituindo os resistores pelos capacitores chaveados e realizando a modificação na saída do amplificador para que a saída não fique em aberto em nenhum momento para que a tensão de saída não vá para a saturação, como explicado no capítulo 3, nós chegaremos ao diagrama esquemático que pode ser observado na figura 4.10.

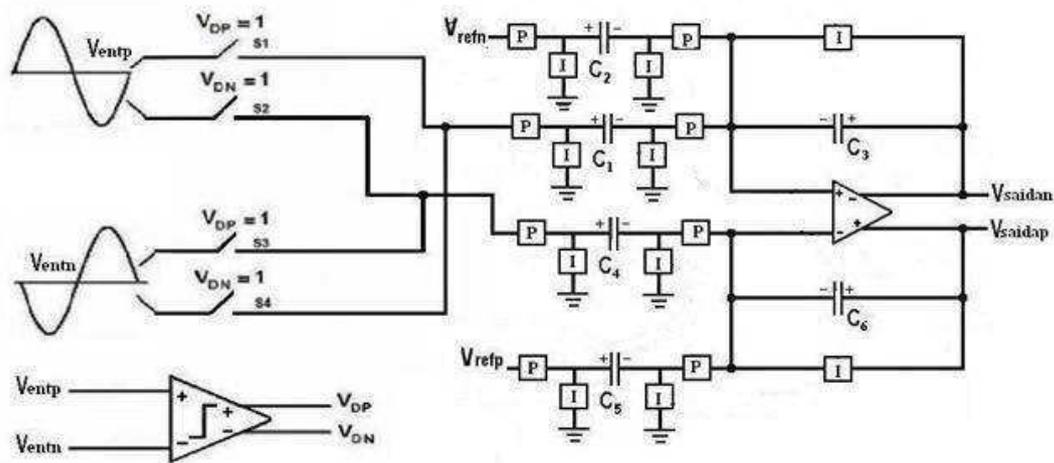


Figura B.3: Diagrama esquemático do ADC de dobramento utilizando circuitos a capacitor chaveado.

Os circuitos a capacitores chaveados são compostos de capacitores e chaves que são acionadas em dois instantes distintos, instantes ímpares (I) e instantes pares (P). Nos instantes ímpares, as chaves “I” são acionadas e nos instantes pares, as chaves “P” são acionadas. Em cada instante de acionamento tem de ser realizada uma análise no circuito do ponto de vista de balanço de cargas para poder determinar a expressão de saída.

B.2.1 FUNCIONAMENTO DO CONVERSOR A/D DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO

Da mesma forma que o circuito da figura B.1, dependendo dos valores das saídas do comparador da figura B.3 (V_{DP} e V_{DN}), o amplificador é ajustado

em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a 1 e a saída digital V_{DN} é igual a 0. Dessa forma as chaves S1 e S3 são fechadas e as chaves S2 e S4 são abertas e o circuito resultante pode ser observado na figura B.4.

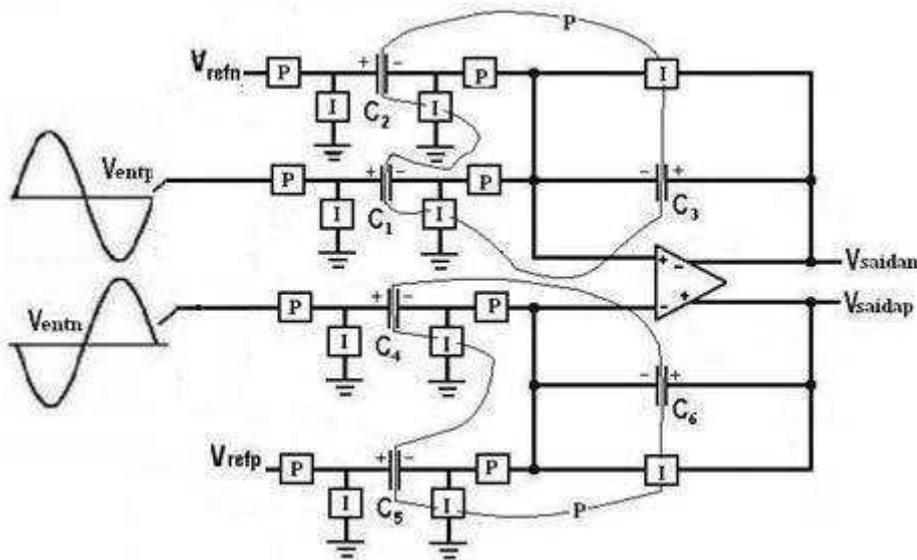


Figura B.4: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado.

Realizando a análise do circuito do ponto de vista balanço de cargas dos capacitores teremos:

- 1) Cargas nos capacitores nos instantes “P”;

Fechando as chaves nos instantes “P” e deixando aberto nos instantes “I”, teremos:

- Para a entrada positiva do amplificador:

$$Q_{C1}^P(n) = C_1 * (v_{entp}^P(n) - v_+^P(n))$$

$$Q_{C2}^P(n) = C_2 * (v_{refn}^P(n) - v_+^P(n))$$

$$Q_{C3}^P(n) = C_3 * (v_{saidan}^P(n) - v_+^P(n))$$

- Para a entrada negativa do amplificador, teremos:

$$Q_{C4}^P(n) = C_4 * (v_{entn}^P(n) - v_-^P(n))$$

$$Q_{C5}^P(n) = C_5 * (v_{refp}^P(n) - v_-^P(n))$$

$$Q_{C6}^P(n) = C_6 * (v_{saidap}^P(n) - v_-^P(n))$$

Fechando as chaves nos instantes “I” e deixando aberto nos instantes “P”, teremos:

- 2) Cargas nos capacitores nos instantes “I”:

- Para a entrada positiva do amplificador, teremos:

$$Q_{C1}^I\left(n - \frac{1}{2}\right) = 0.$$

$$Q_{C2}^I\left(n - \frac{1}{2}\right) = 0.$$

$$Q_{C3}^I\left(n - \frac{1}{2}\right) = 0.$$

- Para a entrada negativa do amplificador, teremos:

$$Q_{C4}^I\left(n - \frac{1}{2}\right) = 0.$$

$$Q_{C5}^I\left(n - \frac{1}{2}\right) = 0.$$

$$Q_{C6}^I\left(n - \frac{1}{2}\right) = 0.$$

- 3) Realizando o balanço de cargas nos instantes “P”, teremos:

- Para a entrada positiva do amplificador:

Observando que todas as cargas no interior do círculo de carga é negativo, pode-se somar todas elas.

$$-C_1 * (v_{entp}^P(n) - v_+^P(n)) - C_2 * (v_{refn}^P(n) - v_+^P(n)) - C_3 * (v_{saidan}^P(n) - v_+^P(n)) = 0 \rightarrow$$

$$(C_1 + C_2 + C_3) * v_+^P(n) = C_3 * v_{saidan}^P(n) + C_1 * v_{entp}^P(n) + C_2 * v_{refn}^P(n),$$

desta forma, aplicando a transformada z teremos:

$$v^+(z) = \frac{C_3 * v_{saidan}(z) + C_1 * v_{entp}(z) + C_2 * v_{refn}(z)}{(C_1 + C_2 + C_3)} \quad (B.6)$$

- Para a entrada negativa do amplificador, teremos:

Da mesma forma, observando que todas as cargas no interior do círculo de carga são negativas, pode-se somar todas elas.

$$-C_4 * (v_{entn}^P(n) - v_-^P(n)) - C_5 * (v_{refp}^P(n) - v_-^P(n)) - C_6 * (v_{saidap}^P(n) - v_-^P(n)) = 0 \rightarrow$$

$$C_6 * v_{saidap}^P(n) = C_4 * v_{entn}^P(n) + C_5 * v_{refp}^P(n) + (C_4 + C_5 + C_6) * v_-^P(n)$$

Aplicando a transformada z teremos:

$$C_6 * v_{saidap}(z) = -C_4 * v_{entn}(z) - C_5 * v_{refp}(z) + (C_4 + C_5 + C_6) * v^-(z) \quad (B.7)$$

Sabendo que em um amplificador operacional, a tensão que está na entrada negativa é igual a tensão na entrada positiva, $v^-(z) = v^+(z)$, substituindo a equação B.6 na equação B.7 e fazendo $C_4 = C_1 = 2 * C_2$ e $C_3 = C_5 = C_6 = C_2$, tem-se:

$$C_2 * v_{saidap}(z) = -2 * C_2 * v_{entn}(z) - C_2 * v_{refp}(z) + (2 * C_2 + C_2 + C_2) * \left[\frac{C_2 * v_{saidan}(z) + 2 * C_2 * v_{entp}(z) + C_2 * v_{refn}(z)}{(2 * C_2 + C_2 + C_2)} \right]$$

$$\begin{aligned}
& C_2 * [v_{saidap}(z) - v_{saidan}(z)] \\
&= 2 * C_2 * [v_{entp}(z) - v_{entn}(z)] + C_2 * [v_{refn}(z) - v_{refp}(z)] \rightarrow
\end{aligned}$$

$$\begin{aligned}
& v_{saidap}(z) - v_{saidan}(z) \\
&= \frac{2 * C_2}{C_2} * [v_{entp}(z) - v_{entn}(z)] + \frac{C_2}{C_2} * [v_{refn}(z) - v_{refp}(z)]
\end{aligned}$$

Desta forma a saída do amplificador operacional diferencial é igual a:

$$v_{saidap}(z) - v_{saidan}(z) = 2 * [v_{entp}(z) - v_{entn}(z)] + [v_{refn}(z) - v_{refp}(z)] \quad (B.8)$$

Da mesma forma pode-se proceder para a segunda e última configuração que acontece quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S_1 e S_3 são abertas e as chaves S_2 e S_4 são fechadas e as saídas do amplificador operacional diferencial são iguais a:

$$v_{saidap}(z) - v_{saidan}(z) = 2 * [v_{entn}(z) - v_{entp}(z)] + [v_{refn}(z) - v_{refp}(z)] \quad (B.9)$$

Como pode ser observado, as equações B.8 e B.9 são equivalentes as equações B.3 e B.4 respectivamente. Desta forma, o conversor de dobramento existente na figura B.10 possui uma saída analógica que pode ser determinada como:

$$\begin{aligned}
V_{saidap}(z) - V_{saidan}(z) = & V_{DP} * [2 * (V_{entp}(z) - V_{entn}(z))] + V_{DN} * [2 * \\
& (V_{entn}(z) - V_{entp}(z))] + (V_{refn}(z) - V_{refp}(z)) \quad (B.10)
\end{aligned}$$

B.3 ANÁLISE DO CIRCUITO DE UM ESTÁGIO DO ADC DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO MODIFICADO

Após verificar estes erros na conversão do sinal de entrada, foi realizada uma modificação no circuito do amplificador diferencial a capacitor chaveado. As modificações executadas no circuito podem ser observadas na figura B.5.

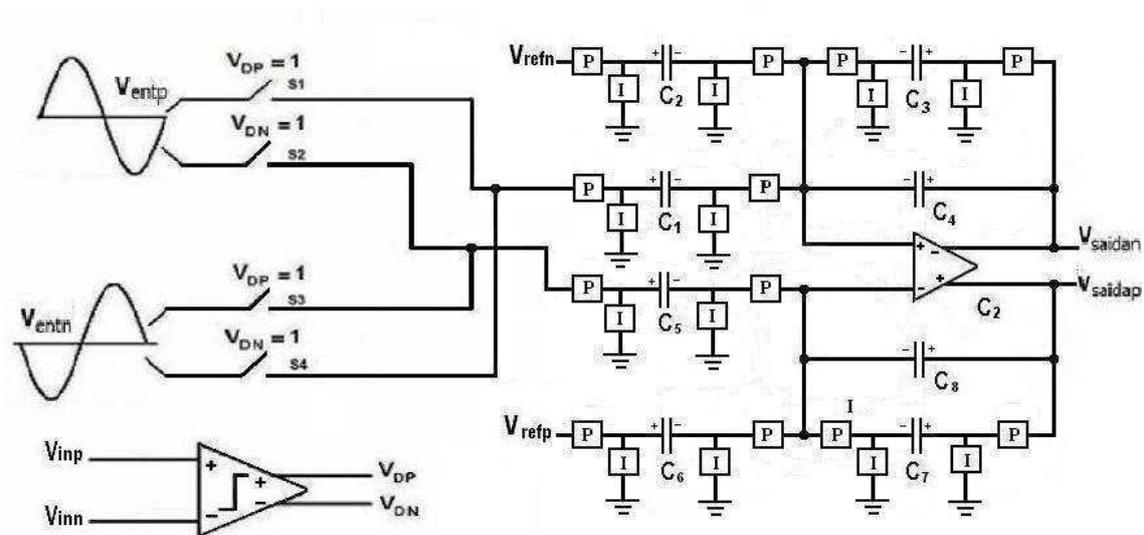


Figura B.5: Diagrama esquemático de um estágio do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.

A inserção de mais um capacitor juntamente com as chaves no circuito não criará nenhuma alteração à tensão do sinal de saída, como será demonstrado a seguir, basta para tanto fazer com que o capacitor inserido tenha a mesma capacitância que o capacitor ligado a saída do amplificador.

B.3.1 FUNCIONAMENTO DO CONVERSOR A/D DE DOBRAMENTO UTILIZANDO CIRCUITOS A CAPACITOR CHAVEADO MODIFICADO

Da mesma forma que o circuito da figura B.3, dependendo dos valores das saídas do comparador da figura B.5 (V_{DP} e V_{DN}), o amplificador é ajustado em duas diferentes configurações. Se $V_{entp} \geq V_{entn}$, a saída digital V_{DP} é igual a

1 e a saída digital V_{DN} é igual a 0. Dessa forma as chaves S1 e S3 são fechadas e as chaves S2 e S4 são abertas e o circuito resultante pode ser observado na figura B.6.

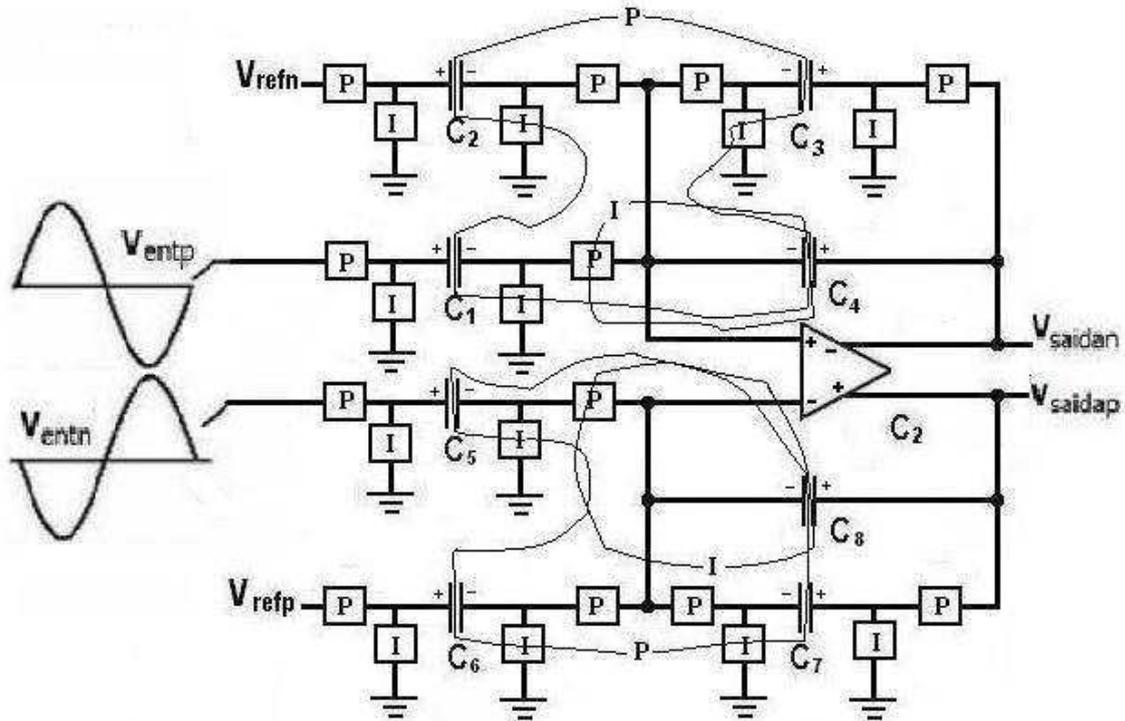


Figura B.6: Diagrama esquemático da primeira configuração do ADC de dobramento utilizando circuitos a capacitor chaveado modificado.

Realizando a análise do circuito do ponto de vista balanço de cargas dos capacitores teremos:

- 1) Cargas nos capacitores nos instantes “P”;

Fechando as chaves dos instantes “P” e deixando abertas as chaves dos instantes “I”, teremos:

Para a entrada positiva do amplificador:

$$Q_{C1}^P(n) = C_1 * [v_{entp}^P(n) - v_+^P(n)] = C_1 * v_{entp}^P(n) - C_1 * v_+^P(n)$$

$$Q_{C2}^P(n) = C_2 * [v_{refn}^P(n) - v_+^P(n)] = C_2 * v_{refn}^P(n) - C_2 * v_+^P(n)$$

$$Q_{C3}^P(n) = C_3 * [v_{saidan}^P(n) - v_+^P(n)] = C_3 * v_{saidan}^P(n) - C_3 * v_+^P(n)$$

$$Q_{C4}^P(n) = C_4 * [v_{saidan}^P(n) - v_+^P(n)] = C_4 * v_{saidan}^P(n) - C_4 * v_+^P(n)$$

- Para a entrada negativa do amplificador, teremos:

$$Q_{C5}^P(n) = C_5 * [v_{entn}^P(n) - v_-^P(n)] = C_5 * v_{entn}^P(n) - C_5 * v_-^P(n)$$

$$Q_{C6}^P(n) = C_6 * [v_{refp}^P(n) - v_-^P(n)] = C_6 * v_{refp}^P(n) - C_6 * v_-^P(n)$$

$$Q_{C7}^P(n) = C_7 * [v_{saidap}^P(n) - v_-^P(n)] = C_7 * v_{saidap}^P(n) - C_7 * v_-^P(n)$$

$$Q_{C8}^P(n) = C_8 * [v_{saidap}^P(n) - v_-^P(n)] = C_8 * v_{saidap}^P(n) - C_8 * v_-^P(n)$$

Fechando as chaves dos instantes “I” e deixando abertas as chaves dos instantes “P”, teremos:

- 2) Cargas nos capacitores nos instantes “I”:

- Para a entrada positiva do amplificador, teremos:

$$\begin{aligned} Q_{C4}^I\left(n - \frac{1}{2}\right) &= C_4 * \left[v_{saidan}^I\left(n - \frac{1}{2}\right) - v_+^I\left(n - \frac{1}{2}\right) \right] \\ &= C_4 * v_{saidan}^I\left(n - \frac{1}{2}\right) - C_4 * v_+^I\left(n - \frac{1}{2}\right) \end{aligned}$$

- Para a entrada negativa do amplificador, teremos:

$$\begin{aligned} Q_{C8}^I\left(n - \frac{1}{2}\right) &= C_8 * \left[v_{saidap}^I\left(n - \frac{1}{2}\right) - v_-^I\left(n - \frac{1}{2}\right) \right] \\ &= C_8 * v_{saidap}^I\left(n - \frac{1}{2}\right) - C_8 * v_-^I\left(n - \frac{1}{2}\right) \end{aligned}$$

- 3) Realizando o balanço de cargas nos instantes “P”, teremos:

- Para a entrada positiva do amplificador:

Observando que todas as cargas no interior do círculo de carga são negativas, pode-se somar todas elas desprezando o sinal em ambos os lados da equação, desta forma tem-se:

$$\begin{aligned}
& C_1 * v_{entp}(n) - C_1 * v^+(n) + C_2 * v_{refn}(n) - C_2 * v^+(n) + C_3 * v_{saidan}(n) - C_3 \\
& \quad * v^+(n) + C_4 * v_{saidan}(n) - C_4 * v^+(n) \\
& \quad = C_4 * v_{saidan} \left(n - \frac{1}{2} \right) - C_4 * v^+ \left(n - \frac{1}{2} \right) \\
& (C_1 + C_2 + C_3 + C_4) * v^+(n) - C_4 * v^+ \left(n - \frac{1}{2} \right) = C_1 * v_{entp}(n) + C_2 * v_{refn}(n) + \\
& \quad (C_3 + C_4) * v_{saidan}(n) - C_4 * v_{saidan} \left(n - \frac{1}{2} \right) \tag{B.11}
\end{aligned}$$

- Para a entrada negativa do amplificador, teremos:

Da mesma forma, observando que todas as cargas no interior do círculo de carga são negativas, pode-se somar todas elas.

$$\begin{aligned}
& C_5 * v_{entn}(n) - C_5 * v^-(n) + C_6 * v_{refp}(n) - C_6 * v^-(n) + C_7 * v_{saidap}(n) - C_7 * v^-(n) \\
& \quad + C_8 * v_{saidap}(n) - C_8 * v^-(n) = C_8 * v_{saidap} \left(n - \frac{1}{2} \right) - C_8 * v^- \left(n - \frac{1}{2} \right) \\
& \quad (C_7 + C_8) * v_{saidap}(n) - C_8 * v_{saidap} \left(n - \frac{1}{2} \right) = (C_5 + C_6 + C_7 + C_8) * v^-(n) - C_8 * \\
& v^- \left(n - \frac{1}{2} \right) - C_5 * v_{entn}(n) - C_6 * v_{refp}(n) \tag{B.12}
\end{aligned}$$

- 4) Realizando o balanço de cargas nos instantes “1”, teremos:

- Para a entrada positiva do amplificador:

$$\begin{aligned}
& C_4 * v_{saidan}(n-1) - C_4 * v^+(n-1) \\
& \quad = C_4 * v_{saidan} \left(n - \frac{1}{2} \right) - C_4 * v^+ \left(n - \frac{1}{2} \right)
\end{aligned}$$

- Para a entrada negativa do amplificador:

$$\begin{aligned}
& C_8 * v_{saidap}(n-1) - C_8 * v^-(n-1) \\
& \quad = C_8 * v_{saidap} \left(n - \frac{1}{2} \right) - C_8 * v^- \left(n - \frac{1}{2} \right)
\end{aligned}$$

Da análise das equações no balanço de cargas nos instantes “I”, pode-se dizer que:

$$v_{saidap}(n-1) = v_{saidap}\left(n - \frac{1}{2}\right) \quad (\text{B.13})$$

$$v_{saidan}(n-1) = v_{saidan}\left(n - \frac{1}{2}\right) \quad (\text{B.14})$$

$$v^+(n-1) = v^+\left(n - \frac{1}{2}\right) \quad (\text{B.15})$$

$$v^-(n-1) = v^-\left(n - \frac{1}{2}\right) \quad (\text{B.16})$$

Substituindo as equações B.14 e B.15 na equação B.12 teremos:

$$(C_1 + C_2 + C_3 + C_4) * v^+(n) - C_4 * v^+(n-1) = C_1 * v_{entp}(n) + C_2 * v_{refn}(n) + (C_3 + C_4) * v_{saidan}(n) - C_4 * v_{saidan}(n-1) \quad (\text{B.17})$$

Substituindo as equações B.13 e B.16 na equação B.17 teremos:

$$(C_7 + C_8) * v_{saidap}(n) - C_8 * v_{saidap}(n-1) = (C_5 + C_6 + C_7 + C_8) * v^-(n) - C_8 * v^-(n-1) - C_5 * v_{entn}(n) - C_6 * v_{refp}(n) \quad (\text{B.18})$$

Aplicando a transformada z nas equações B.17 e B.18 e fazendo $C_5=C_1=2*C_2$ e $C_3=C_4=C_6= C_7= C_8=C_2$, teremos:

$$(2 * C_2 + C_2 + C_2 + C_2) * v^+(z) - C_2 * z^{-1} * v^+(z) = 2 * C_2 * v_{entp}(z) + C_2 * v_{refn}(z) + (C_2 + C_2) * v_{saidan}(z) - C_2 * z^{-1} * v_{saidan}(z) \rightarrow$$

$$v^+(z) = \frac{2*C_2*v_{entp}(z)+C_2*v_{refn}(z)+(2*C_2-C_2*z^{-1})*v_{saidan}(z)}{5*C_2-C_2*z^{-1}} \quad (\text{B.19})$$

$$(C_2 + C_2) * v_{saidap}(z) - C_2 * z^{-1} * v_{saidap}(z) = (2 * C_2 + C_2 + C_2 + C_2) * v^-(z) - C_2 * z^{-1} * v^-(z) - 2 * C_2 * v_{entn}(z) - C_2 * v_{refp}(z) \rightarrow$$

$$(2 * C_2 - C_2 * z^{-1}) * v_{saidap}(z) = (5 * C_2 - C_2 * z^{-1}) * v^-(z) - 2 * C_2 * v_{entn}(z) - C_2 * v_{refp}(z) \quad (\text{B.20})$$

Sabendo que em um amplificador operacional, a tensão que está na entrada negativa é igual a tensão na entrada positiva, $v^-(z)=v^+(z)$, substituindo a equação B.19 na equação B.20, tem-se:

$$\begin{aligned}
 & (2 * C_2 - C_2 * z^{-1}) * v_{saidap}(z) \\
 = & \left[(C_1 + 3 * C_2 - C_2 * z^{-1}) \right. \\
 & \left. * \frac{2 * C_2 * v_{entp}(z) + C_2 * v_{refn}(z) + (2 * C_2 - C_2 * z^{-1}) * v_{saidan}(z)}{C_1 + 3 * C_2 - C_2 * z^{-1}} \right] \\
 & - 2 * C_2 * v_{entn}(z) - C_2 * v_{refp}(z) \rightarrow \\
 & (2 * C_2 - C_2 * z^{-1}) * v_{saidap}(z) \\
 = & 2 * C_2 * v_{entp}(z) + C_2 * v_{refn}(z) + (2 * C_2 - C_2 * z^{-1}) * v_{saidan}(z) \\
 & - 2 * C_2 * v_{entn}(z) - C_2 * v_{refp}(z) \rightarrow \\
 & C_2 * (2 - z^{-1}) * [v_{saidap}(z) - v_{saidan}(z)] \\
 = & 2 * C_2 * [v_{entp}(z) - v_{entn}(z)] + C_2 * [v_{refn}(z) - v_{refp}(z)]
 \end{aligned}$$

Desta forma:

$$\begin{aligned}
 v_{saidap}(z) - v_{saidan}(z) = & \frac{2 * C_2}{C_2 * (2 - z^{-1})} * [v_{entp}(z) - v_{entn}(z)] + \frac{C_2}{C_2 * (2 - z^{-1})} * \\
 & [v_{refn}(z) - v_{refp}(z)]
 \end{aligned} \tag{B.21}$$

Como o intervalo T_a que é o período do *clock* de chaveamento é muito pequeno, pode-se dizer que:

$$z^{-1} = e^{-j\omega T_a} \approx 1 - j\omega T_a$$

Substituindo o termo de z^{-1} na equação B.21, teremos:

$$\begin{aligned}
 v_{saidap}(z) - v_{saidan}(z) \\
 = & \frac{2}{(2 - 1 + j\omega T_a)} * [v_{entp}(z) - v_{entn}(z)] + \frac{1}{(2 - 1 + j\omega T_a)} \\
 & * [v_{refn}(z) - v_{refp}(z)]
 \end{aligned}$$

$$\begin{aligned}
 v_{saidap}(z) - v_{saidan}(z) \\
 = & \frac{2}{(1 + j\omega T_a)} * [v_{entp}(z) - v_{entn}(z)] + \frac{1}{(1 + j\omega T_a)} * [v_{refn}(z) - v_{refp}(z)]
 \end{aligned}$$

Da mesma forma fazendo o processo inverso: $1 + j\omega T_a \approx e^{j\omega T_a} = z$ e substituindo na equação acima se tem:

$$v_{saidap}(z) - v_{saidan}(z) = \frac{2}{z} * [v_{entp}(z) - v_{entn}(z)] + \frac{1}{z} * [v_{refn}(z) - v_{refp}(z)]$$

Desta forma a saída do amplificador operacional diferencial é igual a:

$$v_{saidap}(z) - v_{saidan}(z) = \{2 * [v_{entp}(z) - v_{entn}(z)] + [v_{refn}(z) - v_{refp}(z)]\} * z^{-1} \text{ (B.22)}$$

Da mesma forma pode-se proceder para a segunda e última configuração que acontece quando $V_{entp} < V_{entn}$. Então, a saída digital V_{DP} é igual a 0 e a saída digital V_{DN} é igual a 1. Dessa forma as chaves S1 e S3 são abertas e as chaves S2 e S4 são fechadas e a saída do amplificador operacional diferencial é igual a:

$$v_{saidap}(z) - v_{saidan}(z) = \{2 * [v_{entn}(z) - v_{entp}(z)] + [v_{refn}(z) - v_{refp}(z)]\} * z^{-1} \text{ (B.23)}$$

Como pode ser observado, as equações B.22 e B.23 são equivalentes as equações B.3 e B.4 respectivamente, existindo apenas um atraso no sinal de saída em relação ao sinal de entrada.

Sendo assim cada estágio do conversor baseado nos circuitos a capacitor chaveado modificado mostrado na figura B.5 possui uma saída diferencial cuja tensão é determinada por:

$$V_{saidap}(z) - V_{saidan}(z) = \{V_{DP} * 2 * [V_{entp}(z) - V_{entn}(z)] + V_{DN} * 2 * [V_{entn}(z) - V_{entp}(z)] + (V_{refn}(z) - V_{refp}(z))\} * z^{-1} \text{ (B.24)}$$