
Estudo de Perdas em Inversores Alimentados por Tensão Pulsada no Barramento de Corrente Contínua

Marcelo Cabral Cavalcanti

Tese de Doutorado submetida à Coordenação dos Cursos de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Doutor em Ciências no domínio da Engenharia Elétrica.

Área de Concentração: Processamento da Energia

Edison Roberto Cabral da Silva, Dr.Ing.

Orientador

Dushan Boroyevich, Ph.D.

Co-Orientador

Campina Grande, Paraíba, Brasil

©Marcelo Cabral Cavalcanti, Fevereiro de 2003



C376e Cavalcanti, Marcelo Cabral
Estudo de perdas em inversores alimentados por tensão pulsada no barramento de corrente contínua / Marcelo Cabral Cavalcanti. - Campina Grande, 2003.
165 f.

Tese (Doutorado em Engenharia Elétrica) - Universidade Federal de Campina Grande, Centro de Ciências e Tecnologia.

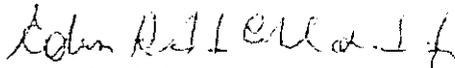
1. Cálculo de Perdas 2. Comutação Suave 3. Inversores 4. Tese I. Silva, Edison Roberto Cabral da II. Boroyevich, Dushan III. Universidade Federal de Campina Grande - Campina Grande (PB)

CDU 621.314.572(043)

**ESTUDO DE PERDAS EM INVERSORES ALIMENTADOS POR TENSÃO PULSADA
NO BARRAMENTO DE CORRENTE CONTÍNUA**

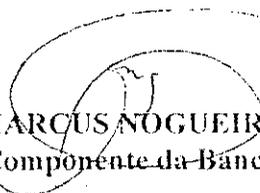
MARCELO CABRAL CAVALCANTI

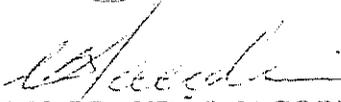
Tese Aprovada em 19.02.2003


PROF. EDISON ROBERTO CABRAL DA SILVA, Dr.Ing., UFCG
Orientador


PROF. DEMIZAR CRUZ MARTINS, Dr., UFSC
Componente da Banca


PROF. HÉLIO LEÃES HEY, Dr., UFSM
Componente da Banca


PROF. ANTONIO MARCUS NOGUEIRA LIMA, Dr., UFCG
Componente da Banca


PROF. CURSINO BRANDÃO JACOBINA, Dr.Ing., UFCG
Componente da Banca

**CAMPINA GRANDE – PB
FEVEREIRO - 2003**

Dedicatória

Dedico este trabalho a minha esposa Valeria, aos meus pais Joaquim e Gracita e a minha irmã Luciana.

Agradecimentos

A DEUS, primeiramente, pela minha vida.

Ao professor Edison Roberto Cabral da Silva, pela valorosa orientação e colaboração, sem as quais não seria possível a realização deste trabalho.

Ao professor Dushan Boroyevich pela orientação dada para o desenvolvimento do Capítulo 3 deste trabalho, nas instalações do CPES - Center for Power Electronics Systems no Virginia Polytechnic Institute and State University,

Aos professores Cursino Brandão Jacobina, Antônio Marcus Nogueira Lima e Talvanes Menezes Oliveira pelo apoio sem o qual não seria possível a realização deste trabalho.

Aos colegas dos Laboratórios de Eletrônica Industrial e Acionamento de Máquinas e de Instrumentação Eletrônica, pelo incentivo em todas as fases desta jornada.

Finalmente ao CNPq, que proporcionou-me suporte financeiro permitindo a realização desta tarefa.

Resumo

Este trabalho tem como objetivo dar uma contribuição ao estudo de inversores com tensão pulsada no barramento de corrente contínua. No trabalho, um estudo comparativo entre várias topologias existentes é realizado, observando-se as vantagens e desvantagens de cada circuito. Também são analisadas técnicas de modulação por largura de pulsos para comando desses inversores, em que são feitas considerações de uso na síntese das formas de onda senoidais de corrente na saída do inversor. Em particular, é analisada a implementação digital de algumas técnicas vetoriais, com resultados adequados à operação do inversor mencionado. Tais técnicas são analisadas em relação às perdas do desvio de corrente eficaz, levando em conta as perdas totais no sistema. A modulação a ser aplicada também é avaliada para que os inversores que possuem capacitores em paralelo com as chaves principais tenham uma maior estabilidade de funcionamento. A partir dos modelos de perdas nos dispositivos, desenvolvem-se equações de perdas que são usadas na simulação dos inversores. As equações de perdas são utilizadas em conjunto com as técnicas de modulação estudadas. O circuito e as técnicas propostas são analisados via simulação, considerando-se a influência das principais fontes de perdas. Finalmente, as técnicas são avaliadas através de resultados experimentais, com uma análise semelhante àquela usada nos resultados de simulação.

Abstract

This work aims to give a contribution to the study of pulsed DC link inverters. A comparative study is accomplished, considering several existent topologies and advantages and disadvantages of each circuit are observed. Pulse width modulation techniques are also analyzed, with conclusive considerations about synthesis of the output current sinusoidal waveforms in the inverter. Also, the digital implementation of some vector techniques is analyzed, the results being adequate for the operation of the pulsed link inverter. Such techniques are analyzed in relation to the RMS losses, taking into account the total losses in the system. The modulation to be considered is evaluated so that the inverters having capacitors in parallel with the main switches have larger operation stability. Obtained from models of IGBTs, inserted in basic test circuits, equations of losses are used in the simulation of the inverters. The equations of losses are used together with modulation techniques studied. The circuit and the proposed techniques are analyzed through simulation in which the influence of the main sources of losses is considered. Finally, simulated results for new proposed circuits, PWM techniques, and the technique for calculation of losses are corroborated by experimental results achieved for simulation conditions.

Lista de Símbolos e Abreviaturas

A_{ch} e B_{ch}	Constantes obtidas da curva de chaveamento para o dispositivo
B_{con}	Constante obtida da curva de condução para o dispositivo
b, c, d, e, f	Sinais lógicos de μ
C_c	Capacitor eletrolítico
C_k	Amplitude do harmônico de ordem k
C_r	Capacitor ressonante
D	Diodo do circuito auxiliar
$D_1 - D_6$	Diodos do inversor
D_i	Diodo equivalente do inversor
E	Tensão da fonte CC
E_{ch}	Energia de chaveamento para o dispositivo
f_c	freqüência de chaveamento
f_m	freqüência do sinal modulante
I_0	Corrente de carga
i_{ef}	Valor eficaz do desvio de corrente
L_c	Indutor na carga
L_r	Indutor ressonante
m	Índice de modulação
P_{con}	Perdas de condução no dispositivo
P_{ef}	Perdas devido ao desvio de corrente eficaz
R	Resistência equivalente da carga
R_o	Resistência dinâmica para o dispositivo
S_a, S_b e S_c	Chave do circuito auxiliar
S_{cc}	Chave em série do circuito auxiliar
$S_1 - S_6$	Chaves do inversor
S_i	Chave equivalente do inversor

T	Período fundamental
T_{ch}	Intervalo de chaveamento
T_d	Tempo de oscilação do capacitor na descida de corrente
T_n	Tempo de aplicação de $-E/2$
T_p	Tempo de aplicação de $E/2$
T_{pad}	Intervalo do padrão de chaveamento
T_s	Tempo de oscilação do capacitor na subida de corrente
T^-	Intervalo de tempo gasto durante a descida de Δi
T^+	Intervalo de tempo gasto durante a subida de Δi
t_{01} e t_{02}	Intervalos de aplicação dos vetores nulos
$U(t)$	Queda de tensão no dispositivo
U_o	Tensão direta para o dispositivo
v_a^*, v_b^* , e v_c^*	Tensões de referência senoidais
v_a', v_b' , e v_c'	Tensões de referência distorcidas
v_d	Tensão média na descida de corrente
v_h	Componente de sequência nula
v_s	Tensão média na subida de corrente
v_x^*	Valor máximo entre as tensões de referência
v_z^*	Valor mínimo entre as tensões de referência
V_0 e V_7	Vetores nulos da modulação por largura de pulsos
$V_1 - V_6$	Vetores ativos da modulação por largura de pulsos
V_{0B}	Entalhe como vetor nulo
δi	Desvio de corrente
Φ_{V-I}	Defasagem entre tensão e corrente de fase
μ	Razão de distribuição dos vetores nulos
τ_a, τ_b e τ_c	Intervalos de aplicação de $E/2$ em cada uma das fases
τ_h	Tempo da componente de sequência nula
τ_x	Maior intervalo de tempo entre as três fases
τ_z	Menor intervalo de tempo entre as três fases
θ_s	Ângulo de deslocamento das formas de onda

ACRDCL	Barramento Ressonante Grampeado Ativamente (Active Clamped RDCL)
AF	Ângulo de Fase
ARCP	Pólo Comutado Ressonante Auxiliar (Auxiliary Resonant Commutated Pole)
CA	Corrente Alternada
CAC	Circuito Auxiliar de Chaveamento
CC	Corrente Contínua
CPWM	Modulação por Largura de Pulsos Contínua (Continuous PWM)
DHT	Distorção Harmônica Total
DPWM	Modulação por Largura de Pulsos Descontínua (Discontinuous PWM)
ELF	Entalhe com Largura Fixa
ELV	Entalhe com Largura Variável
FD	Fator de Distorção
HS	Comutação Dissipativa (Hard Switching)
MSM	Modulação Senoidal Modificada
PDM	Modulação por Densidade de Pulsos (Pulse Density Modulation)
PWM	Modulação por Largura de Pulsos (Pulse Width Modulation)
RDC	Redução do Desvio de Corrente
RDCL	Barramento Ressonante (Resonant DC Link)
SM	Modulação Senoidal (Sinusoidal Modulation)
SMNS	Sinais Modulantes Não Senoidais
SVM	Modulação Vetorial (Space Vector Modulation)
TPB	Tensão Pulsada no Barramento
ZCS	Comutação a Corrente Nula (Zero Current Switching)
ZVS	Comutação a Tensão Nula (Zero Voltage Switching)
ZVZCS	Comutação a Tensão e Corrente Nulas (Zero Voltage Zero Current Switching)

Lista de Figuras

2.1	Configuração do inversor TPB	14
2.2	Tipos de pulsos de tensão	14
2.3	Circuito equivalente do sistema durante cada pulso ressonante	15
2.4	Inversores pulso ressonante	15
2.5	Etapas de operação do CAC I	17
2.6	Formas de onda simuladas para o CAC I	17
2.7	Inversores pulso ressonante com tensão de pico reduzida	18
2.8	Inversor (a) sem divisão e (b) com divisão do capacitor de entrada	19
2.9	Inversores pulso ressonante PWM	20
2.10	Inversores pulso ressonante PWM com tensão de pico reduzida	21
2.11	Inversores quase-ressonantes com entalhe de largura fixa	23
2.12	Inversores quase-ressonantes com entalhe de largura variável	24
2.13	Etapas de operação do CAC XXVII	26
2.14	Formas de onda simuladas para o CAC XXVII	27
2.15	Conversores com circuitos ZVZCS	28
2.16	Circuito simplificado do inversor ZVZCS I	29
2.17	Etapas de operação do circuito ZVZCS I	29
2.18	Formas de onda simuladas para o circuito ZVZCS I	30
2.19	Plano de fase do circuito ZVZCS I	31
2.20	Circuito simplificado do inversor ZVZCS II	32
2.21	Etapas de operação do circuito ZVZCS II	32
2.22	Formas de onda simuladas para o circuito ZVZCS II	33
2.23	Plano de fase do inversor ZVZCS II	34
2.24	Circuito sem capacitor do inversor	35
2.25	Etapas de operação do circuito sem capacitor do inversor	36
2.26	Formas de onda simuladas para o circuito sem capacitor do inversor	36
2.27	Circuito novo I	37

2.28	Etapas de operação do circuito novo I	38
2.29	Formas de onda simuladas para o circuito novo I	38
2.30	Resultados experimentais para o circuito novo I	43
2.31	Circuito novo II	44
2.32	Etapas de operação do circuito novo II	44
2.33	Formas de onda simuladas para o circuito novo II	44
2.34	Resultados experimentais para o circuito novo II	47
2.35	Detalhe do disparo e bloqueio de S_a para o circuito novo II	47
2.36	Diferentes possibilidades para obter a corrente inicial no indutor	49
2.37	Perdas de bloqueio para chaveamentos dissipativo e a tensão nula	50
2.38	Diferentes possibilidades para a descarga do capacitor	51
2.39	Diferentes possibilidades para a carga do capacitor	51
2.40	Situações durante o ajuste do intervalo de entalhe	51
2.41	Modulação no inversor com divisão do capacitor de entrada	53
2.42	Circuitos auxiliares I a XVIII	55
2.43	Circuitos auxiliares XIX a XXXVI	57
3.1	Circuitos de testes para as perdas de condução do (a) IGBT e do (b) diodo	61
3.2	Característica de condução (IGBT) com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$	62
3.3	Característica de condução (diodo) com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$	63
3.4	Aproximações para o IGBT com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$	65
3.5	Resultados da tensão de condução do IGBT para diferentes temperaturas	66
3.6	Resultados da tensão de condução do diodo para diferentes temperaturas	67
3.7	Circuitos de testes para as perdas de chaveamento: (a) IGBT e (b) diodo	69
3.8	Resultados experimentais ($25^{\circ}C$) para perdas de (a) bloqueio e (b) disparo	70
3.9	Característica de chaveamento (IGBT) com (a) $E = 300V$ e (b) $E = 400V$	72
3.10	Aproximações para o IGBT com (a) $E = 300V$ e (b) $E = 400V$	72
3.11	Resultados experimentais para as perdas de recuperação reversa no diodo com (a) $R_g = 1,8\Omega$ e com (b) $R_g = 7,4\Omega$ ($25^{\circ}C$)	74
3.12	Resultados das perdas de chaveamento do IGBT para diferentes tensões no (a) bloqueio e no (b) disparo	75
3.13	Resultados experimentais ($75^{\circ}C$) para perdas de (a) bloqueio e (b) disparo	76
3.14	Resultados das perdas de chaveamento do IGBT para diferentes tensões e temperaturas no (a) bloqueio e no (b) disparo	77
3.15	Resultados das perdas de recuperação reversa do diodo para diferentes temperaturas com (a) $E = 250V$ e com (b) $E = 350V$	77

3.16	Circuitos de testes para as perdas de chaveamento sob (a) ZVS e (b) ZCS	78
3.17	Resultados experimentais para as perdas de (a) bloqueio e de (b) disparo no IGBT ($25^{\circ}C$) operando sob ZVS	79
3.18	Característica de chaveamento (ZVS) no (a) disparo e (b) bloqueio	81
3.19	Resultados das perdas de chaveamento do IGBT para diferentes capacitâncias no (a) disparo e no (b) bloqueio ZVS	82
3.20	Resultados experimentais para as perdas de (a) bloqueio e de (b) disparo no IGBT ($25^{\circ}C$) operando sob ZCS	83
3.21	Característica de chaveamento (ZCS) no (a) disparo e (b) bloqueio	85
3.22	Resultados das perdas de chaveamento do IGBT para diferentes indutâncias no (a) disparo e no (b) bloqueio ZCS	85
3.23	Característica de condução para o componente passivo	87
4.1	Vetores de tensão	90
4.2	Definição dos vetores de tensão	91
4.3	Definição dos setores de tensão (I a VI)	91
4.4	Seqüência com inversão dos vetores a cada padrão nos primeiros 30 graus do setor de tensão I	91
4.5	Relação entre MSM e SVM.	92
4.6	Formas de onda SMNS v'_a , sinal de referência senoidal v_a^* , e tensão de seqüência nula v_h em $m = 1$, com fatores μ constante e pulsado.	94
4.7	Geração do sinal d	95
4.8	Fator de distorção para barramento fixo e pulsado	98
4.9	Distorção harmônica total para barramento fixo e pulsado	98
4.10	Tensão de saída do inversor, v	100
4.11	Desvio de corrente eficaz para barramento fixo e pulsado	102
4.12	Desvio de corrente eficaz como uma função de m	104
4.13	Pulsos distribuídos para sintetizar a componente fundamental	104
4.14	Modulação por densidade de pulsos baseado na comparação de área	105
4.15	Seqüência de operação para o circuito RDCL em 30 graus	108
4.16	Modulação delta com regulação em corrente	109
4.17	Seqüência para o chaveamento suave com entalhe fixo nos primeiros 30 graus do setor de tensão I	110
4.18	Seqüência para o chaveamento suave com entalhe variável nos primeiros 30 graus do setor de tensão I	111
4.19	Sub-regiões para padrões reduzidos RDC	114

4.20	Relação entre Φ_μ e Φ_{V-I}	114
4.21	Geração dos sinais d e d_μ	114
4.22	Sub-regiões para padrões reduzidos MDC	118
4.23	Comparação do desvio de corrente eficaz	118
4.24	Relação entre Φ_μ e Φ_{V-I} para as técnicas DPWM	119
4.25	Problema na tensão na fase do inversor devido ao pequeno valor de corrente.	120
4.26	Diagrama de blocos do sistema	122
4.27	SMNS e corrente de linha simulada e experimental para o inversor HS com técnica AF e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$	123
4.28	SMNS e corrente de linha simulada e experimental para o inversor TPB com técnica AF e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$	123
4.29	SMNS e corrente de linha simulada e experimental para o inversor TPB com técnicas RDC-MDC e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$	124
4.30	Inversor com indutâncias em série	124
5.1	Comparação de perdas entre as técnicas para inversores ZVS e ZCS	128
5.2	Inversor XXXI	129
5.3	Comparação de perdas entre as técnicas AF e MPT	130
5.4	Comparação de perdas entre as técnicas MPT, RDC e MDC	131
5.5	Circuitos para comparação de perdas	134
5.6	Perdas nos circuitos TPB variando (a) corrente e (b) frequência	136
5.7	Eficiência nos inversores TPB variando (a) corrente e (b) frequência	136
5.8	Comparação das eficiências calculada e experimental para o CAC XXXVI.	137
5.9	Inversores (a) XXXVI e (b) ARCP	138
5.10	Perdas nos inversores (a) XXXVI, ARCP e (b) HS	139
5.11	Perdas nos circuitos XXXVI e ARCP variando (a) corrente e (b) frequência	140
5.12	Eficiência nos inversores XXXVI, ARCP e HS: (a) corrente e (b) frequência	140
5.13	Etapas de operação do CAC XXXVI	141
5.14	Curvas para a escolha de (a) L_r e (b) C_i	144
5.15	Comparação das perdas nos componentes com a variação da frequência: (a) $S_1 - S_6$ e (b) CACs	148
5.16	Comparação da temperatura nas chaves com a variação da frequência: (a) $S_1 - S_6$ e (b) CACs	148
5.17	Eficiência para os inversores XXXVI, ARCP e HS	149

Lista de Tabelas

2.1	Comparação dos inversores TPB (CACs I a XVIII)	54
2.2	Comparação dos inversores TPB (CACs XIX a XXXVI)	56
3.1	Resultados da tensão de condução do IGBT determinados por experimento	66
3.2	Perdas de comutação do IGBT CM150DY-24H	71
3.3	Comparação de perdas para o IGBT CM150DY-24H operando sob ZVS . .	80
3.4	Perdas de chaveamento do IGBT CM150DY-24H sob ZVS	80
3.5	Comparação de perdas para o IGBT CM150DY-24H operando sob ZCS . .	84
3.6	Perdas de chaveamento do IGBT CM150DY-24H sob ZCS	84
4.1	Mudança em degrau de μ em θ_s	97
4.2	Relação entre os setores de corrente e b_j	112
4.3	Sequências para a técnica RDC	113
4.4	Sinais d_μ e b_j para um determinado ângulo de fase.	117
4.5	Mudanças possíveis nos vetores de tensão	125
5.1	Perdas para o inversor XXXI	129
5.2	Comparação das técnicas AF, RDC e MDC ($\Phi_{V-I} = 0^\circ, R = 30\Omega, L = 0,01H$)	130
5.3	Eficiência das técnicas de modulação para o inversor com comutação dissipativa	132
5.4	Perdas para os inversores TPB	133
5.5	Perdas para os inversores TPB (CM150DY-24H)	135
5.6	Perdas para os circuitos com chaveamento suave	138
5.7	Perdas para os inversores (CM150DY-24H)	139
5.8	Escolha das chaves para o inversor XXXVI	147
5.9	Comparação do inversor proposto com os inversores ARCP e HS	149

Conteúdo

1	Introdução	1
1.1	Revisão Bibliográfica	1
1.2	Conclusões sobre a Revisão Bibliográfica	9
1.3	Contribuições da Tese	10
1.4	Esboço da Tese	11
2	Inversores Alimentados por Tensão Pulsada no Barramento CC	13
2.1	Introdução	13
2.2	Classificação dos Inversores TPB	13
2.2.1	Inversor Pulso Ressonante	15
2.2.2	Inversor Pulso Ressonante com Tensão de Pico Reduzida	17
2.2.3	Inversor Pulso Ressonante PWM	19
2.2.4	Inversor Pulso Ressonante PWM com Tensão de Pico Reduzida	20
2.2.5	Inversor Quase-ressonante	22
2.3	Inversor com ZVZCS na Chave S_{cc}	28
2.3.1	Circuito ZVZCS I	29
2.3.2	Circuito ZVZCS II	31
2.4	Inversor sem Capacitor do Inversor	35
2.5	Novos Inversores a Barramento Pulsado	37
2.5.1	Circuito Novo I	37
2.5.2	Circuito Novo II	42
2.6	Considerações de Seleção	46
2.7	Conclusão	58
3	Estudo das Perdas nos Dispositivos	59
3.1	Introdução	59
3.2	Metodologia de Estudo das Perdas	60

3.3	Perdas de Condução	61
3.4	Perdas de Chaveamento	68
3.4.1	Chaveamento Dissipativo	69
3.4.2	Chaveamento Suave	78
3.5	Perdas nos Componentes Passivos	86
3.6	Conclusão	86
4	Técnicas de Modulação em Inversores	89
4.1	Introdução	89
4.2	Modulação por Largura de Pulsos	89
4.2.1	Modulação Híbrida	92
4.2.2	Técnicas de Redução de Perdas	95
4.3	Critérios de Comparação de Desempenho	96
4.3.1	Distorção Harmônica	96
4.3.2	Perdas Geradas pelo Desvio da Corrente de Carga (i_{cf}^2)	99
4.4	Modulação por Densidade de Pulsos para Inversores com Chaveamento a Tensão Nula	104
4.5	Modulação por Largura de Pulsos para Inversores com Chaveamento a Tensão Nula	109
4.5.1	Técnica de Redução do Desvio de Corrente	111
4.5.2	Técnica do Ângulo de Fase	112
4.6	Técnicas Propostas	116
4.6.1	Minimização do Desvio de Corrente	117
4.6.2	Minimização das Perdas Totais	119
4.7	Implementação do Modulador	120
4.7.1	Implementação	120
4.7.2	Resultados Experimentais	121
4.8	Modulação por Largura de Pulsos para Inversores com Chaveamento a Corrente Nula	123
4.9	Conclusão	126
5	Cálculo de Perdas nos Inversores	127
5.1	Introdução	127
5.2	Perdas Relacionadas às Técnicas de Modulação	127
5.3	Perdas Relacionadas aos Inversores TPB	132
5.4	Comparação de Perdas entre os Inversores XXXVI e ARCP	137

5.5	Melhoria do Desempenho dos Inversores XXXVI e ARCP	141
5.5.1	Seleção dos Componentes Passivos	142
5.5.2	Seleção das Chaves	145
5.5.3	Estudo Comparativo entre os Inversores XXXVI e ARCP	147
5.6	Conclusão	149
6	Conclusões e Trabalhos Futuros	151
	Bibliografia	156

Capítulo 1

Introdução

Uma das restrições mais severas sobre o desempenho de conversores de média e alta potência, em aplicações de acionamento, é a potência dissipada durante o chaveamento em seus dispositivos, limitando a frequência de chaveamento (Mertens e Divan, 1990). Como esses conversores necessitam de baixa distorção harmônica nas formas de onda de saída e perdas reduzidas devido a harmônicos na corrente de carga, a necessidade de se operar altas frequências de chaveamento tornou-se inevitável.

Recentemente, tem-se estudado o uso de técnicas de comutação suave para reduzir perdas de chaveamento em conversores de potência. As técnicas de comutação suave não só oferecem uma redução nas perdas de chaveamento e exigências térmicas, como também admitem a possibilidade de operação em alta frequência (acima de $20kHz$).

1.1 Revisão Bibliográfica

Nos últimos anos foram realizados avanços significativos em topologias de conversores. Com o surgimento das chaves de potência desligadas por comando de gatilho, foi proposto um grande número de topologias com o objetivo de melhorar o processo de conversão de potência através de: combinação de novas topologias de circuitos; melhoria nas formas de onda de tensão e corrente de entrada e saída; minimização dos harmônicos; e várias estratégias de controle. A maior parte da pesquisa é feita com a conversão corrente alternada - corrente alternada (CA-CA) com barramento de corrente contínua (CC) intermediário. A tecnologia de barramento CC ressonante apareceu na década de 80 (Divan, 1986; McMurray, 1989; Doncker e Lyons, 1990), em oposição à tecnologia de barramento CA (Klaassens, 1984; Sood e Lipo, 1988).

A comutação suave foi desenvolvida para reduzir as perdas de chaveamento existentes

nos conversores convencionais, cujas chaves mudam de estado (disparo ou bloqueio) de modo que existe uma grande superposição entre tensão e corrente. Devido ao fato de que na comutação suave o valor do produto entre a corrente e a tensão no dispositivo é pequeno, durante a transição de estado, este tipo de chaveamento é considerado como “não dissipativo”. Por oposição, o chaveamento brusco é considerado como “dissipativo”. A classificação dos conversores com comutação suave pode se basear na característica do chaveamento (chaveamento a tensão nula (ZVS) ou chaveamento a corrente nula (ZCS)), na localização do circuito auxiliar (carga, fonte, ou conversor) ou no tipo de circuito auxiliar (série ou paralelo) (Wu et al., 1996; Stein, 1997).

A localização do circuito auxiliar de chaveamento dá origem ao: conversor com comutação no lado da carga, conversor com comutação local e conversor com comutação no lado da fonte.

Conversor com comutação no lado da carga

Nesse conversor, um circuito auxiliar é adicionado à carga (Mohan et al., 1995), podendo ser do tipo corrente (Mapham, 1967) ou tensão (Kassakian, 1982). Se o circuito ressonante é do tipo corrente, condições ZCS são produzidas para as chaves do conversor; se o circuito é do tipo tensão, as chaves operam sob condições ZVS.

Os conversores com comutação no lado da carga são aplicados principalmente em sistemas elétricos de iluminação e aquecimento indutivo (Wu et al., 1996) e não serão contemplados nessa revisão bibliográfica.

Conversor com comutação local

Nesse caso, os elementos do circuito auxiliar estão conectados a cada chave do conversor, criando as condições de chaveamento a tensão (Divan e Skibinski, 1987) ou corrente (Mao e Lee, 1995) nula. Existem várias técnicas, tais como quase-ressonante (Ehsani e Wu, 1993), transição ressonante (Doncker e Lyons, 1990; Hua et al., 1992) e multi-ressonante (Tabisz e Lee, 1989).

Lai et al. (1994), através de um estudo analítico aproximado e Dong et al. (2001), através de resultados experimentais mostraram que o conversor com pólo comutado ressonante auxiliar (ARCP) produzem menos perdas e interferência eletromagnética do que outros inversores examinados. Entretanto, os resultados mostrados nesses trabalhos foram para condições bem específicas e portanto só são válidos na faixa de valores examinada pelos autores. Por exemplo, no caso do trabalho de Dong et al. (2001), a tensão da fonte CC utilizada é de 325V com o inversor operando com uma frequência de chaveamento de 10kHz. Vale ressaltar que existem outros inversores, como é o caso dos inversores propostos por Yao e Lipo (2001), Stein et al. (2001), que não foram comparados em relação ao

inversor ARCP.

Conversor com comutação no lado da fonte

Nesse conversor, um circuito auxiliar é conectado entre a fonte e o conversor. Nesse caso, o barramento de entrada oscila para criar as condições de chaveamento suave para os dispositivos de potência. Portanto, o barramento de entrada deste conversor é diferente do sistema convencional (conversor dissipativo), onde o barramento é fixo e as chaves comutam com tensão ou corrente CC plena. Esta classificação pode ainda ser dividida em outras quatro: barramento CC do tipo corrente (Murai e Lipo, 1988), barramento CC do tipo tensão (Divan, 1989), barramento CA do tipo corrente (Klaassens, 1984; Yamamoto et al., 1994) e barramento CA do tipo tensão (Sood e Lipo, 1988).

Segundo Divan et al. (1990), para muitas aplicações, os inversores com barramento CC pulsado são preferidos, como resultado do uso de poucos componentes e uma menor influência de elementos parasitas. Entretanto, após 1990, muitos outros inversores desse tipo foram desenvolvidos, e talvez, essa afirmação seja válida apenas para o inversor analisado.

O inversor com tensão pulsada no barramento (TPB) CC é preferido em muitas aplicações porque normalmente ele possui maior eficiência, em relação ao tipo corrente pulsada (Divan et al., 1990). Para aplicações do inversor TPB, uma grande redução nas perdas de chaveamento é obtida, bem como se conseguem estresses dv/dt moderados. Assim, embora existam inversores com corrente pulsada, um estudo detalhado dos mesmos já foi realizado por de Oliveira (2001), e portanto aqui são estudados apenas os de tensão. Estes inversores utilizam um circuito auxiliar para produzir um entalhe na tensão do barramento CC (daqui em diante chamados simplesmente de entalhes). Tais entalhes correspondem a intervalos de tensão nula que são aplicados ao inversor para que ocorra ZVS na ponte (chaves principais).

Topologias de inversores TPB, tais como o inversor com barramento CC ressonante, RDCL (Divan, 1989), foram propostos e estudados para reduzir as perdas de chaveamento, pois suas chaves são fechadas e abertas durante entalhes introduzidos na tensão do barramento CC. Esses inversores se caracterizam por produzir, normalmente, pulsos ressonantes com picos elevados de tensão, além de picos anormais de tensão e corrente, que podem, numa certa medida, ser limitados por técnicas de controle (Castanheira et al., 1994; Nielsen et al., 1995, 1997). Entretanto, com a finalidade de reduzir os picos de tensão a níveis aceitáveis, foi introduzido o inversor com barramento CC ressonante grampeado ativamente, ACRDCL (Mertens e Divan, 1990; Garcia e Barbi, 1990), e o inversor com barramento CC ressonante grampeado passivamente, PCRDCL (Divan e Skibinski, 1987). Esses inversores melhoram o desempenho do inversor tipo tensão com chaveamento

dissipativo, em relação a ondulação de corrente, resposta do sistema, características espectrais, ruído acústico e interferência eletromagnética. Usando estas topologias, um aumento significativo da frequência de chaveamento pode ser alcançado.

Também, combinando características desejadas do inversor convencional com técnicas ressonantes, foram introduzidos os circuitos chamados de inversores quase-ressonantes. Este tipo de esquema emprega um circuito auxiliar de chaveamento que leva a tensão do barramento CC momentaneamente para zero, quando há necessidade de comutação das chaves principais dos inversores de acordo com a estratégia de comando estabelecida (Zhang e Hui, 1994; Malesani et al., 1996). Esta técnica não causa estresses de tensão extras para o inversor e, portanto, a relação de tensão dos dispositivos de potência é de somente 1 por unidade (*p.u.*) em relação à tensão do barramento CC.

Com relação a esses inversores quase-ressonantes, a literatura técnica examina as possibilidades de entalhe de largura fixa (Zhang e Hui, 1994; Malesani et al., 1996; Oh et al., 1998) ou variável (Malesani et al., 1989; He et al., 1990; Choi e Sul, 1995; Jung et al., 1995; Wang et al., 1995; Shimizu et al., 1997; Thunya et al., 1998; Sung e Nam, 1998). O entalhe variável permite melhores resultados do que aqueles obtidos com o entalhe fixo, em termos de harmônicos de ordem mais baixa, distorção harmônica total, fator de distorção da corrente de linha e redução no número de chaveamentos (Wang et al., 1995; Thunya et al., 1998).

Na maioria dos casos, estas técnicas utilizam um circuito auxiliar que inclui uma chave adicional no barramento CC, permitindo que as chaves do inversor comutem sob ZVS em uma extensa faixa de carga. Além disso, estas técnicas de chaveamento têm as vantagens de reduzir as perdas de recuperação reversa dos diodos do inversor e operar a frequência constante (Hua et al., 1992).

Devido ao vasto número de topologias com diferentes características, algumas com reivindicações de desempenho as vezes contraditórias, um estudo comparativo das mesmas em relação ao inversor convencional parece ser apropriado. Além da revisão bibliográfica realizada em Cavalcanti (1999), as poucas revisões sobre esses inversores os tratam como parte de uma classificação mais geral dos conversores com chaveamento suave (Browmik e Spée, 1993; Wu et al., 1996).

Por outro lado, durante os últimos trinta anos, houve uma evolução significativa nas chaves que são usadas nos inversores. No início o inversor era baseado em tiristores convencionais, até que surgiu o transistor de junção bipolar (BJT), como uma melhor chave. Com a utilização de chaves com bloqueio controlado pelo gatilho, tais como chave com abertura por gatilho (GTO), transistor bipolar de gatilho isolado (IGBT) e transistor com

efeito de campo MOS (MOSFET), os acionamentos de motores são realizados com melhor desempenho (Dehmlow et al., 1993).

A introdução do IGBT como um substituto para o BJT de potência, permite frequências de chaveamento maiores. Na primeira geração de IGBTs ocorreu uma melhoria sobre a parte de chaveamento, quando comparada ao BJT, mas as perdas de condução ainda eram relativamente altas. A geração seguinte de IGBTs teve uma melhoria significativa, em termos de perdas, tanto estaticamente (perdas de condução) como dinamicamente (perdas de chaveamento) (Blaabjerg et al., 1994).

A grande vantagem de facilidade de acionamento e pequenos atrasos de tempo, fazem do IGBT uma chave muito atrativa. De fato, os IGBTs para média potência passaram dos tempos de comutação de 1 a $2\mu s$ (Divan e Skibinski, 1987) para valores na faixa de 200 a $400ns$, atingindo frequências de chaveamento mais elevadas. Na frequência de $20kHz$, que é o limite mínimo para que não ocorra ruído acústico (Venkataramanan e Divan, 1990), a perda de chaveamento normalmente é maior do que a perda de condução no IGBT, considerando-se os dados encontrados em manuais dos fabricantes. Conseqüentemente, observa-se que uma redução ou diminuição de perdas de chaveamento deve ser realizada.

Outro tipo de chave que pode ser usado nos inversores é o tiristor controlado MOS (MCT). Esta chave parece ser uma boa escolha para aplicações do tipo veículo elétrico ou híbrido devido a sua característica de alta densidade de potência (Bellar et al., 1997). Desenvolvimentos recentes nos dispositivos semicondutores de potência levaram à comercialização da primeira geração de MCT como um dispositivo promissor para aplicações de alta potência (Bellar et al., 1997). O MCT é um dispositivo híbrido que combina características de acionamento dos MOSFETs (disparo e bloqueio rápidos) e a capacidade de potência do tiristor, com características de baixa queda de tensão direta e alta densidade de corrente.

Todas as comparações feitas entre MCTs e IGBTs nos inversores mostram que ambos têm desempenho semelhante. Contudo, a utilização do MCT ocorre em valores nominais menores que no IGBT (Kurnia et al., 1992).

O uso de inversores com chaveamento suave não tem sido considerado nas características técnicas dos dispositivos fornecidos pelos fabricantes. Os IGBTs utilizados são projetados para aplicações com chaveamento dissipativo, e existem poucos dados na literatura técnica sobre o comportamento destes dispositivos sob condições de chaveamento suave. Assim, existe um esforço considerável na literatura para modelar a operação da chave de potência sob condições de chaveamento suave (Skibinski e Divan, 1991) e para achar os limites de desempenho para estas chaves (Widjaja et al., 1994; Li et al., 1994). Um modelo analítico

para a operação transitória do IGBT foi implementado no simulador de circuito Saber, os resultados sendo comparados com formas de onda de disparo e bloqueio para diferentes circuitos de acionamento (Hefner, 1991; Hefner e Diebolt, 1994).

Vários artigos mencionados tratam de IGBTs e mostram características de operação interessantes e não usuais, tais como perda por saturação dinâmica no capacitor de chaveamento e as perdas de bloqueio devido a variação da corrente de cauda. Pouca explicação tem sido direcionada para estes fenômenos e o entendimento de tais comportamentos das chaves tem sido dificultado, porque mesmo os modelos baseados na física e geometria do dispositivo falham para dados realísticos (Kurnia et al., 1992).

Como circuitos de chaveamento suave operam tipicamente em frequências elevadas, a energia que circula nas indutâncias e capacitâncias parasitas pode também ser de uma grande contribuição para as perdas. Com a tecnologia de chaveamento suave amadurecida, projetistas irão desenvolver os seus circuitos, até que a chave se torne novamente o fator limitante. Assim, existe a necessidade de se entender a operação do IGBT sob estas diferentes condições de operação que estão, aparentemente, dentro de suas capacidades e especificações.

A partir de medidas experimentais ou de modelos matemáticos, é possível determinar as perdas de chaveamento dos tipos dissipativo (Clemente e Pelly, 1992; Blaabjerg et al., 1994; Wang et al., 1994; Profumo et al., 1995), ZCS (Wang et al., 1994; Matsuura et al., 1998) e ZVS (Kurnia et al., 1992, 1993; Wang et al., 1994), além das perdas de condução (Mestha e Evans, 1989; Dehmlow et al., 1993). Dos modelos matemáticos, poucos levam em conta o tipo de forma de onda na chave (Clemente e Pelly, 1992). Blaabjerg et al. (1994) medem as perdas em dois tipos de IGBT e aplicam as equações propostas por Clemente e Pelly (1992) para calcular as perdas em um inversor PWM. Alguns autores usam circuitos de testes para fazer medidas experimentais para os diferentes tipos de chaveamentos (Kurnia et al., 1992, 1993; Wang et al., 1994). Outros, tais como Profumo et al. (1995) e Matsuura et al. (1998), usam equações aproximadas para estimar as perdas produzidas pelos dispositivos nas condições desejadas. Em Lai et al. (1994), é avaliada a eficiência de três inversores com comutação suave utilizados para acionamento de motores. Tais inversores são comparados ao inversor PWM com chaveamento dissipativo. Em de Oliveira (2001), as perdas dos conversores fonte de corrente a barramento pulsado foram calculadas a partir de um programa de simulação usando as equações que descrevem o circuito.

Além disso, à exceção de Mestha e Evans (1989) e Blaabjerg et al. (1994), a influência dos diferentes tipos de modulação também não é levada em conta. O procedimento comum é o de calcular as perdas para um chaveamento e multiplicar pelo número de chaveamentos

em um ciclo de operação.

Por outro lado, existe um grande número de técnicas de modulação aplicadas aos inversores convencionais. As técnicas de modulação influenciam os harmônicos e ondulação na corrente de saída (Kolar et al., 1991b), com conseqüente variação das perdas na carga (Alves, 1998). Para aplicações do inversor trifásico com modulação por largura de pulsos (PWM), apresentado em meados de 70 (Buja e Indri, 1975), é importante o aproveitamento máximo da tensão do barramento CC. Outro aspecto essencial é a minimização do desvio da corrente de saída.

Para comparar o desempenho das técnicas PWM aplicadas aos inversores, três critérios podem ser usados: o fator de distorção, a distorção harmônica total e o valor eficaz das amplitudes dos desvios de corrente. Portanto, uma técnica PWM ótima deve obter bons resultados levando em conta os critérios acima, em toda a faixa do índice de modulação.

Das técnicas PWM, as mais utilizadas são a modulação senoidal (SM) e a modulação vetorial (SVM). Entretanto, no método SVM as características harmônicas são melhores do que no caso SM (Kolar et al., 1991b). Na SVM simétrica (Broeck et al., 1988), qualquer vetor tensão de referência (com amplitude limitada) pode ser conseguido pelos dois vetores de tensão adjacentes.

Em acionamentos de motores CA, a técnica SVM pode ser realizada por um inversor de tensão trifásico PWM pelo chaveamento de apenas dois braços da ponte. A terceira fase é grampeada ao barramento CC positivo ou negativo. Este método é chamado modulação descontínua devido a forma descontínua da geração das funções de modulação na fase (Broeck et al., 1988; Kolar et al., 1991b; Sun e Grotstollen, 1996). Resultados idênticos podem ser obtidos através das técnicas PWM baseadas em portadora. Para isso, uma componente de seqüência nula é adicionada às três tensões senoidais de referência das técnicas SM ou de modulação regular (Bowes e Midoun, 1985). Como conseqüência, os sinais modulantes não são mais senoidais (Depenbrock, 1977; Houldsworth e Grant, 1984). Em ambos os casos existe uma melhoria na qualidade da forma de onda e um aumento na freqüência efetiva do sistema, enquanto a região de linearidade da estratégia PWM é estendida para cerca de 15,5% (Depenbrock, 1977; Kolar et al., 1991b; Holmes, 1995; Sun e Grotstollen, 1996). Além disso, a forma de onda da ondulação de tensão e a amplitude da ondulação de corrente são afetadas.

As estratégias por portadora e de modulação vetorial são relacionadas porque a adição de componentes de seqüência nula na forma de onda PWM controla a localização do vetor nulo dentro do período de modulação (Holmes, 1995) e vice-versa. Alves et al. (1991), Sun e Grotstollen (1996), Blasko (1997), e Alves (1998) desenvolveram algoritmos baseados no

fator de distribuição do tempo do vetor nulo que são utilizados para microprocessador e implementação analógica. Em Alves (1998) o esquema modulador consiste de blocos lógicos simples, e permite uma aproximação direta para gerar qualquer técnica PWM contínua ou descontínua.

De modo a minimizar as perdas de chaveamento, alguns esquemas PWM foram desenvolvidos (Kolar et al., 1991b; Trzynadlowski e Legowski, 1994; Hava et al., 1997b; Chung e Sul, 1997). Em especial, Chung e Sul (1997) empregam uma estratégia na qual segmentos granpeados são distribuídos de acordo com o ângulo de fase, entre a tensão e a corrente de saída. Isto garante a minimização das perdas de chaveamento em toda a faixa do ângulo de fase, não chaveando, por exemplo, uma fase quando a corrente na mesma tem sua amplitude máxima.

Diferentes tipos de modulação são possíveis no inversor a barramento pulsado. Por exemplo, no caso em que os pulsos ressonantes no barramento possuem largura constante, como os produzidos pelos inversores RDCL e ACRDCL (Divan e Skibinski, 1987; Divan, 1989; Mertens e Divan, 1990), a única forma de controle para síntese das formas de onda senoidais é a de utilização de modulação por densidade de pulsos (PDM).

O controle da tensão e corrente de entrada é, sempre possível com estruturas operando com a técnica PDM. Por exemplo, reguladores de corrente (Venkataramanan e Divan, 1990) e o controle do fator de potência de entrada (Nakaoka et al., 1993) podem ser obtidos com técnicas de modulação delta. Entretanto, essa estratégia de modulação por pulsos discretos é caracterizada pela presença de níveis significativos de componentes harmônicos nas frequências inferiores de chaveamento (Habetler e Divan, 1987). Além disso, ocorrem problemas associados aos instantes discretos de chaveamento, apesar da melhoria de desempenho obtida com a introdução da modulação sigma-delta e da modulação sigma-delta modificada (Habetler e Divan, 1987; Kherulawala e Divan, 1988; Mertens, 1992).

Devido a todos os problemas citados acima, a introdução da capacidade PWM em um inversor com barramento CC ressonante, torna-se uma condição altamente desejável. No caso dos inversores que operam com pulsos de largura variável, existe a possibilidade de sincronismo com qualquer técnica PWM.

Entre os inversores a barramento pulsado, foram concebidos, inicialmente, os inversores ACRDCL (Malesani et al., 1989) e PCRDCL com PWM (Chen e Lipo, 1994; Cardoso Fo. e Lipo, 1996). Entretanto, como nos circuitos quase-ressonantes as condições ZVS podem ser criadas a qualquer momento, não existindo restrições para quaisquer estratégias PWM, é possível desenvolver estratégias PWM específicas. Com a finalidade de reduzir as perdas, o circuito auxiliar pode ser acionado uma única vez por intervalo de chaveamento, as outras

comutações ocorrendo de modo natural dentro daquele intervalo (Malesani et al., 1996). Também, a possibilidade de se ter inversores quase-ressonantes operando com a largura variável do pulso e do entalhe, sugere uma operação com menos perdas de chaveamento (de Oliveira, 1997).

O uso dos inversores a barramento pulsado com capacidade PWM provocou o emprego de diferentes técnicas de controle. Assim, em sistemas de conversão CA-CA, por exemplo, pode-se obter a corrente de referência da fonte a partir do balanço do fluxo de potência entre a fonte e a carga e a corrente de referência do inversor a partir do controlador de velocidade e do controlador orientado pelo campo (Kim e Sul, 1995). Também há menção, na literatura técnica, de um esquema de controle por realimentação de estado (Yonemori et al., 1994). Para aplicação dessas técnicas de controle, diferentes estratégias de modulação foram empregadas: SM (Agelidis et al., 1991); SVM (Malesani et al., 1996; Thunya et al., 1998); modulação híbrida por largura e densidade de pulsos (com implementação analógica (Divan e Skibinski, 1987) ou digital (Kim e Sul, 1995; Salama e Tadros, 1995)); e a modulação híbrida vetorial - senoidal (Alves, 1998).

O estudo apresentado em Ehsani et al. (1997), mostra que o chaveamento suave apresenta piores resultados para veículos elétricos híbridos. Entretanto, no caso de acionamento para veículos elétricos, as perdas de chaveamento representam uma pequena porcentagem das perdas totais. Assim, fatores que poderiam justificar o chaveamento suave são a interferência eletromagnética e a densidade de potência. Portanto, o usuário deve estar atento na escolha de uma topologia que produza melhores resultados que a versão com chaveamento dissipativo para a faixa de aplicação desejada, já que em alguns casos o uso do chaveamento suave tem um custo adicional que pode não ser compensado pelos resultados obtidos.

1.2 Conclusões sobre a Revisão Bibliográfica

Esta revisão bibliográfica leva às seguintes conclusões:

1 - Existem diferentes possibilidades de chaveamento - ZVS ou ZCS nas chaves principais e ZVS e/ou ZCS nas chaves auxiliares do inversor quase-ressonante. Quase todas as topologias usam ZVS nas chaves principais e na chave em série com a fonte CC.

2 - Em alguns inversores, há estresses de corrente e de tensão elevados. Além disso, existe a desvantagem de disparo ou bloqueio dissipativo em alguma das chaves que compõem o circuito auxiliar, levantando a possibilidade de concepção de novas estruturas.

3 - Embora a alternativa de comutação de uma das chaves do circuito através da técnica

simultânea ZVS e ZCS, ou seja, chaveamento a tensão e corrente nula (ZVZCS), ter sido utilizada em conversores CC-CC e CC-CA (Stein et al., 2001), ela não foi aplicada aos inversores TPB.

4 - Com um número muito grande de topologias, como é o caso, se torna inviável fazer a comparação de perdas através de métodos experimentais. Assim, a geração de equações de perdas a partir dos circuitos de teste e o cálculo de perdas em um programa de simulação que inclua as formas de onda pelo próprio funcionamento do circuito, parece ser um bom caminho para a estimação de perdas.

5 - O uso de equações simples baseadas nos parâmetros dos IGBTs podem não apresentar uma boa precisão. Também, as equações de perdas normalmente consideram a variação de um parâmetro, por exemplo, a corrente na chave. Ainda, a possibilidade de se ter mais parâmetros variando na mesma equação de perdas não foi investigada.

6 - Pouco estudo tem sido feito em relação aos inversores a barramento pulsado para explorar as possíveis características de técnicas de modulação. Além disso, não existem estudos que relacionem as perdas com o tipo de modulação utilizado nos inversores TPB.

7 - A maioria das técnicas de comando dos inversores TPB utiliza o circuito auxiliar, produzindo o entalhe de tensão nula, a cada mudança no estado do inversor. Poucos fazem uso de um único entalhe por intervalo de chaveamento. Observa-se ainda que alguns inversores utilizam o tempo do entalhe variável como tempo do vetor nulo para se obter um PWM mais real.

A discussão acima indica a complexidade do problema, e indica que é necessária uma boa aproximação para verificar que todas as grandes fontes de perdas tenham sido identificadas, quantificadas e entendidas.

1.3 Contribuições da Tese

Este trabalho tem como objetivo um estudo comparativo do desempenho de inversores com tensão pulsada no barramento, incluindo as perdas de condução, chaveamento e circuito auxiliar, verificando a possibilidade de novas topologias e técnicas de modulação.

As principais contribuições desse trabalho são:

- Revisão sistemática de um grande número de topologias TPB, incluindo técnicas ZVS, ZCS e ZVZCS. Em função dessa revisão, é feito um primeiro estudo comparativo entre as diferentes possibilidades, assim como as características gerais dos princípios usados com relação às perdas geradas durante sua operação.

- Adaptação de topologias existentes e concepção de novas topologias com chaveamento suave, dotadas de mecanismos de funcionamento que eliminem alguns problemas existentes em outras estruturas.
- Aplicação da técnica de modulação híbrida às técnicas de modulação existentes para inversores TPB, o que permite o desenvolvimento de novas estratégias de modulação para esses inversores, inclusive levando em consideração as perdas causadas pelos componentes do circuito auxiliar.
- Desenvolvimento de um método de cálculo de perdas para um estudo comparativo através de simulação dos inversores. Uma justificativa para esta última abordagem é o fato de ser difícil um estudo experimental comparativo das perdas em um número tão elevado de topologias.
- Início de um estudo comparativo entre o desempenho de um inversor TPB e o inversor ARCP.

1.4 Esboço da Tese

O trabalho é organizado nos seguintes capítulos:

- **Capítulo 2** - Nesse capítulo é apresentada uma classificação geral dos inversores TPB, de acordo com as formas de onda obtidas no barramento CC. Um estudo comparativo apresenta as principais características dos inversores e novos circuitos de chaveamento suave para um inversor são estudados e implementados de forma prática.
- **Capítulo 3** - Aqui, modelos de perdas em IGBTs são desenvolvidos com base em circuitos de testes operando em condições de chaveamento dissipativo, ZVS e ZCS. Um estudo é apresentado com as principais perdas nas chaves, levando em consideração parâmetros que afetam as perdas, como tensão, corrente, temperatura e resistência do circuito de gatilho.
- **Capítulo 4** - No capítulo é abordada a aplicação das técnicas PWM nos inversores TPB. São mostradas técnicas que fazem uso da tensão de referência não senoidal no inversor. São examinadas técnicas PWM com grampeamento de fase como forma de diminuir o número de chaveamentos na operação dos inversores. Resultados experimentais são apresentados, comprovando o estudo teórico e de simulação desenvolvido.

- **Capítulo 5** - Como aplicação dos modelos de perdas das chaves, obtidos no capítulo 3, este capítulo apresenta um estudo comparativo das características dos inversores abordados no trabalho. As perdas são calculadas por simulação para diferentes valores de frequência de chaveamento, corrente de carga e índice de modulação.
- **Capítulo 6** - O capítulo apresenta as conclusões da tese e sugestões para trabalhos futuros.

Capítulo 2

Inversores Alimentados por Tensão Pulsada no Barramento CC

2.1 Introdução

Apesar do grande número de topologias TPB, só existe um estudo sistematizado das mesmas (Cavalcanti, 1999). Alguns trabalhos de classificação foram feitos por Garcia e Barbi (1990), Cavalcanti (1999), Aydemir (1995) e de Oliveira (1997). Nos dois últimos, os circuitos analisados são de corrente pulsada. Parte das análises feitas por Browmik e Spée (1993) e Wu et al. (1996) é dedicada aos conversores TPB, mas os autores não fizeram um estudo comparativo dos conversores.

Com os problemas observados nos conversores, surgem algumas alternativas de TPB para diminuição das perdas originadas durante a operação dos inversores. A técnica de chaveamento com tensão e corrente nulas simultaneamente em determinada chave, tanto para o disparo como para o bloqueio, faz as perdas de chaveamento serem praticamente nulas.

Para permitir uma melhor visão dos inversores TPB, este capítulo apresenta uma classificação, onde as topologias são caracterizadas de acordo com as formas de onda da tensão gerada no barramento CC durante sua operação (Cavalcanti, 1999). Para cada classe de inversor são descritos os circuitos que geram as formas de onda correspondentes.

2.2 Classificação dos Inversores TPB

Muitos métodos de chaveamento suave foram propostos para reduzir as perdas nos conversores. Os métodos de chaveamento suave podem ser classificados como sendo ativos ou

passivos. Métodos ativos usam chaves adicionais ativas e passivas e elementos ressonantes para significativamente reduzir as perdas nas chaves principais. Contudo, estas perdas são parcialmente transferidas para o circuito auxiliar e não podem ser desprezadas. Métodos passivos usam apenas chaves passivas e elementos ressonantes para se ter o chaveamento suave. Portanto, eles têm maior praticidade, mas em geral só acarretam disparo a corrente nula e bloqueio a tensão nula das chaves principais (Matsuura et al., 1998).

Nos conversores TPB, a forma de onda da tensão é modificada por circuitos auxiliares de chaveamento (CACs). Esses CACs são compostos por chaves e elementos ressonantes que permitem que o chaveamento suave seja realizado (Fig. 2.1).

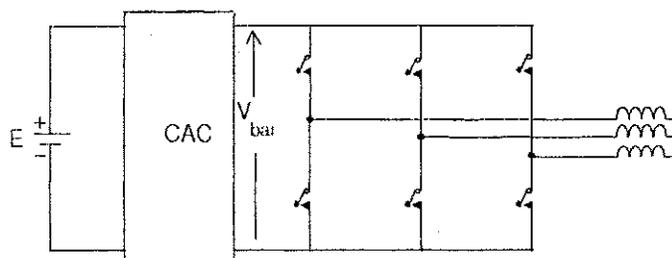


Figura 2.1: Configuração do inversor TPB

Os inversores TPB podem ser agrupados de acordo com a forma dos pulsos de tensão produzidos no barramento CC (V_{bar}). Cinco formas de onda básicas são encontradas nos inversores existentes (Fig. 2.2). Essas formas de onda podem ser utilizadas para classificar os tipos de inversores TPB, que por sua vez, podem ser representados pelos respectivos CACs (Fig. 2.1). Uma classificação dos inversores TPB e a indicação dos CACs pertencentes a cada tipo é apresentada a seguir (Cavalcanti, 1999).

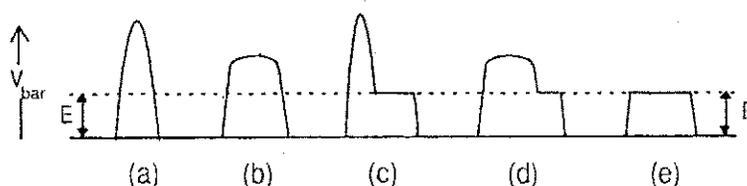


Figura 2.2: Tipos de pulsos de tensão

Como indicado na figura 2.2, os tipos de pulsos no barramento CC podem ser classificados como:

- Pulso ressonante - Fig. 2.2(a).
- Pulso ressonante com tensão de pico reduzida - Fig. 2.2(b).
- Pulso ressonante PWM - Fig. 2.2(c).
- Pulso ressonante PWM com tensão de pico reduzida - Fig. 2.2(d).

- Quase-ressonante - Fig. 2.2(e).

Para analisar cada classe de inversores, assume-se que a indutância na carga é muito maior do que qualquer indutância do circuito auxiliar (Fig. 2.3(a)), de modo que durante o funcionamento do circuito, I_0 seja considerada constante (Fig. 2.3(b)). A corrente I_0 depende da configuração das chaves a cada momento e conseqüentemente da técnica de modulação que está sendo usada, mas para análise de funcionamento do circuito auxiliar, o uso de uma chave equivalente substituindo as chaves do inversor, em cada instante de operação, resulta em boa simplificação. Deste modo, são utilizados equivalentes monofásicos, que representam os inversores trifásicos da classificação anterior (Fig. 2.2). O uso do equivalente monofásico mostra a operação do circuito auxiliar, onde a chave equivalente fechada representa o entalhe na tensão do barramento e a chave aberta representa os outros modos de funcionamento do circuito.

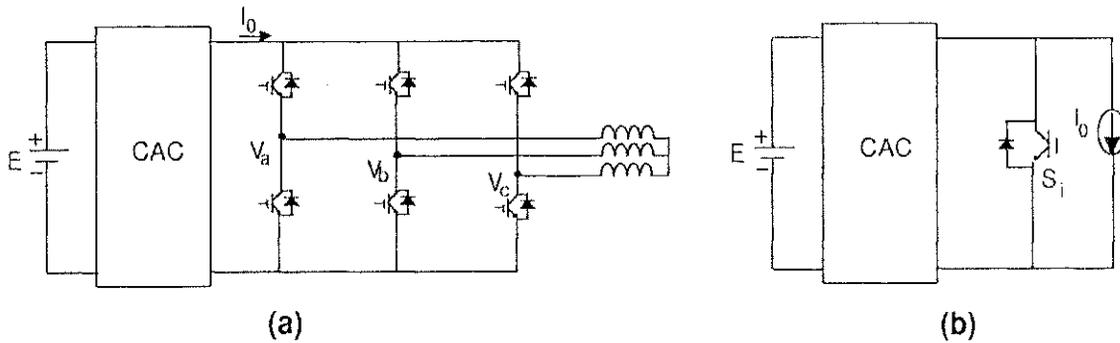


Figura 2.3: Circuito equivalente do sistema durante cada pulso ressonante

2.2.1 Inversor Pulso Ressonante

Os circuitos com barramento CC ressonante (RDCL) (Divan, 1989) e RDCL com uma chave auxiliar (Lee et al., 1991) representam este e grupo e são mostrados nos CACs I e II (Fig. 2.4), respectivamente.

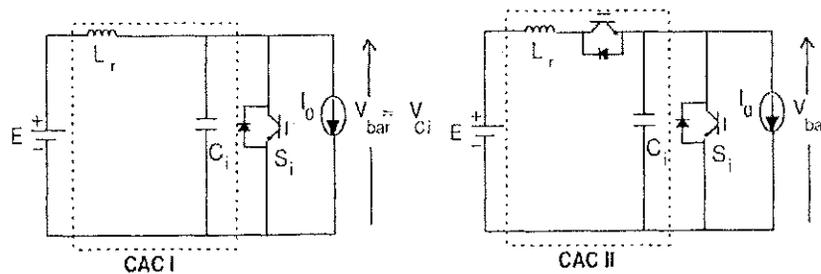


Figura 2.4: Inversores pulso ressonante

O inversor RDCL faz a tensão do barramento oscilar a uma alta frequência, de modo que instantes de tensão nula são criados periodicamente, possibilitando condições ideais de chaveamento para todas as chaves conectadas ao barramento e transferindo potência através de um circuito auxiliar ressonante. A necessidade de manter as oscilações estáveis, independentemente da variação da corrente de saída, própria para o chaveamento do inversor, requer valores volt-ampère excessivos nos componentes reativos e nas chaves. O pico da tensão pulsante do barramento é de pelo menos duas vezes a tensão da fonte CC, de um inversor com chaveamento dissipativo (Divan, 1986). A topologia possui número mínimo de chaves, componentes passivos de tamanho moderado e pode chavear a frequências acima de $20kHz$.

Um método de controle da corrente inicial do indutor ressonante foi proposto por Lee et al. (1991). Ele assegura o chaveamento a tensão nula do inversor sob todas as condições de operação do mesmo. Contudo, um circuito de potência adicional é requerido para iniciar a corrente no indutor ressonante.

O CAC II utiliza uma chave adicional em relação ao CAC I. A oscilação estável do barramento ressonante e o chaveamento suave do inversor são conseguidos pelo controle da chave auxiliar.

Operação do CAC I

Como exemplo do funcionamento das topologias TPB, explica-se a seguir as etapas de operação do CAC I (Fig. 2.4).

Quando a chave S_i está aberta, a tensão do barramento oscila com a frequência ressonante do circuito. Quando o ciclo termina, esta tensão retorna a zero, dando condições de chaveamento ideais. Porém, devido às perdas do sistema, o pulso de tensão pode não retornar a zero, resultando em problemas no funcionamento do inversor. Para evitar isso, a chave S_i é fechada para que a corrente no indutor L_r cresça linearmente, até que energia suficiente seja armazenada, de modo que a tensão no capacitor volte a passar por zero. As etapas de operação e as formas de onda são mostradas nas figuras 2.5 e 2.6, respectivamente.

Etapa I (Fig. 2.5(a)): Suponha que a chave S_i é aberta quando a corrente no indutor é maior que I_0 . Inicialmente a tensão no capacitor é zero, pois S_i estava fechada.

Etapa II (Fig. 2.5(b)): Quando a tensão no capacitor retorna a zero, o diodo em anti-paralelo com a chave S_i conduz. Assim, durante o tempo que a corrente i_{Lr} é menor que I_0 , o diodo conduz a diferença de corrente, grampeando a tensão do barramento em aproximadamente zero, já que a tensão aplicada ao inversor é dada apenas pela queda de tensão no diodo. S_i deve então ser fechada para que a corrente no indutor alcance o valor inicial novamente. A partir deste momento, abre-se a chave, voltando as condições iniciais

e iniciando um novo ciclo ressonante.

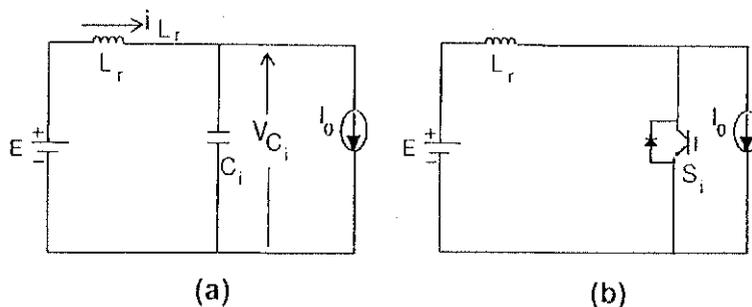


Figura 2.5: Etapas de operação do CAC I

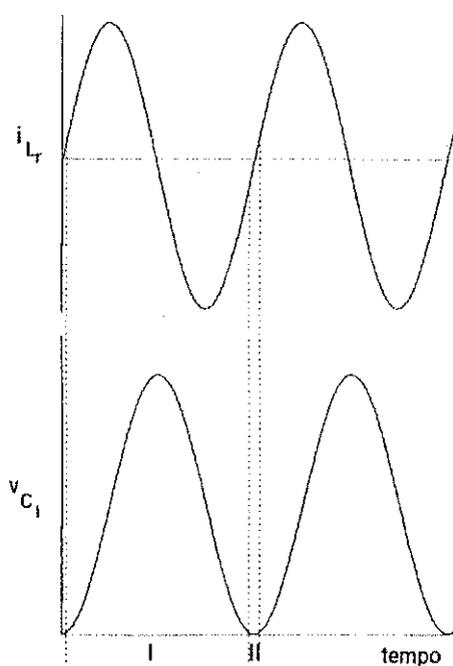


Figura 2.6: Formas de onda simuladas para o CAC I

2.2.2 Inversor Pulso Ressonante com Tensão de Pico Reduzida

Estresses de tensão sobre as chaves do inversor RDCL ocorrem devido à ação ressonante dos componentes passivos no barramento CC e à estratégia de modulação usada. Sob condições de regime permanente, o ciclo ressonante é sempre iniciado com um valor fixo de corrente inicial no capacitor. Assim, um balanço de energia em L_r implica em estresses de tensão sobre as chaves do inversor, de no mínimo $2E$.

No inversor com barramento CC ressonante grameado ativamente (ACRDCL, CAC III, Fig. 2.7) (Divan e Skibinski, 1987), a presença do capacitor adicional, em relação ao inversor

RDCL original, faz com que a estrutura possua duas impedâncias características, reduzindo os estresses de tensão para aproximadamente $1,1$ a $1,3E$. Para manter o equilíbrio da tensão dos capacitores eletrolíticos, é necessária uma técnica de detecção da tensão. A partir dos resultados detectados, o controle das próprias chaves do circuito é encarregado de adicionar mais ou menos corrente, aumentando a complexidade do controle, mas garantindo o perfeito funcionamento do circuito. Também foi mostrado que o valor dos estresses podem ser limitados por um inversor com barramento CC ressonante grampeado passivamente (PCRDCL, CAC IV, 2.7) (Divan e Skibinski, 1987).

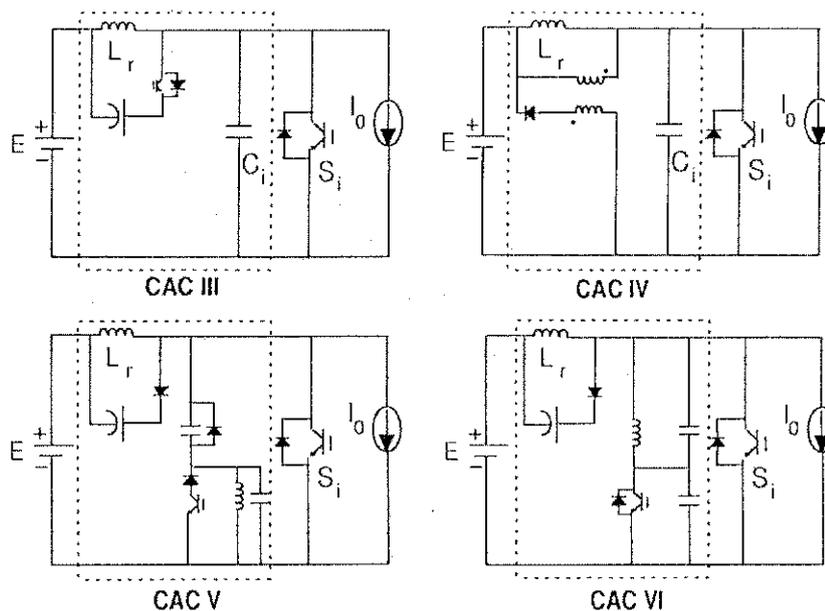


Figura 2.7: Inversores pulso ressonante com tensão de pico reduzida

Alguns resultados confirmam as boas qualidades do CAC III em termos de perdas (Kurnia et al., 1993; Lai et al., 1994). Para este circuito, técnicas de controle reduzem a variação de tensão no capacitor quando existe uma mudança de sinal na corrente de carga (Divan, 1989), mas problemas como a necessidade de regulação da carga no capacitor de grampeamento ou controle da corrente inicial no indutor ressonante continuam a existir. Neste tipo de inversor, a divisão do capacitor de entrada do inversor (Fig. 2.8(a)) em capacitores individuais através de cada chave da ponte (Fig. 2.8(b)) permite que os circuitos operem com técnicas PWM que dependem do sentido das correntes nas fases (Divan et al., 1988). Isto parece abrir novas possibilidades de melhoria para este circuito.

Embora, no inversor ACRDCL o uso de um grampeamento ativo reduza o pico de tensão nas chaves do inversor para níveis razoáveis, o circuito apresenta algumas desvantagens, tais como componentes de potência com valores de tensão maiores que os normais, variação na

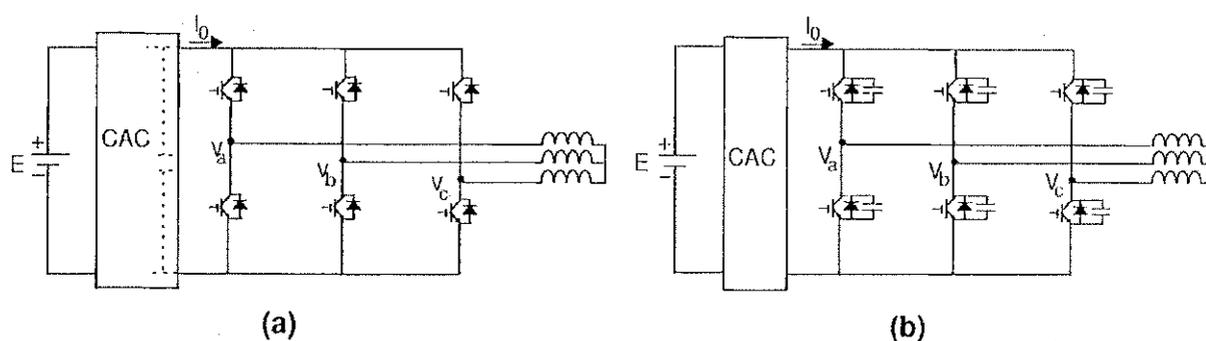


Figura 2.8: Inversor (a) sem divisão e (b) com divisão do capacitor de entrada

freqüência do barramento com a variação da tensão do capacitor de grampeamento, di/dt elevado no ciclo ressonante e crescimento das perdas devido à introdução do circuito de grampeamento. Além disso, com a chave auxiliar, aumenta-se a complexidade do inversor e de seu controle.

De modo a reduzir o pico de tensão do barramento CC, uma outra topologia foi proposta por Deshpande e Doradla (1994) (CAC V, Fig. 2.7). Uma tensão com freqüência de 2 vezes a de ressonância é injetada à tensão do barramento, usando um circuito adicional conectado em série com o capacitor ressonante. O diodo e o capacitor, em paralelo com o indutor ressonante, são utilizados para grampear a tensão do barramento, no caso de uma mudança no sentido da corrente de carga. Um exame detalhado da função dos diferentes componentes no CAC V revela que é possível fazer uma simplificação adicional no circuito. O circuito simplificado é mostrado no CAC VI (Fig. 2.7, Deshpande e Doradla (1995)), que tem as mesmas formas de onda anteriores e possui operação do barramento estável. Portanto, a topologia modificada simplifica o circuito de potência do barramento ressonante, pois ela é mais compacta que a anterior.

2.2.3 Inversor Pulso Ressonante PWM

Para sincronizar oscilação do barramento com modulação do inversor de modo a se operar com PWM, o ciclo ressonante pode ser interrompido por uma chave auxiliar. A principal desvantagem deste inversor é o elevado estresse de tensão e corrente sobre as chaves do inversor. Os CACs VII (Lai e Bose, 1990) e VIII (Garcia e Barbi, 1990) representam circuitos pertencentes a este tipo (Fig. 2.9). A diferença entre eles está no posicionamento da chave auxiliar. O CAC VII possui uma chave auxiliar em série com o capacitor ressonante. Neste caso, a chave fecha a corrente nula. No CAC VIII uma operação PWM pode ser conseguida introduzindo uma chave auxiliar, que comuta a tensão nula, em paralelo com o

indutor de ressonância. Nestes circuitos, com o acréscimo de apenas uma chave e um diodo em relação ao circuito RDCL, pode-se obter uma operação com modulação por largura de pulso.

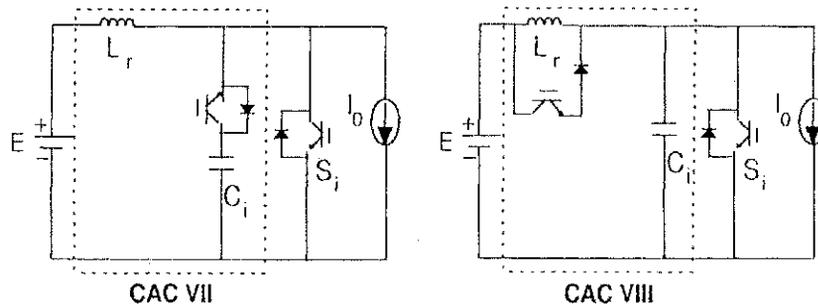


Figura 2.9: Inversores pulso ressonante PWM

2.2.4 Inversor Pulso Ressonante PWM com Tensão de Pico Reduzida

Existem dois tipos de circuitos que representam esta classe. O primeiro, utiliza a técnica de grameamento ativo, e o segundo, a de grameamento passivo. O segundo tipo apresenta equações mais complexas do que o primeiro, já que no seu modelo, leva-se em consideração a indutância mútua entre os indutores.

Com a finalidade de reduzir o pico de tensão utiliza-se um circuito grameador (Fig. 2.10) como mostram os CACs IX (Dafeng, 1988) e X (Malesani et al., 1989). No CAC X, o barramento CC ressonante é constituído de um indutor e um capacitor ressonantes. O capacitor de grameamento, juntamente com o diodo e a chave auxiliares reduzem a amplitude da tensão sobre o barramento CC, limitando o estresse nas chaves do inversor. A chave e o diodo auxiliares providenciam o caminho de roda-livre para a corrente. O bloqueio da chave auxiliar sincroniza a oscilação do barramento com a comutação das chaves do inversor.

Outras seis opções para limitação do pico de tensão e possibilidade de operação PWM são ilustradas pelos CACs XI, XII, XIII, XIV (Garcia e Barbi, 1990), XV (Salama e Tadros, 1995) e XVI (Agelidis et al., 1991), indicados na figura 2.10.

Dentre as topologias, duas usam o grameamento passivo (Fig. 2.10). Uma desvantagem da primeira, CAC XVII (Chen et al., 1995), em relação a segunda, CAC XVIII (Chen e Lipo, 1995), é o número elevado de componentes. A introdução de acoplamento magnético entre os dois indutores ressonantes faz com que eles compartilhem o mesmo núcleo. Com o acoplamento magnético, a corrente no indutor auxiliar pode reverter durante

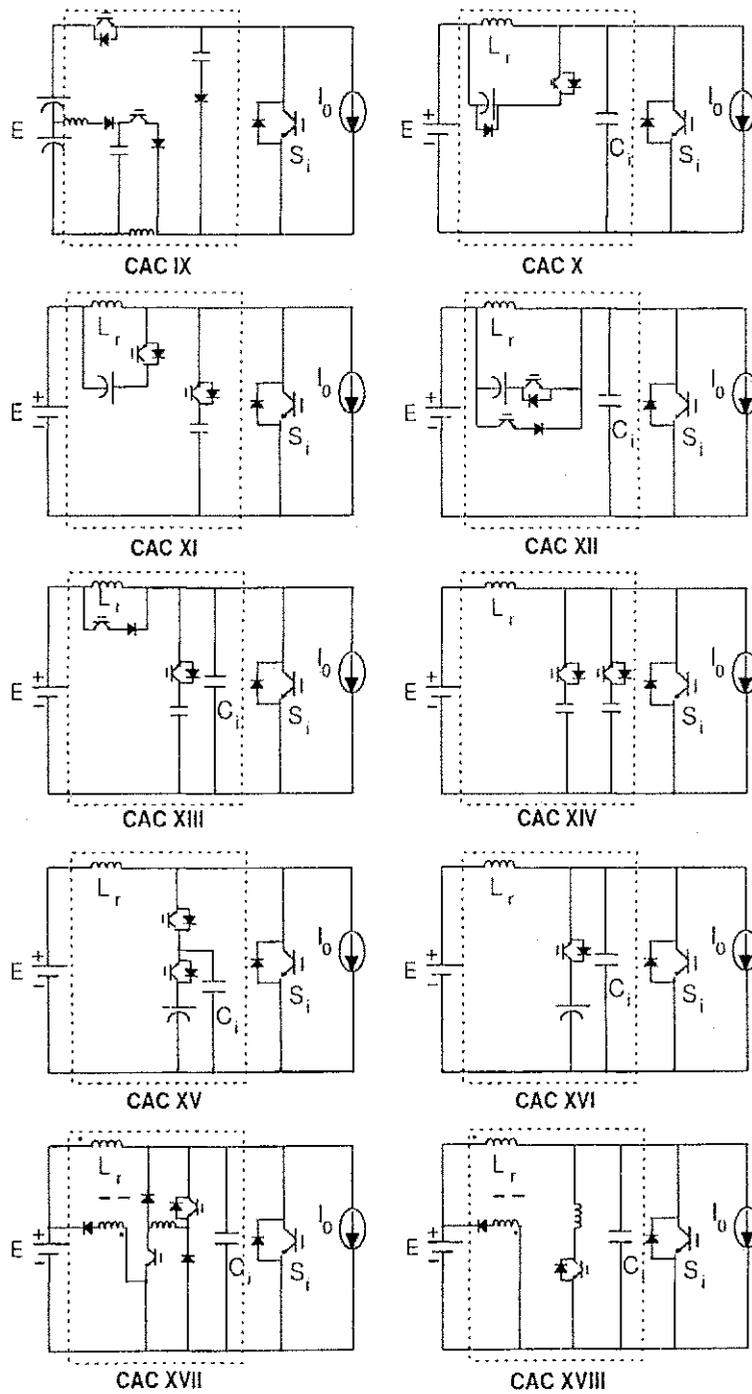


Figura 2.10: Inversores pulso ressonante PWM com tensão de pico reduzida.

o transitório ressonante, fazendo com que apenas uma chave e um diodo sejam necessários para controlar a operação do circuito auxiliar. Portanto, a quantidade de componentes para o circuito é reduzida de duas chaves e um indutor separado (CAC XVII), para somente uma chave e um indutor adicional (CAC XVIII). O CAC XVIII, que elimina o problema da regulação de carga, introduz uma limitação na técnica de modulação a ser usada devido ao período de sobretensão.

2.2.5 Inversor Quase-ressonante

Neste tipo de inversor, como condições ZVS podem ser criadas a qualquer instante, não existe restrição quanto a aplicação das estratégias PWM. O uso da chave em série S_{cc} (Fig. 2.11) não causa estresse de tensão extra (os pulsos de tensão possuem a amplitude da tensão da fonte CC) para o inversor, e portanto a relação de tensão nas chaves de potência é de somente $1p.u.$ em relação à tensão CC. Portanto, chaves com o mesmo valor de tensão, antes empregados para o chaveamento dissipativo, podem continuar sendo usadas, diminuindo o custo das chaves do inversor em relação aos circuitos apresentados anteriormente. Entretanto, a chave S_{cc} conduz corrente durante quase todo o período de funcionamento, e embora não exista estudo comparativo entre as perdas de chaveamento eliminadas e as perdas de condução adicionadas, esta investigação é muito importante e será realizada neste trabalho. Os inversores quase-ressonantes podem ser divididos em dois sub-grupos:

Entalhe com Largura Fixa (ELF)

Nessas topologias, o período de chaveamento varia com o ajuste da largura do pulso, porque o intervalo de tensão nula (entalhe) pode ser considerado aproximadamente constante.

O circuito mostrado no CAC XIX (Fig. 2.11, Malesani et al. (1992)) é uma topologia ELF que utiliza chaveamento a tensão nula como técnica de chaveamento suave. O circuito XX (Fig. 2.11, Zhang e Hui (1994)) é uma outra topologia quase-ressonante. Durante os períodos em que não ocorre chaveamento no inversor, o capacitor que está em paralelo com o inversor fica carregado com a tensão da fonte CC.

Outras opções para esta classificação (Fig. 2.11) são mostradas nos CACs XXI (Shimizu et al., 1997), XXII (Oh et al., 1998), XXIII (He e Mohan, 1989) e XXIV (Choi e Sul, 1995).

Entalhe com Largura Variável (ELV)

O circuito em ponte (CAC XXV, Avelar e Cortizo (1990)) e o CAC XXVI (Yi et al., 1992) são duas topologias ELV (Fig. 2.12). A diferença entre elas está no posicionamento

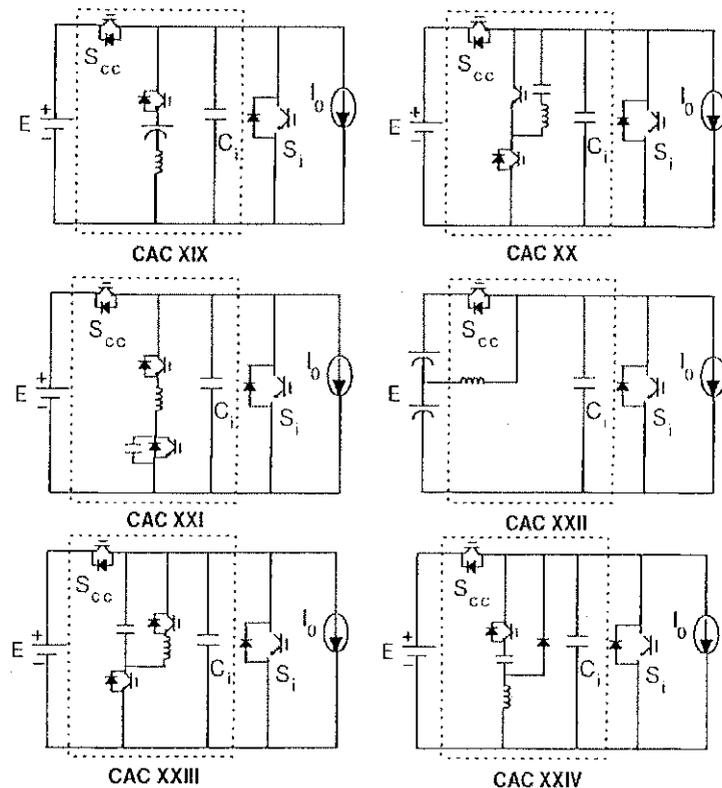


Figura 2.11: Inversores quase-ressonantes com entalhe de largura fixa

dos componentes, que faz com que a última possua uma chave a mais. Entretanto, este posicionamento faz com que o CAC XXVI não possua perdas no indutor ressonante durante o intervalo de pulso. Os CACs XXVII (Jung et al., 1995) e XXVIII (Wang et al., 1995) são outros circuitos que se enquadram nesta classificação (Fig. 2.12). Embora a topologia XXVIII necessite de pouca energia de circulação e tenha um controle simples, a chave auxiliar S_a sofre estresse no bloqueio e tem chaveamento dissipativo. Outra opção dentro desta classificação (Fig. 2.12) é mostrada no CAC XXIX (Wang et al., 1995), que é a versão de chaveamento a corrente nula da topologia anterior. Os CACs XXX (Thunya et al., 1998) e XXXI (Sung e Nam, 1998) não possuem qualquer chaveamento dissipativo (Fig. 2.12). Neste último, as chaves auxiliares são fechadas e abertas sob corrente nula. É importante ressaltar que devido a divisão da tensão CC, o valor da capacitância precisa ser avaliado com detalhes. Isto será feito após o estudo das perdas, mas pode-se adiantar que o controle das próprias chaves do circuito é encarregado de adicionar mais ou menos corrente, restaurando o balanço inicial dos capacitores. O CAC XXXII (Kurokawa et al., 2001) é outra opção de inversor, sendo que este foi apresentado recentemente. Uma topologia que utiliza um transformador no circuito auxiliar foi proposta por Yonemori et al. (1994), sendo que ela não é investigada no trabalho.

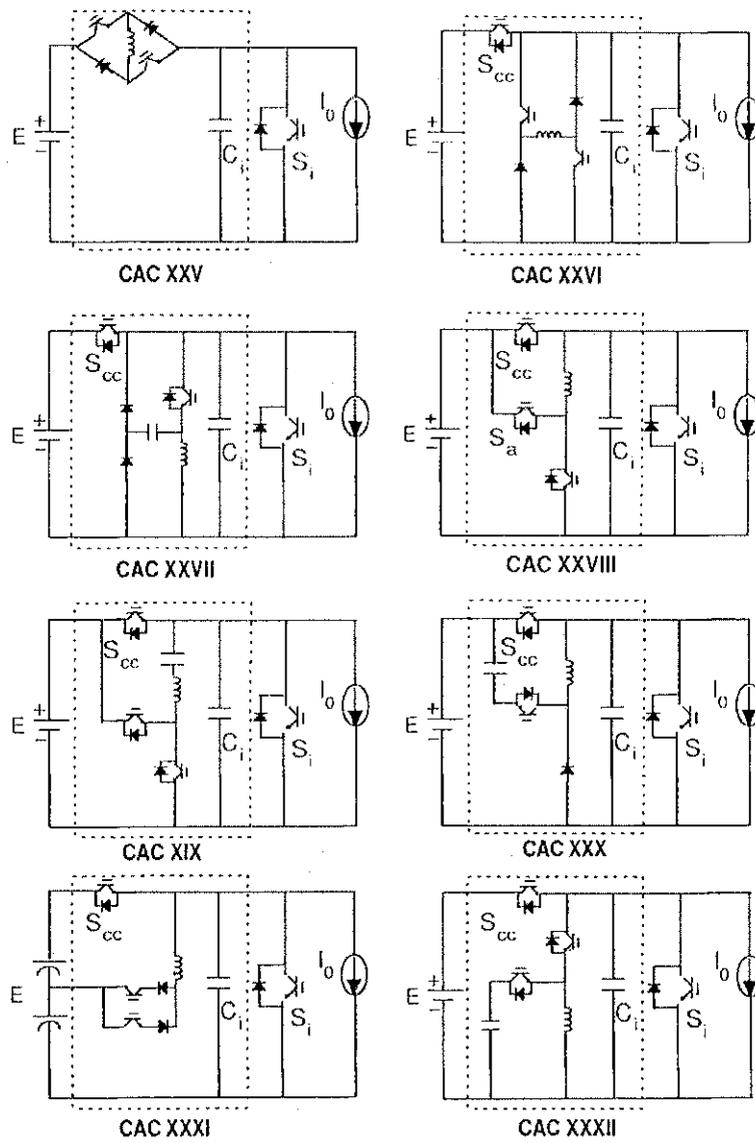


Figura 2.12: Inversores quase-ressonantes com entalhe de largura variável

Operação do CAC XXVII

Como exemplo do funcionamento das topologias do tipo quase-ressonante, explica-se a seguir as etapas de operação do CAC XXVII (Fig. 2.12). Esta explicação faz-se necessária devido à mudança significativa que ocorreu nessa classe de inversores em relação às primeiras topologias propostas.

A configuração do inversor consiste de duas chaves auxiliares, dois diodos, um indutor e dois capacitores ressonantes. Neste caso, um capacitor é o do inversor e o outro é o do circuito auxiliar, usado para reverter a corrente no indutor. O funcionamento é dividido em oito etapas de operação. As etapas de operação e as formas de onda são mostradas nas figuras 2.13 e 2.14, respectivamente.

Etapa I (Fig. 2.13(a)): Nesta etapa a corrente de carga I_0 flui por S_{cc} . A chave auxiliar está aberta.

Etapa II (Fig. 2.13(b)): Se a posição das chaves do inversor S_i precisa ser mudada, a chave auxiliar S_a é fechada a corrente nula, para iniciar a corrente no indutor ressonante i_{Lr} .

Etapa III (Fig. 2.13(c)): Quando i_{Lr} alcança a corrente I_i , previamente fixada, a ressonância entre o indutor e o capacitor do inversor C_i ocorre pelo bloqueio da chave S_{cc} a tensão nula.

Etapa IV (Fig. 2.13(d)): A tensão no capacitor do inversor diminui ressonantemente da tensão da fonte E para zero. Depois disso, a corrente no indutor ressonante i_{Lr} entra em roda-livre pelos diodos em anti-paralelo com as chaves do inversor. A duração de roda-livre é controlável. Nesta etapa, todas as chaves do inversor são fechadas a tensão nula.

Etapa V (Fig. 2.13(e)): A chave S_a é aberta a tensão nula e a corrente no indutor é revertida pela ressonância com o capacitor auxiliar.

Etapa VI (Fig. 2.13(f)): No início desta etapa, a corrente no indutor entra em roda-livre pelas chaves do inversor.

Etapa VII (Fig. 2.13(g)): Quando a duração de tensão nula iguala um valor que é pré-calculado pelo controlador PWM, as chaves do inversor, selecionadas de acordo com a estratégia de modulação, são abertas a tensão nula. Uma nova ressonância entre L_r e C_i ocorre e a tensão neste capacitor alcança a tensão da fonte CC.

Etapa VIII (Fig. 2.13(h)): Uma corrente residual flui pelo diodo em anti-paralelo com S_{cc} até que se torne zero. Neste período, a chave S_{cc} pode ser fechada a tensão nula.

É importante ressaltar que no caso de termos uma corrente de carga positiva no instante em que a posição das chaves do inversor precisa ser mudada, pode-se evitar a etapa II de operação do circuito, já que o capacitor consegue se descarregar com a ajuda da corrente

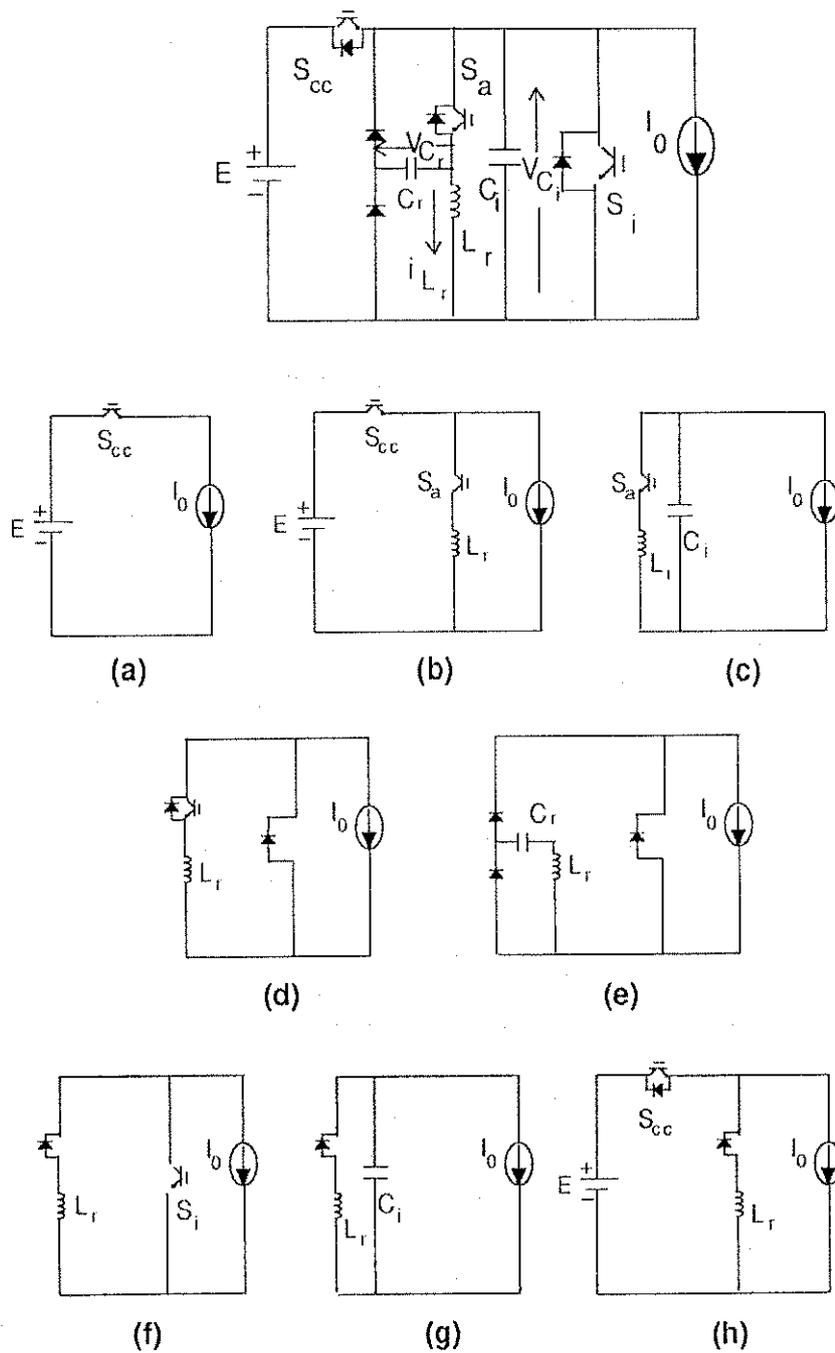


Figura 2.13: Etapas de operação do CAC XXVII

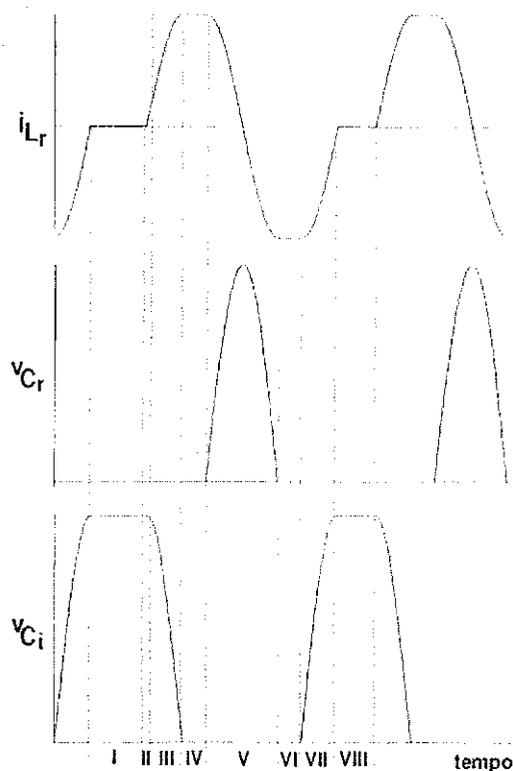


Figura 2.14: Formas de onda simuladas para o CAC XXVII

de carga. No caso de termos uma corrente de carga negativa, a etapa II é necessária à operação do circuito. O funcionamento do circuito pode ser melhorado, utilizando um comando semelhante ao proposto por McMurray (1989).

Para resolver a desvantagem do elevado valor de corrente no instante de bloqueio da chave em série com o barramento (chave S_{cc}) (Hua et al., 1993), um circuito ZVS foi proposto em Mao et al. (1996). Entretanto, a chave S_{cc} continua sofrendo um problema de estresse de corrente. Isto sempre resulta do fato de que os circuitos precisam de uma corrente inicial no indutor ressonante, ou seja, existe uma etapa em que é armazenada uma energia inicial no indutor pela chave S_{cc} . Assim, S_{cc} tem que suportar a corrente no indutor somada à corrente de carga, sofrendo um estresse de corrente e aumentando as perdas no instante do bloqueio da mesma.

Uma alternativa é o chaveamento de S_{cc} através da técnica simultânea ZVS e ZCS (ZVZCS), ou seja, chaveamento a tensão e corrente nulas. Outra alternativa é a comutação das chaves principais do inversor através da técnica ZCS.

2.3 Inversor com ZVZCS na Chave S_{cc}

O chaveamento a tensão e corrente nulas foi proposto inicialmente por Lin e Lee (1996) (Fig. 2.15(a)). Em Ryu et al. (1999) (Fig. 2.15(b)), foi proposto um outro circuito utilizando esta solução, por se considerar que a estrutura de Lin e Lee (1996) sofre do custo adicional de usar duas chaves e do estresse de corrente do diodo da chave S_{cc} .

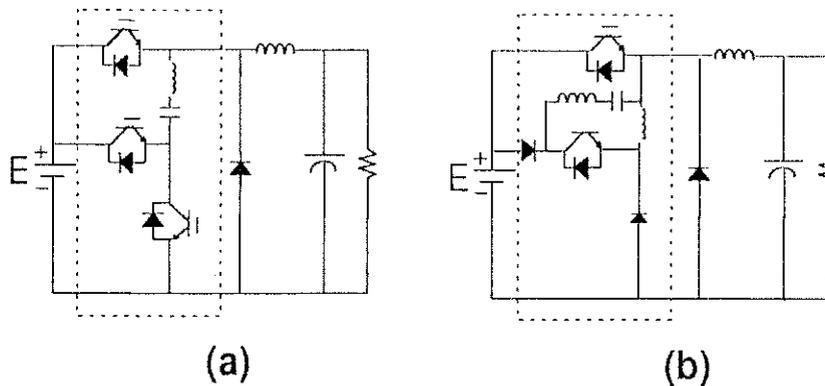


Figura 2.15: Conversores com circuitos ZVZCS

Em Ryu et al. (1999) foram apresentados conversores ZVZCS. A técnica de chaveamento suave proposta opera sob ZVZCS no disparo e no bloqueio da chave S_{cc} e seu diodo, usando somente uma chave auxiliar. O circuito auxiliar da topologia proposta é colocado fora do caminho de potência principal e portanto, não existem estresses de corrente e tensão sobre a chave S_{cc} e seu respectivo diodo.

Os autores estudaram topologias que utilizam o princípio ZVZCS simultaneamente na chave S_{cc} . Porém, este estudo foi realizado para conversores CC-CC, que apresentam um funcionamento mais simples do que aquele dos inversores (Lin e Lee, 1996; Ryu et al., 1999).

O funcionamento do tipo “Boost” é bastante explorado nesses artigos, porém quando os circuitos são usados para o inversor fonte de tensão, devem-se usar as topologias do tipo “Buck” ilustradas nos artigos originais (Lin e Lee, 1996; Ryu et al., 1999). Entretanto, existe uma diferença quanto ao seu funcionamento em relação aos circuitos originais, já que um capacitor na entrada do inversor deve ser adicionado à topologia para permitir ZVS nas chaves do inversor. Este capacitor também pode ser conectado às chaves individualmente, o que permite que o circuito seja utilizado apenas uma vez a cada período de chaveamento do inversor. Uma explicação detalhada será apresentada na seção referente às considerações de seleção.

Como exemplo da técnica ZVZCS, é mostrado abaixo o estudo feito com os circuitos de comutação propostos por Lin e Lee (1996) (Fig. 2.15(a)) e Ryu et al. (1999) (Fig. 2.15(b)) aplicados a um inversor.

2.3.1 Circuito ZVZCS I

No inversor ZVZCS I o CAC possui o capacitor C_i , que não existe no inversor original proposto por Lin e Lee (1996).

Na figura 2.16 é mostrado o diagrama do circuito simplificado. Nas figuras 2.17 e 2.18 são mostradas as etapas de operação e as formas de onda, respectivamente, que são explicadas a seguir.

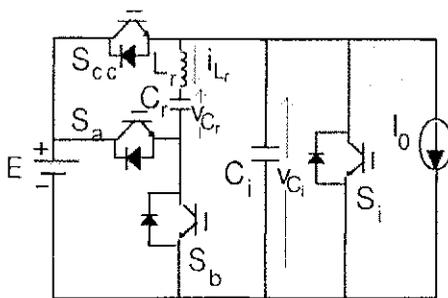


Figura 2.16: Circuito simplificado do inversor ZVZCS I

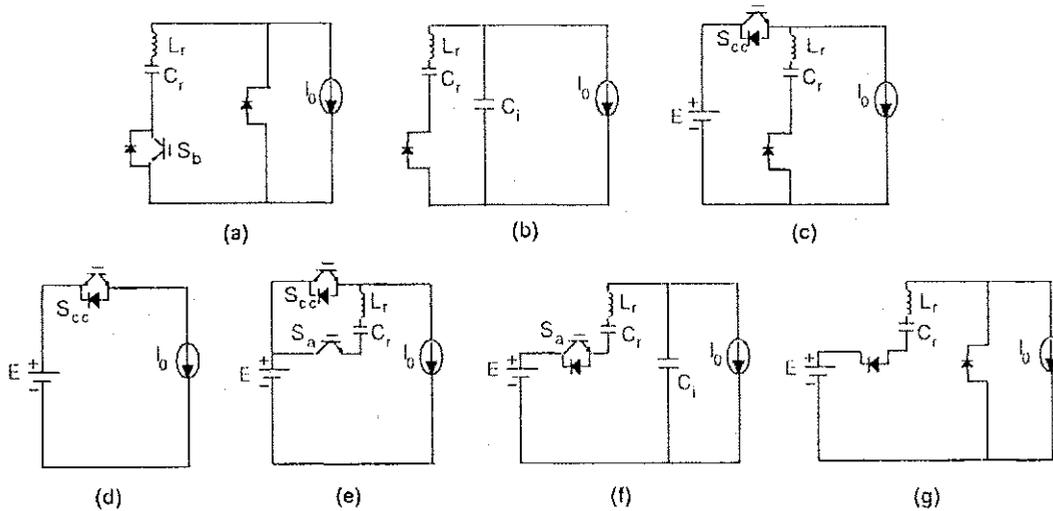


Figura 2.17: Etapas de operação do circuito ZVZCS I

Etapa I (Fig.2.17(a)): Inicialmente, a chave auxiliar S_b é fechada com corrente nula. A corrente em S_b aumenta devido a ressonância entre C_r e L_r . Então a tensão em C_r começa a oscilar e a corrente inverte de sentido, começando a circular por D_b .

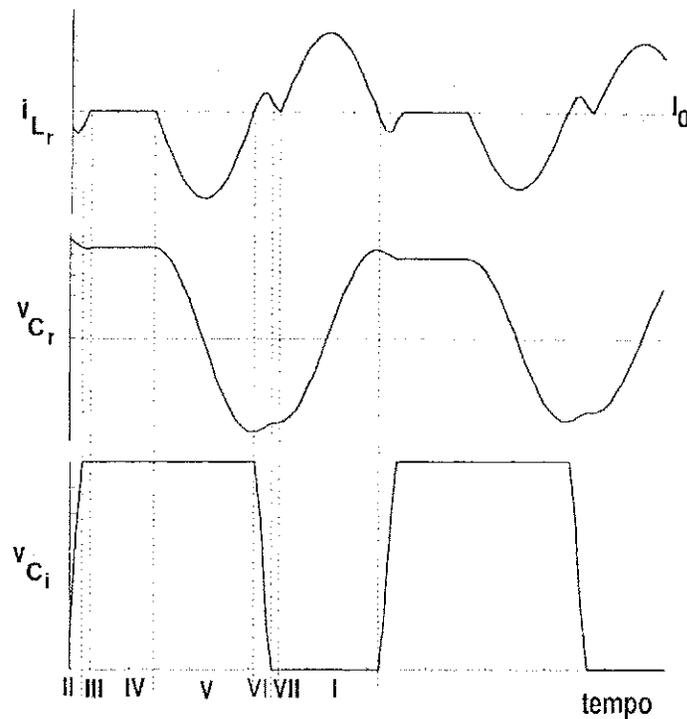


Figura 2.18: Formas de onda simuladas para o circuito ZVZCS I

Etapa II (Fig.2.17(b)): Quando a corrente em D_b alcança I_0 , o diodo do inversor D_i cessa de conduzir. O capacitor C_i da chave do inversor começa a carregar devido à ressonância entre C_i , L_r e C_r .

Etapa III (Fig.2.17(c)): Após a carga do capacitor C_i terminar, o diodo em anti-paralelo D_{cc} começa a conduzir. A chave S_{cc} é fechada durante a condução do diodo D_{cc} de modo que sua comutação ocorra sob ZVS. A corrente em L_r começa a diminuir uma vez que ocorre uma nova ressonância entre C_r e L_r .

Etapa IV (Fig.2.17(d)): Após a ressonância entre C_r e L_r , o diodo auxiliar D_b cessa de conduzir. Neste momento, a chave do inversor S_i é grampeada na tensão de entrada E . A chave S_{cc} ainda permanece sob tensão nula por causa da sua condução contínua. A operação do circuito neste modo é similar ao inversor PWM convencional e a corrente de saída I_0 flui por S_{cc} .

Etapa V (Fig.2.17(e)): A chave S_a é fechada sob ZCS. A soma das correntes em S_{cc} e S_a é igual a corrente de saída I_0 e a corrente na chave auxiliar i_{L_r} aumenta até alcançar I_0 . A partir deste instante, o diodo D_{cc} começa a conduzir. A corrente em D_{cc} chega a zero e portanto o diodo cessa de conduzir sob ZCS.

Etapa VI (Fig.2.17(f)): A chave S_{cc} é aberta sob ZVS. Começa uma ressonância entre C_r e L_r e C_i e o capacitor ressonante é carregado com a corrente do indutor i_{L_r} . A corrente

em L_r diminui até a tensão em C_r tornar-se nula devido a ressonância entre C_r , L_r e C_i . O diodo D_a ainda está conduzindo.

Etapa VII (Fig.2.17(g)): Após o capacitor do inversor C_i descarregar, o diodo do inversor D_i conduz sob ZVZCS. Finalmente, a corrente em D_i torna-se a corrente de saída I_0 e o capacitor ressonante C_r fica carregado com a tensão V_{cr} .

O funcionamento do circuito auxiliar é determinado pela energia de circulação e uma análise desta energia é obtida por meio da técnica do plano de fase. O plano de fase do inversor ZVZCS I é mostrado na figura 2.19.

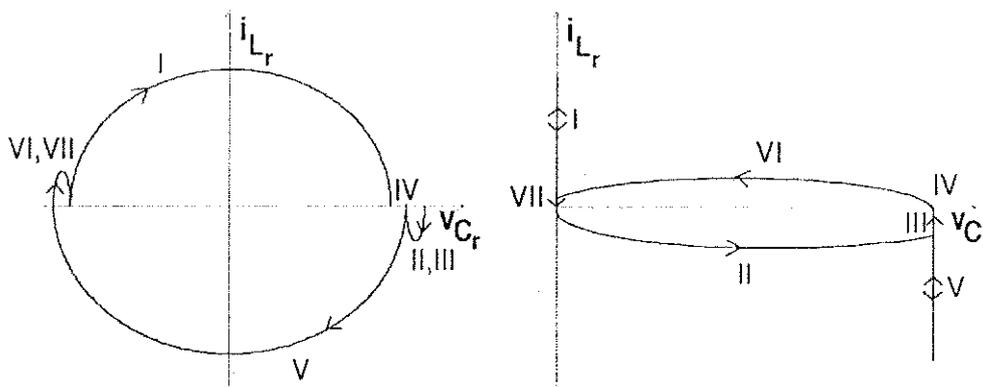


Figura 2.19: Plano de fase do circuito ZVZCS I

Esta topologia tem problemas de funcionamento devido ao uso do capacitor na entrada do inversor, pois as condições iniciais do circuito se tornam diferentes a cada ciclo de operação. Este problema é visto claramente nas figuras 2.18 e 2.19. A tensão no capacitor C_r começa o ciclo de funcionamento em um valor bem positivo e termina o mesmo com um valor ainda positivo, porém insuficiente para que a tensão no capacitor C_i alcance novamente a tensão do barramento CC nos próximos ciclos de operação. Nesta topologia, este problema não é evitado, pois o objetivo é fazer ZVZCS na chave S_{ec} e isto impede uma etapa intermediária de armazenamento de energia no indutor ou capacitor ressonantes.

2.3.2 Circuito ZVZCS II

Na figura 2.20 é mostrado o diagrama do circuito simplificado. Nas figuras 2.21 e 2.22 são mostradas as etapas de operação e as formas de onda, respectivamente, que são explicadas a seguir:

Etapa I (Fig.2.21(a)): Inicialmente, a chave auxiliar S_a é fechada sob ZCS. A corrente em D_b aumenta devido a ressonância entre C_r , L_1 , e L_2 . A tensão entre C_r e L_1 é a tensão de entrada E .

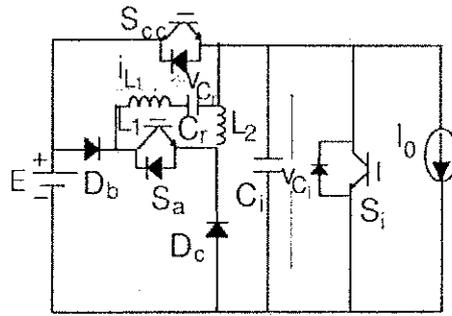


Figura 2.20: Circuito simplificado do inversor ZVZCS II

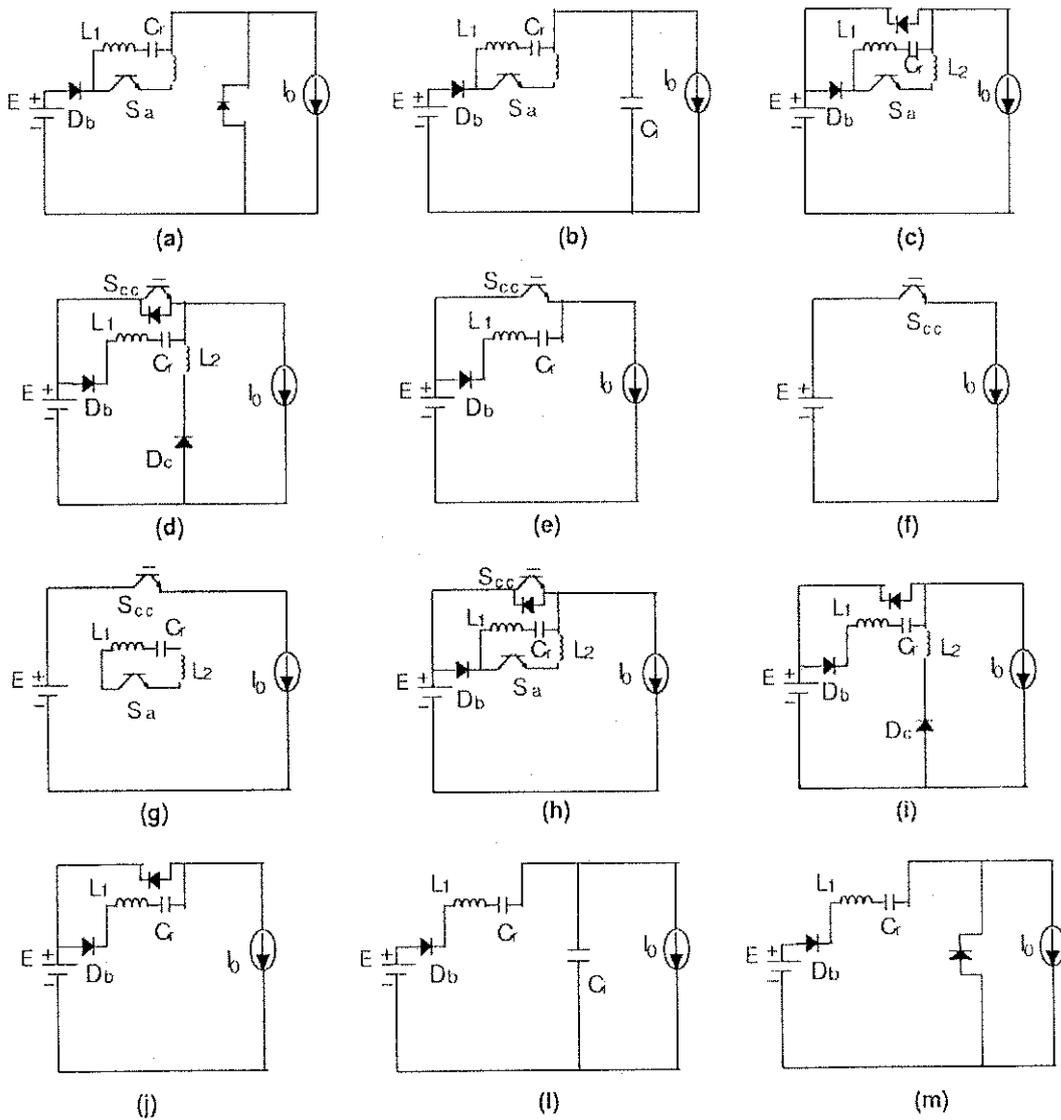


Figura 2.21: Etapas de operação do circuito ZVZCS II

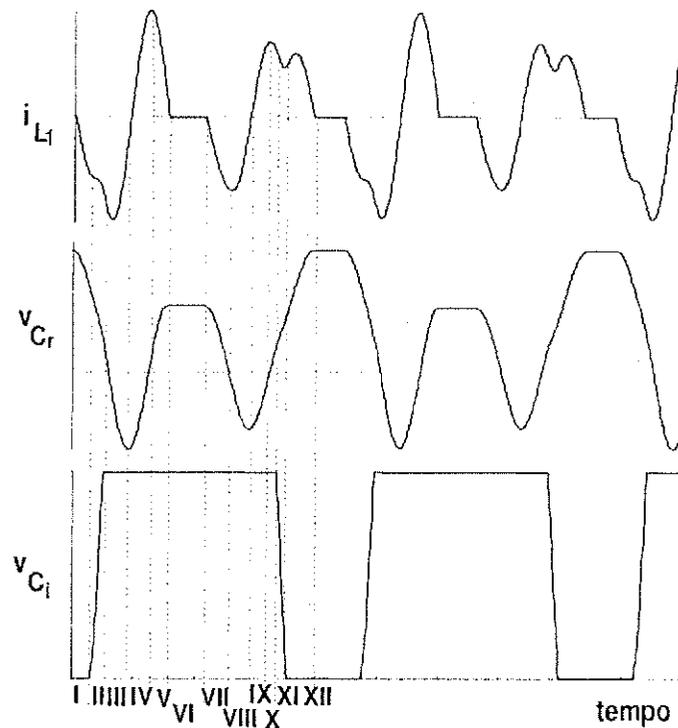


Figura 2.22: Formas de onda simuladas para o circuito ZVZCS II

Etapa II (Fig.2.21(b)): Quando a corrente em D_b alcança I_0 , o diodo do inversor D_i cessa de conduzir sob ZVS. O capacitor C_i da chave do inversor começa a carregar devido a ressonância entre C_i e L_2 .

Etapa III (Fig.2.21(c)): Após a carga do capacitor C_i terminar, o diodo em anti-paralelo D_{cc} começa a conduzir. A chave S_{cc} é fechada durante a condução do diodo D_{cc} de modo que seu chaveamento ocorra sob tensão nula. A corrente em L_2 fica constante e ocorre uma nova ressonância entre C_r e L_1 .

Etapa IV (Fig.2.21(d)): Após a ressonância entre C_r e L_1 , a chave auxiliar S_a é aberta. Neste momento, a energia armazenada no indutor ressonante L_2 é transferida para o lado de saída pelo diodo de grampeamento D_c e a chave auxiliar S_a é grampeada na tensão de entrada E . A chave S_{cc} ainda permanece sob tensão nula por causa da condução contínua do diodo em anti-paralelo D_{cc} . A soma das correntes em L_1 e L_2 passa a ser menor que a corrente de saída I_0 .

Etapa V (Fig.2.21(e)): A corrente i_{cc} na chave S_{cc} aumenta até alcançar I_0 . A ressonância entre C_r e L_1 termina e o capacitor ressonante está carregado com a tensão de entrada E .

Etapa VI (Fig.2.21(f)): A operação do circuito neste modo é similar ao inversor PWM convencional. A corrente de saída I_0 flui por S_{cc} .

Etapa VII (Fig.2.21(g)): S_a é fechada novamente sob ZCS. A corrente em L_1 e L_2 aumenta até a tensão em C_r tornar-se nula devido à ressonância entre C_r , L_1 e L_2 . O diodo D_b ainda não está conduzindo.

Etapa VIII (Fig.2.21(h)): A corrente dos dois indutores ressonantes L_1 e L_2 torna-se valor máximo e o diodo D_b conduz sob chaveamento suave neste instante. A corrente em L_2 fica constante de modo que ocorre uma nova ressonância entre C_r e L_1 . A corrente na chave S_{cc} diminui continuamente até a corrente em D_b alcançar a corrente de saída.

Etapa IX (Fig.2.21(i)): Como a chave auxiliar S_a é aberta, a energia armazenada no indutor ressonante L_2 é transferida para o lado de saída pelo diodo de gramepeamento D_c e portanto, a chave auxiliar S_a é gramepeada na tensão de entrada E . Em t_8 , a tensão no capacitor ressonante é o valor máximo negativo e o sentido da corrente em L_1 é invertido. A corrente em D_b flui pelo diodo em anti-paralelo D_{cc} por um caminho ressonante. Durante este período, a chave S_{cc} pode ser aberta sob ZCS.

Etapa X (Fig.2.21(j)): A chave S_{cc} ainda permanece sob tensão nula por causa da corrente ressonante que flui continuamente por $C_r - L_1 - D_b$. A corrente em L_2 se anula e o capacitor do inversor C_i da chave do inversor S_i está carregado com tensão E .

Etapa XI (Fig.2.21(l)): Com a corrente fluindo por C_r e L_1 , a tensão entre esses dois componentes não é nula por causa da diminuição da tensão em C_i .

Etapa XII (Fig.2.21(m)): Após o capacitor do inversor C_i estar descarregado, o diodo do inversor D_i é fechado sob ZCS e ZVS. A tensão entre C_r e L_1 é a tensão de entrada. A corrente em D_i torna-se a corrente de saída I_0 e o capacitor ressonante C_r fica carregado na tensão máxima V_{cr}^{max} .

O plano de fase do inversor ZVZCS II é mostrado na figura 2.23.

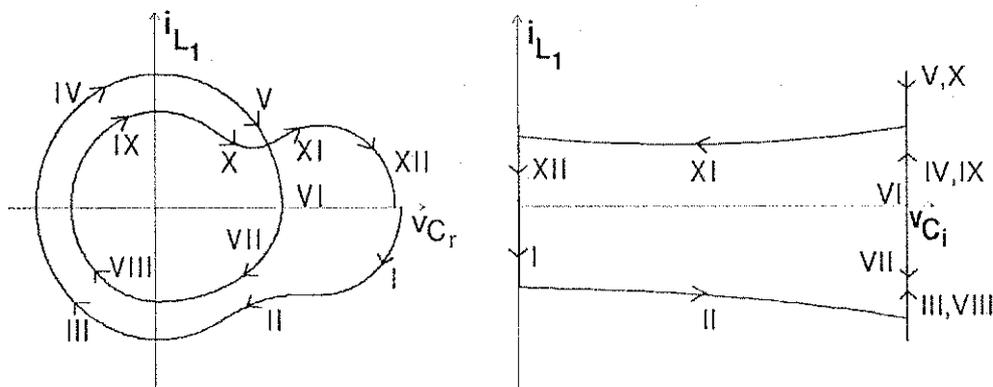


Figura 2.23: Plano de fase do inversor ZVZCS II

Esta topologia também apresenta problemas de funcionamento devido ao uso do capacitor na entrada do inversor, pois ocorre o mesmo problema citado no circuito ZVZCS

I. Nas figuras 2.22 e 2.23, observa-se que no início do ciclo ressonante tem-se uma tensão V_{Cr}^{max} , que é responsável pela energia necessária para a seqüência do processo. Com o passar dos ciclos a tensão armazenada vai diminuindo e comprometendo a operação adequada da topologia.

A respeito das estruturas ZVZCS, deve ser feito um estudo mais detalhado, de modo que o balanço de energia entre o capacitor ressonante e o capacitor de entrada do inversor possa ser resolvido através de um projeto mais elaborado.

2.4 Inversor sem Capacitor do Inversor

O circuito proposto por Shireen et al. (1997) não possui o capacitor do inversor. Esta característica simplifica o funcionamento do circuito, porém o mesmo tem que ser usado toda vez que se queira comutar uma chave no inversor. Neste circuito, quando a corrente de carga é zero ($I_0 = 0$) o capacitor ressonante não consegue descarregar e conseqüentemente o circuito não funciona.

Com o intuito de resolver o problema citado acima, propõe-se o acréscimo da chave S_2 ao circuito proposto por Shireen et al. (1997). Nesta adaptação, permite-se o uso do entalhe variável como vetor nulo, o que elimina o problema de descarga do capacitor ressonante.

Na figura 2.24 é mostrado o diagrama simplificado do circuito. Nas figuras 2.25 e 2.26 são mostradas as etapas de operação e as formas de onda, respectivamente.

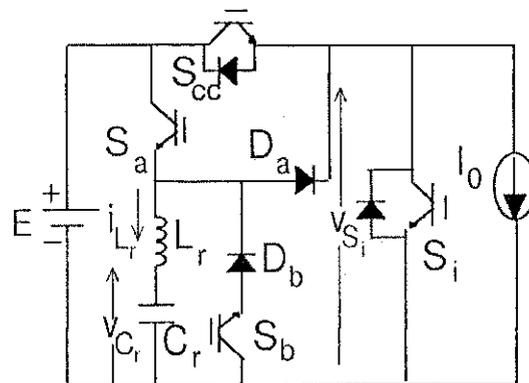


Figura 2.24: Circuito sem capacitor do inversor

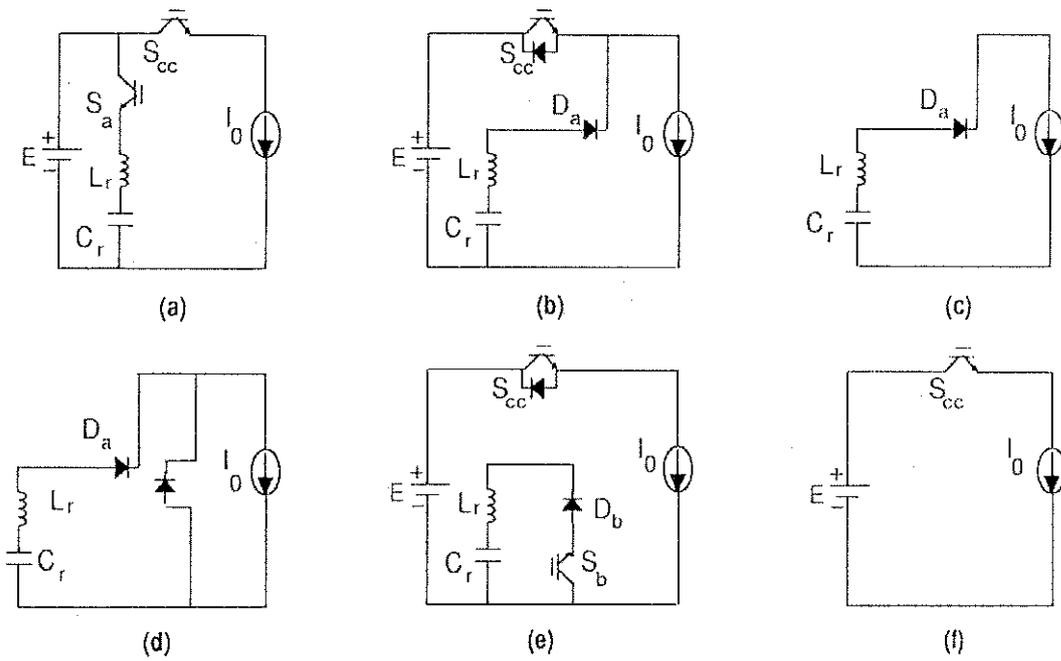


Figura 2.25: Etapas de operação do circuito sem capacitor do inversor

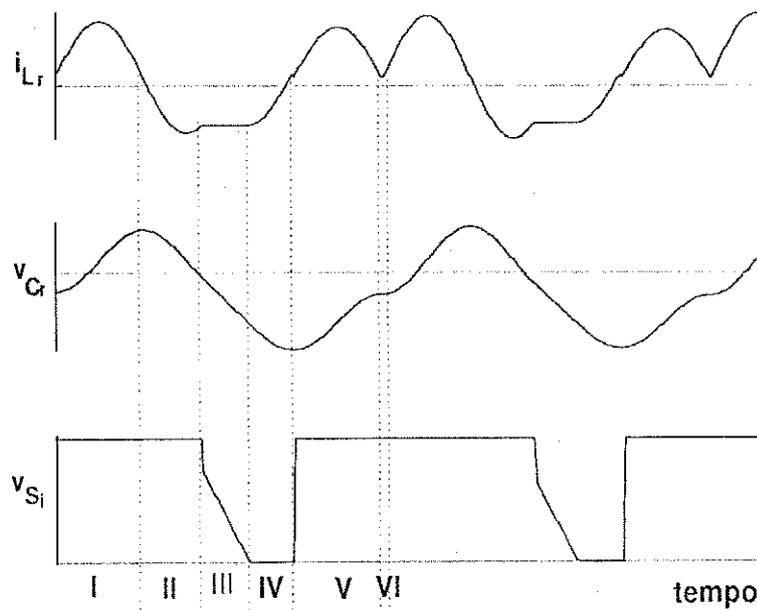


Figura 2.26: Formas de onda simuladas para o circuito sem capacitor do inversor

2.5 Novos Inversores a Barramento Pulsado

Tendo avaliado os circuitos encontrados na literatura, propõe-se duas novas opções de circuitos. O primeiro circuito tem o objetivo de resolver o problema do chaveamento dissipativo em uma das chaves auxiliares do CAC XXVIII. A segunda topologia usa o CAC XXXI como referência, porém havendo uma diminuição no número de componentes auxiliares em relação ao anterior.

2.5.1 Circuito Novo I

Na figura 2.27 é mostrado o diagrama simplificado do circuito novo I. Nas figuras 2.28 e 2.29 são mostradas as etapas de operação e as formas de onda simuladas, respectivamente. O funcionamento do circuito é explicado a seguir.

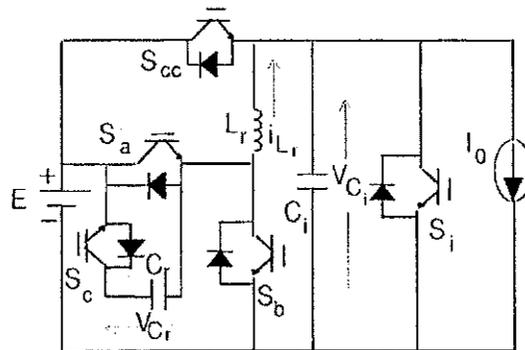


Figura 2.27: Circuito novo I

Etapa I $((t_0, t_1), \text{Fig.2.28(a)})$: Inicialmente, a corrente em S_a alcança I_0 e o diodo do inversor D_i cessa de conduzir sob ZVS. O capacitor C_i da chave do inversor começa a carregar devido a ressonância entre C_i e L_r .

$$\begin{aligned} i_{L_r} &= \frac{E}{\omega_i L_r} \sin(\omega_i t) + I_0 \\ v_{C_r} &= 0 \\ v_{C_i} &= E [1 - \cos(\omega_i t)] \\ \omega_i &= \frac{1}{\sqrt{L_r C_i}}, Z_i = \sqrt{\frac{L_r}{C_i}} \end{aligned} \quad (2.1)$$

Nesta etapa, o capacitor do barramento tem que se carregar com a tensão da fonte E . Isto ocorre em $\omega_i t = \pi/2$. Portanto, não existe uma condição que limite o funcionamento do circuito nesta etapa.

Etapa II $((t_1, t_2), \text{Fig.2.28(b)})$: Após a carga do capacitor C_i terminar, o diodo em anti-paralelo D_{cc} começa a conduzir. A chave S_{cc} é fechada durante a condução do diodo D_{cc} .

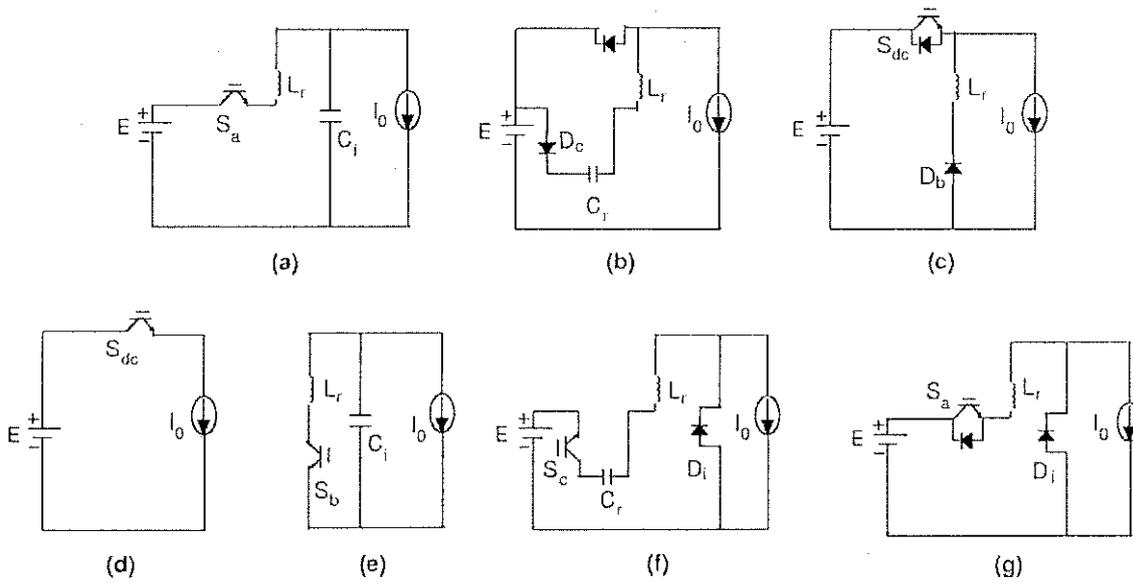


Figura 2.28: Etapas de operação do circuito novo I

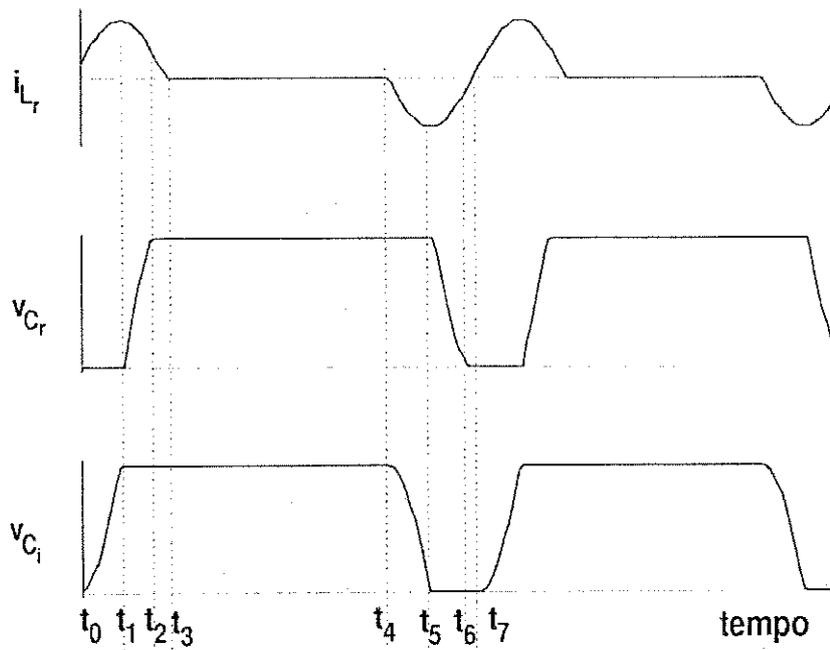


Figura 2.29: Formas de onda simuladas para o circuito novo I

de modo que ela alcance ZVZCS. A chave auxiliar S_a é aberta sob ZVS. A corrente em L_r diminui por causa da ressonância entre C_r e L_r .

$$\begin{aligned} i_{L_r} &= \left(\frac{E}{\omega_r L_r} + I_0 \right) \cos(\omega_r t) \\ v_{C_r} &= \left(\sqrt{\frac{C_i}{C_r}} E + Z_r I_0 \right) \sin(\omega_r t) \\ v_{C_i} &= E \\ \omega_r &= \frac{1}{\sqrt{L_r C_r}}, Z_r = \sqrt{\frac{L_r}{C_r}} \end{aligned} \quad (2.2)$$

Nesta etapa, a tensão no capacitor ressonante precisa alcançar a tensão da fonte. Pela equação (2.2): $\sqrt{C_i/C_r} E + \sqrt{L_r/C_r} I_0 > E$. Para que o circuito fique independente das condições de carga, pode-se então projetar o circuito de modo que $C_r = C_i/2$.

Etapa III ((t_2, t_3) , Fig. 2.28(c)): Após a ressonância entre C_r e L_r , a energia armazenada no indutor ressonante L_r é transferida para o lado de saída pelo diodo D_b e a chave auxiliar S_b é grampeada em zero. A chave S_{cc} ainda permanece sob tensão nula. A corrente em L_r passa a ser menor que a corrente de saída I_0 .

$$\begin{aligned} i_{L_r} &= -\frac{E}{L_r} t + i_{L_r}(t_2) \\ v_{C_r} &= E \\ v_{C_i} &= E \end{aligned} \quad (2.3)$$

Tem-se que anular a corrente no indutor ressonante e para isso, não existe problema, pois a fonte de tensão CC é aplicada se opondo ao sentido da corrente.

Etapa IV ((t_3, t_4) , Fig. 2.28(d)): A operação do circuito neste modo é similar ao inversor convencional PWM. A corrente de saída I_0 flui por S_{cc} .

$$\begin{aligned} i_{L_r} &= 0 \\ v_{C_r} &= E \\ v_{C_i} &= E \end{aligned} \quad (2.4)$$

O que irá limitar esta etapa de operação é a modulação aplicada ao inversor, pois o circuito pode funcionar neste intervalo o tempo necessário para efetuar PWM.

Etapa V ((t_4, t_5) , Fig. 2.28(e)): S_b é fechada sob ZCS. A corrente em L_r diminui até que o diodo D_i comece a conduzir devido a ressonância entre C_i e L_r . A chave S_b então é aberta.

$$\begin{aligned}
i_{Lr} &= -\frac{E}{\omega_i L_r} \sin(\omega_i t) - I_0 \cos(\omega_i t) + I_0 \\
v_{Cr} &= E \\
v_{Ci} &= E \cos(\omega_i t) - Z_i I_0 \sin(\omega_i t)
\end{aligned} \tag{2.5}$$

Nesta etapa, o capacitor do barramento tem que se descarregar para a tensão nula. Supondo uma corrente de carga nula, isto ocorre em $\omega_i t = \pi/2$.

Etapa VI ((t_5, t_6) , Fig. 2.28(f)): Após o capacitor do inversor C_i estar descarregado, o diodo do inversor D_i conduz sob ZVS. A tensão incluindo C_r e L_r é a tensão de entrada. No final desta etapa, o capacitor ressonante C_r fica descarregado.

$$\begin{aligned}
i_{Lr} &= i_{Lr}(t_5) \cos(\omega_r t) \\
v_{Cr} &= E + Z_r i_{Lr}(t_5) \sin(\omega_r t) \\
v_{Ci} &= 0
\end{aligned} \tag{2.6}$$

Nesta etapa, a tensão no capacitor ressonante precisa se anular. Pela equação (2.6): $E + \sqrt{L_r/C_r} i_{Lr}(t_5) < 0$. Portanto, $i_{Lr}(t_5) < -E/\sqrt{L_r/C_r}$.

Etapa VII ((t_6, t_7) , Fig. 2.28(g)): Após a ressonância entre C_r e L_r , a energia armazenada no indutor ressonante L_r é transferida para o lado de entrada pelo diodo D_a e a chave auxiliar S_a é grampeada em zero. A chave auxiliar S_a é fechada sob ZVZCS, pois ela ainda permanece sob tensão nula. A corrente em L_r passa a ser maior que a corrente de saída I_0 e um novo ciclo é iniciado.

$$\begin{aligned}
i_{Lr} &= \frac{E}{L_r} t + i_{Lr}(t_6) \\
v_{Cr} &= 0 \\
v_{Ci} &= 0
\end{aligned} \tag{2.7}$$

Nesta etapa, a única condição exigida é que a corrente no indutor ressonante fique maior do que a corrente de carga. Como a fonte de tensão CC é aplicada no sentido de aumentar a corrente no indutor, isto ocorre naturalmente.

Considerações

- O circuito possui três chaves e três diodos auxiliares, o que pode aumentar significativamente as perdas de condução e chaveamento. Além disso, existe uma complexidade

do sistema de comando devido a passagem da etapa de operação V para a etapa de operação VI. Isto acontece devido a necessidade de bloqueio da chave S_b e disparo da chave S_c simultaneamente, de modo que ocorra ZVS nas duas comutações.

- O circuito opera com um indutor e dois capacitores ressonantes, sendo que o funcionamento é facilitado porque em nenhum instante os dois capacitores ressonantes entram em operação ao mesmo tempo.
- Como não existe capacitor eletrolítico no circuito, o mesmo não precisa de controle de tensão neste capacitor, diminuindo-se o número de variáveis de controle necessárias ao funcionamento do circuito.
- O circuito pode ser usado com intervalos de pulso e entalhe ajustáveis, não ocorrendo circulação de corrente pelo indutor durante estes intervalos e não se deteriorando a eficiência do inversor.
- O circuito também pode ser usado com entalhe fixo, pois isto não prejudica a eficiência do inversor já que existem técnicas de modulação adequadas para este tipo de circuito.
- Como com $I_0 > 0$, não é armazenada energia no indutor antes do bloqueio da chave S_{cc} , as perdas de bloqueio desta chave são bastante reduzidas em relação a outros circuitos.
- O circuito não apresenta picos de tensão, não havendo a necessidade das chaves do inversor terem um dimensionamento maior do que o equivalente dissipativo.

Deve ser dito que esta topologia foi concebida sem qualquer estudo preliminar de perdas, com o intuito apenas de eliminar alguns dos problemas já encontrados nas topologias estudadas, como por exemplo o balanço de energia quando dois capacitores ressonantes operam ao mesmo tempo. Outra vantagem do circuito é a facilidade no processo de carga e descarga do capacitor C_i . No processo de carga, a tensão da fonte CC é aplicada ao capacitor auxiliando-o no processo, enquanto que na descarga, o capacitor se descarrega pela chave S_b e o indutor L_r . Neste último, se a fonte CC participasse do processo, estaria tentando carregar C_i , o que complicaria o processo em termos de energia. No circuito estudado, as chaves S_{cc} , S_a e S_c são chaveadas sob ZVS no bloqueio e no disparo, enquanto S_b chaveia sob ZCS no bloqueio e no disparo.

Para confirmar a análise feita para o princípio de funcionamento do circuito novo I (Fig. 2.27), os resultados teóricos foram verificados experimentalmente. Como a idéia era apenas de comprovar o funcionamento do circuito, o trabalho foi feito com tensões e

correntes pequenas. O circuito também opera bem com a tensão do barramento maior, conforme as simulações realizadas.

Para obter os resultados experimentais, foi elaborado um programa em tempo real, em linguagem C, para comandar o circuito ressonante. Foram montados dois sensores de tensão para cada capacitor do circuito. O sinal de saída destes é mandada para o microcomputador, de forma que por programação, sejam mandados sinais de comando para as chaves. Para haver um isolamento entre a parte lógica do micro e a parte de potência do sistema, foram usados opto-acopladores tanto na entrada como na saída das portas da interface paralela programável (PPI).

Como se deseja medir quatro sinais de tensão e usar três sinais de comando para as chaves, foram usados quatro pinos da porta de entrada e três pinos da porta de saída da PPI. Devido a alta frequência em que o circuito ressonante funciona, a lógica de comando da PPI foi feita no laço principal do programa.

Os resultados obtidos são mostrados na figura 2.30. São mostradas a tensão e a corrente na chave S_{cc} , bem como as tensões sobre os dois capacitores C_i e C_r e a corrente no indutor ressonante L_r . Os resultados experimentais obtidos estão de acordo com os previstos nas simulações realizadas anteriormente, pois com I_0 nula, S_{cc} não teve excesso de corrente. Além disso, as tensões nos capacitores variam entre zero e a tensão da fonte CC, aproximadamente. As diferenças observadas são mínimas e estão relacionadas com a presença de componentes parasitas. O efeito de parasitas é visto claramente na curva experimental de $i_{S_{cc}}$, onde aparecem oscilações na transição do bloqueio e disparo da chave S_{cc} .

2.5.2 Circuito Novo II

Na figura 2.31 é mostrado o diagrama simplificado do circuito novo II. Nas figuras 2.32 e 2.33 são mostradas as etapas de operação e as formas de onda, respectivamente. O funcionamento do circuito é explicado a seguir.

Etapa I ((t_0, t_1) , Fig. 2.32(a)): Inicialmente, a corrente em D_a alcança o valor necessário para o funcionamento do circuito e a chave do inversor S_i é aberta sob ZVS. O capacitor C_i da chave do inversor começa a carregar devido a ressonância entre C_i e L_r .

$$\begin{aligned} i_{L_r} &= [i_{L_r}(t_0) + I_0] \cos(\omega t) - \frac{E \sin(\omega t)}{2\omega L_r} - I_0 \\ v_{C_i} &= \frac{E}{2} [1 - \cos(\omega t)] - \omega L_r [I_0 + i_{L_r}(t_0)] \sin(\omega t) \\ \omega &= \frac{1}{\sqrt{L_r C_i}} \end{aligned} \quad (2.8)$$

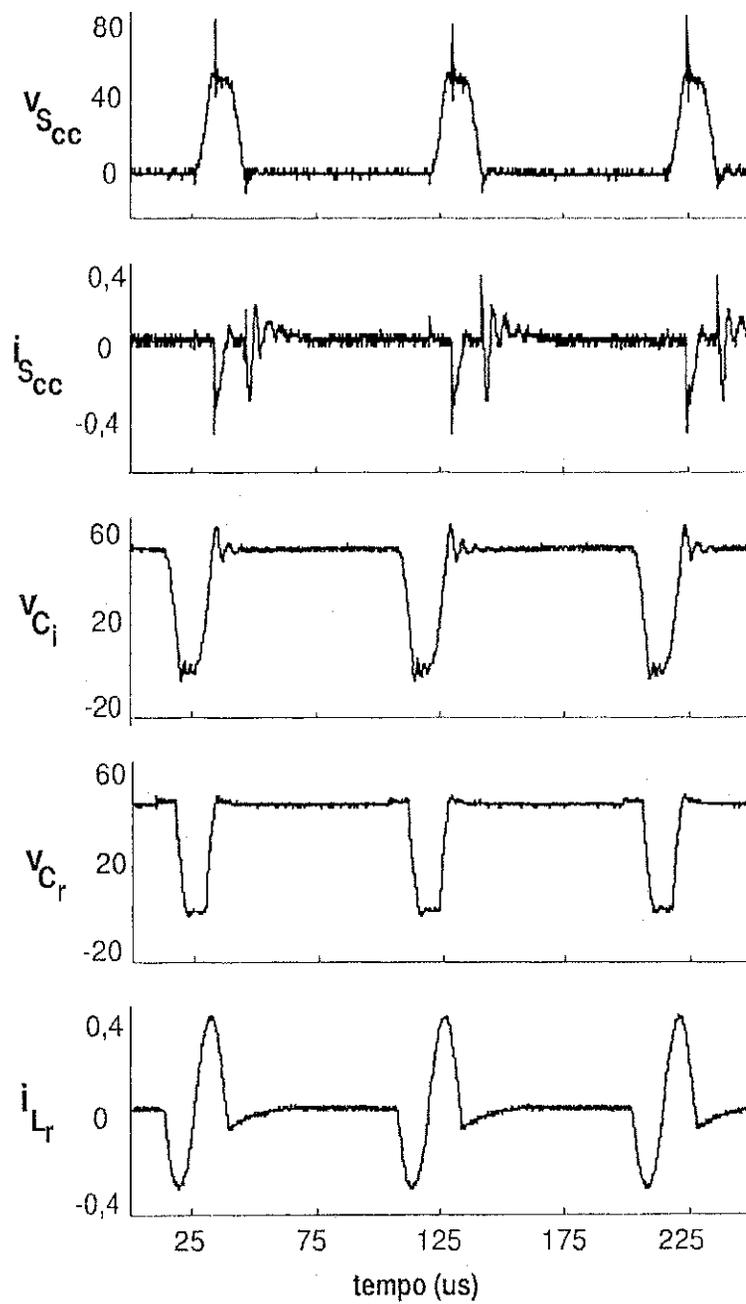


Figura 2.30: Resultados experimentais para o circuito novo I

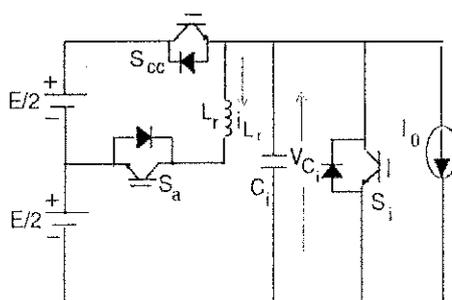


Figura 2.31: Circuito novo II

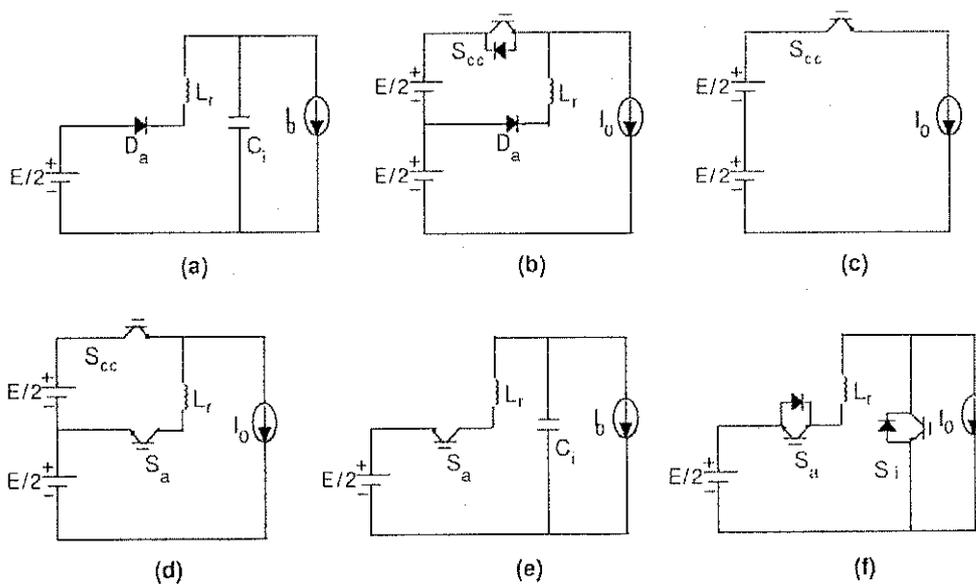


Figura 2.32: Etapas de operação do circuito novo II

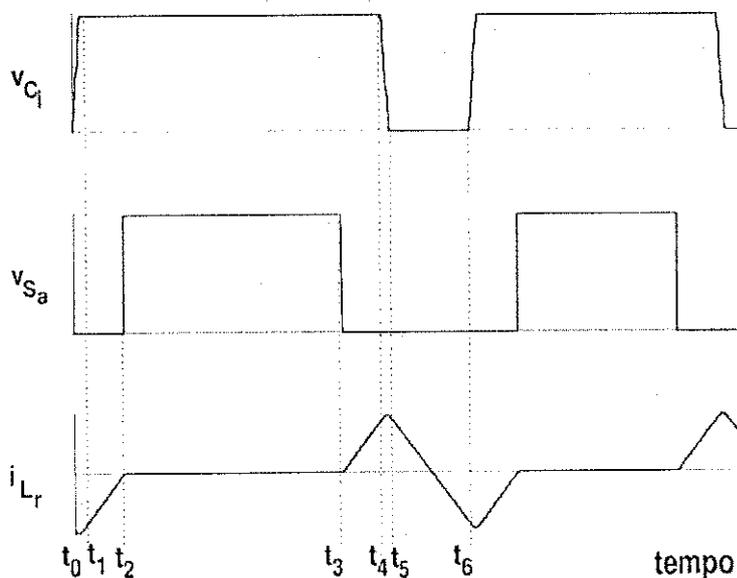


Figura 2.33: Formas de onda simuladas para o circuito novo II

Etapa II $((t_1, t_2), \text{Fig.2.32(b)})$: Após a carga do capacitor C_i terminar, o diodo em anti-paralelo D_{cc} começa a conduzir. A chave S_{cc} é fechada durante a condução do diodo D_{cc} de modo que ela alcance ZVZCS. A corrente em L_r diminui por causa da fonte $E/2$.

$$\begin{aligned} i_{L_r} &= \frac{E}{2L_r} t + i_{L_r}(t_1) \\ v_{C_i} &= E \end{aligned} \quad (2.9)$$

Etapa III $((t_2, t_3), \text{Fig.2.32(c)})$: A operação do circuito neste modo é similar àquela do inversor convencional PWM. A corrente de saída I_0 flui por S_{cc} .

$$\begin{aligned} i_{L_r} &= 0 \\ v_{C_i} &= E \end{aligned} \quad (2.10)$$

Etapa IV $((t_3, t_4), \text{Fig.2.32(d)})$: S_a é fechada sob ZCS. A corrente em L_r aumenta até o valor necessário para o funcionamento do circuito. A chave S_{cc} então é aberta.

$$\begin{aligned} i_{L_r} &= \frac{E}{2L_r} t \\ v_{C_i} &= E \end{aligned} \quad (2.11)$$

Etapa V $((t_4, t_5), \text{Fig.2.32(e)})$: O capacitor do inversor C_i descarrega até que o diodo do inversor D_i conduz sob ZVS. No final desta etapa, o capacitor ressonante C_i fica descarregado.

$$\begin{aligned} i_{L_r} &= [i_{L_r}(t_4) + I_0] \cos(\omega t) + \frac{E \sin(\omega t)}{2\omega L_r} - I_0 \\ v_{C_i} &= \frac{E}{2} [1 + \cos(\omega t)] - \omega L_r [I_0 + i_{L_r}(t_4)] \sin(\omega t) \end{aligned} \quad (2.12)$$

Etapa VI $((t_5, t_6), \text{Fig.2.32(f)})$: Após a ressonância entre C_i e L_r , a energia armazenada no indutor ressonante L_r é transferida para o lado de entrada pelo diodo D_a e a chave auxiliar S_a é grampeada em zero. A chave auxiliar S_a é aberta sob ZVZCS, pois ela ainda permanece sob tensão nula. Um novo ciclo é iniciado quando i_{L_r} passa a ser maior que I_0 . A duração desta etapa é determinada pelo armazenamento de energia no indutor ressonante.

$$\begin{aligned} i_{L_r} &= -\frac{E}{2L_r} t + i_{L_r}(t_5) \\ v_{C_i} &= 0 \end{aligned} \quad (2.13)$$

Considerações

- O circuito possui apenas uma chave e um diodo auxiliar. Fazendo uma análise comparativa entre esta estrutura e a estrutura XXXI (Fig.2.12), observa-se o mesmo

princípio de funcionamento, com a vantagem que o circuito proposto tem menores perdas de condução e chaveamento, já que ou uma chave ou um diodo está conduzindo. No caso do CAC XXXI, uma chave e um diodo estão conduzindo simultaneamente.

- O circuito opera com um indutor e um capacitor ressonante, de modo que o funcionamento é facilitado pois não existem dois capacitores ressonantes no circuito.
- Como existem capacitores eletrolíticos no circuito, o mesmo precisa de controle de tensão nestes capacitores, sendo que o controle é realizado pelas próprias chaves do circuito.
- O circuito pode ser usado com intervalo de pulso ajustável, não ocorrendo circulação de corrente pelo indutor durante este intervalo e não se deteriorando a eficiência do inversor.
- O circuito só pode ser usado com entalhe fixo, mas isto não prejudica a eficiência do inversor já que existem técnicas de modulação adequadas para este tipo de circuito.
- A energia armazenada no indutor antes do bloqueio da chave S_{cc} é determinada pelas perdas no circuito e também pela equilíbrio dos capacitores da fonte CC.
- O circuito não apresenta picos de tensão, não havendo a necessidade das chaves do inversor terem um dimensionamento maior do que o equivalente dissipativo.

Para confirmar a análise feita para o princípio de funcionamento do circuito novo II (Fig. 2.31), os resultados teóricos foram verificados experimentalmente. Os resultados obtidos são mostrados na figura 2.34. São mostradas a tensão no capacitor C_i (curva superior), bem como a tensão sobre a chave S_a (curva intermediária) e a corrente no indutor L_r (curva inferior). Na figura 2.35 são mostradas as mesmas curvas da figura 2.34 com um intervalo de tempo menor, de modo que o disparo e o bloqueio de S_a sob ZCS possam ser observados.

2.6 Considerações de Seleção

Muitos esquemas de controle foram introduzidos simultaneamente para os inversores. Controles de tensão e/ou corrente de entrada e saída, reguladores de tensão e corrente, fator de potência unitário na entrada, e controle com realimentação de estado foram implementados com modulação delta ou PWM.

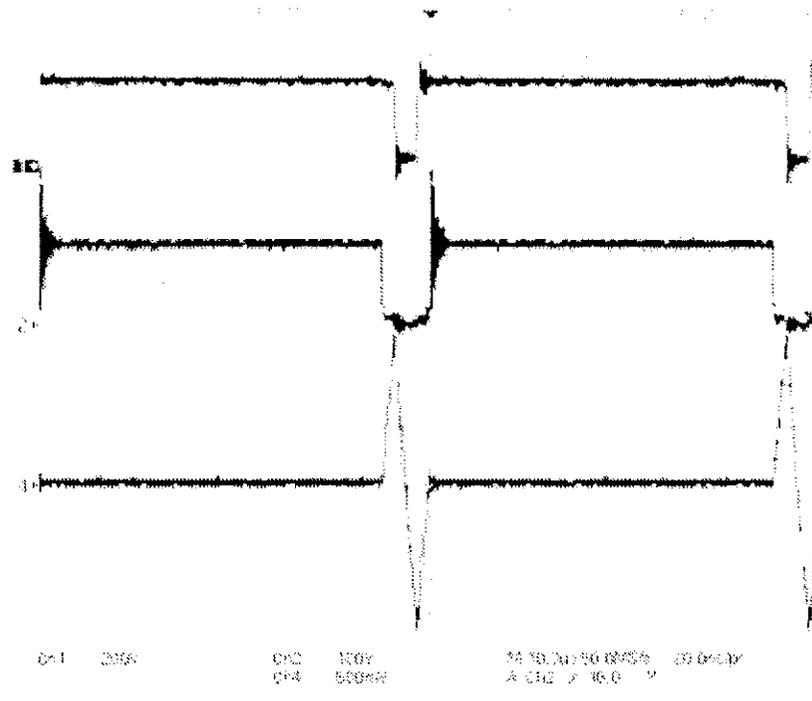


Figura 2.34: Resultados experimentais para o circuito novo II

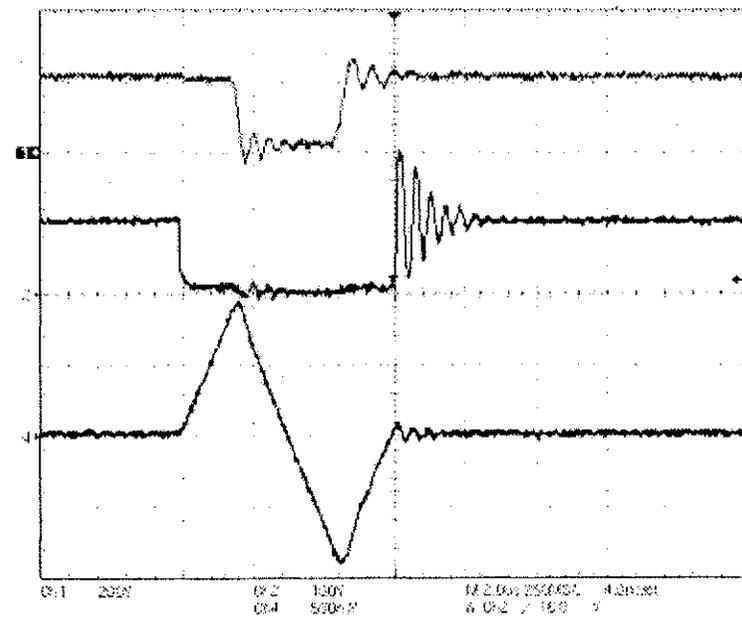


Figura 2.35: Detalhe do disparo e bloqueio de S_a para o circuito novo II

No vasto número de possibilidades, com muitas afirmações de desempenho contraditórias, estresses de tensão e corrente e a complexidade dos circuitos de controle são importantes aspectos a serem considerados. Também a carga dos capacitores eletrolíticos tem que ser regulada, e a tensão do capacitor ressonante e a corrente do indutor ressonante têm que ser controladas, da operação sem carga à plena carga. Além disso, o número de chaves, o número de componentes e o tipo de técnica de chaveamento suave, ZVS ou ZCS, usada com chaves principais ou auxiliares, têm um importante papel nas perdas totais de cada topologia. Ainda, aspectos operacionais relacionados aos princípios usados podem causar perdas adicionais, algumas vezes não observadas.

Em inversores TPB, a ondulação na corrente de carga não é tão diferente daquela dos esquemas convencionais, e as perdas de chaveamento podem ser reduzidas se o circuito de comutação é ativado somente uma vez por intervalo de chaveamento (Malesani et al., 1996). O inversor com ELV apresenta melhores resultados que o de ELF em termos de, harmônicos de baixa ordem, distorção harmônica total e fator de distorção da corrente de linha, e redução do número de chaveamentos (Wang et al., 1995; Thunya et al., 1998). Contudo, usualmente muitos dos CACs para a operação com ELV possuem mais chaves que as versões com ELF. Os números 1 a 9 a seguir se referem a alguns aspectos examinados:

1. Número de chaves e diodos

É desejável que os circuitos tenham um mínimo de chaves e diodos adicionais, de modo que apresentem menor custo. Quanto mais chaves e diodos existirem, maiores também, serão as perdas de condução e chaveamento nos mesmos.

2. Número de indutores e capacitores ressonantes

É desejável que os circuitos tenham um mínimo de indutores e capacitores auxiliares, de modo que apresentem menor custo. Quando existem etapas de funcionamento em que dois capacitores oscilam simultaneamente, as condições de projeto tornam-se mais restritas, de um modo geral.

3. Número de capacitores eletrolíticos

É desejável que os circuitos tenham um mínimo de capacitores eletrolíticos, de modo que apresentem menor custo. Existe uma complexidade adicional significativa de controle para o bom funcionamento destes circuitos, se os mesmos precisam do controle de tensão. Nos circuitos que usam a divisão da tensão CC pode ocorrer um desequilíbrio nos capacitores, sendo que a chaveamento suave depende do valor de corrente

na carga. Assim, para se manter o equilíbrio entre os capacitores, os tempos de armazenamento de energia são mudados de acordo com a corrente de carga. Pode-se ter um prejuízo em relação a forma de onda da saída do inversor, no caso do uso do entalhe, já que neste instante a tensão do barramento está em zero (Fig.2.32(f)). No caso do controle da figura 2.32(d), não ocorreria problemas em relação à modulação, pois a tensão da fonte CC está aplicada ao inversor pela chave S_{cc} .

4. Pico de tensão na chave principal

Se os circuitos apresentam picos de tensão, as chaves do inversor precisam estar dimensionadas para isso, encarecendo a montagem. No CAC I (Fig. 2.5(a)), a oscilação faz com que a tensão no capacitor alcance pelo menos 2 vezes a tensão da fonte. Isso faz com que numa aplicação em que a tensão do barramento seja de 600V, a tensão no inversor tenha picos de pelo 1200V, restringindo a utilização de IGBTs na faixa de 1200V. Já no CAC XXVII (Fig. 2.13(a)), a chave S_{cc} faz com que a tensão nas chaves principais não exceda a tensão da fonte, permitindo o uso de IGBTs de 1200V, similarmente ao inversor dissipativo operando na mesma faixa.

5. Pico de corrente na chave S_{cc} no bloqueio

Em muitos circuitos, o indutor carrega pela chave S_{cc} , aumentando sua corrente (Fig. 2.36). Isto inclui os CACs XX e XXXI, que precisam de uma etapa de armazenamento de energia para o funcionamento como inversor. Este último emprega o controle da tensão no capacitor, de implementação mais fácil que o controle de corrente usado no caso da carga do indutor (Thunya et al., 1998). Exceto para o CAC XXVIII, este é o caso de todas as outras topologias do tipo quase-ressonante. O acréscimo de corrente na chave S_{cc} devido a etapa de armazenamento de energia é mostrado na figura 2.13(b)). Assim, as perdas de bloqueio desta chave podem tornar-se maiores que as perdas do inversor com chaveamento dissipativo (Fig. 2.37).

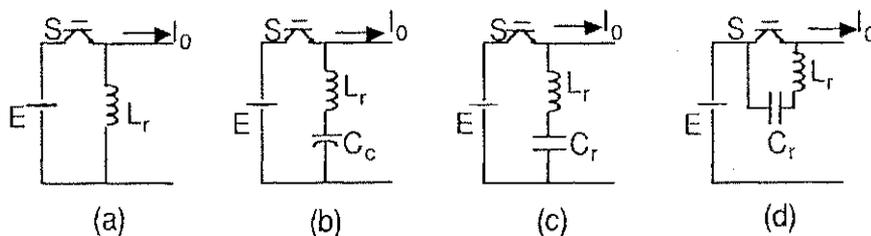


Figura 2.36: Diferentes possibilidades para obter a corrente inicial no indutor

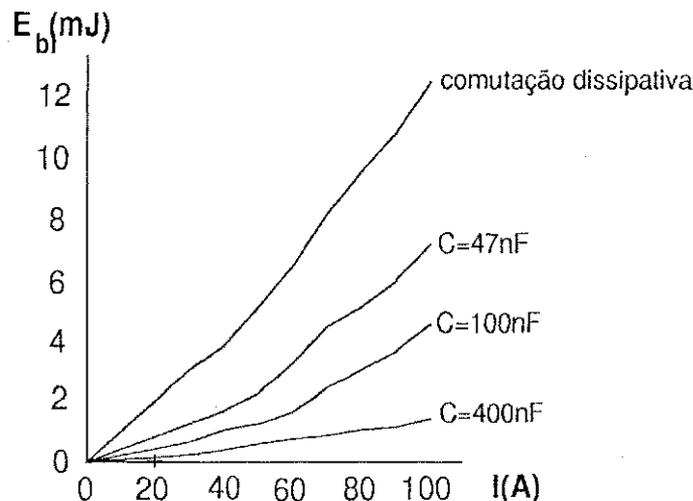


Figura 2.37: Perdas de bloqueio para chaveamentos dissipativo e a tensão nula

6. Auxílio para a descarga e carga do capacitor

Com inversores quase-ressonantes, quando a corrente de carga é insuficiente para descarregar o capacitor de entrada do inversor (C_i), de modo que as chaves principais operem sob ZVS (Fig. 2.38(a)), tal descarga deve ser auxiliada. Este é o caso da operação sem carga à plena carga, por exemplo. Tal ajuda é conseguida pelo carregamento de um indutor para obter uma corrente inicial (Fig. 2.38(b)) ou pela oscilação por um caminho ressonante com o capacitor pré-carregado ou não (Fig. 2.38(c)) ou com a assistência de um transformador auxiliar (Fig. 2.38(d)) (Yurugi et al., 1994). Para a carga do capacitor ressonante, uma corrente de circulação no indutor (Fig. 2.39(a)), uma corrente que aumenta linearmente (Fig. 2.39(b)), uma corrente ressonante (Fig. 2.39(c)), ou uma fonte de corrente (Fig. 2.39(d)) são as principais técnicas empregadas. A figura 2.13(b)) mostra a etapa de armazenamento de energia no indutor ressonante, que neste caso, é linear. Esta etapa acontece para que C_i consiga se descarregar (Fig. 2.13(c)) até atingir a tensão nula. As oscilações que ocorrem entre C_r e L_r (Fig. 2.13(e)) servem para que o indutor ressonante tenha uma corrente suficiente na etapa seguinte para carregar o capacitor C_i (Fig. 2.13(g)) até a tensão da fonte (Fig. 2.13(h)).

7. Perdas no indutor ressonante durante o entalhe

Em inversores PWM, se o entalhe pode ser variável, ele normalmente é aproveitado como intervalo do vetor nulo na técnica de modulação. Durante o intervalo do entalhe de largura variável, ocorre a condução do diodo ou da chave principal. Pode ocorrer um dos três casos da figura 2.40. Nos casos (a) e (b) circula uma corrente pelo indutor

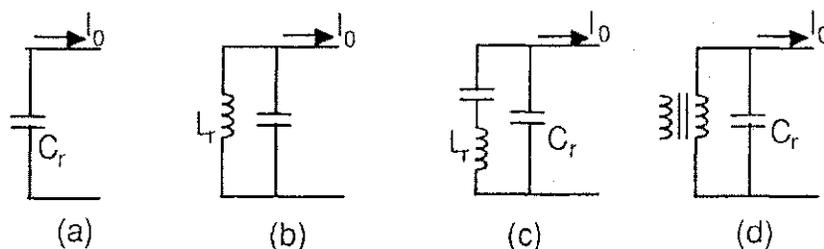


Figura 2.38: Diferentes possibilidades para a descarga do capacitor

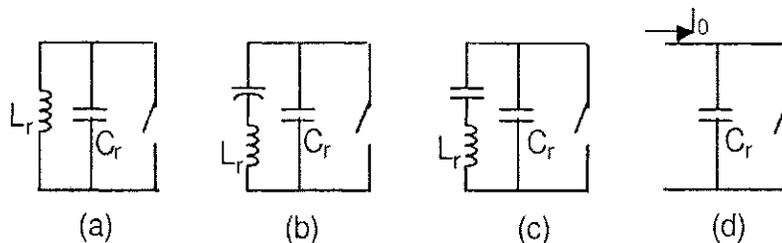


Figura 2.39: Diferentes possibilidades para a carga do capacitor

durante o intervalo do entalhe e isto deteriora a eficiência do inversor. No CAC I, circula corrente no indutor durante todo o funcionamento do circuito, incluindo o intervalo de entalhe (Fig. 2.5(b)), que neste caso é fixo. Nas figuras 2.13(d) e 2.13(f) são mostradas a circulação de corrente que ocorre no indutor durante o entalhe. Muitas das topologias, exceto os CACs XXV e XXXII, falham nestes casos.

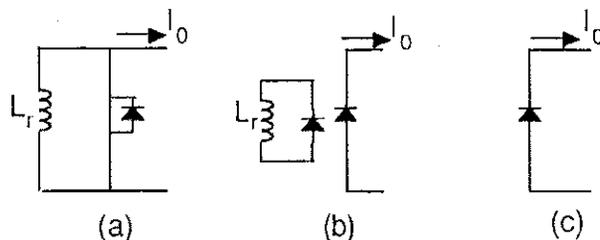


Figura 2.40: Situações durante o ajuste do intervalo de entalhe

8. Perdas no indutor ressonante durante o intervalo do pulso

A eficiência do inversor é deteriorada se, durante o intervalo do pulso de largura variável, circular corrente pelo indutor ressonante. Este tipo de problema ocorre em apenas duas topologias (CACs XXII e XXV) do tipo quase-ressonante. No CAC I (Fig. 2.5(a)), circula corrente no indutor durante o intervalo de pulso, enquanto no CAC XXVII (Fig. 2.13)(a) há apenas a circulação de I_0 pela chave S_{cc} .

9. Chaveamento dissipativo em chaves auxiliares

Se os circuitos funcionam com alguma das chaves auxiliares chaveando de forma dissipativa, as perdas geradas normalmente são muito altas, prejudicando a utilização destes circuitos. No CAC XXVII, todas as comutações ocorrem de forma suave. ZVS é utilizado no disparo e bloqueio da chave S_{cc} , bem como no bloqueio da chave S_a . O disparo da chave S_a ocorre sob ZCS. Os circuitos que possuem chaveamento dissipativo em chaves auxiliares são os CACs XXVIII e XXIX.

As perdas que ocorrem no próprio circuito de chaveamento suave podem ser maiores que as perdas existentes no inversor dissipativo. Com o objetivo de reduzir perdas, o inversor com chaveamento suave é usado com seis pequenos capacitores em paralelo com cada uma das chaves (Fig. 2.41), de modo que sejam utilizadas técnicas PWM usando o circuito auxiliar apenas uma vez em cada padrão de modulação. O primeiro chaveamento do padrão ocorre de forma suave com o auxílio do circuito auxiliar, enquanto os outros dois ocorrem de forma suave pelo uso dos capacitores, desde que as mudanças ocorram de acordo com o sentido de corrente nas fases. O chaveamento suave usando os capacitores só pode ser realizada pela abertura das chaves. Na figura é mostrado como é feito este tipo de modulação. Supondo que no instante do chaveamento, tem-se o sentido das correntes e o posicionamento das chaves como mostrado na figura 2.41(a). Quando se quer comutar as chaves para a configuração da figura 2.41(c), o circuito não precisa ser usado, sendo a chaveamento do tipo ZVS pelo aproveitamento da divisão capacitiva no inversor (Fig. 2.41(b)). Processo semelhante ocorre na transição da figura 2.41(c) para figura 2.41(e), onde a mudança é feita novamente usando ZVS pela divisão capacitiva (Fig. 2.41(d)). Para voltar a configuração inicial (Fig. 2.41(a)), tem-se que usar o circuito auxiliar (Fig. 2.41(f)), já que o diodo só pode ser aberto naturalmente.

Este tipo de inversor tem características de chaveamento que levam em consideração os sinais das correntes de fase. Demonstra-se analiticamente, que a formação dos padrões de chaveamento adequados para tal inversor, é função da magnitude do vetor tensão de referência (Alves, 1998).

Embora nos aspectos examinados não se faça uma comparação direta do custo e das perdas no inversor, existem quatro itens considerados importantes em relação ao custo e à produção dessas perdas.

- 1) Número de componentes encarece o custo da montagem, além de aumentar o controle necessário para o funcionamento do circuito.
- 2) Pico de tensão nas chaves encarece o custo da montagem porque as chaves têm que estar dimensionadas para o valor máximo de tensão.

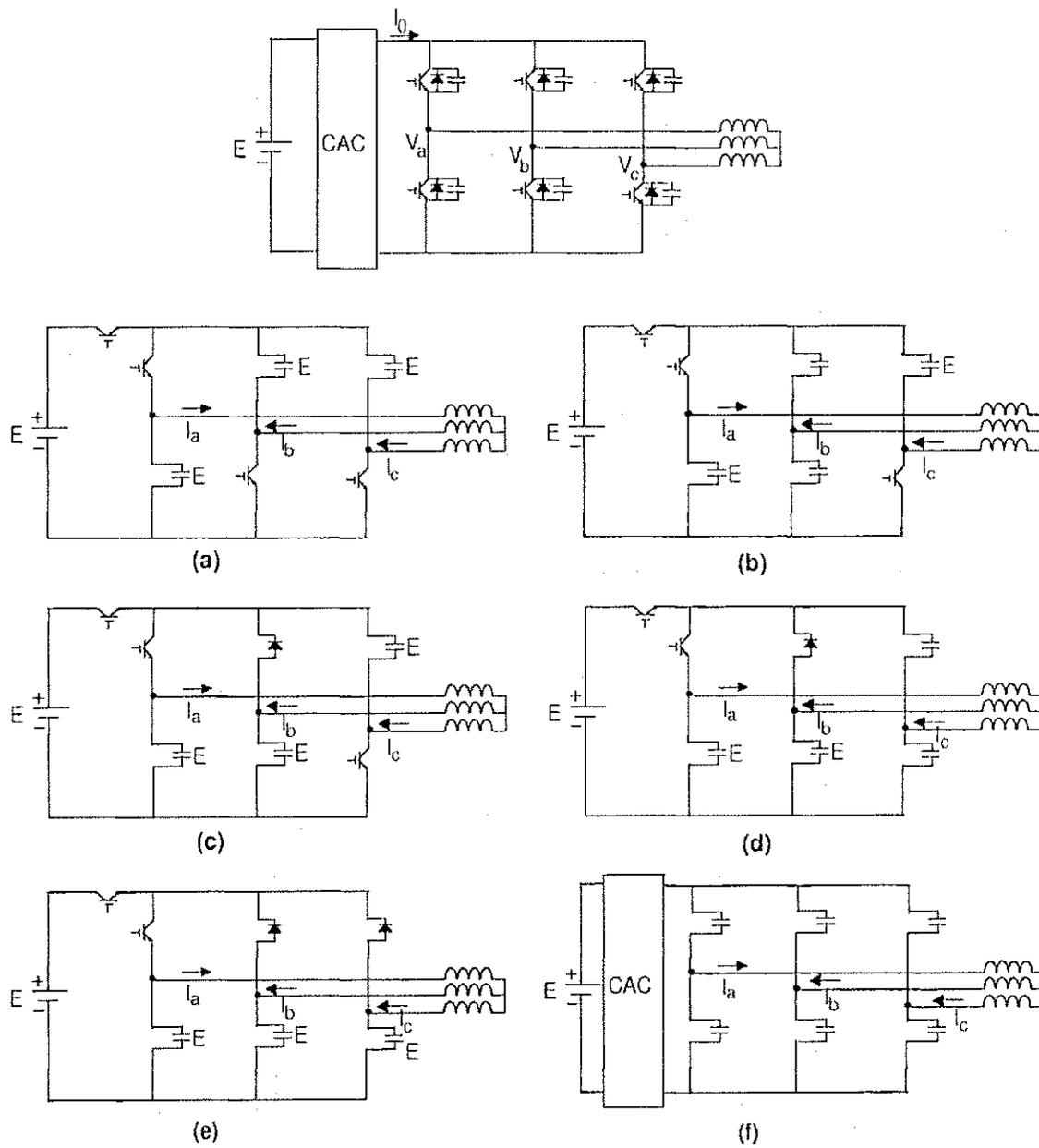


Figura 2.41: Modulação no inversor com divisão do capacitor de entrada

CAC	Componentes	Tensão em S_i	Perdas no pulso	Comutação em S_a
I	1L,1C	>2	indutor	suave
II	1S,1D,1L,1C	2	indutor,chave	suave
III	1S,1D,1L,2C	>1	indutor	suave
IV	1D,3L,1C	>1	indutor	suave
V	1S,3D,2L,3C	>1	indutor	suave
VI	1S,2D,2L,3C	>1	indutor	suave
VII	1S,1D,1L,1C	>2	indutor	suave
VIII	1S,1D,1L,1C	>2	indutor	suave
IX	2S,4D,2L,2C	>1	chave	suave
X	1S,2D,1L,2C	>1	indutor	suave
XI	2S,2D,1L,2C	>1	indutor	suave
XII	2S,2D,1L,2C	>1	indutor	suave
XIII	2S,2D,1L,2C	>1	indutor	suave
XIV	2S,2D,1L,2C	>1	indutor	suave
XV	2S,2D,1L,2C	>1	indutor	suave
XVI	1S,1D,1L,2C	>1	indutor	suave
XVII	2S,4D,3L,1C	>1	indutor	suave
XVIII	1S,2D,3L,1C	>1	indutor	suave

Tabela 2.1: Comparação dos inversores TPB (CACs I a XVIII)

3) Perdas no indutor ressonante ou em alguma chave do circuito durante o intervalo de pulso, já que isto acarretará perdas durante a aplicação da modulação.

4) Existência de chaveamento dissipativo em chaves auxiliares, já que as perdas podem ser simplesmente transferidas do inversor para o circuito, uma vez que estas chaves podem ter picos de corrente elevados no instante de chaveamento.

Os dois primeiros itens são relacionados principalmente ao custo, enquanto os dois últimos são relacionados principalmente às perdas.

A tabela 2.1 (da Silva et al., 1999) resume as principais características dos inversores que representam os diferentes tipos TPB, cujos CACs são mostrados na figura 2.42 (algarismos romanos).

A classificação dos inversores TPB (CACs I a XXXII) não inclui todos os circuitos apresentados durante o capítulo, já que na parte final foram apresentadas novas topologias (circuito novo I e circuito novo II). Assim, na tabela 2.2 são incluídos os outros circuitos

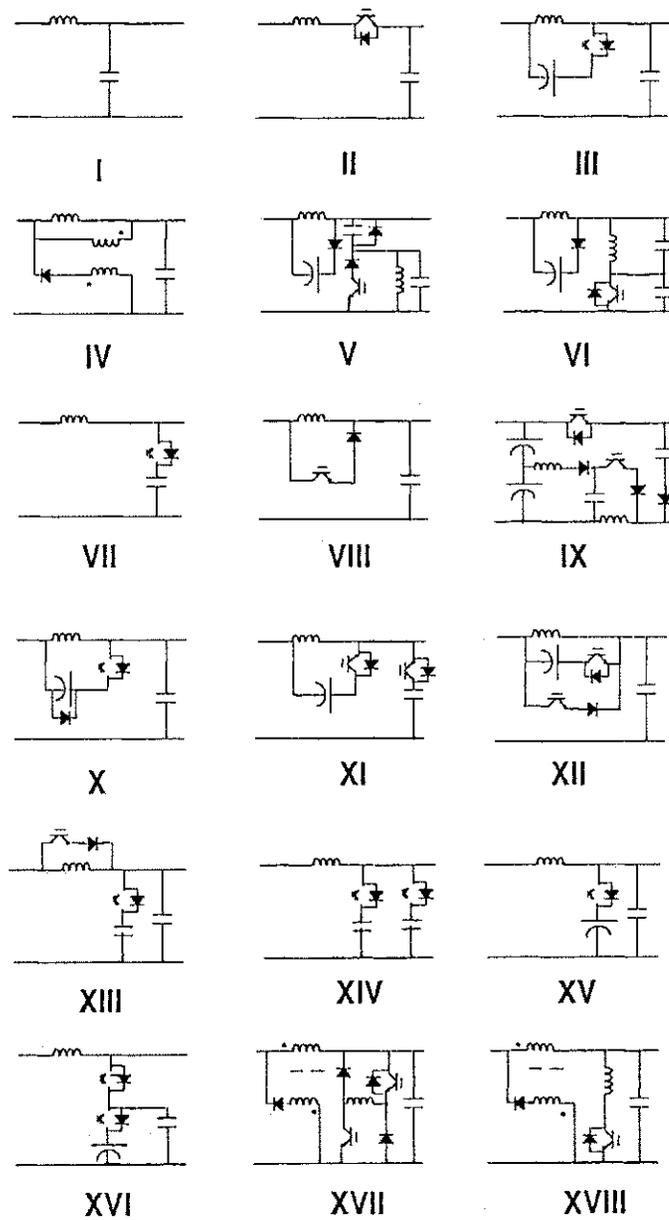


Figura 2.42: Circuitos auxiliares I a XVIII

CAC	Componentes	Tensão em S_i	Perdas no pulso	Comutação em S_a
XIX	2S,2D,1L,2C	1	chave	suave
XX	3S,2D,1L,2C	1	chave	suave
XXI	3S,3D,1L,2C	1	chave	suave
XXII	1S,1D,1L,1C	1	indutor/chave	suave
XXIII	3S,3D,1L,2C	1	chave	suave
XXIV	2S,3D,1L,2C	1	chave	suave
XXV	2S,2D,1L,1C	1	indutor/chave	suave
XXVI	3S,3D,1L,1C	1	chave	suave
XXVII	2S,4D,1L,2C	1	chave	suave
XXVIII	3S,3D,1L,1C	1	chave	dissipativa
XXIX	3S,3D,1L,2C	1	chave	dissipativa
XXX	2S,3D,1L,2C	1	chave	suave
XXXI	3S,3D,1L,1C	1	chave	suave
XXXII	3S,3D,1L,2C	1	chave	suave
XXXIII	2S,4D,2L,1C	1	chave	dissipativa
XXXIV	3S,3D,1L,1C	1	chave	suave
XXXV	4S,4D,1L,2C	1	chave	suave
XXXVI	2S,2D,1L,1C	1	chave	suave

Tabela 2.2: Comparação dos inversores TPB (CACs XIX a XXXVI)

estudados. As quatro topologias apresentadas são do tipo quase-ressonante. Na figura 2.43, os CACs XXXIII e XXXIV representam os circuitos das seções 2.3.2 e 2.4, respectivamente. O CAC XXXV representa o circuito proposto que foi apresentado na seção 2.5.1 e o CAC XXXVI representa o circuito proposto na seção 2.5.2.

O objetivo das tabelas mostradas é de apenas oferecer uma visão geral dos inversores, indicando alguns que não têm boas características em termos de custo e perdas. Assim, por exemplo os CACs I a XVIII possuem um pico de tensão nas chaves do inversor maior que $1p.u.$, implicando em um custo inicial elevado em comparação com o inversor dissipativo. Assim, no estudo de perdas será priorizado o inversor tipo quase-ressonante. Mesmo entre as topologias deste tipo, pode-se descartar algumas, como por exemplo o CAC XXII que possui uma corrente de circulação elevada durante o intervalo de pulso e os CACs XXIII e XXIX, que possuem etapas de funcionamento muito próximas dos CACs XXIV e XXVIII, respectivamente, sendo os últimos estudados no capítulo 5.

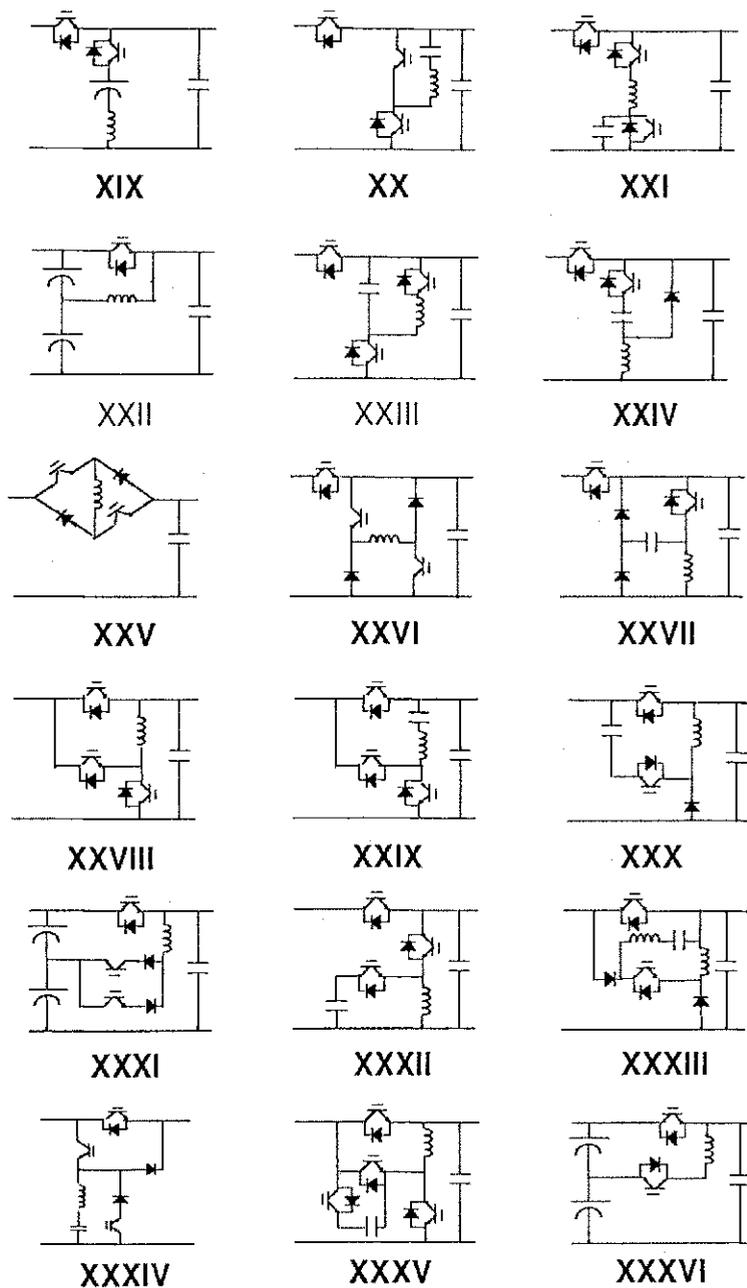


Figura 2.43: Circuitos auxiliares XIX a XXXVI

2.7 Conclusão

Desenvolvimentos recentes nas tecnologias de inversores têm levado a várias topologias de circuitos. Nas tabelas 2.1 e 2.2, geradas a partir do trabalho desenvolvido, são apresentadas uma revisão e uma primeira avaliação comparativa dos inversores, que serve como base para selecionar o circuito adequado para uma dada aplicação.

O objetivo é de apenas oferecer uma visão geral dos inversores, indicando alguns que não têm boas características em termos de quantidade de componentes e estresses de tensão ou corrente. Assim, por exemplo os CACs que não são do tipo quase-ressonante possuem um pico de tensão nas chaves do inversor, implicando em chaves com valores nominais elevados em comparação com o inversor dissipativo. O número excessivo de chaves auxiliares em algumas topologias também aumenta a complexidade de funcionamento dos circuitos.

Existem diferentes possibilidades de chaveamento - ZVS ou ZCS nas chaves principais e ZVS e/ou ZCS nas chaves auxiliares do inversor quase-ressonante. Quase todas as topologias usam ZVS nas chaves principais e na chave em série com a fonte CC.

Observou-se também problemas de funcionamento das topologias ZVZCS estudadas, quando utilizadas como inversores. Isto ocorre porque um capacitor na entrada do inversor deve ser adicionado à topologia para permitir ZVS nas chaves do inversor. O uso do capacitor na entrada do inversor dividido em seis pequenos capacitores em paralelo com cada uma das chaves é desejável, pois permite uma redução no número de vezes em que o circuito é ativado. O balanço de energia entre o capacitor ressonante e o capacitor de entrada do inversor acarreta a necessidade de um projeto mais elaborado. O uso deste último dividido em seis capacitores em paralelo com cada uma das chaves é desejável, pois permite uma redução no número de vezes em que o circuito é ativado, reduzindo as perdas totais.

Para que a técnica de chaveamento suave em inversores TPB possa ser avaliada, deve-se então realizar um estudo detalhado das perdas, que envolve principalmente as perdas existentes nos dispositivos utilizados. Para um estudo comparativo das perdas de um número tão elevado de topologias, fazer uma comparação experimental é uma tarefa árdua. Por isso, no próximo capítulo são avaliados os modelos de perdas que serão utilizados durante o trabalho.

Capítulo 3

Estudo das Perdas nos Dispositivos

3.1 Introdução

As perdas em chaves de potência, tais como os IGBTs, são as perdas de condução e de chaveamento. Em circuitos típicos e sob condições normais de operação tem sempre sido um problema fazer as medições de perdas da chave. Isto ocorre devido a alguns fatores. Primeiro, como a queda de tensão de condução é tipicamente de amplitude menor que a tensão de bloqueio, é difícil obter a resolução necessária para fazer medidas precisas. Segundo, é desejável que o circuito de testes não tenha indutância parasita e isto torna a medição direta de corrente muito difícil (Kurnia et al., 1992), já que para medir a corrente, tem-se que introduzir uma arruela de cobre para permitir o uso da ponta de prova de corrente. Outra opção é o uso da variação de temperatura para medir as perdas usando conceitos de impedância térmica.

A partir de medidas experimentais ou de modelos matemáticos, é possível determinar as perdas de chaveamento dos tipos dissipativo (Clemente e Pelly, 1992; Blaabjerg et al., 1994; Wang et al., 1994; Profumo et al., 1995), ZCS (Wang et al., 1994; Matsuura et al., 1998) e ZVS (Kurnia et al., 1992, 1993; Wang et al., 1994), além das perdas de condução (Mestha e Evans, 1989; Dehmlow et al., 1993). Dos modelos matemáticos, poucos levam em conta o tipo de forma de onda na chave (Clemente e Pelly, 1992). Blaabjerg et al. (1994) medem as perdas em dois tipos de IGBT e aplicam as equações propostas por Clemente e Pelly (1992) para calcular as perdas. Alguns autores usam circuitos de testes para fazer medidas experimentais para os diferentes tipos de chaveamentos (Kurnia et al., 1992, 1993; Wang et al., 1994). Outros, tais como Profumo et al. (1995) e Matsuura et al. (1998), usam equações aproximadas para estimar as perdas produzidas pelos dispositivos nas condições desejadas.

Nesse trabalho, as perdas dos inversores TPB são calculadas a partir de um programa de simulação em C++ usando as equações que descrevem o circuito. O programa foi inicialmente elaborado por de Oliveira (1997), onde foram feitas as rotinas gráficas para a visualização das curvas geradas pela simulação. Durante esse estudo, o código (com exceção da parte gráfica) foi totalmente reformulado, de modo que o estudo das perdas pudesse ser realizado. É feita uma verificação da melhor aproximação a ser utilizada para as perdas de condução e chaveamento nos dispositivos, além de se considerar diferentes parâmetros em uma mesma equação, de modo que não se precise calcular uma equação para cada parâmetro a ser considerado.

Para que o cálculo das perdas nos inversores possa ser realizado, este capítulo apresenta um estudo das perdas nos dispositivos (IGBT e diodo) e nos componentes passivos. O mesmo estudo pode ser realizado para MOSFETs, por exemplo, já que a contribuição mais importante está relacionada à metodologia do estudo das perdas.

3.2 Metodologia de Estudo das Perdas

Apresenta-se agora o desenvolvimento de uma metodologia para simulação dos circuitos para que possa ser feito um estudo comparativo das perdas. Uma justificativa para esta abordagem é o fato de ser difícil um estudo experimental comparativo das perdas em um número tão elevado de topologias. Na metodologia de estudo das perdas, a física dos dispositivos não está incluída nos modelos, mas sim modelos matemáticos (equações) são usados para representar o comportamento dos dispositivos nas situações desejadas.

A metodologia usada é a seguinte:

1. Perdas nas chaves e diodos a partir dos circuitos de testes:
 - Usando simulação de modelos dos dispositivos no Spice.
 - Usando resultados experimentais.
2. Construção de tabelas de perdas a partir dos resultados obtidos.
3. Geração das equações de perdas.
4. Uso das equações de perdas em programas de simulação (C++) para os circuitos TPB.
5. Cálculo das perdas em um ciclo completo da modulante.

Neste capítulo as três primeiras etapas da metodologia de simulação dos circuitos são investigadas. No capítulo 5, são apresentados os resultados referentes às etapas 4 e 5 da metodologia proposta. Entretanto, para que o cálculo das perdas em um ciclo da modulante possa ser efetuado, o estudo das técnicas de modulação nos inversores TPB deve ser realizado (capítulo 4).

3.3 Perdas de Condução

Muitas aplicações de inversores possuem características de carga indutiva para as chaves. Cargas indutivas são tipicamente modeladas como fontes de corrente, não ocorrendo mudanças significativas na carga dentro de um período de chaveamento. Conseqüentemente, muitos fabricantes especificam as características da chave a corrente constante (Kurnia et al., 1992). Muitas aplicações de comutação suave, como por exemplo as chaves principais em um inversor com barramento CC ressonante, também possuem estresses de corrente similares. No disparo, a corrente na chave principal cresce muito rapidamente para o seu valor final, e não varia significativamente durante o ciclo de condução.

Para verificação da melhor aproximação a ser utilizada para a tensão de condução nos dispositivos, faz-se necessário o uso de resultados experimentais baseados em circuitos de teste. As figuras 3.1(a) e 3.1(b) mostram os circuitos de teste do IGBT e diodo, respectivamente. As chaves S_{teste} ou S_2 estão fechadas durante todo o tempo do teste. Nos dois casos, as chaves S ou S_1 estão fechadas durante parte do teste. Quando S está fechada, a corrente em S_{teste} aumenta até um valor máximo. Quando S é comutada, a corrente em S_{teste} circula por D . A frequência de operação usada é muito baixa, de modo que a corrente no diodo D se anule antes do início de cada período. Além disso, como as perdas são muito pequenas devido ao grande período sem corrente de condução, a temperatura da junção é aproximadamente a mesma da placa em que o dispositivo está colocado, facilitando a estimativa de perdas para a temperatura ajustada.

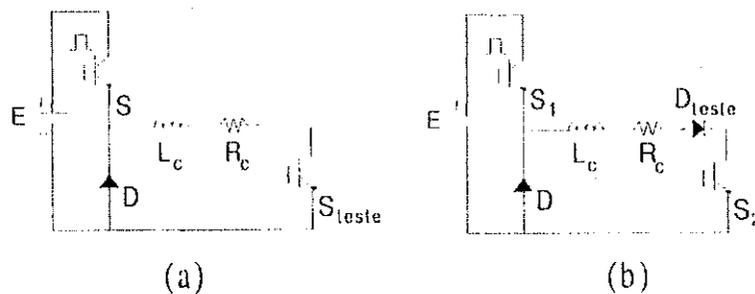


Figura 3.1: Circuitos de testes para as perdas de condução do (a) IGBT e do (b) diodo

Dependendo do tipo de IGBT utilizado, a dependência em relação à corrente e temperatura variam. Assim, tem que se escolher qual chave deve ser modelada e seguir o estudo comparativo usando sempre os mesmos dados. Nos exemplos a seguir, um IGBT da Mitsubishi é usado como chave representativa.

Os gráficos mostrados na figura 3.2 indicam os valores da tensão de condução para a variação de corrente e temperatura, no IGBT do módulo CM150DY-24H (Mitsubishi). Na figura, são apresentadas três curvas diferentes, sendo a primeira (experim) referente aos resultados experimentais obtidos, a segunda (spice) referente à simulação feita no Spice e a terceira (dados) referente ao manual do fabricante (data sheet).

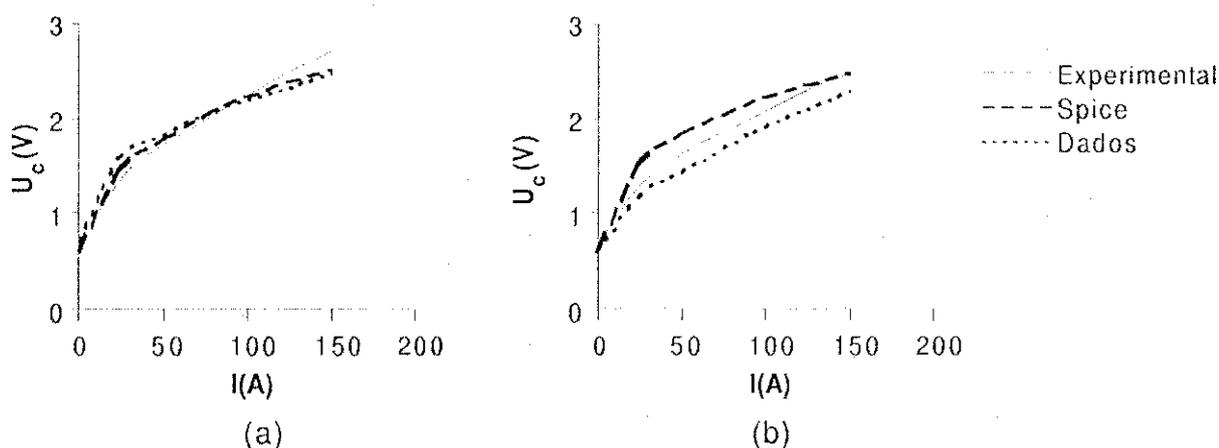


Figura 3.2: Característica de condução (IGBT) com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$

Durante o estudo das perdas de condução no IGBT, notou-se uma variação do mesmo em relação ao efeito da temperatura. Enquanto no modelo do IGBT no Spice, houve um aumento de U_c com o aumento da temperatura, os resultados experimentais e manual do fabricante (Mitsubishi) apresentaram o comportamento inverso, ou seja, uma diminuição de U_c com a temperatura. Uma explicação para este fato é que os modelos no Spice são feitos para $T = 25^{\circ}C$, que é normalmente a temperatura nominal nos manuais, e neste valor o comportamento é um pouco mais próximo da realidade. Os modelos apresentam resultados que podem ser aplicados para o cálculo das perdas, porém dependendo da aplicação, devido a variação de T , a estimativa das perdas pode não ser muito precisa.

Para o cálculo das perdas totais, tem-se que levar em consideração, também, as perdas de condução nos diodos. A utilização dos resultados obtidos usando o circuito de teste da figura 3.1(b) permite o equacionamento do modelo de perdas para os diodos. Como exemplo para o diodo, foi usado o do módulo CM150DY-24H (1200V, 150A) da Mitsubishi.

Os gráficos mostrados na figura 3.3 indicam os valores da tensão de condução para a variação de corrente e temperatura, no diodo do módulo CM150DY-24H.

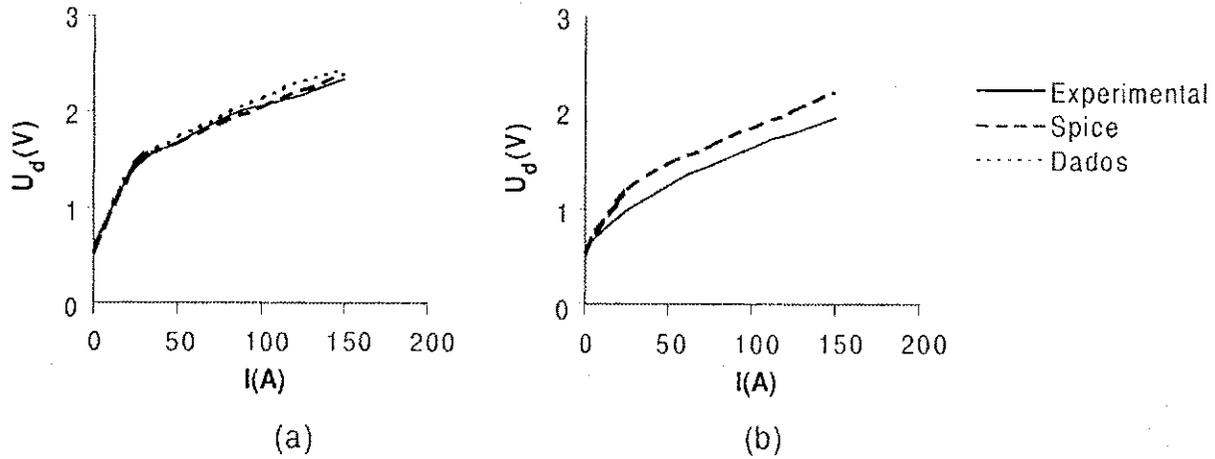


Figura 3.3: Característica de condução (diodo) com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$

As perdas de condução P_{con} em um IGBT ou um diodo podem ser expressas como:

$$P_{con} = \frac{1}{T} \int_0^T U(t) \cdot I(t) dt \quad (3.1)$$

onde

P_{con} = perdas de condução no dispositivo

T = período fundamental

$U(t)$ = queda de tensão no dispositivo

$I(t)$ = corrente no dispositivo

A queda de tensão na condução pode ser caracterizada por uma resistência dinâmica R_o em série com uma queda de tensão constante U_o . O modelo referente a tensão de condução da chave é do tipo (Clemente e Pelly, 1992)

$$U(t) = U_o + R_o \cdot I(t)^{B_{con}} \quad (3.2)$$

onde

U_o = tensão direta para a chave

R_o = resistência dinâmica para a chave

B_{con} = constante obtida da curva de condução para a chave

Comparando as equações (3.1) e (3.2), pode-se observar que as perdas de condução podem então ser aproximadas pela seguinte equação

$$P_{con} = \frac{1}{T} \int_0^T (U_o + R_o \cdot I(t)^{B_{con}}) \cdot I(t) dt \quad (3.3)$$

Alguns autores consideram que a constante B_{con} é aproximadamente 1, transformando a equação em uma aproximação linear de queda de tensão. A tensão de condução de uma

chave ou de um diodo também pode ser representada por uma equação polinomial, ou seja,

$$U(t) = a + b \cdot I(t) + c \cdot I^2(t) \quad (3.4)$$

O uso do modelo indicado pela equação (3.4), com o auxílio da figura 3.2, permite se obter os valores de a , b e c .

Para a chave com $T = 25^{\circ}C$:

$$U_c = 0,7714 + 0,0211 \cdot I - 5,5 \cdot 10^{-5} \cdot I^2 \quad (3.5)$$

Para a chave com $T = 75^{\circ}C$:

$$U_c = 0,7598 + 0,0208 \cdot I - 5,5 \cdot 10^{-5} \cdot I^2 \quad (3.6)$$

Para a chave com $T = 125^{\circ}C$:

$$U_c = 0,7345 + 0,0197 \cdot I - 5,5 \cdot 10^{-5} \cdot I^2 \quad (3.7)$$

Usando o mesmo procedimento feito para o IGBT, pode-se, então escrever o modelo para as perdas de condução do diodo.

Para o diodo com $T = 25^{\circ}C$:

$$U_d = 0,7274 + 0,022 \cdot I - 7,5 \cdot 10^{-5} \cdot I^2 \quad (3.8)$$

Para o diodo com $T = 75^{\circ}C$:

$$U_d = 0,681 + 0,0174 \cdot I - 5,1 \cdot 10^{-5} \cdot I^2 \quad (3.9)$$

Para o diodo com $T = 125^{\circ}C$:

$$U_d = 0,6333 + 0,0136 \cdot I - 3,2 \cdot 10^{-5} \cdot I^2 \quad (3.10)$$

Os ensaios foram realizados para níveis de tensão de até 600V com correntes de até 250A. Entretanto, o formato das equações é válido, independentemente do tipo de dispositivo e nível de potência utilizado, já que chaves de diferentes valores nominais foram testadas, com as equações sendo comprovadas por resultados experimentais. Assim, este método apresentado para cálculo de perdas independe da potência do conversor.

Como exemplo da aplicação de equações do tipo (3.4), apresenta-se uma comparação entre os resultados obtidos e os modelos de perdas usando este tipo de equação. Na figura 3.4, as curvas mostram os valores encontrados, usando-se as equações propostas (3.5) e (3.7) para duas temperaturas diferentes no IGBT da Mitsubishi. Como pode ser visto, o

uso destas equações leva a uma boa aproximação das curvas obtidas experimentalmente. Também são mostradas curvas referentes ao uso de aproximações lineares ($B_{con} = 1$). Neste caso, as curvas apresentam diferenças que podem ser significativas no cálculo final das perdas no funcionamento dos circuitos. Embora não sejam apresentadas as curvas referentes ao uso da equação (3.2) (Clemente e Pelly, 1992), os resultados desta equação são muito próximos dos resultados usando a equação polinomial. Entretanto, devido a necessidade de inclusão da temperatura no modelo, observou-se que a equação polinomial apresentava uma melhor precisão quando incluindo diferentes parâmetros.

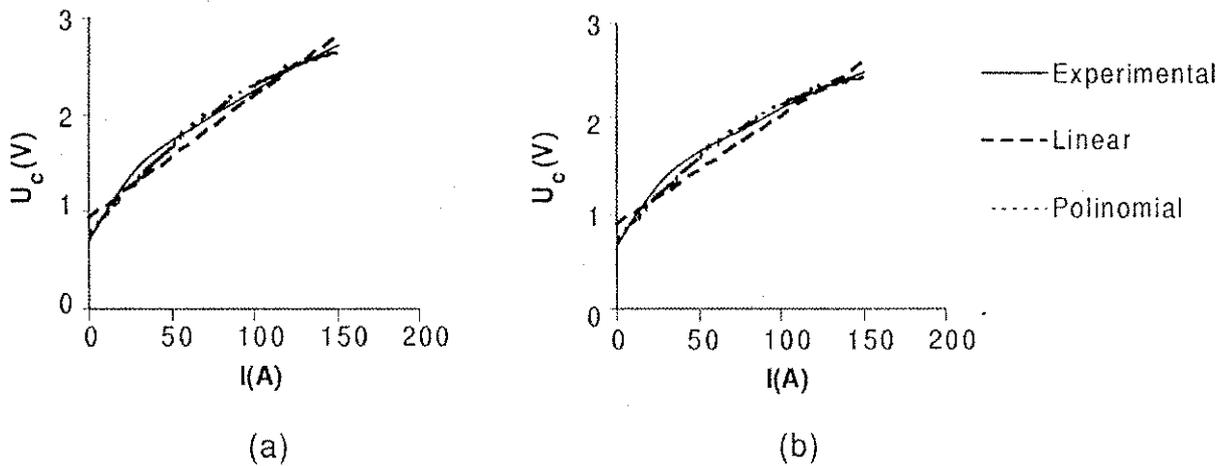


Figura 3.4: Aproximações para o IGBT com (a) $T = 25^{\circ}C$ e (b) $T = 125^{\circ}C$

Para considerar a temperatura em uma mesma equação, de modo que não se precise calcular uma equação para cada temperatura a ser considerada, é usada uma aproximação de potência para T em cada um dos termos associados à corrente. Isto é feito para que o ajuste da curva seja preciso, já que pelas equações (3.5) a (3.7), nota-se que apenas um dos parâmetros (c) coincide para temperaturas diferentes.

$$U_c(t) = 0,864 \cdot T^{-0,031} + 0,024 \cdot T^{-0,043} \cdot I - 5,5 \cdot 10^{-5} \cdot T^0 \cdot I^2 \quad (3.11)$$

Da mesma forma para o diodo, tem-se que

$$U_d(t) = 0,987 \cdot T^{-0,086} + 0,0584 \cdot T^{-0,298} \cdot I - 4,2 \cdot 10^{-4} \cdot T^{-0,529} \cdot I^2 \quad (3.12)$$

Na tabela 3.1, são apresentados os resultados para as tensão de condução (U_c , em volts) para três temperaturas diferentes. Conforme mostrado, os valores são bem próximos dos resultados experimentais. Este fato também é confirmado pela figura 3.5.

Na figura 3.6, são apresentados os resultados para as tensão de condução (U_d , em volts) para três temperaturas diferentes.

$I(A)$	$T = 25^{\circ}C (V)$		$T = 75^{\circ}C (V)$		$T = 125^{\circ}C (V)$	
	Experim	Equação	Experim	Equação	Experim	Equação
0	0,77	0,78	0,76	0,76	0,73	0,75
25	1,26	1,28	1,23	1,23	1,19	1,21
50	1,69	1,70	1,64	1,63	1,58	1,60
75	2,04	2,06	1,98	1,96	1,90	1,92
100	2,33	2,35	2,25	2,23	2,15	2,17
125	2,55	2,57	2,45	2,42	2,34	2,36
150	2,70	2,72	2,58	2,55	2,45	2,47

Tabela 3.1: Resultados da tensão de condução do IGBT determinados por experimento

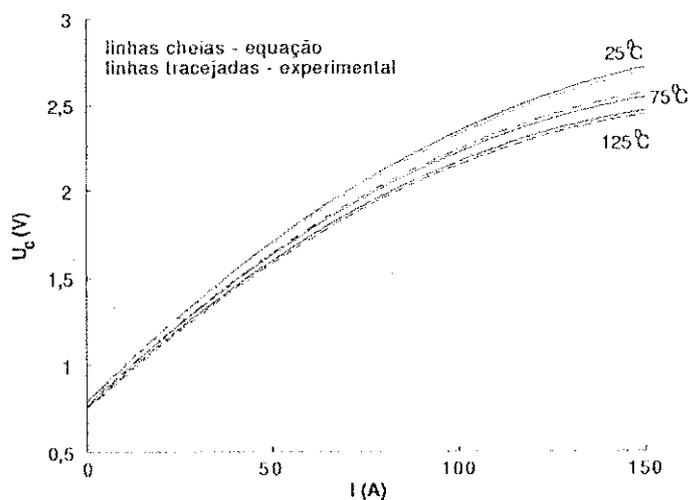


Figura 3.5: Resultados da tensão de condução do IGBT para diferentes temperaturas

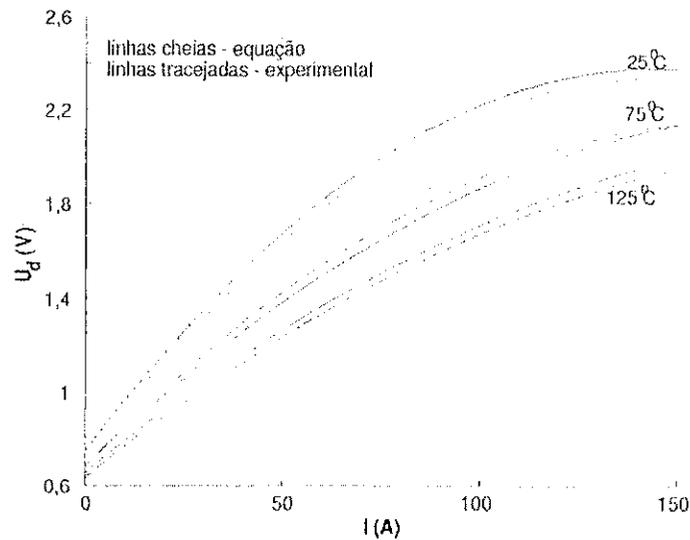


Figura 3.6: Resultados da tensão de condução do diodo para diferentes temperaturas

Assim, o modelo completo para as perdas durante a condução do IGBT pode ser escrito como

$$P_c(t) = (0,864 \cdot T^{-0,031} + 0,024 \cdot T^{-0,043} \cdot I - 5,5 \cdot 10^{-5} \cdot T^{10} \cdot I^2) \cdot I \quad (3.13)$$

O modelo para as perdas no diodo pode ser escrito como

$$P_d(t) = (0,987 \cdot T^{-0,086} + 0,0584 \cdot T^{-0,298} \cdot I - 4,2 \cdot 10^{-4} \cdot T^{-0,529} \cdot I^2) \cdot I \quad (3.14)$$

A principal vantagem no uso de um modelo que inclua o efeito da temperatura (equação (3.13)) é que uma só equação permite a obtenção de resultados de perdas para o IGBT em uma larga faixa de operação. O modelo a partir de resultados experimentais é preferível por apresentar resultados mais próximos dos reais, embora um programa de simulação como o Spice também possa ser usado. Neste último, as equações podem apresentar erros quando operando em valores diferentes do qual o modelo no Spice foi construído. Outra vantagem do uso da equação é o fato de que em manuais de fabricantes, os valores fornecidos são muito restritos e normalmente não é possível ter uma variação das perdas em relação a diferentes parâmetros, já que por exemplo, no caso de U_c , só temos dois valores de temperatura ($25^{\circ}C$ e $125^{\circ}C$) e só se pode avaliar U_c em relação à corrente. Fazendo testes, pode-se avaliar o IGBT sob condições diferentes de temperatura.

Os resultados obtidos não invalidam a metodologia apresentada no início do capítulo, já que continua sendo vantagem usar o Spice para estimar perdas porque na prática é impossível testar vários IGBTs operando em situações diferentes. Os circuitos de testes experimentais servem para comprovar ou melhorar os resultados obtidos no Spice antes do inversor completo ser construído.

Tendo obtido os modelos das perdas de condução, tanto para a chave, como para o diodo, pode-se então passar para o cálculo das perdas de chaveamento.

3.4 Perdas de Chaveamento

Uma propriedade interessante que ocorre no bloqueio do IGBT é o salto da corrente de cauda, que ocorre sob condições de baixo dv/dt , particularmente a altas temperaturas. Em Kurnia et al. (1993), foi mostrado que as perdas de bloqueio são maiores quando os IGBTs estão trabalhando em temperaturas mais altas. Construindo-se uma curva por dados medidos, pode ser obtida uma expressão que dá as perdas de energia no bloqueio, para determinados valores de corrente na chave e capacitor de comutação.

O disparo na chave sob condições de baixa tensão e baixo dv/dt não é muito rápido, e tipicamente envolve um salto na saturação dinâmica. Sob estas condições, se um capacitor de comutação é usado através de cada dispositivo (para obter chaveamento a tensão nula), podem ocorrer perdas de disparo significativas devido à descarga do capacitor. Esta descarga pode também gerar correntes de circulação muito altas entre o capacitor de comutação e o encapsulamento do dispositivo, resultando em estresses elevados sobre a chave. Uma discussão detalhada de alguns destes mecanismos de perdas foi apresentada em Kurnia et al. (1992).

Um estudo comparativo das perdas para os IGBTs, sob chaveamento dissipativo, a tensão nula e a corrente nula, é realizado em Wang et al. (1994). Os resultados apresentados foram obtidos experimentalmente para condições bem específicas.

É possível calcular as perdas de chaveamento por meio da tensão coletor-emissor e da corrente de coletor, mas isto não é um método muito preciso devido a necessidade de aproximações e porque as características de chaveamento são diferentes e dependentes do tipo de IGBT. Além disso, é mais preciso medir a energia de chaveamento diretamente como uma função da corrente de carga, e a partir daí escrever uma equação simples (Blaabjerg et al., 1994).

Entretanto, o uso de testes pelo valor da corrente de carga não separa as perdas de bloqueio e disparo, dificultando a sua aplicação nesse estudo, já que os valores de perdas durante o funcionamento dos circuitos precisam ser conhecidos separadamente para uma análise mais detalhada.

3.4.1 Chaveamento Dissipativo

Para o cálculo das perdas foram usados alguns circuitos de testes (Fig. 3.7). Estes circuitos são usados como circuitos representativos da comutação dissipativa para o IGBT (Fig. 3.7(a)) e o diodo (Fig. 3.7(b)), sendo neste último apenas avaliadas as perdas de recuperação reversa (bloqueio), pois durante o estudo foi observado que as perdas de entrada em condução do diodo são muito pequenas. Nestes circuitos, foram testadas condições diferentes de funcionamento, para que os parâmetros que influenciam as perdas fossem avaliados.

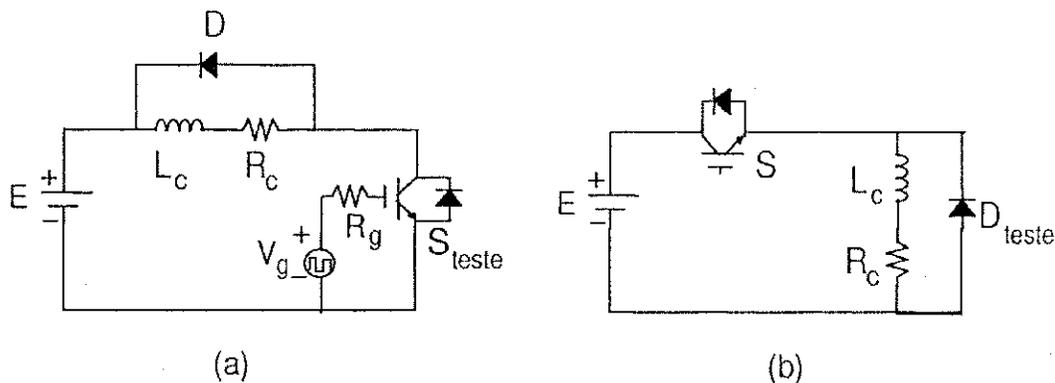


Figura 3.7: Circuitos de testes para as perdas de chaveamento: (a) IGBT e (b) diodo

No caso dos circuitos de teste para a comutação dissipativa, é aplicado um controle de dois pulsos à chave S_{teste} . O primeiro pulso serve para carregar o indutor com o valor de corrente desejado, as energias de bloqueio e disparo sendo medidas no segundo pulso. No primeiro pulso a corrente em S_{teste} aumenta continuamente até que S_{teste} seja bloqueada. Após o bloqueio, a corrente em L_c circula por D por um curto período de tempo, de modo que a corrente se mantenha aproximadamente constante. Em seguida, S_{teste} é disparada e bloqueada novamente, e após o segundo bloqueio, a corrente em L_c circula por D até que a corrente se anule e possa ser iniciado um novo ciclo de operação. No caso do IGBT, o teste é feito para a chave S_{teste} , enquanto o diodo sob teste é D_{teste} . Na figura 3.8 são mostradas as perdas de bloqueio e disparo para o IGBT CM150DY-24H operando com uma corrente de 100A, tensão do barramento de 400V, resistência de galilho (R_g) de 1,8 Ω e temperatura de 25 $^{\circ}$ C. São mostradas a energia de bloqueio ou disparo (curva superior), bem como a tensão e a corrente sobre a chave.

Na tabela 3.2 são apresentados resultados obtidos através de simulação do modelo do IGBT no Spice em comparação com resultados obtidos experimentalmente. Na tabela também são apresentados os resultados do uso das equações (3.15) e (3.16), que foram

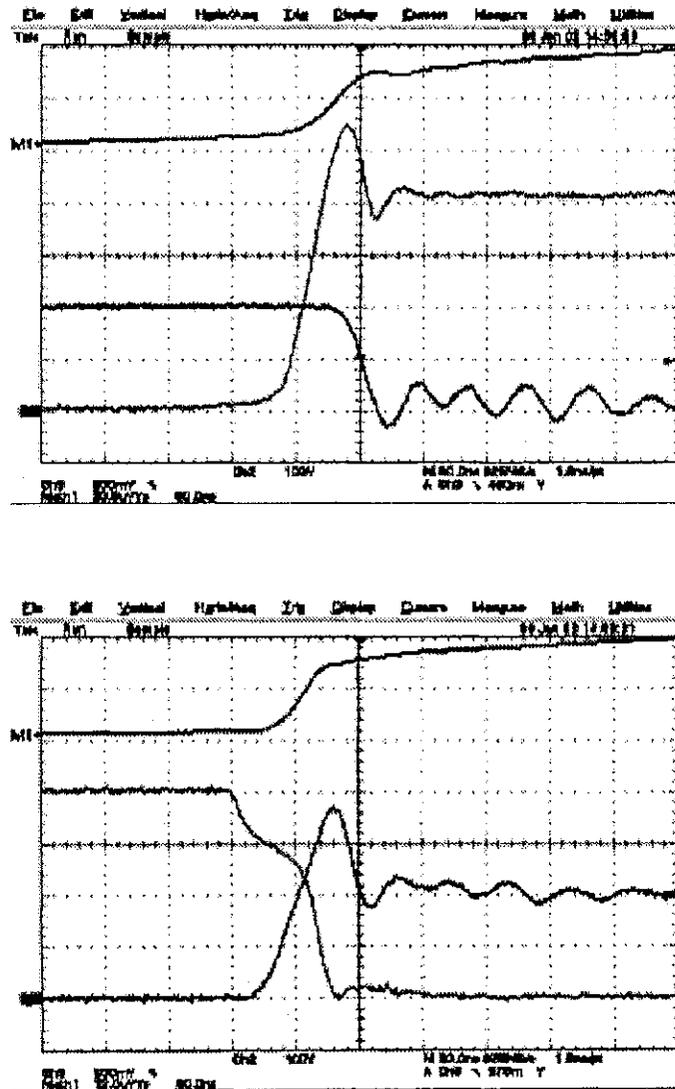


Figura 3.8: Resultados experimentais ($25^{\circ}C$) para perdas de (a) bloqueio e (b) disparo

$E(V)$	$I(A)$	Experimental (mJ)		Simulação (mJ)		Eq. (3.15) e (3.16)
		Disparo	Bloqueio	Disparo	Bloqueio	Disparo/bloqueio
300	5	0,06	0,20	0,05	0,11	0,09
	30	0,30	0,66	0,25	0,51	0,53
	54	0,55	1,32	0,46	1,01	0,95
	76	0,77	1,92	0,65	1,56	1,33
	98	0,99	2,73	0,84	2,19	1,72
400	7	0,14	0,36	0,10	0,23	0,16
	40	0,60	1,32	0,55	1,08	0,93
	72	1,08	2,40	1,02	2,16	1,68
	100	1,56	3,90	1,47	3,27	2,33

Tabela 3.2: Perdas de comutação do IGBT CM150DY-24H

apresentadas em Kaku et al. (1997). Os tempos de disparo e bloqueio foram considerados pela informação do manual do fabricante para o módulo CM150DY-24H ($t_{bl} = t_{di} = 350ns$).

$$E_{di} = \frac{E \cdot I \cdot t_{di}}{6} \quad (3.15)$$

$$E_{bl} = \frac{E \cdot I \cdot t_{bl}}{6} \quad (3.16)$$

As energias de disparo e bloqueio são dadas em mJ . Conforme visto pelos resultados, o uso do Spice serve bem como uma primeira aproximação para as perdas, porém as variações encontradas indicam que para uma análise mais detalhada um circuito de teste seja construído para estimar as perdas. Este fato também é confirmado pela figura 3.9. O uso das equações (3.15) e (3.16) apresenta resultados iguais entre as perdas de bloqueio e disparo, já que os tempos t_{di} e t_{bl} são iguais seguindo o manual do fabricante. Nos manuais de dados só é fornecido um tempo específico para determinadas condições de comutação dissipativa. Esse tempo não se mostra compatível com qualquer valor de operação. Os tempos fornecidos no manual são de $350ns$ para $E = 600V$, $I = 150A$, $R_g = 2,1\Omega$ e para se ter as reais condições de disparo ou bloqueio, precisa-se ou simular ou construir um circuito de teste para a condição desejada.

Como no caso das perdas de condução, é necessário fazer uma análise de qual tipo de equação deve ser usado para estimar as perdas de comutação. Esta equação pode ser escrita como (Clemente e Pelly, 1992)

$$E_{ch} = A_{ch} \cdot I(t)^{B_{ch}} \quad (3.17)$$

onde

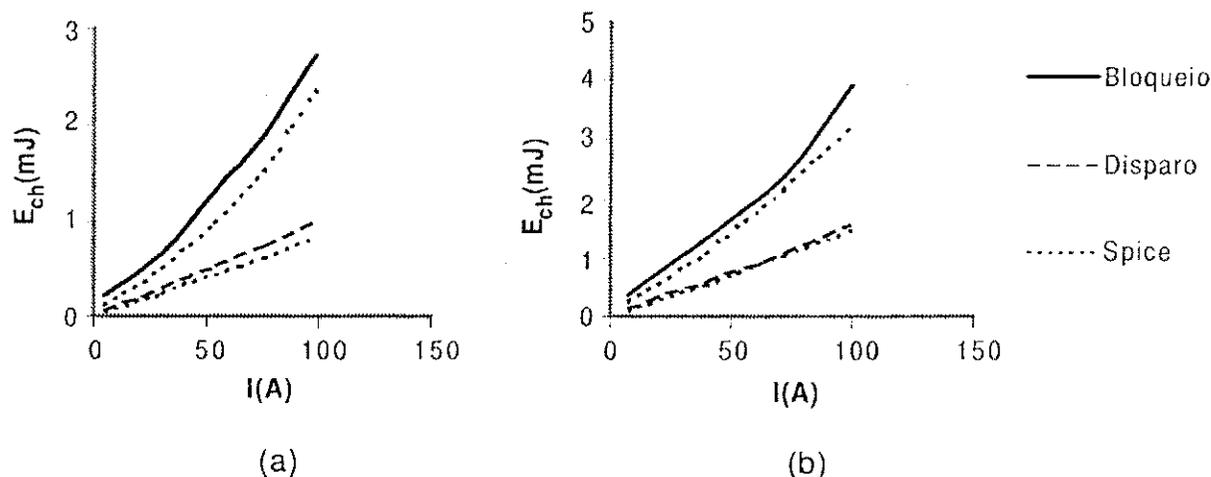


Figura 3.9: Característica de chaveamento (IGBT) com (a) $E = 300V$ e (b) $E = 400V$

E_{ch} = perda por energia de chaveamento para o dispositivo

A_{ch}, B_{ch} = constantes obtidas da curva de chaveamento para o dispositivo

A equação acima pode ser usada para as perdas de disparo e bloqueio, tanto para o IGBT quanto para o diodo. As constantes A_{ch}, B_{ch} são determinadas pela aplicação de uma curva de primeira ordem, obtida da medição das características de tensão de condução e das perdas da energia de comutação, que são dependentes da corrente de coletor.

Na figura 3.10 são mostradas duas aproximações (linear e potência) para as tensões de 300V e 400V com resistência de gatilho de $1,8\Omega$ e temperatura de $25^{\circ}C$. A equação (3.17) equivale a aproximação de potência, enquanto que a mesma equação com $B_{ch} = 1$ equivale a aproximação linear.

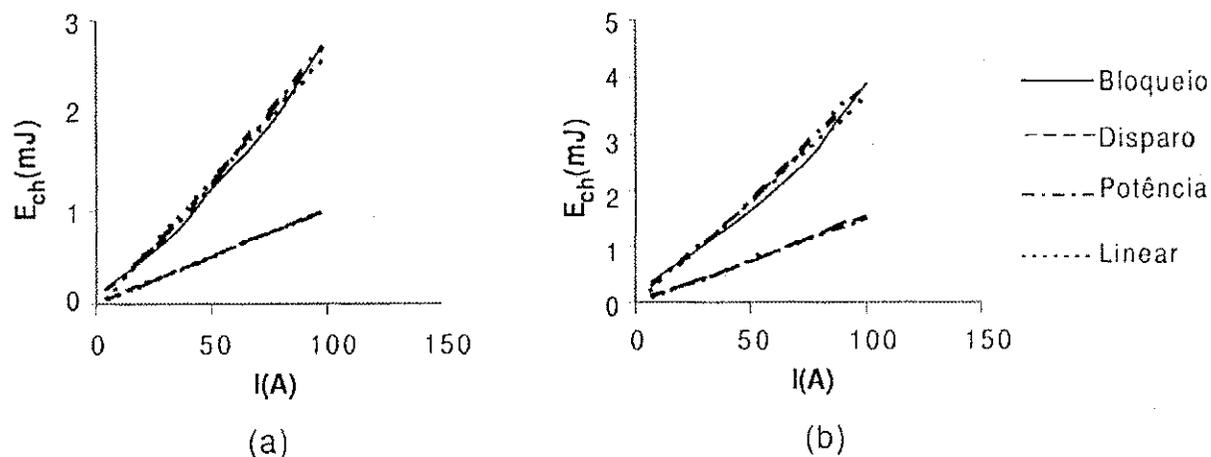


Figura 3.10: Aproximações para o IGBT com (a) $E = 300V$ e (b) $E = 400V$

Apesar dos resultados serem bastante próximos para as duas aproximações, uma terceira

equação (polinomial) será utilizada como uma melhor aproximação para a seqüência do trabalho. Isto se deve ao fato de que a equação polinomial tem três parâmetros que podem variar para incluir outros fatores nas perdas, como por exemplo, tensão do barramento, temperatura, resistência do gatilho e indutância parasita. Usando a aproximação linear, a inclusão desses fatores fica comprometida já que só se dispõe de dois parâmetros na equação. Embora a equação de potência também possua três parâmetros, as curvas mostradas já apresentam um erro em relação à corrente, que pode tornar-se significativo com a inclusão de outros fatores. Usando a equação polinomial ($T = 25^{\circ}C$, $R_g = 1,8\Omega$) com tensão do barramento de $300V$, vem

$$E_{bl} = 0,1147 + 0,0155 \cdot I + 1,1 \cdot 10^{-4} \cdot I^2 \quad (3.18)$$

$$E_{di} = 0,0082 + 0,0099 \cdot I + 1,5 \cdot 10^{-6} \cdot I^2 \quad (3.19)$$

Com tensão de $400V$

$$E_{bl} = 0,252 + 0,0174 \cdot I + 1,9 \cdot 10^{-4} \cdot I^2 \quad (3.20)$$

$$E_{di} = 0,0527 + 0,0125 \cdot I + 2,6 \cdot 10^{-5} \cdot I^2 \quad (3.21)$$

No caso do diodo, as perdas de recuperação reversa também são analisadas experimentalmente com tensão do barramento variando de $250V$ a $350V$. As perdas do diodo devem ser consideradas e portanto, considera-se que aproximações semelhantes àquelas desenvolvidas para o IGBT podem ser usadas. Na figura 3.11 são mostrados os resultados para o diodo do módulo CM150DY-24H operando com $E = 300V$, $I = 235A$, $T = 125^{\circ}C$ e $R_g = 1,8\Omega$ e $R_{\theta} = 7,4\Omega$. São mostradas a energia de recuperação reversa (curva escura), bem como a tensão e a corrente sobre o diodo do módulo.

Com tensão do barramento de $250V$ ($T = 25^{\circ}C$, $R_g = 1,8\Omega$), vem

$$E_{rr} = 0,1085 + 0,0003 \cdot I - 3 \cdot 10^{-7} \cdot I^2 \quad (3.22)$$

Com tensão de $350V$

$$E_{rr} = 0,1862 + 0,0002 \cdot I - 2 \cdot 10^{-7} \cdot I^2 \quad (3.23)$$

Para incluir o efeito da tensão (E) nas perdas, vem

$$E_{bl} = 1,92 \cdot 10^{-8} \cdot E^{2,74} + 1,57 \cdot 10^{-3} \cdot E^{0,4} \cdot I + 2,16 \cdot 10^{-9} \cdot E^{1,9} \cdot I^2 \quad (3.24)$$

$$E_{di} = 7,83 \cdot 10^{-19} \cdot E^{6,47} + 9,72 \cdot 10^{-5} \cdot E^{0,81} \cdot I + 4,1 \cdot 10^{-31} \cdot E^{9,92} \cdot I^2 \quad (3.25)$$

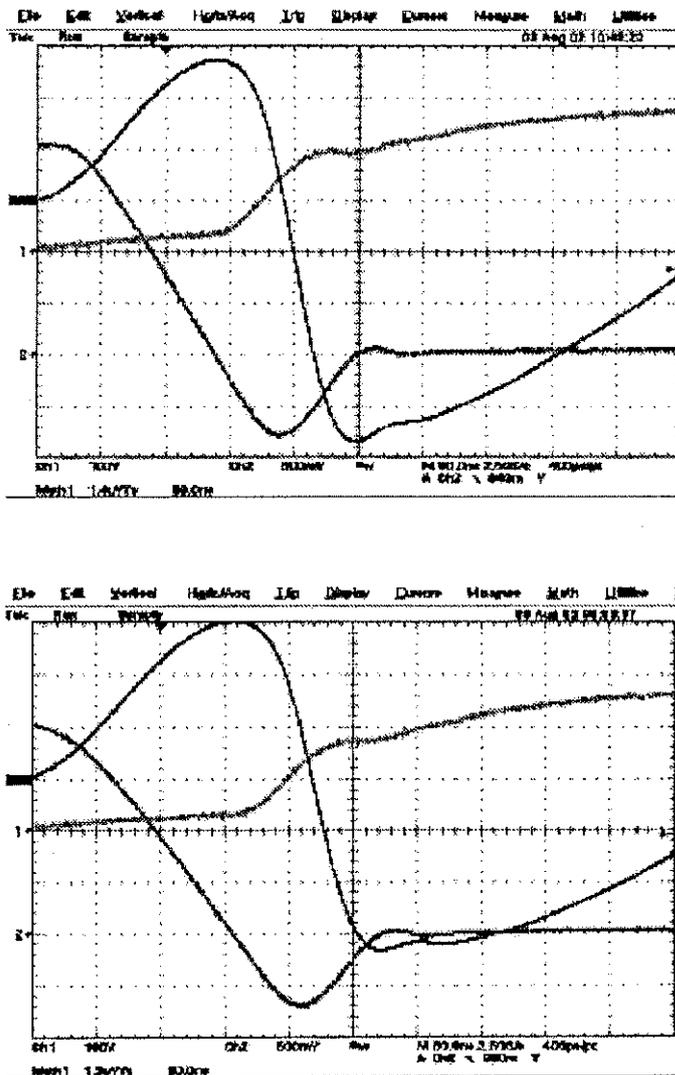


Figura 3.11: Resultados experimentais para as perdas de recuperação reversa no diodo com (a) $R_g = 1,8\Omega$ e com (b) $R_g = 7,4\Omega$ ($25^{\circ}C$)

Para o diodo, vem

$$E_{rr} = 1,48 \cdot 10^{-5} \cdot E^{1,61} + 7,28 \cdot 10^{-4} \cdot E^{-0,22} \cdot I + 2,39 \cdot 10^{-4} \cdot E^{-1,21} \cdot I^2 \quad (3.26)$$

Na figura 3.12 são mostrados os resultados do uso da equação polinomial já incluindo o efeito da tensão.

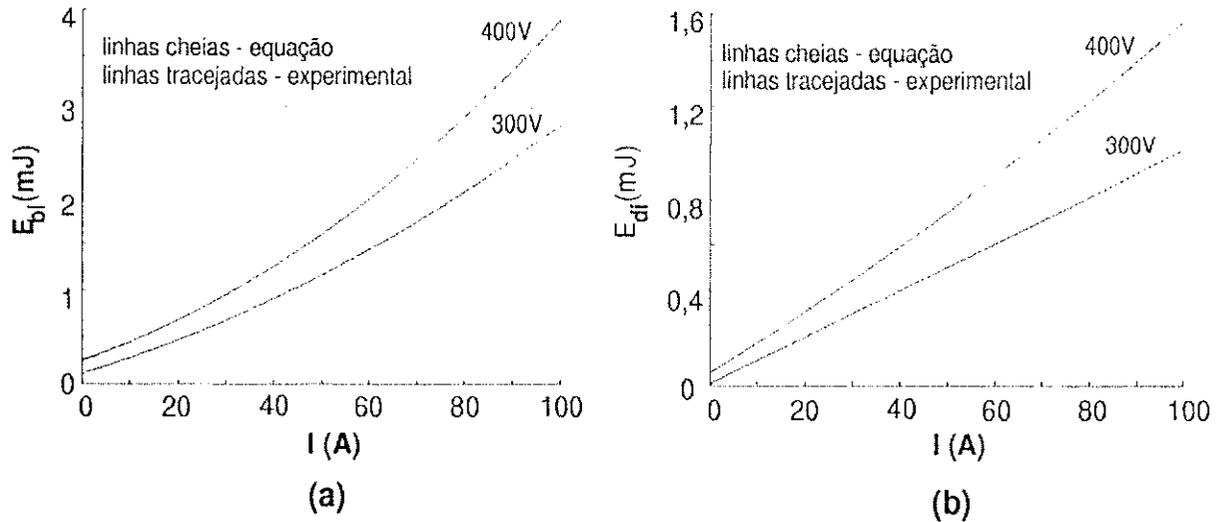


Figura 3.12: Resultados das perdas de chaveamento do IGBT para diferentes tensões no (a) bloqueio e no (b) disparo

Outro fator muito importante no cálculo das perdas é a temperatura, que é avaliada através de alguns resultados experimentais, sendo que os apresentados na figura 3.13 são para $E = 400V$, $I = 100A$, $R_g = 1,8\Omega$ e $T = 75^{\circ}C$. São mostradas a energia de bloqueio ou disparo (curva superior), bem como a tensão e a corrente sobre a chave. O aumento da temperatura implica em um aumento das perdas de bloqueio e disparo.

O efeito da temperatura pode ser incluído nas equações (3.24) e (3.25) da mesma forma que foi feito para E . Assim, para o IGBT CM150DY-24H tem-se que a equação final, considerando I , E e T para $R_g = 1,8\Omega$, é

$$E_{bl} = 3,84 \cdot 10^{-9} \cdot E^{2,74} \cdot T^{0,5} + 7,9 \cdot 10^{-4} \cdot E^{0,4} \cdot T^{0,2} \cdot I + 2,16 \cdot 10^{-9} \cdot E^{1,9} \cdot T^0 \cdot I^2 \quad (3.27)$$

$$E_{di} = 4,76 \cdot 10^{-20} \cdot E^{6,47} \cdot T^{0,87} + 3,5 \cdot 10^{-5} \cdot E^{0,81} \cdot T^{0,32} \cdot I + 4,1 \cdot 10^{-31} \cdot E^{9,92} \cdot T^0 \cdot I^2 \quad (3.28)$$

Para o diodo tem-se que a equação final é

$$E_{rr} = 7,9 \cdot 10^{-7} \cdot E^{1,61} \cdot T^{0,91} + 1,74 \cdot 10^{-5} \cdot E^{-0,22} \cdot T^{1,16} \cdot I - 2,4 \cdot 10^{-6} \cdot E^{-1,21} \cdot T^{1,43} \cdot I^2 \quad (3.29)$$

Na figura 3.14 ($R_g = 1,8\Omega$) são mostrados os resultados do uso das equações (3.27) e (3.28). Como pode ser observado, os valores são bem próximos do real, mas já começa a

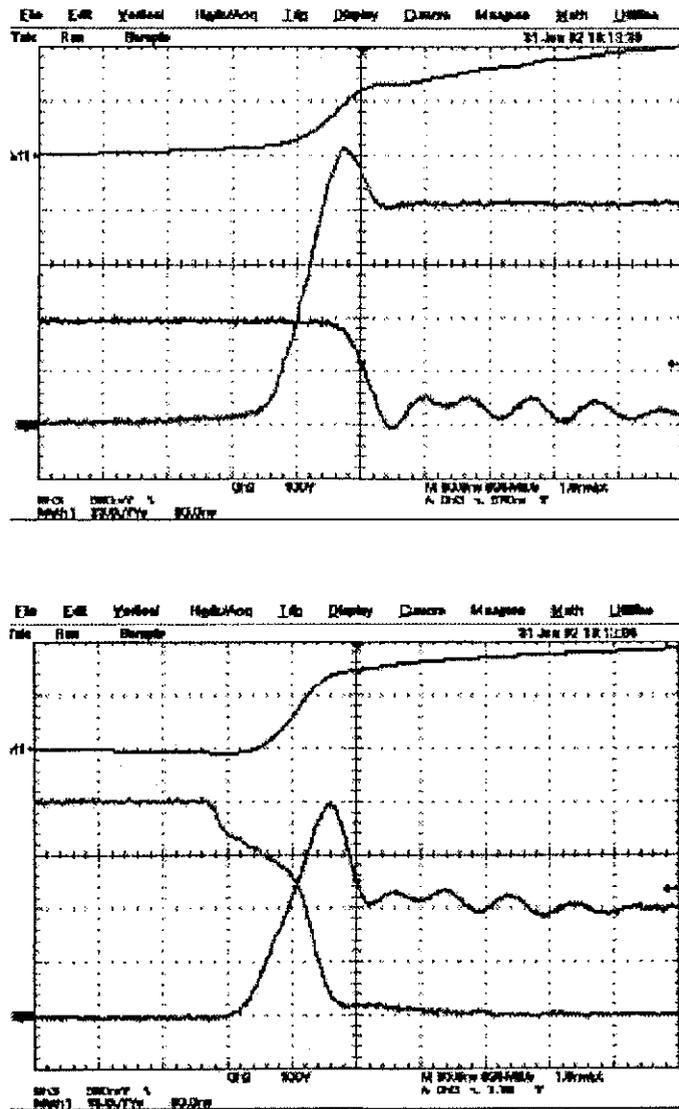


Figura 3.13: Resultados experimentais ($75^{\circ}C$) para perdas de (a) bloqueio e (b) disparo

haver erros especialmente no caso das perdas de bloqueio. Deste modo, embora se possa considerar a resistência de gatilho e a indutância parasita na mesma equação, seguindo o mesmo princípio da tensão e da temperatura, é preferível em termos de precisão usar as equações (3.27) e (3.28) com parâmetros diferentes para uma resistência de gatilho diferente. Assim, cada resistência de gatilho teria uma equação diferente que incluiria os efeitos de tensão e temperatura.

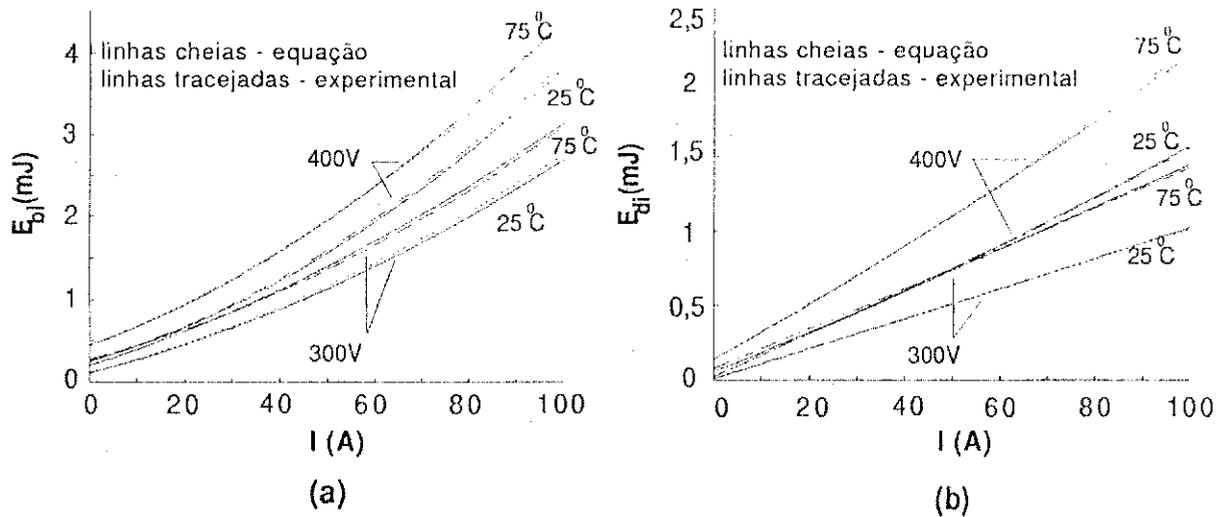


Figura 3.14: Resultados das perdas de chaveamento do IGBT para diferentes tensões e temperaturas no (a) bloqueio e no (b) disparo

Na figura 3.15 são mostrados os resultados do uso da equação (3.29) com $R_g = 1,8\Omega$.

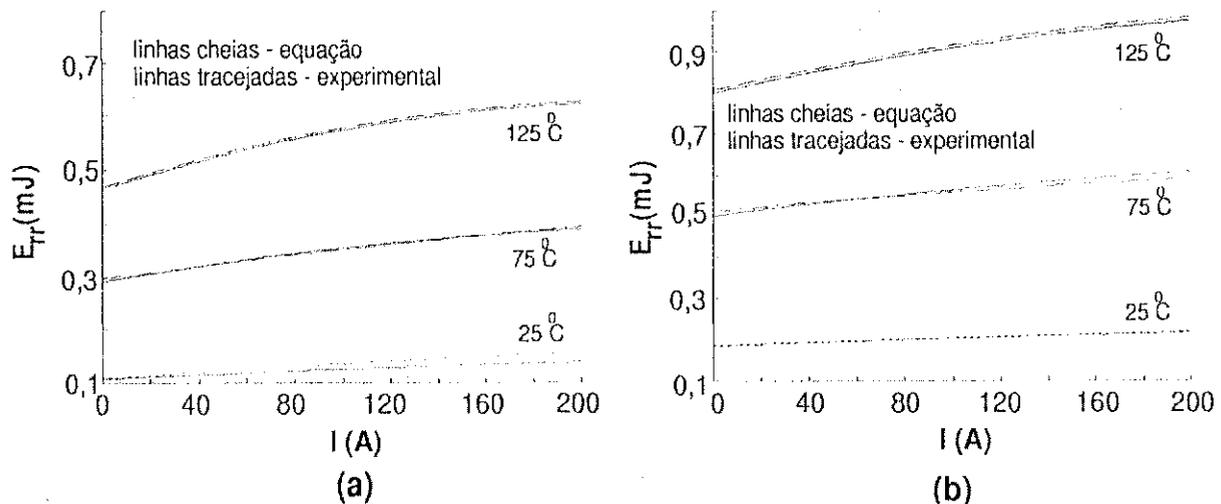


Figura 3.15: Resultados das perdas de recuperação reversa do diodo para diferentes temperaturas com (a) $E = 250V$ e com (b) $E = 350V$

Para que o estudo não ficasse restrito a apenas uma faixa de corrente e tensão, também foi estudado o módulo MG300J2YS50 (600V, 300A) da Toshiba. Os resultados para esse módulo também foram analisados e as equações apresentadas também se aplicam ao mesmo com boa precisão. Os coeficientes mudam, já que cada IGBT ou diodo tem um funcionamento específico, mas o formato das equações continua o mesmo.

3.4.2 Chaveamento Suave

Quando o chaveamento suave é utilizado, os disparos e bloqueios são diferenciados dependendo do tipo de comutação, chaveamento a corrente nula (ZCS) ou chaveamento a tensão nula (ZVS). Independentemente do tipo de comutação suave que está sendo usado, as perdas de recuperação reversa nos diodos podem ser consideradas nulas.

Para chaveamento a tensão nula (Fig. 3.16(a)) e chaveamento a corrente nula (Fig. 3.16(b)) foram usados circuitos de teste de modo a verificar os efeitos de alguns fatores nas perdas, como por exemplo corrente e tensão. É estudada uma faixa de valores para a capacitância (ZVS) e indutância (ZCS) dos circuitos de chaveamento suave.

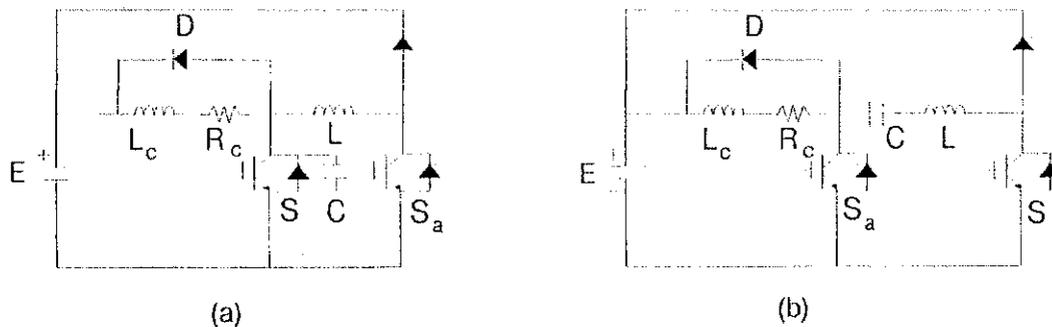


Figura 3.16: Circuitos de testes para as perdas de chaveamento sob (a) ZVS e (b) ZCS

ZVS

Na figura 3.17(a) e 3.17(b) são apresentadas as perdas de bloqueio e disparo, respectivamente sob ZVS com $E = 300V, I = 80A, T = 25^{\circ}C, R_g = 1,8\Omega, C = 50nF$ e $L = 1,4\mu H$. São mostradas a energia de bloqueio ou disparo (curva superior), bem como a tensão e a corrente sobre a chave.

Para que se tenha uma comprovação dos modelos de IGBTs utilizados no Spice, os circuitos de testes, semelhantes aos apresentados em Wang et al. (1994), foram analisados por simulação. Com o modelo do IGBT CM150DY-24H do Spice obtêm-se a tabela 3.3, que possui valores razoáveis para uma primeira aproximação. Entretanto, nota-se que quanto menor a corrente, pior o resultado de simulação. Isto se deve ao fato de que

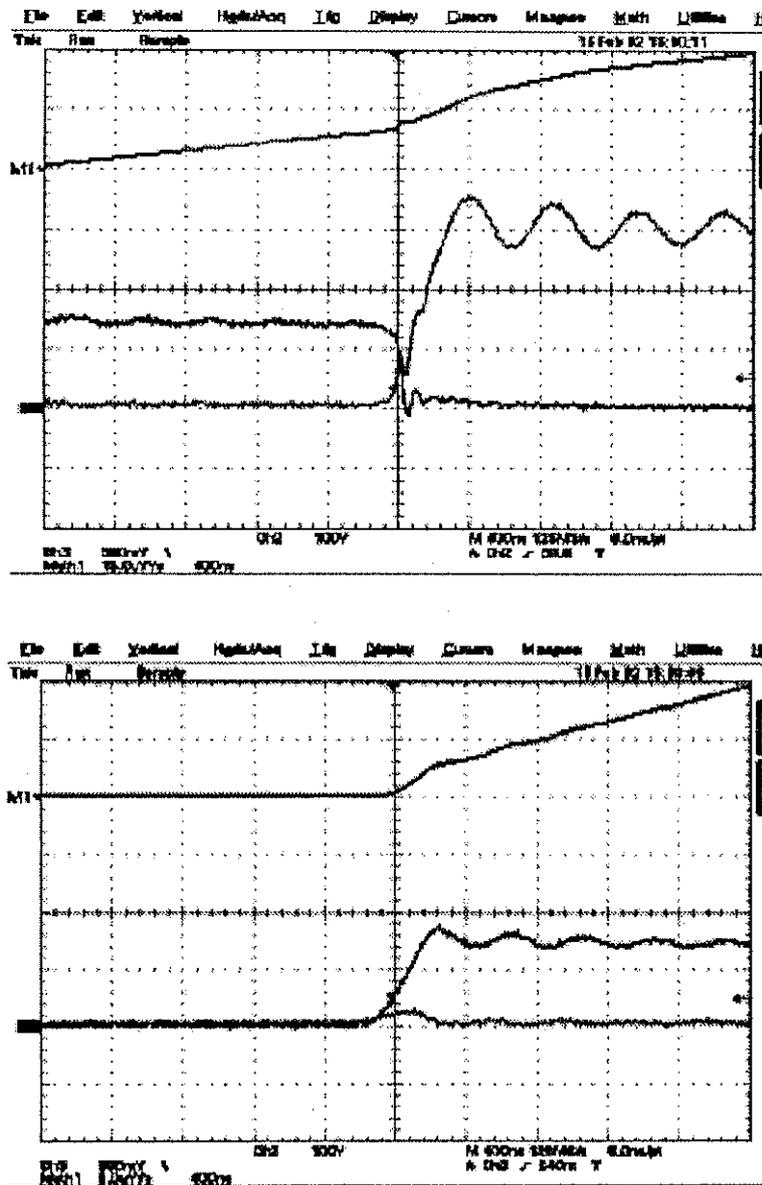


Figura 3.17: Resultados experimentais para as perdas de (a) bloqueio e de (b) disparo no IGBT ($25^{\circ}C$) operando sob ZVS

$I(A)$	200V				300V			
	Disparo (mJ)		Bloqueio (mJ)		Disparo (mJ)		Bloqueio (mJ)	
	simul	exper	simul	exper	simul	exper	simul	exper
10	0,02	0,06	0,05	0,13	0,03	0,12	0,09	0,30
30	0,08	0,12	0,17	0,24	0,10	0,19	0,26	0,56
50	0,19	0,23	0,43	0,52	0,24	0,30	0,68	0,84
70	0,35	0,40	0,76	0,87	0,39	0,45	1,05	1,12

Tabela 3.3: Comparação de perdas para o IGBT CM150DY-24H operando sob ZVS

$I(A)$	$C = 50nF(mJ)$		$C = 100nF(mJ)$		$C = 200nF(mJ)$	
	Disparo	Bloqueio	Disparo	Bloqueio	Disparo	Bloqueio
10	0,12	0,30	0,08	0,23	0,05	0,19
30	0,19	0,56	0,15	0,49	0,10	0,42
50	0,30	0,84	0,25	0,75	0,19	0,64
70	0,45	1,12	0,39	1,02	0,31	0,87

Tabela 3.4: Perdas de chaveamento do IGBT CM150DY-24H sob ZVS

na modelagem do circuito de teste no Spice, foram priorizados os resultados de perdas nos valores mais elevados de corrente, pois as perdas nesses valores são maiores, sendo portanto mais importantes para o cálculo final de perdas nos inversores.

A partir dos resultados experimentais, foi construída a tabela 3.4 para as energias de disparo e bloqueio a tensão nula, sendo estas escolhidas para fazer o equacionamento das perdas de comutação no caso ZVS. A tabela mostrada descreve o comportamento das perdas nas chaves com a variação da capacitância para $E = 300V$.

A partir desta tabela, chega-se então às seguintes equações, onde o subscrito t indica tensão nula.

Para o IGBT CM150DY-24H, com 300V e 50nF, tem-se

$$\begin{aligned}
 E_{bt} &= 0,169 + 0,0128 \cdot I + 1,1 \cdot 10^{-5} \cdot I^2 \\
 E_{dt} &= 0,0932 + 0,0017 \cdot I + 4,9 \cdot 10^{-5} \cdot I^2
 \end{aligned}
 \tag{3.30}$$

Com 300V e 100nF, obtém-se

$$\begin{aligned}
 E_{bt} &= 0,1012 + 0,0127 \cdot I + 5,4 \cdot 10^{-6} \cdot I^2 \\
 E_{dt} &= 0,0623 + 0,0016 \cdot I + 4,4 \cdot 10^{-5} \cdot I^2
 \end{aligned}
 \tag{3.31}$$

Com $200nF$

$$\begin{aligned} E_{bli} &= 0,0814 + 0,0111 \cdot I + 1,4 \cdot 10^{-6} \cdot I^2 \\ E_{dli} &= 0,0327 + 0,0011 \cdot I + 4 \cdot 10^{-5} \cdot I^2 \end{aligned} \quad (3.32)$$

Faz-se uma aproximação usando a equação obtida, gerando as curvas referentes a $50nF$, $100nF$ e $200nF$ (Fig. 3.18). Nesta figura descreve-se o comportamento das perdas nas chaves com a variação da capacitância, onde os valores de energia são dados em mJ .

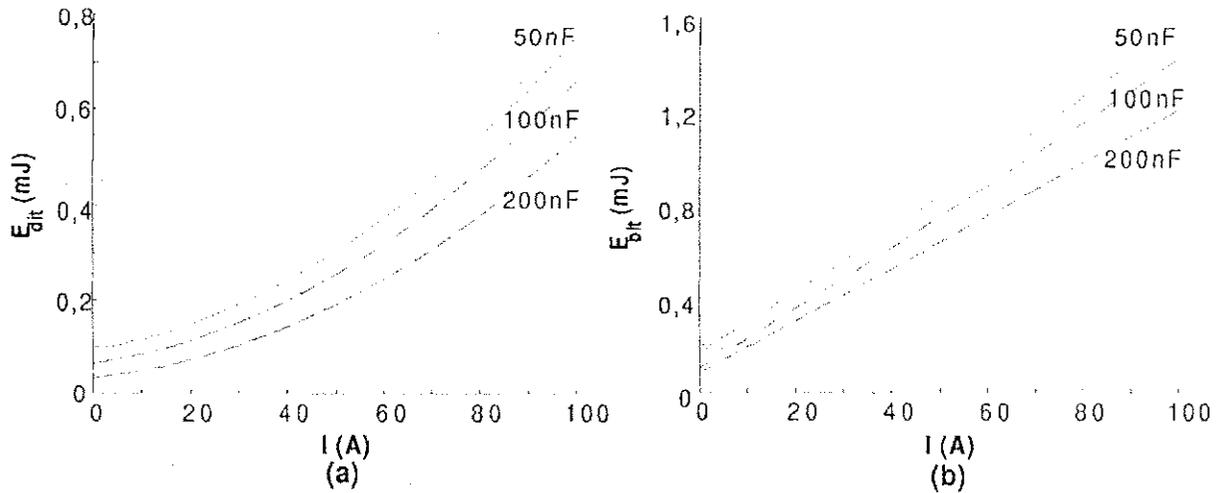


Figura 3.18: Característica de chaveamento (ZVS) no (a) disparo e (b) bloqueio

Para incluir o efeito da capacitância (C) nas perdas, tem-se

$$E_{bli} = 3,06 \cdot C^{-0,74} + 0,0177 \cdot C^{-0,08} \cdot I + 6,18 \cdot 10^{-4} \cdot C^{-1,03} \cdot I^2 \quad (3.33)$$

$$E_{dli} = 0,9 \cdot C^{-0,58} + 0,05 \cdot C^{-0,87} \cdot I + 9,16 \cdot 10^{-5} \cdot C^{-0,14} \cdot I^2 \quad (3.34)$$

Na figura 3.19, mostra-se a comparação entre as curvas geradas diretamente pelos resultados experimentais e as curvas referentes as equações (3.33) a (3.34).

O efeito da temperatura pode ser incluído nas equações (3.33) e (3.34) da mesma forma que foi feito para C . Embora se possa considerar a temperatura na mesma equação, seguindo o mesmo princípio da capacitância, é preferível em termos de precisão, que cada capacitância tenha uma equação diferente que inclua os efeitos de temperatura.

ZCS

Já para ZCS, consegue-se na literatura (Matsuura et al., 1998) a equação (3.35) que mostra as perdas de comutação com a variação da indutância. Assim, esta equação serviu

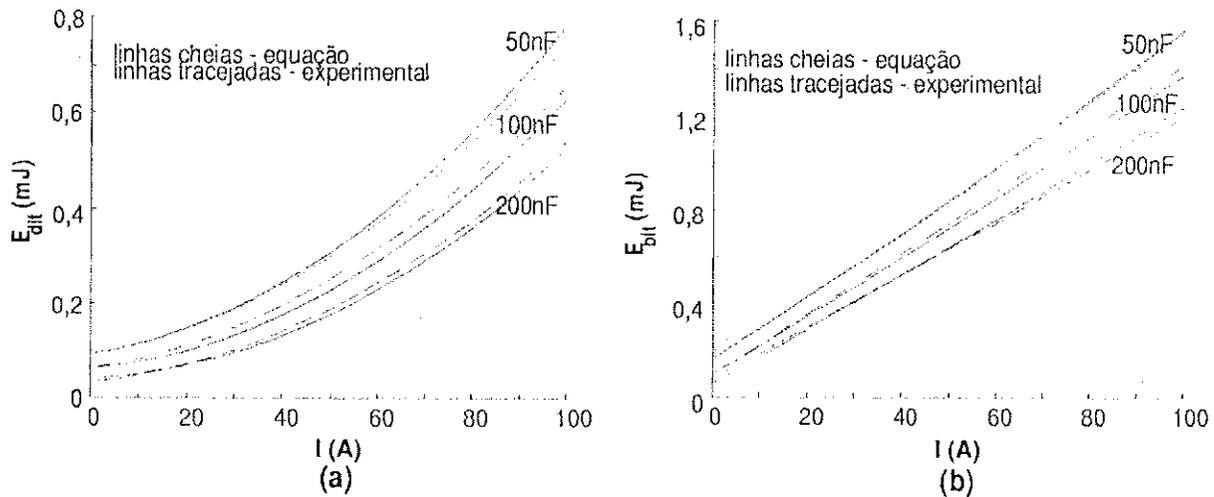


Figura 3.19: Resultados das perdas de chaveamento do IGBT para diferentes capacitâncias no (a) disparo e no (b) bloqueio ZVS

como base, pois apresenta o comportamento de perdas em função da indutância.

$$E_{dic} = \frac{(V * t_{di})^2}{2A * L_r} \quad (3.35)$$

A equação (3.35) foi apresentada para MOSFETs e de forma geral calcula as perdas em função do tempo de disparo da chave. Entretanto, manuais de dados só fornecem um tempo específico para determinadas condições de comutação dissipativa, que não se mostra compatível com ZCS. Por exemplo, para o IGBT CM150DY-24H, o tempo de disparo no manual é de $350ns$ para $E = 600V, I = 150A, R_g = 2, 1\Omega$. Para se ter as reais condições de disparo, precisa-se ou simular ou construir um circuito de teste para a condição ZCS. Além disso, a equação (3.35) não considera qualquer efeito de corrente ou temperatura.

Na figura 3.20(a) e 3.20(b) são apresentadas as perdas de bloqueio e disparo, respectivamente para ZCS com $E = 150V, I = 90A, T = 25^\circ C, R_g = 1, 8\Omega, C = 100nF$ e $L = 1, 4\mu H$.

Com o modelo do IGBT CM150DY-24H do Spice obtêm-se a tabela 3.5, que possui valores razoáveis para uma primeira aproximação. Os valores de corrente mostrados na tabela se referem aos valores de pico da corrente na chave após o disparo da mesma. Nota-se que quanto menor a tensão, pior o resultado de simulação. Isto se deve ao fato de que na modelagem do circuito de teste no Spice, foram priorizados os resultados de perdas nos valores mais elevados de tensão. Também são mostrados resultados do uso da equação (3.35), supondo-se um tempo de disparo constante, conforme sugerido pela equação.

No caso ZCS, as equações são analisadas em função da tensão em vez da corrente. Isto se deve ao fato que na técnica ZCS a influência da corrente nas perdas é menor do que nos casos estudados anteriormente. Este fato é comprovado pela tabela 3.5, onde a tensão tem

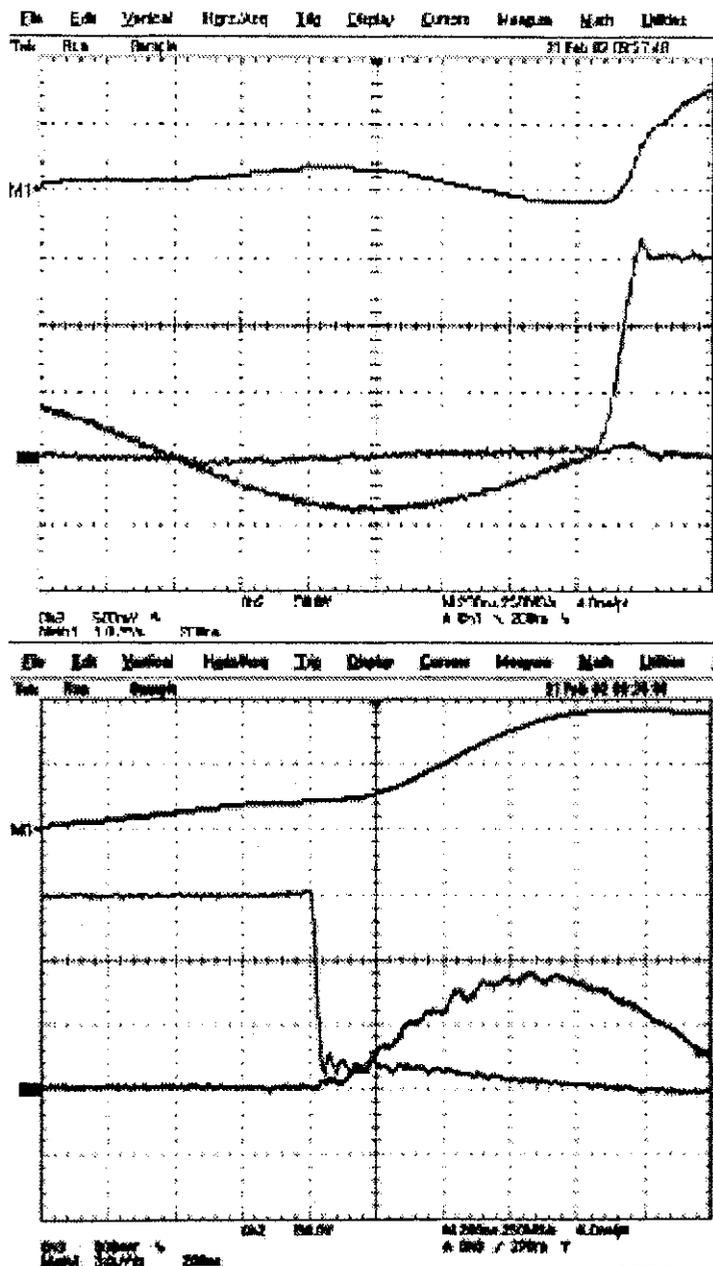


Figura 3.20: Resultados experimentais para as perdas de (a) bloqueio e de (b) disparo no IGBT ($25^{\circ}C$) operando sob ZCS

$E(V)$	30A				60A				Eq. (3.35)
	Disparo (mJ)		Bloqueio (mJ)		Disparo (mJ)		Bloqueio (mJ)		Disparo (mJ)
	simul	exper	simul	exper	simul	exper	simul	exper	$t_{di} = 350ns$
100	0,08	0,20	0,03	0,10	0,13	0,33	0,04	0,12	0,04
150	0,17	0,25	0,08	0,14	0,20	0,39	0,10	0,17	0,08
200	0,27	0,30	0,15	0,19	0,30	0,46	0,18	0,23	0,15

Tabela 3.5: Comparação de perdas para o IGBT CM150DY-24H operando sob ZCS

$E(V)$	$L = 1,4\mu H(mJ)$		$L = 2,6\mu H(mJ)$		$L = 4,2\mu H(mJ)$	
	Disparo	Bloqueio	Disparo	Bloqueio	Disparo	Bloqueio
100	0,33	0,12	0,25	0,09	0,22	0,06
150	0,39	0,17	0,30	0,13	0,26	0,09
200	0,46	0,23	0,36	0,18	0,31	0,13

Tabela 3.6: Perdas de chaveamento do IGBT CM150DY-24H sob ZCS

maior influência nas perdas de chaveamento do que a corrente, especialmente no bloqueio.

A partir dos resultados experimentais, obteve-se a tabela 3.6 para $I = 60A$. A partir desta tabela, chega-se então as seguintes equações, onde o subscrito c indica corrente nula.

Para o IGBT CM150DY-24H, com $1,4\mu H$, vem

$$\begin{aligned}
 E_{blc} &= 0,05 + 0,0005 \cdot E + 2 \cdot 10^{-6} \cdot E^2 \\
 E_{dic} &= 0,24 + 0,0007 \cdot E + 2 \cdot 10^{-6} \cdot E^2
 \end{aligned} \tag{3.36}$$

Do mesmo modo, para $2,6\mu H$

$$\begin{aligned}
 E_{blc} &= 0,04 + 0,0003 \cdot E + 2 \cdot 10^{-6} \cdot E^2 \\
 E_{dic} &= 0,18 + 0,0005 \cdot E + 2 \cdot 10^{-6} \cdot E^2
 \end{aligned} \tag{3.37}$$

Para $4,2\mu H$

$$\begin{aligned}
 E_{blc} &= 0,03 + 0,0001 \cdot E + 2 \cdot 10^{-6} \cdot E^2 \\
 E_{dic} &= 0,17 + 0,0003 \cdot E + 2 \cdot 10^{-6} \cdot E^2
 \end{aligned} \tag{3.38}$$

Portanto, foram construídas curvas (Fig. 3.21) para a energia de bloqueio e disparo a corrente nula. As curvas mostradas descrevem o comportamento das perdas nas chaves com a variação do indutor, onde as energias são dadas em mJ .

Para incluir o efeito da indutância (L) nas perdas, tem-se

$$E_{blt} = 0,06 \cdot L^{-0,48} + 0,0008 \cdot L^{-1,19} \cdot E + 2 \cdot 10^{-6} \cdot L^0 \cdot E^2 \tag{3.39}$$

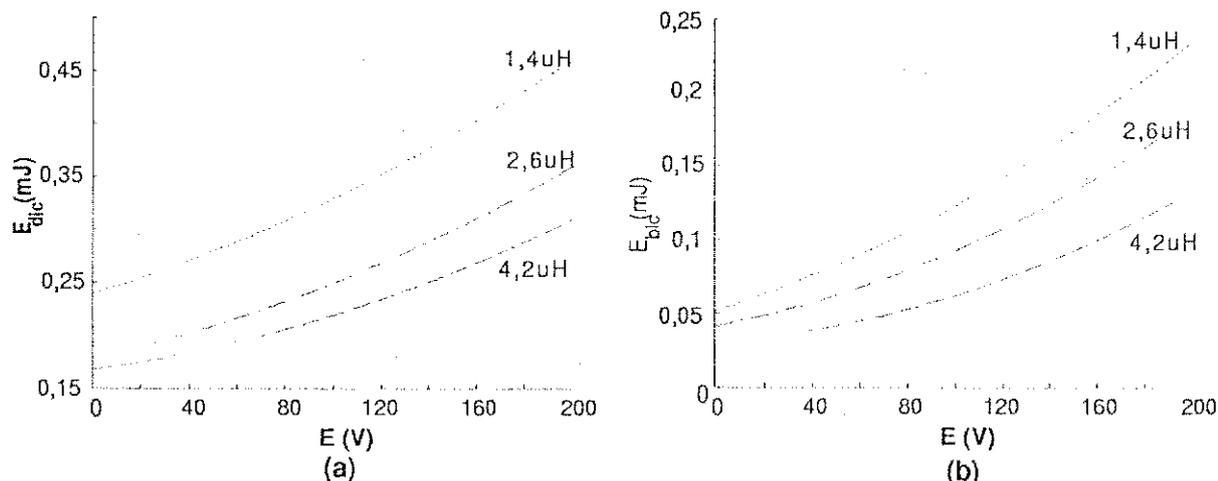


Figura 3.21: Característica de chaveamento (ZCS) no (a) disparo e (b) bloqueio

$$E_{dit} = 0,27 \cdot L^{-0,37} + 0,0008 \cdot L^{-0,55} \cdot E + 2 \cdot 10^{-6} \cdot L^0 \cdot E^2 \quad (3.40)$$

Na figura 3.22, mostra-se a comparação dos valores encontrados nos resultados experimentais em relação ao modelo que usa as equações propostas.

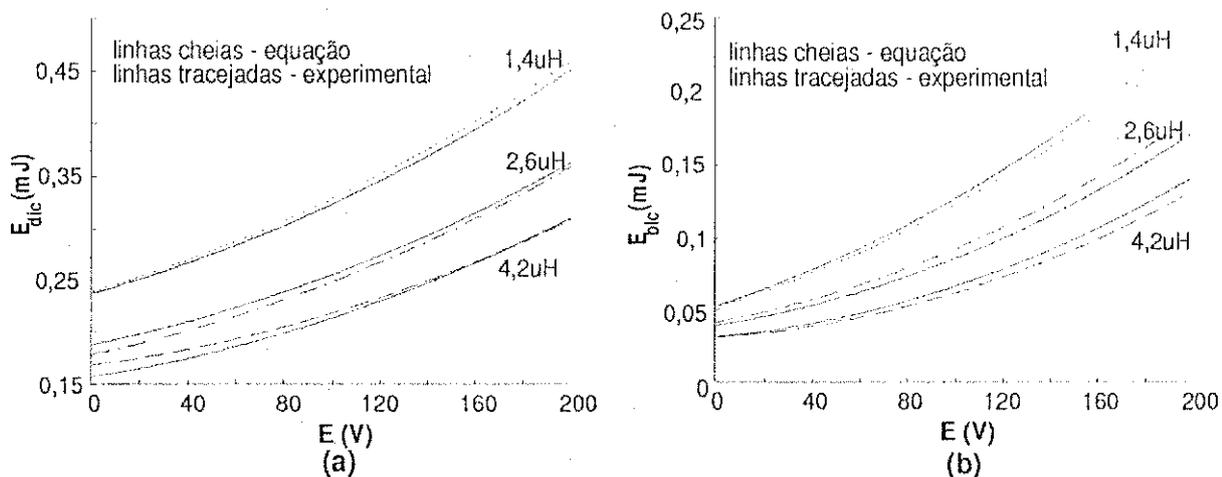


Figura 3.22: Resultados das perdas de chaveamento do IGBT para diferentes indutâncias no (a) disparo e no (b) bloqueio ZCS

Para incluir o efeito da corrente ou da temperatura nas perdas, pode-se usar o mesmo princípio da indutância e acrescentar um fator de corrente (temperatura) a cada termo das equações (3.39) e (3.40). Ao se colocar dois fatores juntos, o erro passa a ser maior que o já existente considerando apenas a variação de indutância. Assim, é preferível adicionar o efeito da corrente (temperatura) para um valor de indutância específico.

3.5 Perdas nos Componentes Passivos

As aplicações de comutação suave possuem características de funcionamento que incluem componentes indutivos e capacitivos. Estes componentes são tipicamente modelados idealmente, não ocorrendo perdas nos mesmos durante o funcionamento dos circuitos. Como o objetivo deste capítulo é o cálculo das perdas, deve-se então usar um modelo menos idealizado, em que uma resistência associada aos componentes seja incluída.

As perdas de condução P_{cp} em um indutor ou um capacitor podem ser expressas como:

$$P_{cp} = \frac{1}{T} \int_0^T u_{cp}(t) \cdot i(t) dt \quad (3.41)$$

onde

P_{cp} = perdas de condução no componente passivo

T = período fundamental

$u_{cp}(t)$ = queda de tensão na resistência do componente

$i(t)$ = corrente no componente passivo

A queda de tensão $u_{cp}(t)$ pode ser caracterizada por uma resistência r . O modelo referente a esta tensão é do tipo

$$u_{cp}(t) = r \cdot i(t) \quad (3.42)$$

onde

r = resistência para o componente passivo

Comparando as equações (3.41) e (3.42), pode-se observar que as perdas de condução podem então ser aproximadas pela seguinte equação

$$P_{cp} = \frac{1}{T} \int_0^T r \cdot i^2(t) dt \quad (3.43)$$

O gráfico mostrado na Fig. 3.23 indica os valores das perdas de condução para a variação de corrente, em 3 valores diferentes de resistência para os componentes passivos.

Na aplicação da expressão (3.41), podem ocorrer imprecisões devido à influência da temperatura. Desta forma, pode-se usar o efeito da temperatura da mesma maneira que foi feita anteriormente para os dispositivos.

3.6 Conclusão

Neste capítulo foi apresentada uma avaliação das principais fontes de perdas nos inversores, servindo como base para selecionar as características desejáveis para uma dada aplicação.

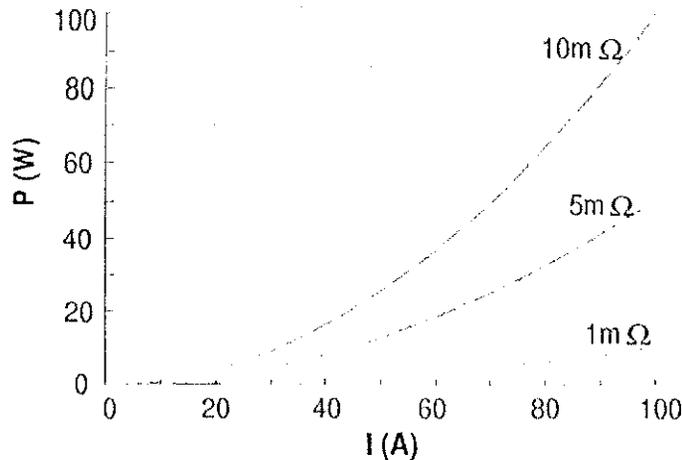


Figura 3.23: Característica de condução para o componente passivo

Foi observado que os resultados de perdas nos dispositivos, obtidos no Spice, não são muito próximos dos dados obtidos experimentalmente, o que indica que a simulação dos dispositivos só deve ser usada como uma primeira aproximação. Sempre que possível, deve ser realizada a construção de circuitos de testes para a verificação das perdas nos dispositivos. Este procedimento continua vantajoso em relação a construção do inversor completo, já que alguns IGBTs diferentes podem ser testados sob as condições específicas de chaveamento suave em que o inversor vai ser utilizado, tendo um melhor custo-benefício na montagem desejada. A melhor maneira de se avaliar as perdas dos inversores é por simulação (usando as equações de perdas dos dispositivos a partir de resultados experimentais), pois é difícil fazer uma avaliação experimental devido a grande diversidade de topologias.

O uso de equações polinomiais leva a boa aproximação das curvas obtidas experimentalmente. Também são analisadas curvas referentes ao uso de aproximações lineares. Neste caso, as curvas apresentam diferenças que podem ser significativas no cálculo final das perdas no funcionamento dos circuitos. Os resultados da equação de potência são muito próximos dos resultados usando a equação polinomial. Entretanto, devido a necessidade de inclusão de outros parâmetros no modelo, observou-se que a equação polinomial apresentava uma melhor precisão quando incluindo diferentes parâmetros.

No caso do diodo, as perdas de recuperação reversa também são analisadas experimentalmente. As perdas do diodo devem ser consideradas e portanto, considera-se que aproximações semelhantes àsquelas desenvolvidas para o IGBT podem ser usadas.

Duas formas de chaveamento se mostraram como eficientes no estudo das perdas: ZVS no disparo e ZCS no bloqueio das chaves. Também foram investigadas as perdas devido aos componentes passivos. Estes componentes são utilizados para que ocorra a comutação

suave no inversor e portanto só são levados em consideração para o cálculo das perdas nos circuitos ressonantes.

Para que o cálculo das perdas em um ciclo de operação do inversor possa ser efetuado, o estudo das técnicas de modulação nos inversores TPB deve ser realizado no próximo capítulo.

Capítulo 4

Técnicas de Modulação em Inversores

4.1 Introdução

Podem ser aplicadas duas técnicas de modulação aos inversores: modulação por densidade de pulsos (PDM) e modulação por largura de pulsos (PWM).

No capítulo 2, os inversores I a VI (Fig. 2.42) usam PDM, embora nestes casos, uma operação com PWM restrita possa ser obtida quando o capacitor do barramento é conectado às chaves individualmente. Técnicas diferentes são empregadas para a operação PWM dos inversores TPB: modulação baseada em portadora, modulação vetorial e PWM híbrida (ou analógica ou digital) (Cavalcanti, 1999).

Uma parte dos circuitos opera com entalhe de largura fixa e resultados adequados podem ser obtidos, por exemplo, pelo uso da técnica híbrida, para implementação analógica ou digital. Contudo, a metodologia da modulação pode ser relativamente mais simples quando um inversor com entalhe de largura variável é empregado.

Em aplicações do inversor PWM trifásico, é importante o aproveitamento máximo da tensão do barramento CC. Outros aspectos essenciais são a minimização do desvio da corrente de saída e as perdas totais do sistema.

Para melhor entendimento do capítulo, serão feitas algumas considerações sobre os inversores com barramento a tensão constante no estudo da técnica PWM.

4.2 Modulação por Largura de Pulsos

Das técnicas PWM, as mais utilizadas nos inversores são a modulação senoidal (SM) e a modulação vetorial (SVM), sendo a SM um tipo de modulação por portadora onde a modulante é senoidal. Entretanto, a técnica SVM permite um aumento de 15% da faixa de

linearidade da fundamental da tensão de saída, em relação ao índice de modulação, quando comparada àquela obtida com a técnica SM. Além disso, as características harmônicas são melhores do que na técnica SM, mesmo com frequências de chaveamento menores (Jung et al., 1995). Na SVM simétrica (Jung et al., 1995), qualquer vetor tensão de referência com amplitude limitada pode ser conseguido pelos vetores nulos e adjacentes do vetor tensão de saída.

A representação vetorial de configurações possíveis em um inversor mostra que existem oito vetores espaciais representados no domínio d-q (Fig. 4.1). Desses vetores, seis são vetores ativos V_1 a V_6 e dois são nulos, V_0 e V_7 . Os números, da esquerda para a direita, indicam se a conexão dos pontos centrais das fases do inversor é ao lado positivo, 1, ou negativo, 0, do barramento CC.

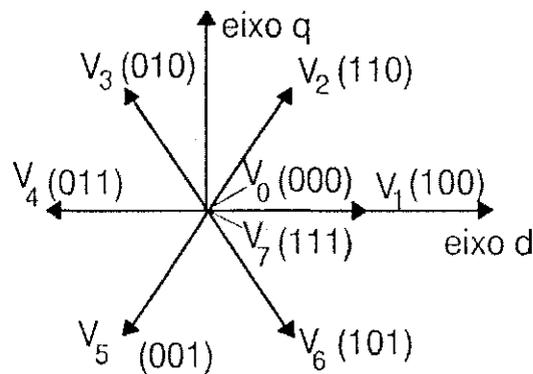


Figura 4.1: Vetores de tensão

A utilização dos vetores permite a definição de padrões de chaveamento no intervalo de modulação. Para se obter as tensões senoidais de linha, os vetores de tensão são ordenados seguindo-se um padrão bem definido, realizado pelo inversor de acordo com a lógica de disparo de suas chaves. Para a operação SVM simétrica, somente os dois vetores adjacentes do vetor tensão de saída e os vetores nulos são usados ($V_0V_1V_2V_7$ para o primeiro setor de tensão) (Fig. 4.2), os setores de tensão sendo definidos conforme a figura 4.3.

A seqüência vetorial pode ser invertida a cada padrão, de modo que exista uma simetria dentro do período de chaveamento (Fig. 4.4(a)). Para o primeiro setor, tem-se $V_0V_1V_2V_7$ seguido pelo padrão $V_7V_2V_1V_0$. Porém, usando-se apenas um vetor nulo a cada padrão de modulação, o número de chaveamentos torna-se menor. Como exemplo desta lógica, mostra-se na figura 4.4(b) a variação dos vetores nos primeiros 30 graus do setor de tensão I com fator de potência unitário, pois neste intervalo a maior corrente é a da fase a, e portanto é a fase em que a tensão deve ser grampeada para reduzir as perdas de chaveamento. O primeiro padrão de modulação é $V_1V_2V_7$, enquanto o segundo é $V_7V_2V_1$.

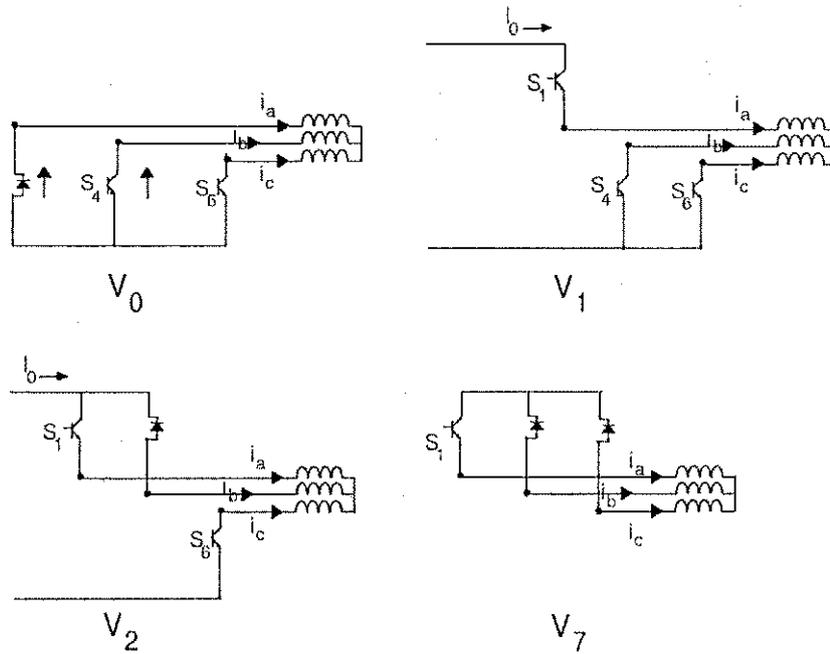


Figura 4.2: Definição dos vetores de tensão

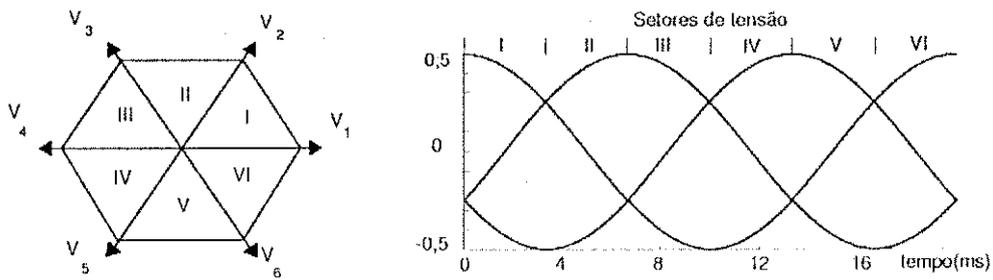


Figura 4.3: Definição dos setores de tensão (I a VI)

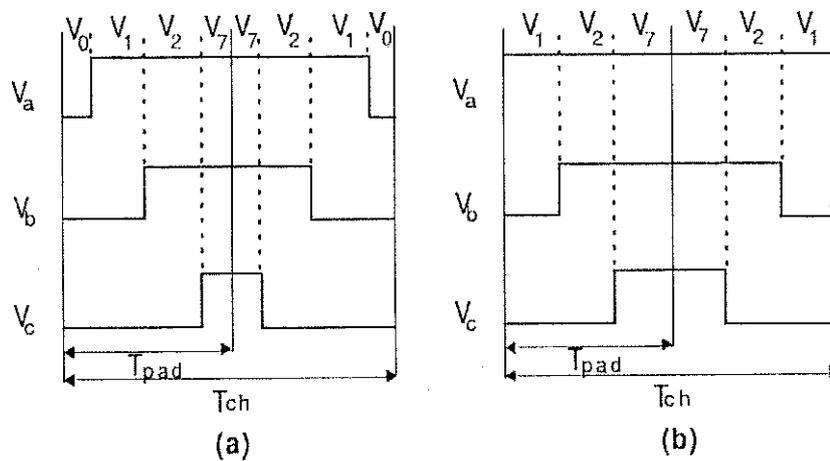


Figura 4.4: Seqüência com inversão dos vetores a cada padrão nos primeiros 30 graus do setor de tensão I

4.2.1 Modulação Híbrida

Em SVM a divisão e distribuição dos intervalos de aplicação dos vetores nulos V_0 e V_7 , dentro do intervalo de chaveamento, podem ser representadas por uma razão $\mu = t_{01}/(t_{01} + t_{02})$ ($0 \leq \mu \leq 1$), (Fig. 4.5) (Ogasawara et al., 1989; Sun e Grotstollen, 1996; Blasko, 1997; Alves, 1998). Por definição, tem-se que t_{01} é o tempo de aplicação de V_0 , enquanto t_{02} é o tempo de aplicação de V_7 . Assim, se $t_{01} = t_{02}$, a modulação é do tipo simétrica, ou seja, $\mu = 0,5$. Se $t_{01} = 0$, tem-se $\mu = 0$, e portanto apenas V_7 é aplicado como vetor nulo, implicando no grampeamento de uma das fases. O grampeamento de uma das fases também ocorre se $\mu = 1$. Só que neste caso tem-se $t_{02} = 0$, e portanto apenas V_0 é aplicado como vetor nulo. Os vetores nulos também podem ser localizados no início ou no final de cada padrão de chaveamento, dependendo da técnica aplicada.

A técnica de modulação vetorial permite casos de modulação contínua ou descontínua (Buja e Indri, 1975; Houldsworth e Grant, 1984; Bowes e Midoun, 1985). Resultados idênticos podem ser obtidos através do uso da modulação senoidal modificada (MSM), onde sinais modulantes não senoidais (SMNS) são utilizados. Estes SMNS são obtidos pela adição de uma componente de seqüência nula, v_h , às três tensões de referência senoidais v_a^* , v_b^* , e v_c^* (Depenbrock, 1977). Dependendo do tipo de sinal de seqüência nula adicionado as tensões de referência senoidais, o SMNS resultante pode ser contínuo (originando o PWM contínuo, CPWM) ou descontínuo (originando o PWM descontínuo, DPWM). A relação entre MSM e SVM é mostrada na figura 4.5: as mudanças de v_a^* , v_b^* , e v_c^* para $v_a' = v_a^* + v_h$, $v_b' = v_b^* + v_h$ e $v_c' = v_c^* + v_h$, respectivamente, não influenciam t_1 e t_2 , contudo, pode ser visto que elas modificam t_{01} e t_{02} e, portanto, μ .

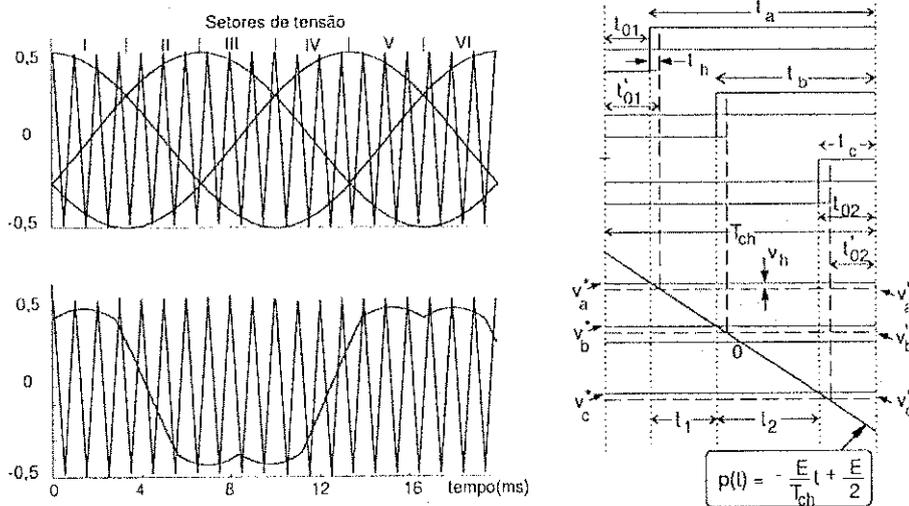


Figura 4.5: Relação entre MSM e SVM.

SMNS diferentes foram empregados para gerar métodos CPWM e DPWM para inversores trifásicos com tensão do barramento CC constante. Suas componentes de seqüência nula podem ser obtidas da seguinte relação generalizada entre v_h e μ (Alves, 1998):

$$v_h = E\left(\frac{1}{2} - \mu\right) - (1 - \mu)v_x^* - \mu v_z^* \quad (4.1)$$

onde, para as tensões de referência v_a^*, v_b^*, v_c^* , $v_x^* = \max\{v_a^*, v_b^*, v_c^*\}$ e $v_z^* = \min\{v_a^*, v_b^*, v_c^*\}$ em cada setor, como definido na figura 4.3.

Quando $0 < \mu < 1$ ($\mu = 0,5$ corresponde à modulação simétrica (Broeck et al., 1988)) a modulação é conhecida como modulação contínua. O sinal μ também pode assumir valores extremos constantes, ou seja, $\mu = 0$ e $\mu = 1$ ou ainda mudar de 0 para 1 ou de 1 para 0 em qualquer lugar no setor com uma freqüência três vezes maior que a dos sinais de referência. Estes casos correspondem a outros métodos PWM, os quais são definidos como modulação descontínua (Sun e Grotstollen, 1996; Kolar et al., 1991b).

Na figura 4.6, são mostrados sete SMNS (Depenbrock, 1977; Taniguchi e Irie, 1986; Ogasawara et al., 1989; Kolar et al., 1991b) junto com suas componentes de seqüência nula, dos quais três usam valores constantes de μ ($\mu = 0,5$, $\mu = 0$, e $\mu = 1$, figuras 4.6(a), 4.6(b) e 4.6(c), respectivamente). Os outros são resultantes de mudanças em degrau de μ . A mudança de $\mu = 0$ para $\mu = 1$ ocorrendo no fim do setor ($\omega_m t = \theta_s = \pi/3$ para o primeiro setor) será referida aqui como $\mu = c$ (Fig. 4.6(d)). De $\mu = 1$ para $\mu = 0$, no mesmo ponto será referida como $\mu = \bar{c}$ (Fig. 4.6(e)). A mudança de $\mu = 0$ para $\mu = 1$ ocorrendo no meio do setor, $\theta_s = \pi/6$, será referida como $\mu = d$ (Fig. 4.6(f)) e aquela de $\mu = 1$ para $\mu = 0$ como $\mu = \bar{d}$ (Fig. 4.6(g)). Deve ser notado que as mudanças em degrau (de $\mu = 0$ para $\mu = 1$ e de $\mu = 1$ para $\mu = 0$) podem também ocorrer em valores diferentes de θ_s . Uma nomenclatura que tem sido muito usada corresponde àquela proposta por Hava et al. (1997b). Neste caso, os SMNS são definidos como SVPWM ($\mu = 0,5$), DPWMMIN ($\mu = 1$), DPWM1 ($\mu = d$), DPWM2 ($\mu = c$), DPWM3 ($\mu = \bar{d}$) e DPWMAX ($\mu = 0$).

Para implementação, o sinal $\mu = d$ (Fig. 4.6(f)) por exemplo, é gerado dos sinais de referência $v_j^*(t) = \cos[\omega_m t - (i - 1)2\pi/3]$ de acordo com a figura 4.7. Operações lógicas na figura indicam a obtenção de d dos sinais de referência para $j = a, b, c$ e $i = 1, 2, 3$ (Alves, 1998).

Nos métodos DPWM somente duas fases são moduladas enquanto a terceira está grampeada ao barramento CC positivo ou negativo. Desde que sem modulação, não há perdas de chaveamento, estas perdas são então reduzidas em cada período de chaveamento e a freqüência de comutação pode ser aumentada, resultando em redução da distorção harmônica de corrente (Sun e Grotstollen, 1996; Kolar et al., 1991b; Holmes, 1995).

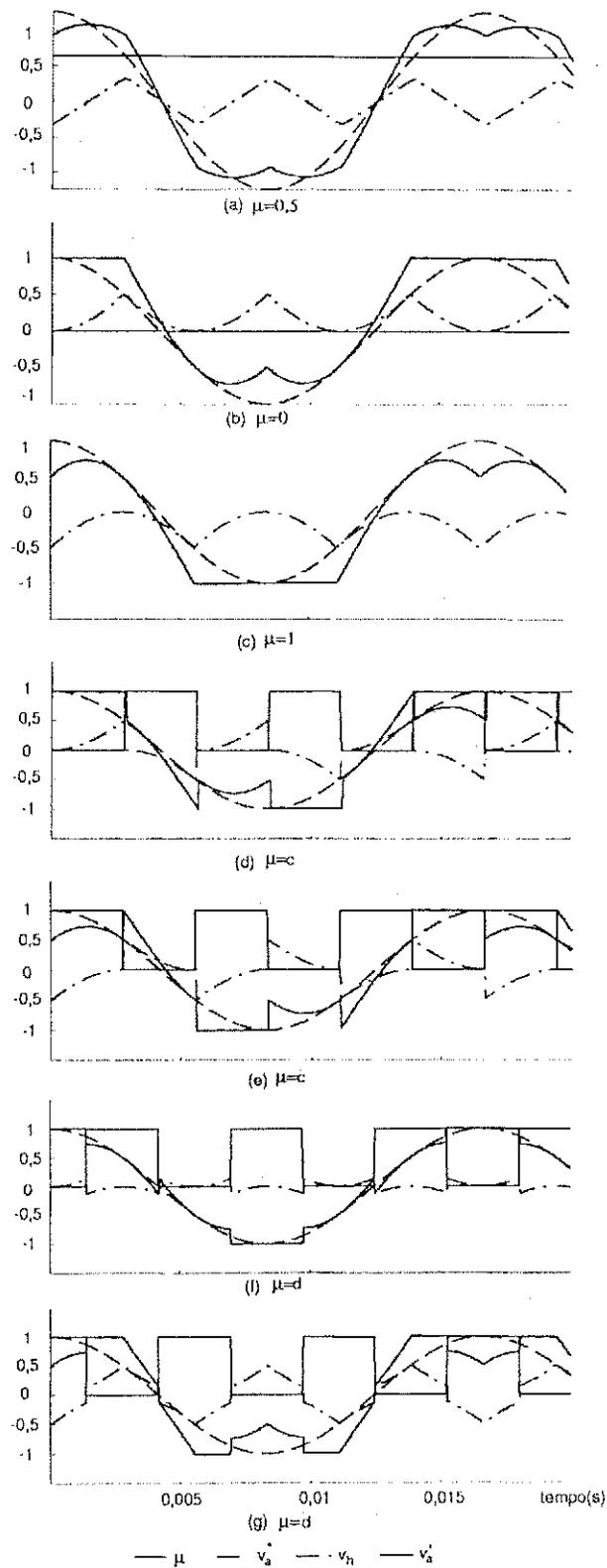
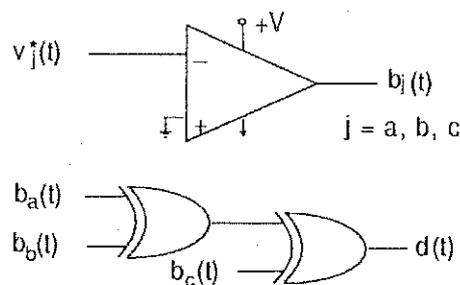


Figura 4.6: Formas de onda SMNS v_a' , sinal de referência senoidal v_a^* , e tensão de seqüência nula v_h em $m = 1$, com fatores μ constante e pulsado.

Figura 4.7: Geração do sinal d

4.2.2 Técnicas de Redução de Perdas

A qualidade da corrente de saída em um inversor melhora com o aumento da frequência de operação, o que acarreta em aumento nas perdas de chaveamento dos dispositivos de potência utilizados. Essas perdas devem, portanto, ser reduzidas e dependem fortemente da técnica PWM utilizada. Desde que o inversor PWM é quase sempre usado em aplicações de alta potência, um esquema que minimize as perdas do inversor PWM é fortemente desejado na conversão de potência em alta eficiência.

As perdas de chaveamento são bem analisadas em Kolar et al. (1991b). Este trabalho demonstra que a relação entre frequências de chaveamento dos casos descontínuo e contínuo, pode ser maior que 1,5, se a distribuição dos intervalos de grampeamento (ao longo do período fundamental) é feita em função da defasagem tensão-corrente. Por exemplo, nos casos em que é possível deslocar o ponto central do intervalo de grampeamento para fazê-lo coincidir com o instante em que a corrente de fase passa por um pico, a relação pode assumir seu máximo valor.

Para minimizar perdas e ter aumento em frequência, uma combinação de modulação contínua e descontínua (Kolar et al., 1991a; Sun e Grotstollen, 1996; Chung e Sul, 1997; Hava et al., 1997b), e uma distribuição dos segmentos grampeados de acordo com o ângulo de fase da carga (Kolar et al., 1991b; Chung e Sul, 1997) foram sugeridos.

Trzynadlowski e Legowski (1994) reduziram as perdas de chaveamento no inversor, introduzindo um grampeamento na região de 0° a 60° do período fundamental. Estendendo este algoritmo, os esquemas PWM de Lai e Bowes (1996) e Hava et al. (1997b) usam o intervalo de 60° da região sem chaveamento entre -60° a 60° do período fundamental, de acordo com o ângulo de fase. Estes esquemas PWM, contudo, não garantem a minimização das perdas de chaveamento em toda a faixa do ângulo de fase.

A distribuição dos intervalos de grampeamento de acordo com o ângulo de fase entre a tensão e a corrente de saída minimiza as perdas de um inversor trifásico fonte de tensão em

toda a faixa de variação do ângulo de fase (Chung e Sul, 1997). Isto resulta na redução da frequência de chaveamento pela ausência de chaveamento nas regiões de pico da corrente de saída.

Além das perdas de chaveamento, também existem as perdas de condução em um dispositivo de potência. Um dos métodos usados para analisar as perdas de condução é baseado na variação do ciclo de trabalho da tensão de pólo (Mestha e Evans, 1989). Tal método foi empregado no caso de modulação senoidal.

Na modulação por portadora, a integral da tensão de pólo resulta em uma forma de onda semelhante àquela do sinal modulante. Quando a modulante é uma senóide distorcida, a integração da tensão de pólo acompanha esta distorção. A variação do ciclo de trabalho nos intervalos de modulação não é senoidal, com variações acentuadas principalmente no caso do sinal não senoidal descontínuo. Portanto, a aplicação do método apresentado em Mestha e Evans (1989) para o caso de uma modulante não senoidal, acarreta uma complicação adicional no processo de cálculo.

4.3 Critérios de Comparação de Desempenho

Para comparar as técnicas PWM, três critérios podem ser usados: o fator de distorção, a distorção harmônica total e o valor eficaz das amplitudes dos desvios de corrente. Portanto, uma técnica PWM ótima deve obter bons resultados levando em conta os critérios acima, em toda a faixa do índice de modulação.

4.3.1 Distorção Harmônica

Para comparação entre as técnicas PWM, podem ser usados dois critérios em relação a distorção harmônica. Tomando-se como base o critério do fator de distorção (FD)

$$FD = \frac{\sqrt{\sum_{k=2}^n (C_k/k)^2}}{C_1} \cdot 100\% \quad (4.2)$$

onde C_k é a amplitude do k -ésimo harmônico e n a ordem do harmônico estipulada para observação, apresenta-se um estudo comparativo, baseado nesse critério, entre as tensões de linha moduladas quando os sinais não senoidais são usados como referências. Outro critério possível é a distorção harmônica total (DHT)

$$DHT = \frac{\sqrt{\sum_{k=2}^n (C_k)^2}}{C_1} \cdot 100\% \quad (4.3)$$

que não leva em conta o peso k atribuído a ordem do harmônico.

θ_s	sinal	μ
de 0° a 30°	0	d
de 30° a 60°	1	
de 0° a 45°	0	e
de 45° a 60°	1	
de 0° a 60°	0	c
de 0° a 15°	1	f
de 15° a 60°	0	
de 0° a 30°	1	\bar{d}
de 30° a 60°	0	
de 0° a 45°	1	\bar{e}
de 45° a 60°	0	
de 0° a 60°	1	\bar{c}
de 0° a 15°	0	\bar{f}
de 15° a 60°	1	

Tabela 4.1: Mudança em degrau de μ em θ_s

O índice de modulação m é definido como

$$m = \frac{2 \cdot V_{ab}}{\sqrt{3} \cdot E} \quad (4.4)$$

onde V_{ab} é amplitude da tensão de linha e E é a tensão do barramento CC. O índice m assume valores entre 0 e $2/\sqrt{3}$.

Usando-se FD para a tensão de linha como índice de desempenho, para avaliação dos sinais PWM gerados das referências não senoidais (Tab. 4.1), observa-se que na maior parte de m , o uso de $\mu = c$ tem menor FD que os outros sinais estudados (Fig. 4.8(a)). No caso do barramento pulsado (Fig. 4.8(b)), para valores elevados do índice de modulação, o uso de $\mu = d$ é mais apropriado do que as referências $\mu = c$, $\mu = \bar{c}$ e $\mu = \bar{d}$. Os valores do índice de modulação, em que $\mu = d$ apresenta melhor desempenho estão na faixa $m > 0,7$. Na figura 4.8, as curvas de FD foram calculadas para frequência de chaveamento (f_c) de $20kHz$. Em todos os casos $n = 50$ na equação (4.2).

Usando-se DHT para a tensão de linha, constata-se pela figura 4.9(a) que, com $m < 0,6$, o uso de $\mu = c$ tem menor DHT que os outros sinais estudados. Quando $m > 0,6$, as referências $\mu = c$ e $\mu = \bar{d}$ se alternam como sendo mais vantajosas. No caso do barramento pulsado (Fig. 4.9(b)), para valores elevados do índice de modulação, o uso de $\mu = d$ é mais apropriado do que as referências $\mu = c$, $\mu = \bar{c}$ e $\mu = \bar{d}$. Os valores do índice de

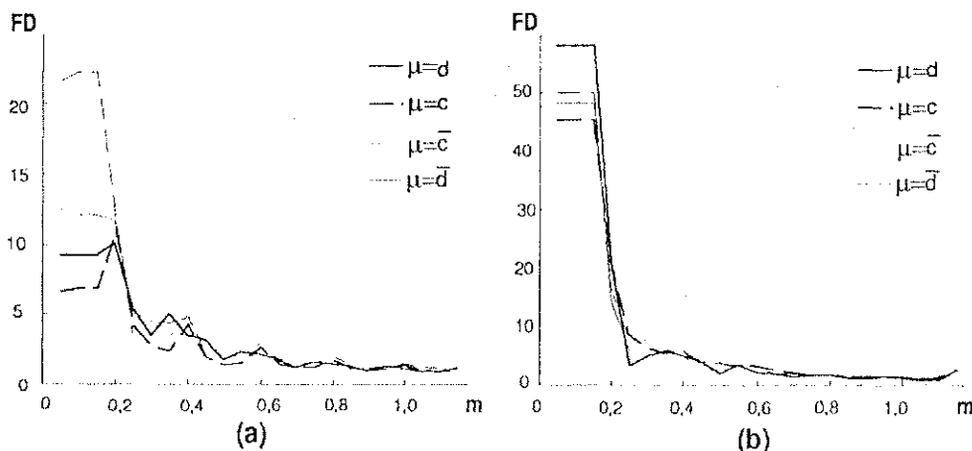


Figura 4.8: Fator de distorção para barramento fixo e pulsado

modulação, em que $\mu = d$ apresenta melhor desempenho que a os outros sinais grampeados, estão aproximadamente na faixa $m > 0,7$. Na figura 4.9, as curvas de DHT referentes à modulação vetorial descontínua foram calculadas para $f_c = 20kHz$. Em todos os casos $n = 50$ na equação (4.3).

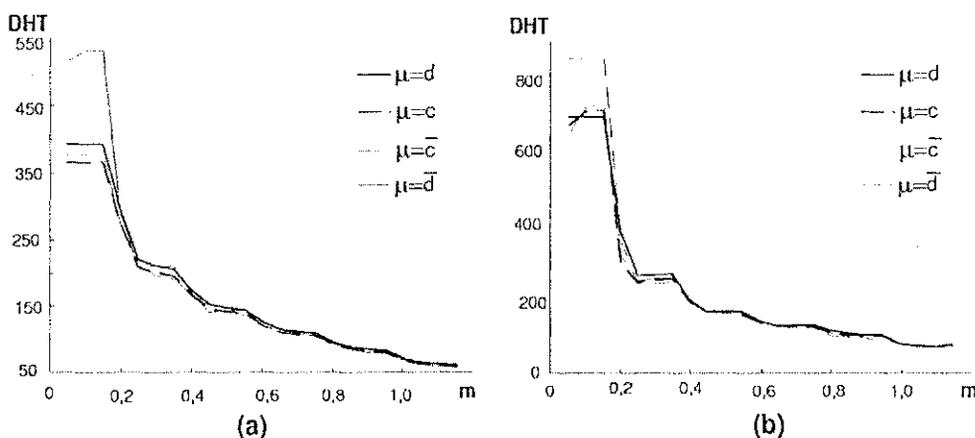


Figura 4.9: Distorção harmônica total para barramento fixo e pulsado

Nota-se que, independentemente dos critérios que estão sendo adotados (FD ou DHT), o uso do barramento pulsado acarreta um aumento em relação ao conteúdo de harmônicos, sendo este um dos principais motivos de investigação de sua aplicação.

Visto que os resultados do FD e da DHT (métodos inerentemente numéricos) sofrem a influência da variação de alguns parâmetros, como f_c e n , e há necessidade de melhor resolução na determinação de que técnica de modulação é mais adequada para determinado valor de m , utiliza-se outro índice de desempenho para essa finalidade, conforme mostrado a seguir.

4.3.2 Perdas Geradas pelo Desvio da Corrente de Carga (i_{cf}^2)

A mudança das características PWM com μ afeta as perdas e o desvio de corrente nas três fases do inversor, sendo o desvio um indicativo de quanto a corrente está distante do valor de referência da corrente na carga. Desde que este desvio determina a qualidade da forma de onda e as perdas por harmônico, o valor eficaz do desvio de corrente, i_{cf}^2 , é considerado como uma característica de desempenho importante do inversor (Sun e Grotstollen, 1996; Alves, 1998; Kolar et al., 1991b; Hava et al., 1997a).

O uso de i_{cf}^2 como um critério para comparação de técnicas de modulação contínua e descontínua (Kolar et al., 1991b; Hava et al., 1997a) indica que existe um ponto de interseção na faixa de alta modulação, onde a técnica DPWM em que μ pulsa em 1 e 0 é superior aquela em que $\mu = 0,5$ para minimização do desvio de corrente. A aproximação, contudo, não leva em conta o ângulo de fase da carga. Pode ser mostrado que as frequências de chaveamento podem ser mantidas altas, se a técnica de modulação é mudada com o ângulo de fase da carga, Φ_{V-I} e também que para certos ângulos, a modulação descontínua oferece melhores resultados (Kolar et al., 1991b; Chung e Sul, 1997; Hava et al., 1997a).

Em Alves (1998), estabeleceu-se o funcionamento de um modulador PWM, baseado na técnica de modulação híbrida. O projeto de tal modulador está baseado unicamente na possibilidade de aumento da frequência de chaveamento (ou redução de perdas) devido ao grampeamento da tensão em cada fase durante 1/3 do período fundamental, o que implica num fator de aumento da frequência de chaveamento (ou redução de perdas) em torno de 1,5.

Desde que em um inversor trifásico, componentes de seqüência nula podem ser adicionadas às tensões de referência v_j^* , $j = a, b, c$, as referências de tensão distorcidas podem ser representadas por $v_j' = v_j^* + v_n$. Para um inversor trifásico, considera-se que a frequência de comutação das chaves é muito maior do que a frequência do fundamental da tensão de saída v do inversor. Assim, durante o intervalo de chaveamento T_{ch} , a tensão de referência v_j' é considerada constante. Assim,

$$\frac{d\Delta i}{dt} = \frac{v - v_j'}{L} \quad (4.5)$$

representa a inclinação dos segmentos de reta que descrevem Δi . Esta aproximação do comportamento de Δi também é consequência de se admitir T_{ch} muito menor do que o período fundamental. A carga é suposta como RL , sendo que a queda de tensão na resistência é considerada desprezível.

No caso do barramento fixo, tem-se que $v = E/2$ ou $v = -E/2$ 4.10(a). No barramento pulsado, a tensão v tem uma variação de acordo com os capacitores que estão em paralelo

com cada uma das chaves do inversor. Assim, observando-se a figura 4.10(b) e usando uma aproximação linear, tem-se que os valores médios para a tensão de saída nos intervalos de subida e descida são dados por

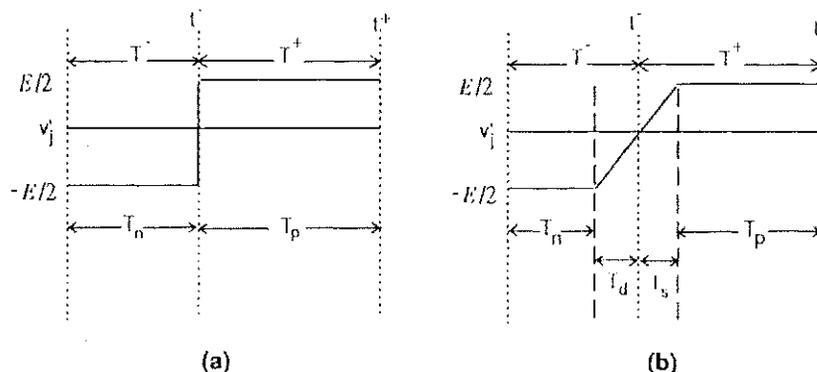


Figura 4.10: Tensão de saída do inversor, v .

$$\begin{aligned} v_s &= \frac{E T_p}{2} + \frac{v'_j - E/2}{2} T_s \\ v_d &= -\frac{E T_n}{2} + \frac{v'_j + E/2}{2} T_d \end{aligned} \quad (4.6)$$

Durante a parte ascendente de Δi , tem-se que a inclinação da reta neste trecho é dada por $\frac{v_s - v'_j}{L}$. Assim, a equação que descreve o desvio de corrente na subida é da seguinte forma:

$$\Delta i = i^- + \frac{v_s - v'_j}{L} (t - t^-) \quad (4.7)$$

onde i^- é o valor de pico negativo de Δi o qual ocorre no instante t^- . O desvio de corrente atinge o pico positivo no instante t^+ . Portanto, escreve-se

$$T^+ = \frac{\delta i}{v_s - v'_j} L \quad (4.8)$$

onde T^+ é o intervalo de tempo gasto durante a subida de Δi e δi é a diferença entre os valores de pico de Δi .

A parte descendente de Δi resulta de $v = v_d$, e a inclinação de corrente neste caso é igual a $\frac{v_d - v'_j}{L}$. Considerando-se então, t^+ como instante inicial, tem-se que a equação do desvio de corrente na descida é dada por

$$\Delta i = i^+ + \frac{v_d - v'_j}{L} (t - t^+) \quad (4.9)$$

No instante em que v é novamente chaveada para o barramento positivo do inversor, tem-se que $\Delta i = i^-$ e $t - t^+ = T^-$. Assim, obtém-se

$$T^- = -\frac{\delta i}{v_d - v'_j} L \quad (4.10)$$

Desde que $T_{ch} = T^+ + T^-$, obtém-se

$$T_{ch} = \frac{1}{f_c} = \frac{L (v_d - v_s) \delta i}{v_s v_d - v_j' (v_s + v_d) + v_j'^2} \quad (4.11)$$

onde f_c é a frequência de chaveamento. Então, escreve-se a expressão que descreve a curva representativa da diferença entre os valores de pico dos desvios de corrente

$$\delta i = \frac{v_s v_d - v_j' (v_s + v_d) + v_j'^2}{(v_d - v_s) L f_c} \quad (4.12)$$

Diferentemente do tratamento analítico dado para o barramento fixo, os cálculos para obtenção de i_{ef}^2 , no caso de barramento pulsado, são efetuados numericamente conforme sugerido em Alves (1998).

No caso do barramento fixo, a amplitude do desvio de corrente é dada por

$$\delta i = \frac{E^2 - 4 v_j'^2}{4 E L f_c} \quad (4.13)$$

que foi obtida usando a aproximação introduzida em McMurray (1984).

Significativa redução de cálculos é obtida se os desvios de corrente são transformados em seus componentes $\alpha\beta$,

$$\begin{bmatrix} \delta i_\alpha \\ \delta i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & \frac{-1}{2} & \frac{-1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{-\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} \delta i_a \\ \delta i_b \\ \delta i_c \end{bmatrix} \quad (4.14)$$

Para a obtenção da expressão que fornece o valor eficaz das amplitudes dos desvios de corrente, é necessário o cálculo da soma dos quadrados das variáveis dadas na equação (4.14). Assim, escreve-se

$$\delta i_{\alpha\beta}^2 = \delta i_\alpha^2 + \delta i_\beta^2 \quad (4.15)$$

Desde que o valor eficaz de $\delta i_{\alpha\beta}^2$ é definido como

$$i_{ef}^2 = \frac{1}{\theta_{s \max}} \int_0^{\theta_{s \max}} \delta i_{\alpha\beta}^2 d\theta_s \quad (4.16)$$

verifica-se que tal índice de desempenho apresenta os valores mostrados na figura 4.11, onde os sinais estão de acordo com a tabela 4.1.

Como mostrado na figura 4.11, a utilização das curvas de desvio de corrente eficaz para o barramento fixo não acarreta prejuízo na determinação da melhor técnica de modulação em relação ao desvio de corrente eficaz para o barramento pulsado. As curvas geradas a partir das equações do desvio para o barramento pulsado estão praticamente nos mesmos

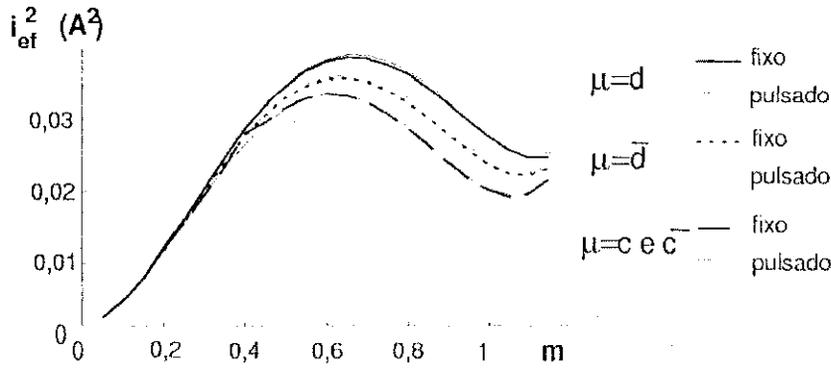


Figura 4.11: Desvio de corrente eficaz para barramento fixo e pulsado

valores do barramento fixo para as quatro variações de μ estudadas. O estudo feito a seguir assume condições ideais para o barramento pulsado, ou seja, os tempos perdidos durante a carga e descarga dos capacitores em paralelo com as chaves do inversor são desprezados.

A aproximação assumida acima permite o cálculo do valor eficaz da amplitude do desvio de corrente, $\delta i_{\alpha\beta}^2$, como (Cavalcanti et al., 2000)

$$\delta i_{\alpha\beta}^2 = \delta i_{\alpha}^2 + \delta i_{\beta}^2 = \frac{3 m^2}{2 (L f_c)^2} \left(\frac{m^2 E^2}{64} + v_h^2(t) + \frac{mE}{4} v_h(t) \cos 3\omega t \right) \quad (4.17)$$

onde f_c é a frequência de chaveamento e $f_m = \omega_m/(2\pi)$ é a frequência do sinal modulante.

Na equação (4.17), uma vez especificados os valores de E , L , f_c e f_m , o perfil das curvas na faixa de variação de m , é caracterizado pelo comportamento de $v_h(t)$, que é específico para cada técnica PWM.

De acordo com a equação (4.1) e levando-se em consideração a simetria entre os setores, tem-se que

$$v_h(t) = E\left(\frac{1}{2} - \mu\right) - (1 - \mu)v_a^*(t) - \mu v_c^*(t) \quad 0 \leq t < \pi/3 \quad (4.18)$$

onde v_a^* e v_c^* correspondem, respectivamente, a maior e menor tensão de referência no primeiro setor. Portanto, enfocando-se as características dos sinais modulantes da modulação descontínua, substitui-se $\mu = 0$ e $\mu = 1$ na equação (4.18) para se obter (fazendo-se que $\omega_m t = \theta_s, 0 \leq t < \pi/3$) que

$$v_h(\theta_s)|_{\mu=0} = \frac{E}{2}(1 - m \cos \theta_s) \quad (4.19)$$

e

$$v_h(\theta_s)|_{\mu=1} = -\frac{E}{2}(1 + m \cos(\theta_s + 2\pi/3)) \quad (4.20)$$

Em termos de componentes $\alpha\beta$, o valor eficaz de $\delta i_{\alpha\beta}^2$, em todo o setor I, pode ser calculado por

$$i_{cf}^2 = \frac{1}{\theta_{s\max}} \int_0^{\pi/3} \delta i_{\alpha\beta}^2 d\theta_s \quad \theta_{s\max} = \pi/3 \quad (4.21)$$

onde a amplitude do desvio de corrente, $\delta i_{\alpha\beta}^2$, pode ser calculada para cada um dos tipos PWM mencionados acima.

Assim, substituindo-se a expressão dada em (4.17) na equação (4.21) escreve-se

$$i_{ef}^2 = \frac{3 m^2}{2 (L f_c)^2 (\theta_{s2} - \theta_{s1})} \left\{ \frac{m^2 E^2}{64} \int_{\theta_{s1}}^{\theta_{s2}} d\theta_s + \int_{\theta_{s1}}^{\theta_{s2}} v_h^2(\theta_s) d\theta_s + \frac{mE}{4} \int_{\theta_{s1}}^{\theta_{s2}} v_h(\theta_s) \cos 3\theta_s d\theta_s \right\} \quad (4.22)$$

onde $\theta_{s2} > \theta_{s1}$ são os limites de integração, especificados de 0 a $\theta_{s\max}$, para cálculo do valor médio quadrático.

De Alves (1998), tem-se

$$\begin{aligned} I_1|_{\mu=0} &= \frac{E^2}{4} \left[\theta_s - 2m \operatorname{sen} \theta_s + \frac{m^2}{2} \left(\theta_s + \frac{\operatorname{sen} 2\theta_s}{2} \right) \right] \\ I_1|_{\mu=1} &= \frac{E^2}{4} \left[\theta_s + 2m \operatorname{sen} \left(\theta_s + \frac{2\pi}{3} \right) + \frac{m^2}{2} \left(\theta_s - \frac{\operatorname{sen}(2\theta_s + \pi/3)}{2} \right) \right] \\ I_2|_{\mu=0} &= \frac{E}{2} \left[\frac{\operatorname{sen} 3\theta_s}{3} - \frac{m}{4} \left(\operatorname{sen} 2\theta_s + \frac{\operatorname{sen} 4\theta_s}{2} \right) \right] \\ I_2|_{\mu=1} &= \frac{E}{2} \left[-\frac{\operatorname{sen} 3\theta_s}{3} - \frac{m}{4} \left(\operatorname{sen}(2\theta_s + \pi/3) + \frac{\operatorname{sen}(4\theta_s - \pi/3)}{2} \right) \right] \end{aligned} \quad (4.23)$$

O desvio de corrente eficaz para as técnicas de modulação pode ser calculado pela equação (4.22), usando os limites de integração como definidos na tabela 4.1, que indica no setor I o sinal μ resultante de valores constantes ou mudança em degrau em θ_s .

Assim,

$$\begin{aligned} i_{ef(\mu=d)}^2 &= \frac{k}{8} \left[\frac{m^2}{16} \left(3 + \frac{\sqrt{3}}{\pi} \right) - \frac{5m}{3\pi} + \frac{1}{3} \right] \\ i_{ef(\mu=e)}^2 &= \frac{k}{8} \left[\frac{m^2}{16} \left(3 - \frac{\sqrt{3}}{2\pi} \right) - m \left(\frac{\sqrt{2}/3 + \sqrt{6}/2}{6\pi} \right) + \frac{1}{3} \right] \\ i_{ef(\mu=c)}^2 &= \frac{k}{8} \left[\frac{3m^2}{16} \left(1 + \frac{\sqrt{3}}{2\pi} \right) - \frac{\sqrt{3}m}{\pi} + \frac{1}{3} \right] \\ i_{ef(\mu=f)}^2 &= \frac{k}{8} \left[\frac{m^2}{16} \left(3 + \frac{7\sqrt{3} - 6}{2\pi} \right) + m \left(\frac{\sqrt{2}/3 - 2\sqrt{3} + \sqrt{6}/2}{\pi} \right) + \frac{1}{3} \right] \\ i_{ef(\mu=\bar{d})}^2 &= \frac{k}{8} \left[\frac{m^2}{16} \left(3 + \frac{2\sqrt{3}}{\pi} \right) + m \left(\frac{5/3 - 2\sqrt{3}}{\pi} \right) + \frac{1}{3} \right] \\ i_{ef(\mu=\bar{f})}^2 &= i_{ef(\mu=c)}^2 \\ i_{ef(\mu=\bar{e})}^2 &= i_{ef(\mu=e)}^2 \\ i_{ef(\mu=\bar{c})}^2 &= i_{ef(\mu=f)}^2 \end{aligned} \quad (4.24)$$

com

$$k = \left(\frac{3 m E}{L f_c} \right)^2 \quad (4.25)$$

Deve ser notado na tabela 4.1 que o sinal μ assume funções relacionadas a diferentes sinais lógicos. Na figura 4.12, compara-se o desvio de corrente eficaz para as situações indicadas na tabela 4.1.

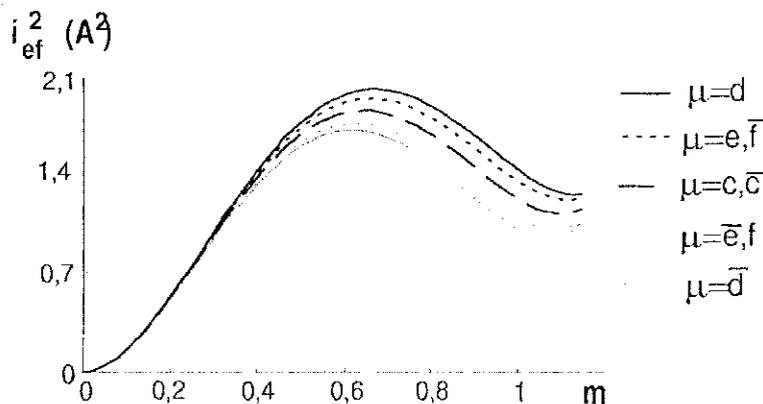


Figura 4.12: Desvio de corrente eficaz como uma função de m

4.4 Modulação por Densidade de Pulsos para Inversores com Chaveamento a Tensão Nula

No caso PDM, a forma de onda CA de baixa frequência é sintetizada por pulsos discretos, como mostrado na figura 4.13. O modulador aplica uma série de pulsos distribuídos sobre um ciclo para sintetizar a componente fundamental desejada da tensão de saída CA.

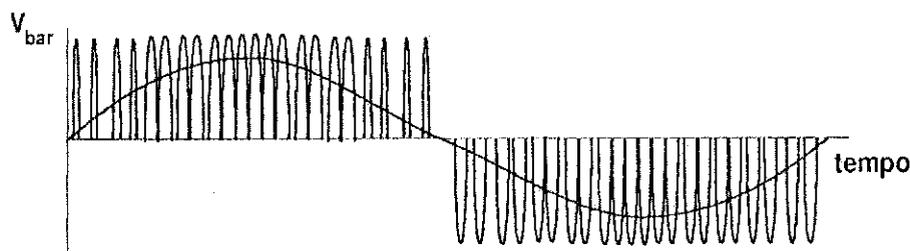


Figura 4.13: Pulsos distribuídos para sintetizar a componente fundamental

A figura 4.14 mostra o diagrama de blocos do controlador para a modulação por densidade de pulsos baseada na comparação de área. O circuito de potência é organizado de modo que o meio ciclo da tensão de alta frequência pode ser usado na baixa frequência com qualquer polaridade. Para uma tensão de referência positiva v_{LF}^* de amplitude constante, a lógica seleciona as chaves apropriadas de modo que pulsos de meio ciclo aparecem com

polaridade positiva no sinal sintetizado v_{LF} . O integrador da diferença produz um sinal de erro $e(t)$ que é proporcional à integral da diferença entre a referência e o sinal sintetizado. Portanto, $e(t)$ é uma medida da diferença entre a área sob as duas curvas. Um comparador compara o sinal do erro com um limite pré-ajustado, que pode ser arbitrariamente pequeno. A lógica de gatilho então usa a saída do comparador e a polaridade do comando v_{LF}^* para reconhecer quando a área do sinal sintetizado (sinal de referência) foi excedida, e aplica o próximo pulso com a polaridade que reduz a diferença. Com esta ação de realimentação, um balanço é inerentemente mantido entre as áreas sob as duas curvas. Este balanço de área resulta na densidade de pulsos de meio ciclo na saída sintetizada, sendo esta modulada pela amplitude do sinal de referência. Portanto, o termo modulação por densidade de pulsos baseado na comparação de área foi usado por Sood e Lipo (1988) para descrever este tipo de controlador.

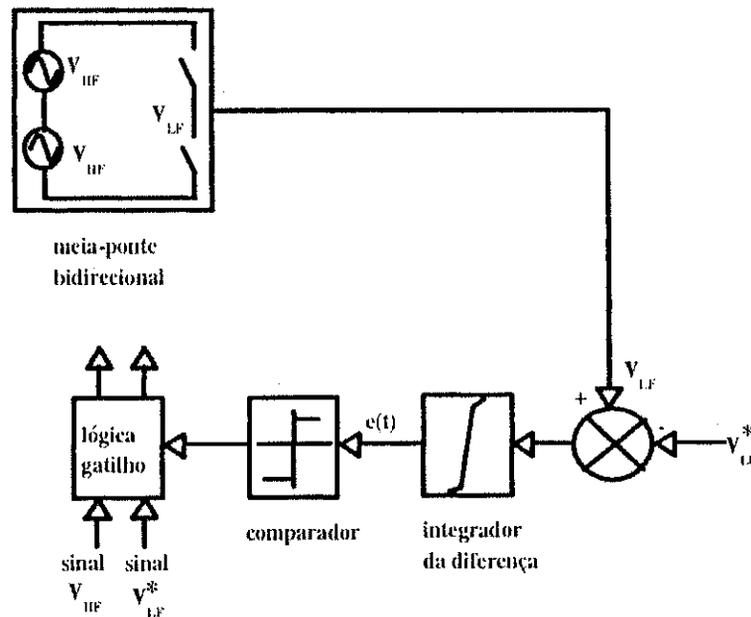


Figura 4.14: Modulação por densidade de pulsos baseado na comparação de área

Embora a figura 4.14 mostre a realimentação de tensão diretamente do sinal sintetizado, é mais prático medir a tensão do barramento CA de frequência fixa e a partir dele usar um valor proporcional de v_{LF} aplicando a mesma lógica que aciona o circuito de potência. Quando sintetizando correntes, a realimentação direta de corrente pode ser usada.

A relação fundamental da modulação por densidade de pulsos para síntese de tensão pode ser escrito como

$$\frac{e(t)}{K} = \int (v_{LF}^*(t) - v_{LF}(t)) dt \quad (4.26)$$

onde K é o ganho total associado ao integrador da diferença. A diferença da área tensão-tempo dos sinais sintetizado e de referência é representado pelo termo à direita. A ação de realimentação do controlador tem o efeito de reduzir esta diferença a um mínimo possível em um dado sistema. Se o valor comandado da tensão permanecer além do valor máximo, então o controlador irá saturar. Este nível do sinal de referência máximo $V_{LF}^*_{\max}$ pode ser determinado assumindo que os erros na síntese são pequenos, e equacionando as áreas tensão-tempo.

Considere primeiro o caso de um sinal de referência CC sintetizado usando o circuito de potência meia-ponte. De um balanço de área tensão-tempo

$$V_{d\max} = \frac{V_{HF}}{\pi} \quad (4.27)$$

onde $V_{d\max}$ é o nível máximo do sinal CC que pode ser sintetizado de uma tensão de barramento de alta frequência de valor de pico V_{HF} . Níveis de tensão CC abaixo deste valor máximo são então expressadas como

$$V_d = m_{pdm} \frac{V_{HF}}{\pi} \quad (4.28)$$

onde $m_{pdm} \equiv V_d/V_{d\max}$ é o índice de modulação que assume valores entre zero e um.

A equação (4.27) permanece essencialmente válida quando uma tensão CA é sintetizada usando um circuito meia-ponte. Este resultado ocorre porque o sinal de referência muda lentamente próximo do seu pico e pode ser considerado constante durante vários pulsos de alta frequência. A operação sem saturação nesta região requer que as áreas sejam balanceadas, como no caso da síntese da tensão CC. Quanto maior a relação de frequência, melhor é a aproximação. Portanto, para a operação meia-ponte sem saturação

$$V_{LF}^*_{\max} = \frac{V_{HF}}{\pi} \quad \text{se } f_{LF} \ll f_{HF} \quad (4.29)$$

Se a amplitude do sinal de referência V_{LF}^* é aumentado permanentemente além deste valor, o controlador torna-se gradualmente saturado até que a saturação plena é alcançada e a tensão sintetizada torna-se uma onda quadrada composta de meios-ciclos retificados da tensão do barramento. Portanto, se o aumento da distorção harmônica não é um problema, a componente fundamental sintetizada de um dado valor da tensão do barramento pode ser aumentado além do valor dado na equação (4.29) por um fator de $4/\pi$. Adicionalmente, a transição para saturação é automática e gradual quando comparada aos inversores PWM em que saltos na fundamental da tensão de saída ocorrem quando o inversor alcança a saída máxima.

Para obtenção das tensões de linha aproximadamente senoidais, os pulsos de tensão são distribuídos segundo o padrão definido acima, sendo este realizado pelo inversor de acordo

com a lógica de disparo de suas chaves. Como exemplo desta lógica, mostra-se abaixo a variação em 30 graus com fator de potência unitário (Fig. 4.15).

$$\text{Caso (a)} \Rightarrow I_0 = i_a \rightarrow S_1, S_4, S_6 \text{ fechados}$$

$$\text{Caso (b)} \Rightarrow I_0 = -i_c \rightarrow S_1, D_3, S_6 \text{ fechados}$$

$$\text{Caso (c)} \Rightarrow I_0 = 0 \rightarrow S_1, D_3, D_5 \text{ fechados}$$

Na figura 4.15, a etapa I equivale ao intervalo ressonante e a etapa II equivale ao intervalo de entalhe do circuito RDCL. As correntes são consideradas positivas nos sentidos mostrados na figura. Assim, no caso das correntes nas fases (i_a, i_b, i_c), a corrente é positiva se o sentido é do inversor para a carga.

Durante o estudo, observou-se uma simetria a cada 60 graus. Apesar da mudança nos valores de corrente durante a modulação, a lógica em 60 graus e os módulos das correntes que circulam nas chaves e diodos permanecem equivalentes. Assim, os valores de perdas podem ser considerados apenas em 60 graus, e apresentados como resultado válido para todo o período fundamental.

Como a técnica PDM só é usada nos circuitos com chaveamento suave que não permitem a aplicação da técnica PWM, as equações de corrente apresentadas em 30 graus para o CAC I (Fig. 4.15) só são válidas para algumas topologias.

No circuito com barramento pulsado, o controle das chaves do inversor é sincronizado com as durações de tensão nula do barramento CC. Conseqüentemente, usando a técnica PDM, a tensão de linha do inversor apresenta pulsos discretos e uma modulação do tipo delta normalmente é utilizada para o controle. Uma estratégia de modulação delta utilizando um inversor com barramento ressonante chaveado a tensão nula, consegue obter melhor eficiência do que o inversor fonte de tensão PWM com chaveamento dissipativo.

Controle de tais sistemas modulados por pulsos discretos, normalmente precisa ser acompanhado pelo uso de um regulador de malha fechada, tal como um modulador sigma-delta para controle de tensão, ou alternativamente, um modulador delta para controle de corrente. Devido à representação de dados amostrados do sistema, estes reguladores contêm significativa energia espectral nas frequências substancialmente abaixo da frequência de pulsos no barramento (Malesani et al., 1989).

Os problemas associados aos sistemas PDM são mostrados na figura 4.16. A figura refere-se a um sistema monofásico do modulador delta com regulação em corrente, sintetizando a corrente de referência CC I_{ref} . As formas de onda de tensão no barramento ressonante v_{Cr} e na saída v_{AB} do inversor são mostradas na figura. Pode ser visto que a

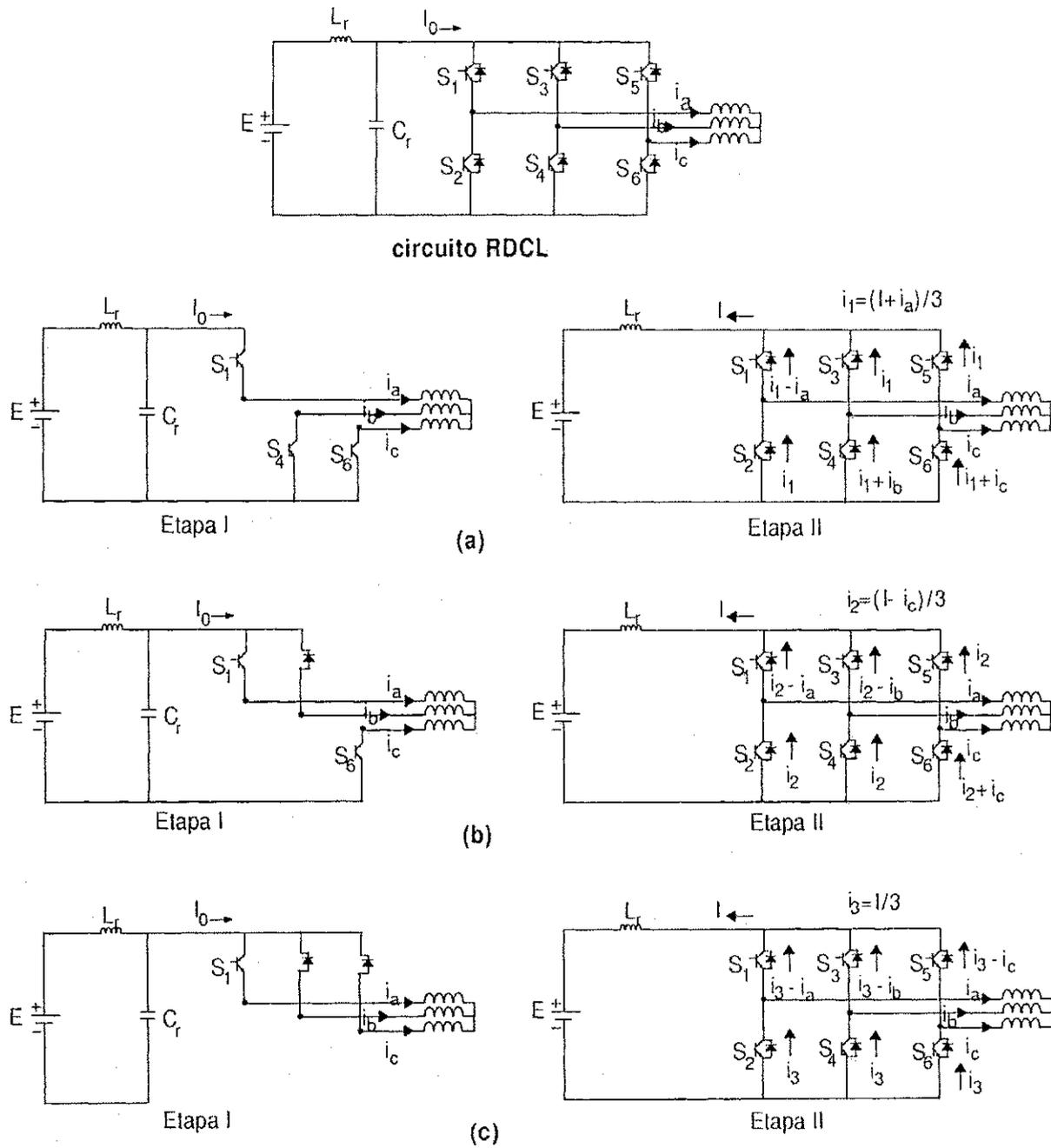


Figura 4.15: Seqüência de operação para o circuito RDCL em 30 graus

limitação dos instantes de chaveamento discretos introduz dois tipos de problemas: erro de regime permanente ($\bar{I}_0 \neq I_{ref}$) e um conteúdo espectral da saída variável e de baixa frequência (ver v_{AB}). No caso de um regulador CA, estes erros aparecem como erros na amplitude da componente fundamental e no espectro de frequência da tensão de linha a baixas frequências (Malesani et al., 1989).

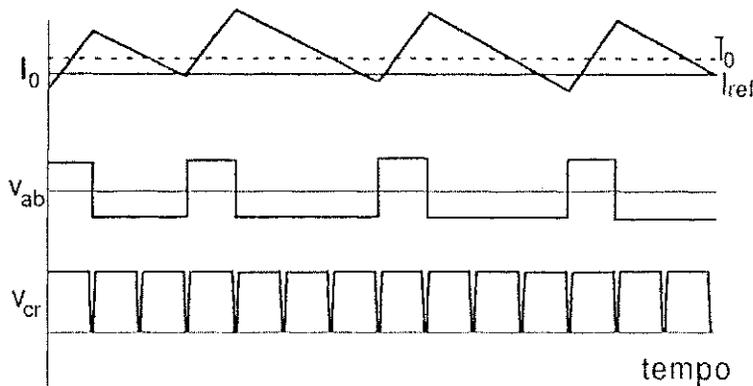


Figura 4.16: Modulação delta com regulação em corrente

Na PDM, a maior componente espectral, além da fundamental, é centrada em torno da frequência da portadora, e possui a característica de pico duplo dos sistemas modulados por portadora. O espectro da energia média contida na tensão de linha tem uma resposta simétrica em relação a metade da frequência de amostragem e também não possui componentes de frequência dominantes na faixa audível, diferentemente do que acontece na técnica PWM.

4.5 Modulação por Largura de Pulsos para Inversores com Chaveamento a Tensão Nula

Em Cavalcanti et al. (2000) apresentam-se os resultados de um estudo que demonstra que para inversores com barramento de entrada pulsado também é possível a geração de sinais modulantes com grampeamento de fase, cuja razão de distribuição tem comportamento regido por sinais lógicos oriundos de operações de comparação entre as referências puramente senoidais. A topologia para barramento pulsado considerada inclui capacitores em paralelo com as chaves de potência que controlam o fluxo das correntes de carga. Este tipo de inversor tem características de chaveamento que levam em consideração os sinais das correntes de fase (Cavalcanti et al., 2002). Demonstra-se, analiticamente, que a formação dos padrões de chaveamento adequados para tal inversor, é função da magnitude do vetor

tensão de referência.

O inversor com chaveamento suave pode ser usado com o capacitor de entrada do inversor dividido em seis pequenos capacitores em paralelo com cada uma das chaves (Fig. 2.8(b)), de modo que sejam utilizadas técnicas PWM em que o circuito auxiliar é usado apenas uma vez a cada período de chaveamento. Neste caso, a geração de padrões de chaveamento para barramento pulsado deve considerar, como principal condicionante, o sinal das correntes de carga. No caso de inversores com barramento de entrada fixo tal restrição inexiste. Nos inversores com barramento pulsado que incluem capacitores em paralelo com as chaves de potência (Malesani et al., 1992), cada período de modulação começa com um entalhe no barramento de entrada permitindo o disparo simultâneo das chaves de acordo com as correntes de carga nas respectivas fases.

Alguns tipos de inversores com barramento pulsado operam com entalhe de largura constante. Outros possibilitam o ajuste de largura desse entalhe. Essas possibilidades permitem diferentes padrões de chaveamento. Em Malesani et al. (1996), foi utilizada uma estratégia vetorial que leva em conta a influência da defasagem relativa entre os vetores referência de corrente e de tensão.

Na figura 4.17 mostra-se o padrão usado para os circuitos de chaveamento suave com entalhe fixo. Devido às oscilações do circuito ressonante, que produzem o entalhe (Fig. 4.17(a)), existe uma diferença de tempo de aplicação dos vetores em relação ao programado. Como esta diferença normalmente é pequena, pode-se usar o modelo aproximado indicado na figura 4.17(b). Observa-se que a tensão na fase *a* está no nível alto durante todo o intervalo, sendo o vetor nulo do tipo V_7 . Nota-se também que duas fases são chaveadas no intervalo.

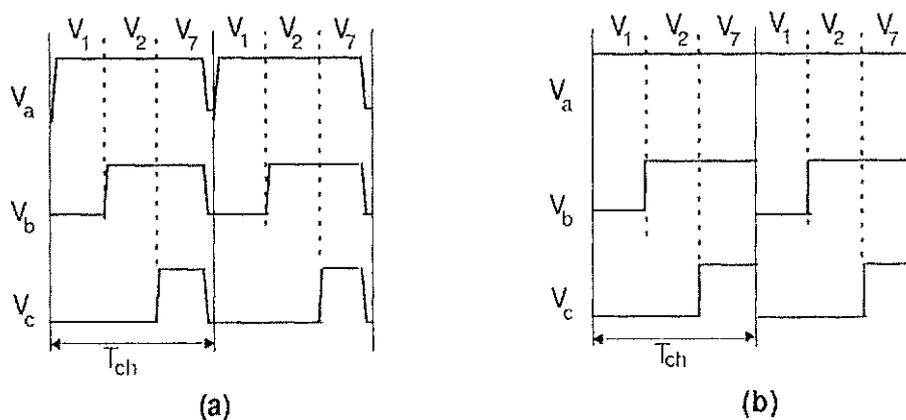


Figura 4.17: Sequência para o chaveamento suave com entalhe fixo nos primeiros 30 graus do setor de tensão I

A diferença no padrão para os circuitos que permitem o entalhe variável é o uso do mesmo como vetor nulo da modulação. Na figura 4.18 mostra-se o padrão usado para os circuitos de chaveamento suave com entalhe variável, onde V_{0B} indica o aproveitamento do entalhe como vetor nulo. Assim, neste tipo de circuito, só uma fase é comutada a cada período de chaveamento, com redução nas perdas de chaveamento do inversor.

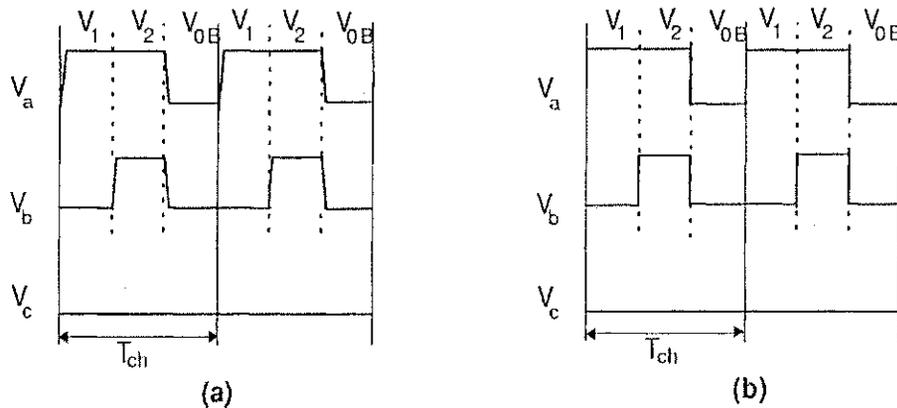


Figura 4.18: Sequência para o chaveamento suave com entalhe variável nos primeiros 30 graus do setor de tensão I

No caso em que os inversores TPB utilizam o circuito auxiliar toda vez que as chaves precisam ser comutadas, a modulação usada é a mesma que se aplica ao inversor dissipativo (Fig. 4.4(b)).

Durante o estudo, observou-se mais uma vez a simetria a cada 60 graus. Apesar da mudança nos valores de corrente durante a modulação, a lógica dos primeiros 60 graus e os módulos das correntes que circulam nas chaves e diodos permanecem equivalentes. Assim, os valores de perdas podem ser considerados apenas nos primeiros 60 graus e apresentados como resultado válido para todo o período fundamental.

4.5.1 Técnica de Redução do Desvio de Corrente

Para inversores TPB, em Malesani et al. (1996) foi apresentada a seguinte restrição para reduzir perdas: a relação entre os setores de tensão e corrente deve ser levada em conta para permitir que o circuito auxiliar seja usado só uma vez durante cada intervalo de modulação. Devido a esta restrição, uma mudança de $\mu = 0,5$ para uma técnica DPWM a altos valores do índice de modulação m , não pode ser efetuada - a menos que o circuito seja usado a cada transição dos vetores no padrão. Pela mesma razão, é impossível empregar a seqüência vetorial com reversão no próximo padrão de chaveamento (Fig. 4.4) como em Broeck et al. (1988) para inversores com tensão do barramento CC constante. Contudo,

Setor de corrente	i_a	i_b	i_c	b_j
1	+	-	-	b_a
2	+	+	-	b_c
3	-	+	-	b_b
4	-	+	+	b_a
5	-	-	+	b_c
6	+	-	+	b_b

Tabela 4.2: Relação entre os setores de corrente e b_j

a técnica foi proposta para reduzir o desvio de corrente e a distorção harmônica total da tensão linha-neutro vista pela carga, usando uma seqüência vetorial com três vetores.

A fase a ser grampeada corresponde aquela em que a corrente tem uma polaridade diferente, como definido na tabela 4.2. Quando é impossível grampear esta fase pelo uso de somente três vetores, a fase escolhida para ser grampeada é aquela com o menor valor absoluto entre v_x^* e v_z^* . A tabela 4.3 indica a seqüência de vetores a ser usada dependendo da posição relativa entre o vetor tensão de referência (em uma das 12 sub-regiões particulares A, B1, B2, etc. da Fig. 4.19) e setores de corrente (mostrados em linhas escuras para 1 a 3 na mesma figura, 4 a 6 sendo simétricos). Nesta tabela, por exemplo no setor 1, a seqüência de vetores $V_2V_7V_4$ corresponde a B1, a seqüência $V_2V_3V_4$ corresponde a B2, a seqüência $V_1V_0V_3$ corresponde a C1, a seqüência $V_1V_2V_3$ corresponde a C2, etc. Como um exemplo, quando o índice de modulação, m , é maior que 0,77, o vetor referência de tensão move-se pelas sub-regiões B1, B2, C2, C1, que correspondem as seqüências $V_2V_7V_4 - V_2V_3V_4 - V_1V_2V_3 - V_1V_0V_3$ da tabela 4.3. Quando $m < 0,77$ a referência de tensão move-se de B1 para C1, correspondendo as seqüências $V_2V_7V_4 - V_1V_0V_3$. O uso de $\mu = b_j$ como mostrado na tabela 4.2 para cada setor de corrente apresenta o mesmo resultado da técnica de redução do desvio de corrente (RDC) (Malesani et al., 1996) e evita a tabela 4.3. Sinais b_a , b_b , e b_c são obtidos como na figura 4.7, usando os sinais de referência $v_j^*(t) = \cos[\omega_m t - (i-1)2\pi/3]$ para $j = a, b, c$ e $i = 1, 2, 3$.

4.5.2 Técnica do Ângulo de Fase

Para garantir minimização das perdas de chaveamento em toda a faixa do ângulo de fase, a aproximação de Chung e Sul (1997) foi adaptada como uma função de μ para impor os segmentos grampeados na proximidade dos picos de corrente positivo e negativo para um determinado ângulo de fase Φ_{V-I} (Alves, 1998). Com esta proposta, um vetor tensão de

Sub-regiões de tensão	Setores de corrente					
	1	2	3	4	5	6
A	$V_1V_2V_7$	$V_2V_3V_0$	$V_3V_4V_7$	$V_4V_5V_0$	$V_5V_6V_7$	$V_6V_1V_0$
B1	$V_2V_7V_4$	$V_3V_0V_5$	$V_4V_7V_6$	$V_5V_0V_1$	$V_6V_7V_2$	$V_1V_0V_3$
B2	$V_2V_3V_4$	$V_3V_4V_5$	$V_4V_5V_6$	$V_5V_6V_1$	$V_6V_1V_2$	$V_1V_2V_3$
C1	$V_1V_0V_3$	$V_2V_7V_4$	$V_3V_0V_5$	$V_4V_7V_6$	$V_5V_0V_1$	$V_6V_7V_2$
C2	$V_1V_2V_3$	$V_2V_3V_4$	$V_3V_4V_5$	$V_4V_5V_6$	$V_5V_6V_1$	$V_6V_1V_2$
D	$V_0V_3V_4$	$V_7V_4V_5$	$V_0V_5V_6$	$V_7V_6V_1$	$V_0V_1V_2$	$V_7V_2V_3$
E	$V_0V_5V_4$	$V_7V_6V_5$	$V_0V_1V_6$	$V_7V_2V_1$	$V_0V_3V_2$	$V_7V_4V_3$
F1	$V_1V_0V_5$	$V_2V_7V_6$	$V_3V_0V_1$	$V_4V_7V_2$	$V_5V_0V_3$	$V_6V_7V_4$
F2	$V_1V_6V_5$	$V_2V_1V_6$	$V_3V_2V_1$	$V_4V_3V_2$	$V_5V_4V_3$	$V_6V_5V_4$
G1	$V_6V_7V_4$	$V_1V_0V_5$	$V_2V_7V_6$	$V_3V_0V_1$	$V_4V_7V_2$	$V_5V_0V_3$
G2	$V_6V_5V_4$	$V_1V_6V_5$	$V_2V_1V_6$	$V_3V_2V_1$	$V_4V_3V_2$	$V_5V_4V_3$
H	$V_1V_6V_7$	$V_2V_1V_0$	$V_3V_2V_7$	$V_4V_3V_0$	$V_5V_4V_7$	$V_6V_5V_0$

Tabela 4.3: Sequências para a técnica RDC

referência modificado, $v_{\Phi_\mu}^* = v^* e^{-i\Phi_\mu}$, é definido, onde o ângulo de fase Φ_μ é uma função do ângulo de fase atual Φ_{V-r} , como indicado na Figura 4.20. Depois da posição de $v_{\Phi_\mu}^*$ ser determinada, a componente de seqüência nula é calculada por meio da equação (4.1). Esta técnica será aqui referida como técnica do ângulo de fase (AF).

Para implementação, o sinal $\mu = d$ (Fig. 4.6(f)), que é gerado dos sinais de referência $v_j^*(t) = \cos[\omega_m t - (i-1)2\pi/3]$ de acordo com a figura 4.21(a), é deslocado como uma função de Φ_μ , isto é, $d_\mu = d(t - \Phi_\mu/\omega_m)$ para a lei Φ_μ vs Φ_{V-r} . Operações lógicas na Figura 4.21(b) indicam a obtenção de d_μ dos sinais de referência considerados como $v_{j\mu}^*(t) = \cos[\omega_m t - (i-1)2\pi/3 - \Phi_\mu]$ para $j = a, b, c$ e $i = 1, 2, 3$ (Alves, 1998).

A técnica AF pode facilmente ser aplicada aos inversores TPB. O uso do sinal d_μ para a técnica AF resulta em seqüências que são similares aquelas usadas na técnica RDC (Malesani et al., 1996), como indicado na tabela 4.3. A diferença em relação ao caso de tensão do barramento CC constante é que, como na técnica RDC, para técnica AF quando aplicada em inversores TPB, a escolha da seqüência depende da polaridade de corrente (Tab. 4.2), que define a tensão de fase a ser grampeada. Quando tal tensão coincide com aquela única seqüência definida para uma sub-região e setor de corrente especificados na tabela 4.3, só há esta possibilidade de seqüência. Este é o caso para A, D, E e H, com seqüências comuns àquelas de Malesani et al. (1996). Quando é impossível grampear a fase determinada pela tabela 4.2 e os segmentos grampeados não podem estar na vizinhança

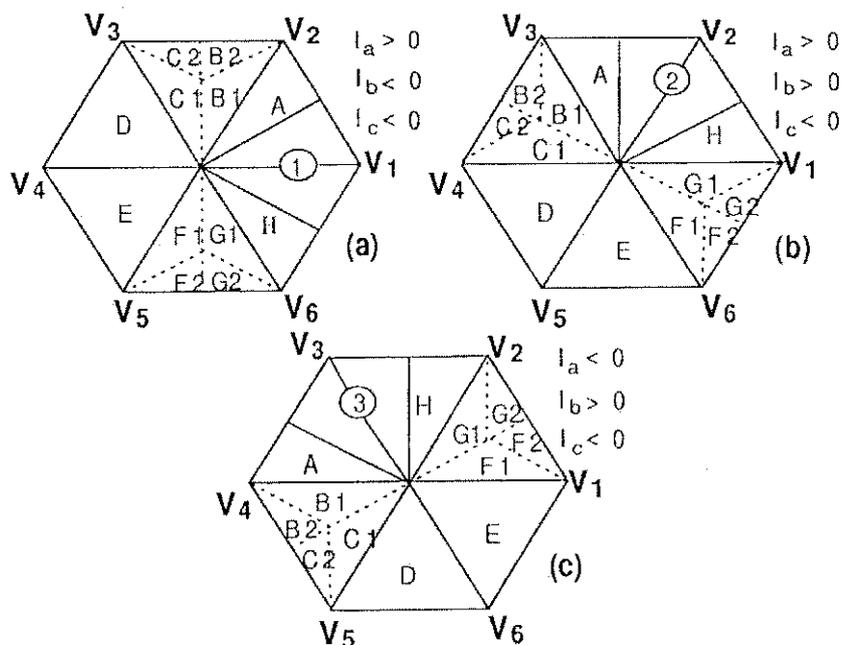


Figura 4.19: Sub-regiões para padrões reduzidos RDC

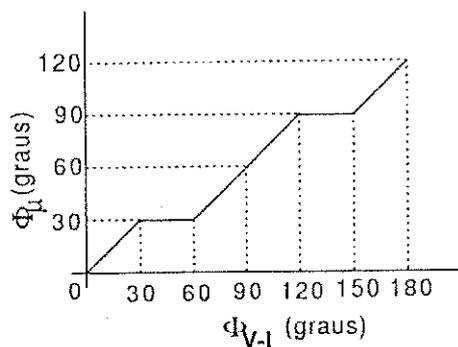


Figura 4.20: Relação entre Φ_μ e Φ_{V-1}

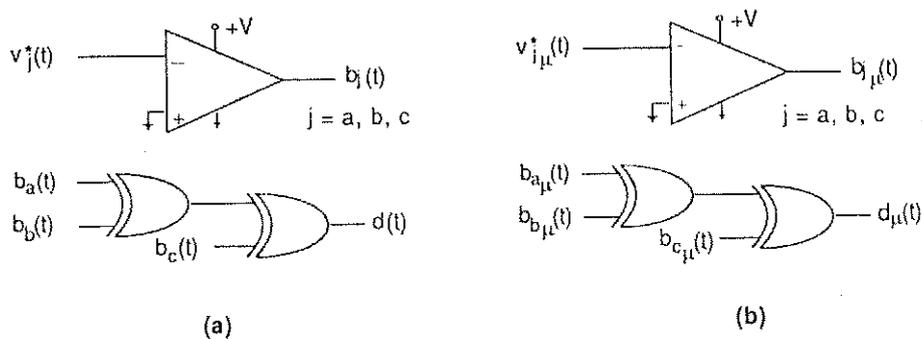


Figura 4.21: Geração dos sinais d e d_μ .

do pico de corrente, a melhor escolha é a seqüência resultante do grampeamento da fase relacionada ao segundo maior valor absoluto de corrente. Por esta razão, B1, B2, C1, e C2, por exemplo, podem ser qualquer uma das quatro seqüências da tabela 4.3, dependendo do ângulo de fase e do índice de modulação, m .

Com $0^\circ \leq \Phi_{V-I} \leq 30^\circ$ só são usados os padrões referentes a A e H, enquanto que se $150^\circ \leq \Phi_{V-I} \leq 180^\circ$ os padrões usados são do tipo D e E. Portanto, nestes casos sempre são usadas seqüências com um vetor nulo. Quando Φ_{V-I} se situa na faixa de 30 a 60 ou de 120 a 150 graus, observa-se uma troca entre as sub-regiões B e C, ou seja, onde a técnica RDC indica um padrão do tipo B, a técnica AF indica um padrão do tipo C. Em $60^\circ < \Phi_{V-I} < 120^\circ$ os padrões coincidem em alguns faixas com os obtidos da técnica RDC, sendo em 90° o único ângulo em que as sub-regiões B e C são idênticas as mostradas na figura 4.19. As sub-regiões F e G só são usadas no caso de ângulos de fase superiores a 180° , e, portanto, não serão estudadas neste trabalho.

Para ilustrar que a especificação dos padrões B, C, F e G depende do valor do índice de modulação, mostra-se um exemplo em que $\Phi_{V-I} = 60^\circ$ no trecho correspondente de 0° a 30° (setor 6). Neste trecho, o uso da técnica AF indica que os padrões a serem usados são do tipo C1 ($V_6V_7V_2$) ou C2 ($V_6V_1V_2$).

Os padrões C1 e C2 distinguem-se apenas pela ordem em que as chaves mudam de estado lógico. Desse modo, é pertinente assumir que o limite entre os dois tipos de padrão é definido pelos instantes em que as transições nas chaves são simultâneas. Esta condição de interseções simultâneas só pode ocorrer se os referidos sinais modulantes tiverem sinais opostos. Por conseguinte, os valores de m e ωt que definem tal limite são soluções da equação

$$v_b^*(t) + v_h(t) = -(v_c^*(t) + v_h(t)) \quad (4.30)$$

Visto que, no intervalo considerado dos sinais modulantes, a fase 1 está grampeada no barramento positivo da entrada E , tem-se que

$$v_h(t) = -v_a^*(t) + 0,5 \quad (4.31)$$

Substituindo-se a equação (4.31) na equação (4.30) e explicitando-se as referências senoidais, obtém-se

$$\begin{aligned} v_b^*(t) - v_a^*(t) + 0,5 &= -(v_c^*(t) - v_a^*(t)) - 0,5 \\ \frac{m\sqrt{3}}{2} \cos(\omega t - 5\pi/6) + 0,5 &= \frac{m\sqrt{3}}{2} \cos(\omega t - \pi/6) - 0,5 \end{aligned} \quad (4.32)$$

Desenvolvendo-se a expressão acima, encontra-se

$$m = \frac{2}{3 \cos \omega t} \quad (4.33)$$

Na expressão dada em (4.33), os ângulos variam na faixa $0 \leq \omega t \leq \pi/3$, ou seja, no intervalo correspondente à região onde os padrões C1 e C2 são especificados. Substituindo-se $\omega t = 0$ na equação (4.33), encontra-se $m = 2/3 \simeq 0,667$. Assim, $m < 0,667$ garante a utilização de apenas seqüências do tipo 1 para a técnica AF. No caso da técnica RDC, foi mostrado em Alves (1998) que $m < 0,77$ é o valor limite.

No caso de entalhe variável, o intervalo de tensão nula no barramento pode ser utilizado como vetor nulo, V_{0B} . A aplicação de V_{0B} pode ser feita em qualquer posição da seqüência. Entretanto, se o vetor nulo é o vetor intermediário na seqüência, o circuito auxiliar terá que funcionar duas vezes a cada período de amostragem: uma vez para permitir o uso do entalhe como vetor nulo, e a outra para que o chaveamento do inversor ocorra sob tensão nula. Assim, nas técnicas apresentadas V_{0B} só será utilizado no início ou no final de cada intervalo de modulação. Nesse caso, nas regiões em que V_{0B} é aplicado, só são utilizados os vetores ativos da tabela 4.3, enquanto nas outras regiões a seqüência continua a mesma.

Nesta tabela, por exemplo no setor 1 quando $m < 0,77$ o vetor referência de tensão move-se pelas sub-regiões A, B1, C1, que correspondem as seqüências $V_1V_2V_7 - V_2V_7V_4 - V_1V_0V_3$ da tabela 4.3. No primeiro intervalo usa-se o V_{0B} em vez do vetor V_7 , enquanto nos outros intervalos a seqüência permanece a mesma. Portanto, tem-se as seqüências $V_1V_2V_{0B} - V_2V_7V_4 - V_1V_0V_3$. Entretanto, esta mudança na tabela implica em uma complicação adicional na implementação da técnica. Os sinais lógicos referentes as técnicas mostradas podem ser utilizados, porém tem que ser observado se o vetor de tensão está nas sub-regiões A, D, E ou H. Assim, os circuitos que permitem o entalhe variável podem ser aplicados da mesma forma que os circuitos com entalhe fixo.

A tabela 4.4 indica no setor I de tensão o sinal d_μ e b_j resultante de valores constantes ou mudança em degrau de μ em θ_s para determinados ângulos de fase (Tab. 4.4).

4.6 Técnicas Propostas

Com o estudo realizado acima, pode-se chegar a uma técnica que apresente os melhores resultados possíveis quando aplicada aos inversores TPB. Se existe uma maior preocupação com a qualidade da forma de onda, aplica-se uma técnica que minimize o desvio de corrente, além de melhorar a distorção harmônica. Por outro lado, se a preocupação é com as perdas no sistema, aplica-se uma técnica que minimize as perdas totais. As técnicas foram testadas para tensão do barramento CC e uma corrente de carga de 200V e 0,3A, respectivamente.

Φ_{V-t}	Técnica AF	Técnica RDC
	d_μ	b_j
0° ou 180°	d	d
15°	c	e
30°	c	c
45°	c	f
60°	c	\bar{d}
75°	f	\bar{d}
90°	\bar{d}	\bar{d}
105°	\bar{e}	\bar{d}
120°	\bar{c}	\bar{d}
135°	\bar{c}	\bar{e}
150°	\bar{c}	\bar{c}
165°	\bar{f}	\bar{f}

Tabela 4.4: Sinais d_μ e b_j para um determinado ângulo de fase.

4.6.1 Minimização do Desvio de Corrente

Apresenta-se agora uma nova técnica com minimização do desvio de corrente (MDC), usando uma seqüência vetorial com três vetores. Nas técnicas anteriores, dependendo do ângulo de fase o sinal μ é deslocado. Isto implica que em certas faixas o desvio de corrente eficaz seja menor do que em outras. Como pode ser visto na figura 4.12, o sinal que gera o menor desvio é o sinal $\mu = \bar{d}$. Nesta técnica este é o sinal aplicado em toda a faixa do ângulo de fase, fazendo então que o desvio de corrente eficaz seja mínimo. Sinais b_a , b_b , e b_c são obtidos como na figura 4.21(a), usando os sinais de referência $v_j^*(t) = \cos[\omega_m t - (i-1)2\pi/3]$ para $j = a, b, c$ e $i = 1, 2, 3$. A partir dos sinais b_j , as operações ou-exclusivo (Fig. 4.21) geram o sinal d , que invertido torna-se o sinal $\mu = \bar{d}$. A fase a ser grampeada corresponde aquela com o menor valor absoluto entre v_x^* e v_z^* .

A tabela 4.3 indica a seqüência de vetores a ser usada dependendo da posição relativa entre o vetor tensão de referência e setores de corrente (Fig. 4.22). Embora a tabela seja a mesma da técnica RDC, as sub-regiões são definidas de modo diferente, o que implica em valores eficazes diferentes.

Na figura 4.23 mostra-se que a técnica MDC produz um desvio de corrente eficaz menor que aquele produzido pelas técnicas RDC e AF. Os parâmetros utilizados foram $E = 1000V$, $m = 1$, $f_c = 10kHz$, $L = 0,01H$.

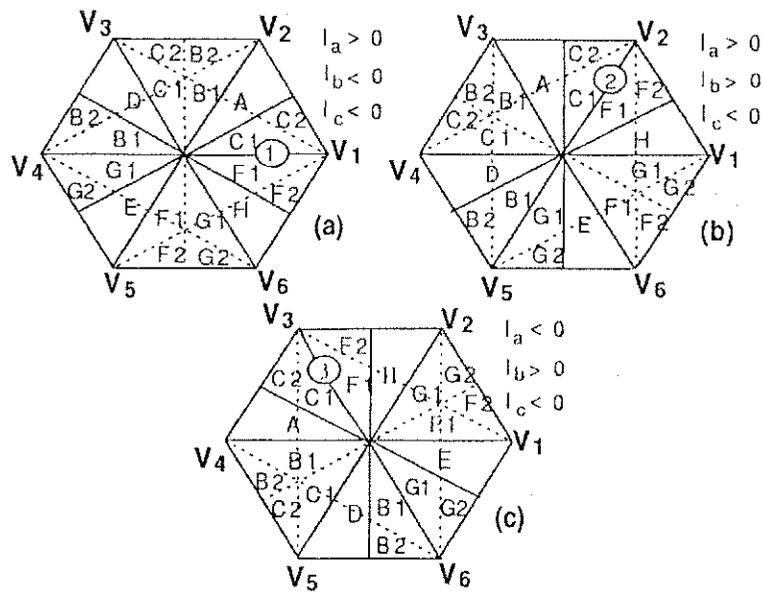


Figura 4.22: Sub-regiões para padrões reduzidos MDC

Esta figura também mostra uma coincidência das técnicas em determinados valores do ângulo de fase, o que sugere uma padronização dos métodos apresentados até o momento. O uso do sinal d_μ apresentado na técnica AF pode ser usado para qualquer técnica DPWM, só havendo mudanças em relação ao ângulo (Φ_μ) usado para deslocar a referência. Assim, na figura 4.24 são apresentadas as relações de Φ_μ para as três técnicas.

O desvio de corrente eficaz para a técnica MDC pode ser calculado pela equação (4.34), que indica no setor I de tensão a mudança em degran de μ (1 para 0) em 30° . Nesta técnica, independentemente do ângulo de fase, só existe uma equação para o cálculo do desvio de

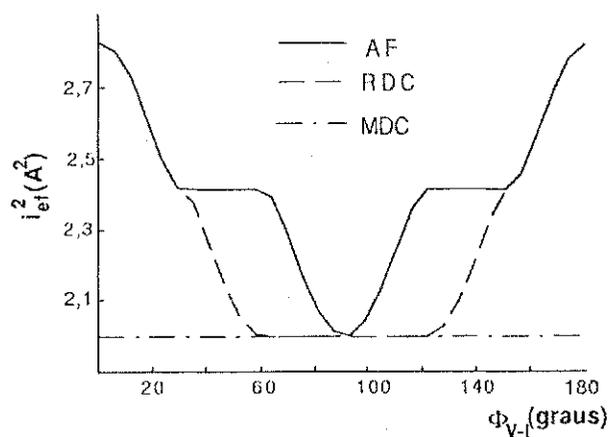


Figura 4.23: Comparação do desvio de corrente eficaz

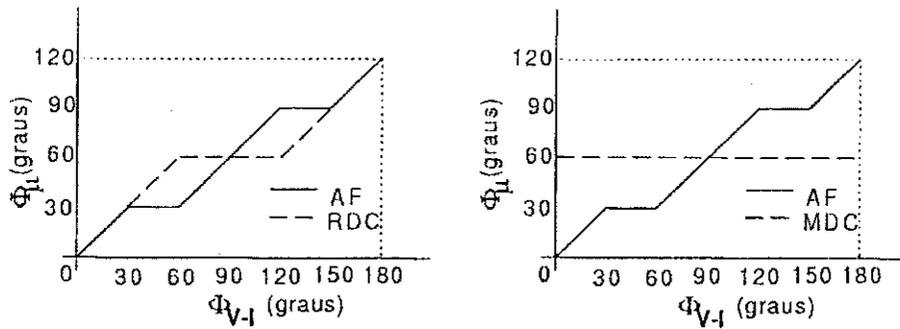


Figura 4.24: Relação entre Φ_μ e Φ_{V-I} para as técnicas DPWM

corrente eficaz, que é dada por

$$i_{eJ(\mu=d)}^2 = \frac{k}{8} \left[\frac{m^2}{16} \left(3 + \frac{2\sqrt{3}}{\pi} \right) + m \left(\frac{5/3 - 2\sqrt{3}}{\pi} \right) + \frac{1}{3} \right] \quad (4.34)$$

A técnica apresentada satisfaz ao que se foi proposta, mas pode ainda não ser a técnica mais adequada para o chaveamento suave em termos de perdas totais.

4.6.2 Minimização das Perdas Totais

Apresenta-se agora uma nova técnica com minimização das perdas totais (MPT), usando uma seqüência vetorial com três vetores. A fase a ser grampeada corresponde aquela com o maior valor absoluto entre as correntes possíveis de serem grampeadas (correntes referentes a v_x^* e v_z^*), que corresponde a técnica AF estudada. Porém, existem regiões em que a corrente é tão pequena que não consegue fazer os capacitores carregarem e descarregarem no braço do inversor que foi chaveado. Na figura 4.25, mostra-se a tensão na fase B do inversor para uma tensão do barramento de 500V quando a corrente nesta fase tem um valor menor que 5A. Este fato prejudica muito a modulação que está sendo realizada, pois a tensão na fase B não consegue chegar ao valor desejado e com disso, os chaveamentos começam a ocorrer com um valor de tensão não nulo nos capacitores. Isto acarreta em bloqueios dissipativos das chaves do inversor e portanto o circuito auxiliar tem que ser usado a cada chaveamento desejado.

Como só é desejável o uso do circuito auxiliar uma vez a cada intervalo de modulação, pode-se então usar uma outra alternativa: a técnica que está sendo utilizada é mudada para uma técnica complementar a ela, quando o problema da corrente acontecer. Assim, nestes intervalos a técnica a ser aplicada grampeia a fase com o menor valor absoluto entre as correntes possíveis de serem grampeadas.

A técnica MPT pode facilmente ser aplicada aos inversores TPB. O uso do sinal d_μ

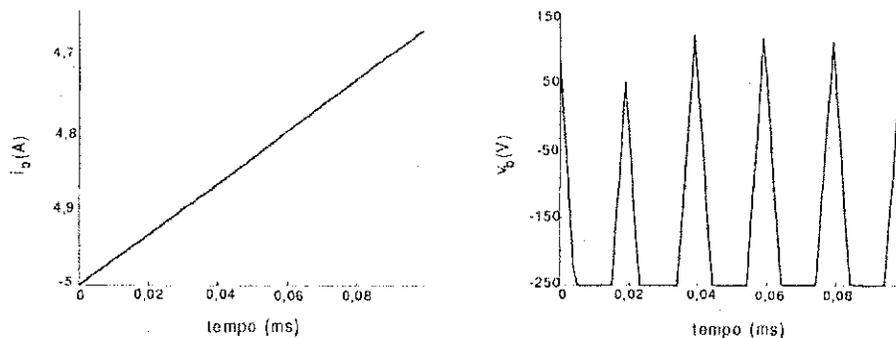


Figura 4.25: Problema na tensão na fase do inversor devido ao pequeno valor de corrente.

para a técnica MPT resulta em seqüências que grampeiam a maior corrente, diminuindo as perdas de chaveamento no bloqueio ZVS. Quando existe o problema de corrente, o uso do sinal \bar{d}_μ para a técnica MPT resulta em seqüências que grampeiam a menor corrente, permitindo que a estratégia PWM continue a ser realizada com o uso do circuito auxiliar apenas uma vez a cada intervalo de modulação (Cavalcanti et al., 2001).

Com $\Phi_{V-I} = 0^\circ$, a fase que possui a menor corrente, no primeiro setor, é a fase B. Na região próxima a 30° , esta corrente tem valores muito pequenos e portanto há a necessidade de grampeamento desta fase para que o circuito não seja usado. Entretanto, a fase B é a fase intermediária de tensão e portanto não pode ser grampeada. Assim, neste caso o desvio eficaz é igual a da técnica AF.

4.7 Implementação do Modulador

Para permitir uma melhor visão da viabilidade dos inversores TPB, esta seção apresenta um estudo da implementação do modulador. Com as técnicas de modulação aplicadas aos inversores, surge então uma alternativa para implementar o modulador para os inversores TPB. As técnicas de modulação estudadas são analisadas experimentalmente, de modo que se observe as características citadas anteriormente.

4.7.1 Implementação

Uma implementação analógica é possível usando o algoritmo introduzido em Alves (1998). Para a implementação digital, o tempo t_h na figura 4.5 representa a componente de seqüência nula v_h na equação (4.1). Considerando os tempos t_a , t_b , e t_c na mesma figura, t_h pode ser escrito como

$$t_h = (1 - \mu)(T_{ch} - t_x) - \mu t_z \quad (4.35)$$

onde t_x é o maior intervalo de tempo entre as três fases, t_z é o intervalo de tempo mínimo entre as mesmas três fases (Fig. 4.5). t_x e t_z só podem ser definidas após t_a , t_b , e t_c (na mesma figura) serem determinados por

$$t_j = (v_j^* + 1/2)T_{ch} \text{ para } j = a, b, c \quad (4.36)$$

O fator μ é determinado como na figura 4.21. O algoritmo para geração do padrão de comutação de μ é então:

- Calcular t_a , t_b , e t_c de (4.36)
- Escolher t_x e t_z do passo anterior
- Calcular t_h para determinado μ usando (4.35)
- Programar os contadores levando em conta os intervalos $T_{ch} - (t_a + \tau_h)$, $T_{ch} - (t_b + \tau_h)$, e $T_{ch} - (t_c + \tau_h)$, pois os contadores iniciam a contagem em nível baixo.

No caso do barramento pulsado, temos alguns considerações adicionais, que incluem a geração de um sinal para a interface paralela programável (PPI) e a modificação dos tempos dos contadores:

- Se a corrente na carga i_j é positiva, programar o contador levando em conta o intervalo $t_j + t_h$. O sinal gerado para a PPI é positivo.
- Se a corrente na carga i_j é negativa, programar o contador levando em conta o intervalo $T_{ch} - (t_j + t_h)$. O sinal gerado para a PPI é negativo.

Os sinais do contador e da PPI passam então por um ou-exclusivo, e as saídas destas operações são os sinais de comando das chaves do inversor.

A implementação do modulador inicialmente proposto por Alves (1998) para o barramento fixo é aqui implementado também para o barramento pulsado, sendo que os conceitos do modulador para o barramento pulsado não haviam sido apresentados anteriormente por nenhum outro autor.

4.7.2 Resultados Experimentais

Para confirmar a análise feita para o princípio de funcionamento do modulador, os resultados teóricos foram verificados experimentalmente. Como a idéia era apenas de comprovar o funcionamento do modulador, o trabalho foi feito com tensões e correntes pequenas. O modulador também operam bem com a tensão do barramento maior, conforme as simulações realizadas para a modulação do inversor.

Pelas etapas de operação do modulador, percebe-se a necessidade de medir as correntes nas fases. É necessário saber os instantes em que estas correntes invertem de sentido para que os IGBTs do inversor possam ser disparados ou bloqueados.

Para obter os resultados experimentais, foi elaborado um programa em tempo real, em linguagem C, para comandar o inversor. Foram usados três sensores de corrente, sendo um para cada fase do circuito. A saída destes é mandada para o microcomputador, de forma que por programação, sejam mandados sinais de comando para as chaves.

Para haver um isolamento entre a parte lógica do microcomputador e a parte de potência do inversor, foram usados opto-acopladores tanto na entrada como na saída das portas da PPI. Como queremos medir três sinais de corrente e usar três sinais de comando para as chaves, foram usados três pinos da porta de entrada e seis pinos da porta de saída da PPI. O modulador funciona na frequência de chaveamento e a lógica de programação foi feita no laço de interrupção do sistema. O diagrama de blocos do sistema completo é mostrado na figura 4.26.

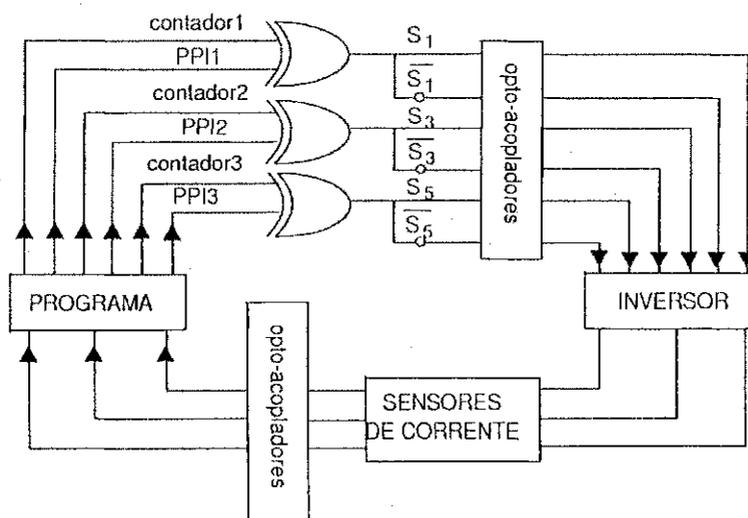


Figura 4.26: Diagrama de blocos do sistema

Resultados simulados na figura 4.27(a) mostram o SMNS e a corrente de fase para $\Phi_{V-I} = 75^\circ$ quando o inversor com chaveamento dissipativo é empregado com uma tensão do barramento CC e uma corrente de carga de 200V e 0,3A, respectivamente, em um índice de modulação $m = 1$. Também na figura 4.27(b), mostra-se o SMNS e o resultado experimental da corrente de fase para a técnica AF aplicada ao inversor com chaveamento dissipativo (HS), usando o algoritmo proposto para o correspondente ângulo de fase $\Phi_{V-I} = 75^\circ$, com índice de modulação $m = 1$. O inversor opera a 20kHz e aciona um motor de indução de 1/3HP (220/380V, 1670rpm, 60Hz) de uma fonte de tensão de 200V. Resultados da aplicação da técnica AF a um inversor TPB genérico são mostrados na figura 4.28 para as mesmas condições. Pode ser notado que os resultados são similares. A diferença entre as técnicas AF e RDC pode ser observada quando a posição dos segmentos

grampeados da figura 4.28(a) são comparados aqueles da figura 4.29(a). Os resultados da figura 4.29 também representam a técnica MDC, já que com a defasagem de 75° as duas técnicas apresentam o mesmo comportamento. Estas figuras confirmam que a técnica AF produz menores perdas de chaveamento que as técnicas RDC e MDC.

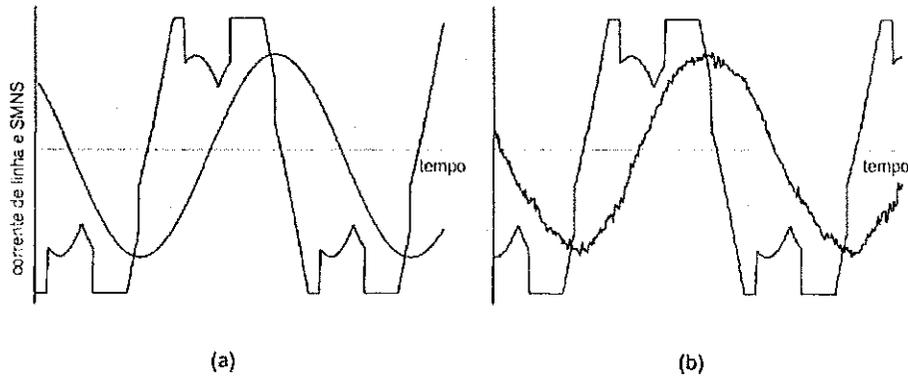


Figura 4.27: SMNS e corrente de linha simulada e experimental para o inversor HS com técnica AF e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$

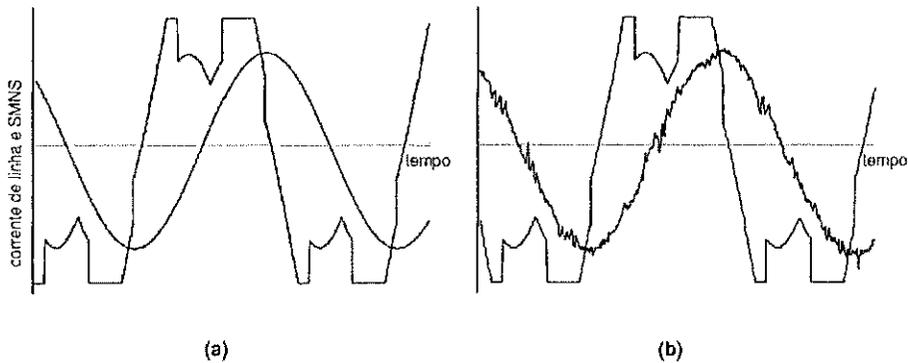


Figura 4.28: SMNS e corrente de linha simulada e experimental para o inversor TPB com técnica AF e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$

4.8 Modulação por Largura de Pulsos para Inversores com Chaveamento a Corrente Nula

Com os circuitos sem capacitor de barramento, abre-se uma nova possibilidade para a técnica de modulação proposta em Bornhardt (1989). O uso do circuito apenas no início do intervalo de modulação pode ser realizado se o inversor é usado com indutâncias em série

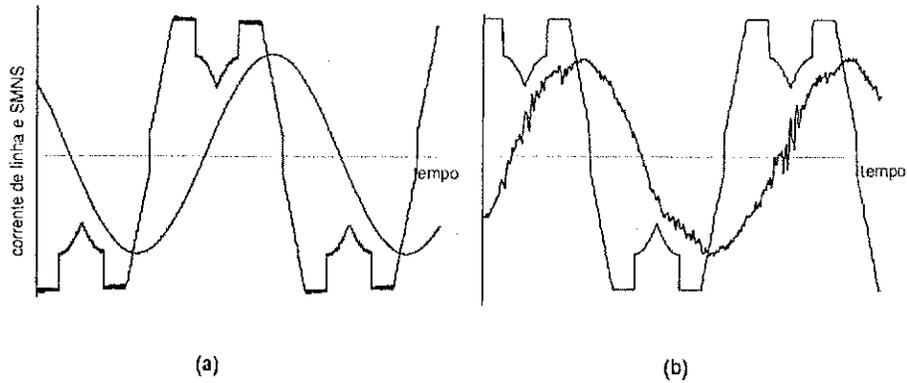


Figura 4.29: SMNS e corrente de linha simulada e experimental para o inversor TPB com técnicas RDC-MDC e modulador proposto: $\Phi_{V-I} = 75^\circ$, $m = 1$

com o inversor (Fig. 4.30). A modulação é feita de forma dual ao inversor com capacitores em paralelo (Fig. 2.8(b)), e portanto as chaves só podem ser ligadas dentro do intervalo.

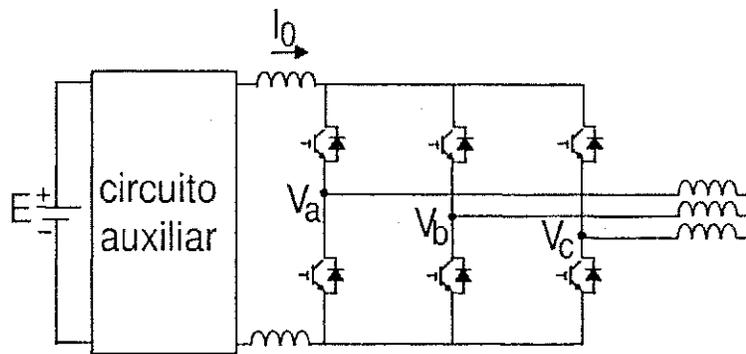


Figura 4.30: Inversor com indutâncias em série

Para mudar a tensão de saída do inversor, a corrente de carga deve ser chaveada entre os IGBTs e os diodos de roda-livre de cada fase. Pela operação do circuito auxiliar os seis IGBTs são bloqueados e três IGBTs podem ser disparados sem o uso do circuito auxiliar. Portanto, quatro vetores da tensão de saída podem ser usados com apenas uma oscilação do circuito auxiliar, sendo que o circuito de controle seleciona as chaves dependendo da polaridade da corrente de carga em cada fase.

Com este método, a técnica senoidal com frequência de chaveamento constante pode ser usada, mas pode ser mostrado que a técnica de modulação vetorial modificada para o barramento CC pulsado apresenta menos harmônicos e uma melhor utilização do barramento CC Bornhardt (1989).

Os oito vetores de chaveamento que são obtidos por combinações dos seis IGBTs do inversor foram definidos na figura 4.1. Normalmente, a estratégia de modulação vetorial

aproxima o vetor da tensão de referência durante um intervalo do tempo de amostragem por uma seqüência que usa os três vetores de tensão mais próximos. Contudo, com o barramento CC pulsado a seleção dos vetores de tensão depende do setor de corrente, de acordo com a tabela 4.5, de modo que a mudança para próximo vetor de tensão pode ser feita sem a operação do circuito auxiliar. Cada setor de corrente possui apenas um vetor de tensão que pode ser usado no início do padrão para que 4 vetores possam ser aplicados. Por exemplo, vetor de tensão V_4 no setor de corrente 1, ou vetor de tensão V_5 no setor de corrente 2. A tabela 4.5 mostra as transições possíveis, iniciando de um estado em que apenas diodos conduzem e terminando em um estado onde apenas IGBTs conduzem. Os diagramas de transição de vetores da tabela 4.5 podem ser lidos em ambas as direções. Por exemplo, do vetor de tensão V_4 para V_1 (setor de corrente 1), ou do vetor de tensão V_1 para V_4 (setor de corrente 4). O mesmo acontece para os setores de corrente 5 e 6, que são complementares aos setores 2 e 3, respectivamente.

Setores de corrente	1	2	3
Mudanças nos vetores de tensão	$V_4 V_3 V_2 V_1$	$V_5 V_4 V_3 V_2$	$V_6 V_1 V_2 V_3$
	$V_4 V_3 V_0 V_1$	$V_5 V_4 V_7 V_2$	$V_6 V_1 V_0 V_3$
	$V_4 V_7 V_2 V_1$	$V_5 V_0 V_3 V_2$	$V_6 V_7 V_2 V_3$
	$V_4 V_7 V_6 V_1$	$V_5 V_0 V_1 V_2$	$V_6 V_7 V_4 V_3$
	$V_4 V_5 V_0 V_1$	$V_5 V_6 V_7 V_2$	$V_6 V_5 V_0 V_3$
	$V_4 V_5 V_6 V_1$	$V_5 V_6 V_1 V_2$	$V_6 V_5 V_4 V_3$

Tabela 4.5: Mudanças possíveis nos vetores de tensão

É possível não usar um dos vetores neste processo, gerando a modulação descontínua (uso de três vetores por período de chaveamento). As técnicas estudadas para o inversor com capacitor de barramento podem agora ser aplicadas a esta nova estrutura. O uso do sinal d_μ gera os mesmos vetores, só que para este caso eles têm que ser aplicados na ordem inversa. Se aplicada a seqüência de vetores $V_1 V_2 V_7$ para a o inversor com capacitores, tem-se que aplicar $V_7 V_2 V_1$ para o inversor com indutores. Uma vantagem da técnica com indutores é que não há a necessidade de se carregar ou descarregar capacitores durante sua operação. Isto faz com que a técnicas de modulação possam ser aplicadas sem inversão para baixas correntes.

4.9 Conclusão

Neste capítulo foram apresentadas diferentes possibilidades de redução de perdas em sistemas inversores trifásicos com tensão do barramento CC pulsada através de técnicas de modulação. Uma estratégia PWM com perdas reduzidas para inversores trifásicos, que sincroniza o período de grameamento de uma das fases com o pico de corrente na fase, é estendida para o caso de um inversor trifásico TPB. Tal estratégia, que leva em conta a influência do ângulo de potência da carga sobre as perdas, foi utilizada em um inversor TPB, contribuindo para redução adicional de perdas no sistema.

Uma técnica para investigar o valor eficaz do desvio de corrente foi revisada e então aplicada às estratégias de modulação estudadas. A inclusão do intervalo de operação do circuito auxiliar não acarreta grandes diferenças no cálculo da corrente eficaz. Assim, as equações de desvio de corrente obtidas para um inversor convencional podem ser aplicadas ao inversor com barramento pulsado.

É possível fazer uma abordagem diferente das técnicas existentes, em que o CAC só é utilizado uma vez por período de chaveamento. Com essa abordagem, foram propostas uma técnica com minimização do desvio de corrente e uma técnica com minimização das perdas totais. Esta última é adaptada da técnica AF e aplicada ao inversor TPB, sendo esta usada em conjunto com a técnica complementar ao AF. Devido ao uso de altas frequências de operação para os inversores com comutação suave, as perdas geradas pelo desvio de corrente são muito pequenas, quando comparadas as perdas totais do inversor. Dessa forma, o uso da técnica de minimização das perdas totais é mais adequado para os inversores a barramento pulsado.

A implementação das técnicas para redução do desvio de corrente eficaz e perdas de chaveamento resultantes de estratégias PWM foi realizada por um modulador híbrido que gera qualquer estratégia PWM contínua ou descontínua. O modulador híbrido introduzido em Alves (1998) pode ser facilmente adaptado para o caso TPB. Resultados simulados e experimentais validam o modulador e a estratégia proposta.

Para que a técnica de chaveamento suave possa ser avaliada, deve-se então fazer um estudo comparativo entre as topologias existentes.

Capítulo 5

Cálculo de Perdas nos Inversores

5.1 Introdução

Apesar do grande número de topologias TPB, ainda não foi feito um estudo comparativo das perdas produzidas pelas mesmas. Algumas análises feitas na literatura são dedicadas aos inversores TPB, mas os autores não fizeram um estudo comparativo das perdas nestes inversores.

Em Lai et al. (1994), é avaliada a eficiência de três inversores com chaveamento suave utilizados para acionamento de motores. Eles são comparados ao inversor PWM com chaveamento dissipativo. Devido a grande quantidade de circuitos mostrada em da Silva et al. (2000, 2003), há interesse em se fazer uma comparação abrangente entre os circuitos de chaveamento suave. Assim, deve-se fazer um estudo com vários circuitos com tensão pulsada no barramento CC.

Para permitir uma melhor visão dos inversores TPB, este capítulo apresenta um estudo comparativo das perdas. As topologias são analisadas de acordo com a melhor possibilidade para sua operação, pois apresenta-se um estudo que leva em conta as variações em que os circuitos podem funcionar.

5.2 Perdas Relacionadas às Técnicas de Modulação

Os resultados de perdas para as topologias com barramento pulsado ainda podem ser melhoradas. Dependendo da estratégia de modulação adotada, as perdas totais podem ser reduzidas. Inicialmente, é feita uma comparação das perdas no inversor usando as duas estratégias de modulação em que o circuito só é usado uma vez durante o intervalo. Como o funcionamento do circuito influencia bastante o cálculo das perdas, calcula-se

apenas as perdas no inversor. Isto é feito para que as estratégias de modulação possam ser avaliadas sem perdas adicionais causadas pelo circuito que está associado ao funcionamento do sistema. A simulação foi feita usando-se os seguintes parâmetros: $E = 500V$, $f_c = 50kHz$, $m = 1$, $\Phi_{V-I} = 30^\circ$, $C = 33nF$ e $L = 5\mu H$, e os resultados são apresentados na figura 5.1. A técnica usada para o inversor com capacitores em paralelo (ZVS) é a técnica MPT, enquanto a modulação usada para o inversor com indutores em série (ZCS, Fig. 4.30) é a técnica AF. Nos resultados apresentados daqui por diante, I_{max} se refere ao valor máximo da corrente senoidal na saída do inversor (corrente na fase).

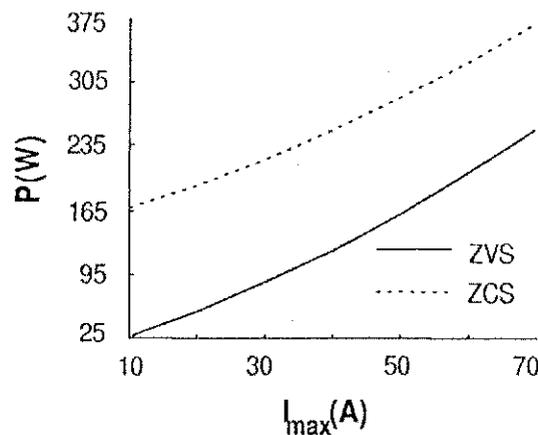


Figura 5.1: Comparação de perdas entre as técnicas para inversores ZVS e ZCS

Como pode ser observado da figura, o uso de indutores em série apresenta mais perdas no inversor do que o equivalente capacitivo. A estratégia de modulação associada às perdas da indutância em série no inversor ZCS justificam a diferença de perdas encontrada entre as duas técnicas. Entretanto, se a corrente na fase aumenta e a tensão do barramento permanece a mesma, a diferença nas perdas entre as duas técnicas se torna menor. Além disso, os resultados dependem das características dos dispositivos a serem utilizados e o fator custo também deve ser levado em consideração. A seguir, é feita uma comparação das perdas para as técnicas com capacitor de barramento.

Existem duas possibilidades: uso do circuito auxiliar apenas no início do intervalo de modulação (entalhe com largura fixa (ELF) ou entalhe com largura variável (ELV) e uso do circuito auxiliar a cada mudança dentro do intervalo de modulação (ELF ou ELV).

Como exemplo das variações citadas acima, avaliam-se as perdas para o circuito TPB proposto em Sung e Nam (1998) (Fig. 5.2), denominado de CAC XXXI no capítulo 2. Este circuito é escolhido por permitir todas as possibilidades de modulação e por apresentar algumas características interessantes no seu funcionamento, como, por exemplo, a facilidade nas condições de projeto e ausência de perdas na indutância ressonante durante o pulso

Circuito Auxiliar	Entalhe	$f_c(kHz)$							
		20				50			
		$I_{max}(A)$				$I_{max}(A)$			
		30		70		30		70	
		m		m		m		m	
		0,5	1,0	0,5	1,0	0,5	1,0	0,5	1,0
		Perdas (W)							
Apenas no início de T_{ch}	ELF	108	128	287	343	157	175	350	405
	ELV	124	142	306	368	183	200	381	411
A cada mudança dentro de T_{ch}	ELF	138	153	333	393	210	210	412	460
	ELV	126	142	316	379	181	200	392	454

Tabela 5.1: Perdas para o inversor XXXI

e o entalhe. Como pode ser visto na tabela 5.1, o uso do circuito auxiliar apenas no início do intervalo de modulação apresenta o melhor desempenho em relação às perdas. O desempenho obtido com a versão ELV foi pior do que aquele obtido com ELF. Isto indica que versões ELV podem não ser melhores que aquelas obtidas com ELF. Devido a esta avaliação, a comparação do CAC XXXI com outras topologias estudadas a seguir é realizada com ELF, pois esta é vista como uma boa técnica para redução de perdas.

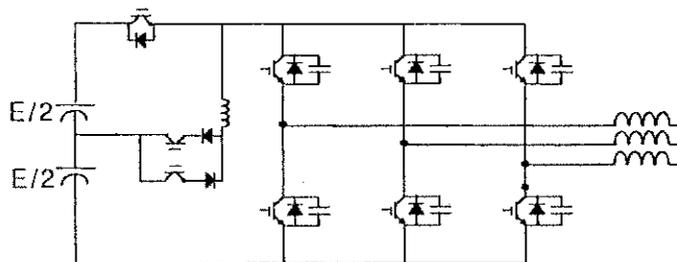


Figura 5.2: Inversor XXXI

Antes de se fazer um estudo comparativo entre os inversores TPB, existe a necessidade de se verificar qual estratégia de modulação é mais interessante para o barramento pulsado. Com o cálculo do desvio de corrente eficaz, pode-se calcular as perdas totais de um inversor com barramento pulsado de maneira mais ampla. Na tabela 5.2, as três técnicas são comparadas nas mesmas condições de operação. As perdas devido ao desvio da corrente eficaz são calculadas por

$$P_{ef} = R \cdot I_{ef}^2 \tag{5.1}$$

onde R é a resistência equivalente $\alpha\beta$, que é a resistência de uma fase em um sistema equilibrado.

Técnicas	$f_c(kHz)$							
	10				20			
	$E(V)$				$E(V)$			
	1000		500		1000		500	
	m		m		m		m	
	0,5	1,0	0,5	1,0	0,5	1,0	0,5	1,0
Perdas (W)								
AF/RDC	35,2	28,2	8,8	7,1	8,8	7,0	2,2	1,8
MDC	31,6	20,0	7,9	5,0	7,8	4,9	1,9	1,2

Tabela 5.2: Comparação das técnicas AF, RDC e MDC ($\Phi_{V-I} = 0^\circ, R = 30\Omega, L = 0,01H$)

Na tabela 5.2, nota-se que as perdas devido ao desvio eficaz, para circuitos a barramento pulsado, variam muito pouco entre uma técnica e outra a medida que a frequência de chaveamento é aumentada.

Os resultados das perdas totais para a técnica AF são apresentados na figura 5.3, onde nota-se que a inversão da estratégia de modulação (técnica MPT) para baixas correntes reduz as perdas no CAC XXXI. O circuito foi simulado para $E = 500V, f_c = 50kHz, m = 1$ e $\Phi_{V-I} = 30^\circ$.

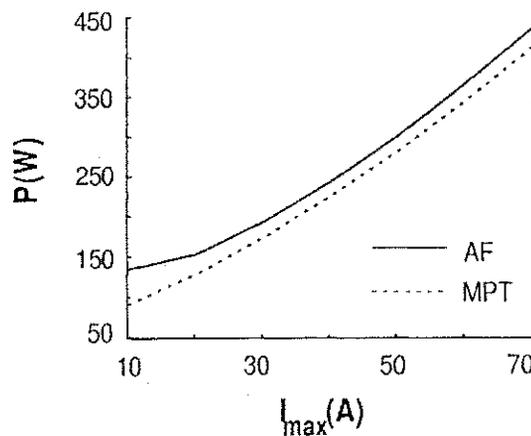


Figura 5.3: Comparação de perdas entre as técnicas AF e MPT

Na figura 5.4 ($E = 500V, I_{max} = 70A, f_c = 50kHz$ e $m = 1$) é feita uma comparação de perdas para as técnicas MPT, RDC e MDC. As três técnicas são simuladas com inversão da estratégia de modulação nas baixas correntes. Nota-se que a técnica MPT apresenta

as maiores perdas devido ao desvio de corrente eficaz (Fig. 5.4(a)). Entretanto, devido à redução de perdas no circuito auxiliar (Fig. 5.4(b)) e nas chaves principais do inversor (Fig. 5.4(c)), a técnica MPT reduz as perdas totais (Fig. 5.4(d)) no inversor XXXI.

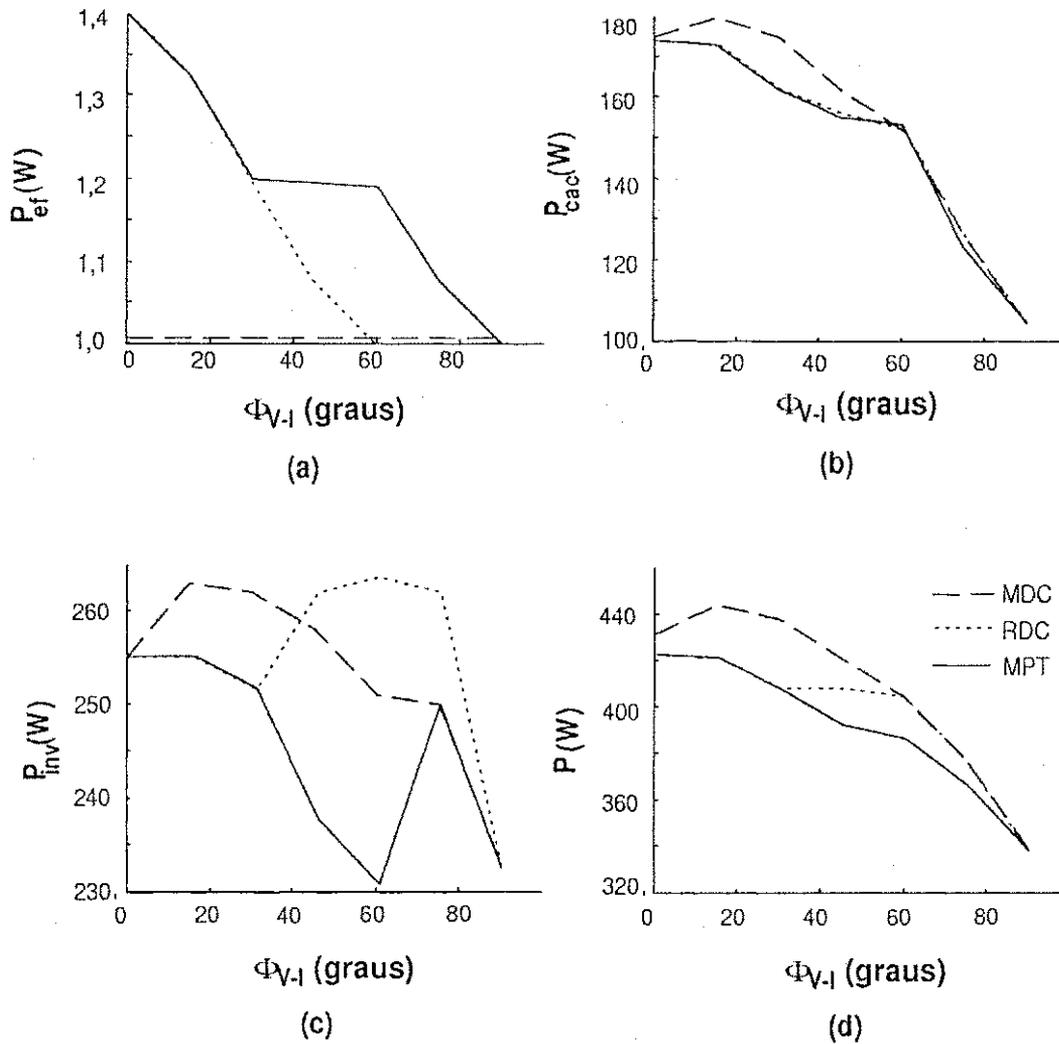


Figura 5.4: Comparação de perdas entre as técnicas MPT, RDC e MDC

O método descrito no capítulo 3 foi aplicado ao caso de projeto de um inversor fonte de tensão PWM trifásico usando IGBTs. A tabela 5.3 ($E = 200V, R_g = 7,4\Omega, I_{max} = 27A, m = 1, \Phi_{V-I} = 8^\circ, f_c = 20kHz$) mostra as eficiências para um inversor de $4kW$. Quatro técnicas PWM diferentes foram testadas: modulação senoidal (SM), SVPWM ($\mu = 0,5$) e dois PWM descontínuos. DPWMMIN ($\mu = 1$) sempre usa as chaves inferiores do inversor como roda-livre, enquanto DPWMMAX ($\mu = 0$) sempre usa as chaves superiores para roda-livre. Simulação usando as equações propostas e resultados experimentais são mostrados na tabela.

Na tabela 5.3 o erro máximo entre os resultados experimentais e simulados usando as

Técnica	Eficiência experimental	Eficiência (simulação com temperatura)	Eficiência (simulação sem temperatura)
SM	95,6%	97,0%	97,7%
SVPWM	95,8%	96,7%	97,4%
DPWMMIN	95,8%	96,7%	97,5%
DPWMMAX	96,4%	97,9%	98,3%

Tabela 5.3: Eficiência das técnicas de modulação para o inversor com comutação dissipativa

equações propostas é cerca de 1,5%. Assim, os resultados do modelo estão em uma faixa aceitável porque os erros são pequenos e o equipamento usado para fazer os testes tem um erro de tolerância de 2%. O pior caso ocorreu para DPWMMAX. A principal vantagem de usar simulação combinada com as equações propostas é que é possível incluir a temperatura estimada para o dispositivo. Considerando as resistências térmicas para o IGBT e diodo, a temperatura de junção pode ser estimada e as perdas podem ser consideradas para este valor. A vantagem de ter uma melhor estimativa, usando um bom modelo para perdas é refletido na temperatura de junção do dispositivo e conseqüentemente melhora o projeto térmico, que é uma das partes mais caras do sistema.

5.3 Perdas Relacionadas aos Inversores TPB

Apresenta-se agora o estudo comparativo das perdas usando a metodologia para simulação dos circuitos que foi estudada durante o trabalho. Devido a grande quantidade de inversores TPB, foram simulados apenas alguns representativos. Os circuitos estudados usam PWM e foram simulados com o entalhe de largura fixa. Os resultados das simulações são apresentados na tabela 5.4, onde a numeração dos circuitos se refere a figura 5.5, sendo que os CACs XXXV e XXXVI (Cavalcanti et al., 2001) são circuitos propostos no capítulo 2.

Os circuitos foram simulados para $\Phi_{V-I} = 0^\circ$, $E = 500V$, $T = 25^\circ C$. Os inversores foram usados com chaves IRGPC50F da International Rectifier (IR) e as tensões foram consideradas como estando no primeiro setor. O inversor III foi considerado para 80 e 200kHz, correspondendo a 20 e 50kHz, respectivamente. Isto é feito porque os inversores que usam PDM têm características espectrais aproximadamente equivalentes ao inversor PWM, quando a frequência é de 3 a 4 vezes maior que a frequência do inversor PWM.

O resultado na tabela 5.4 mostra que o inversor XXXVI apresenta melhores resultados tanto para 20kHz como para 50kHz quando a corrente de carga é de 30A. Com exceção dos inversores XIX e XXXI, os outros inversores apresentam perdas muito superiores às

Inversores	$f_c(kHz)$							
	20				50			
	$I_{max}(A)$				$I_{max}(A)$			
	30		70		30		70	
	m		m		m		m	
	0,5	1,0	0,5	1,0	0,5	1,0	0,5	1,0
Perdas (W)								
III	165	184	385	400	606	626	758	842
X	319	336	513	571	971	995	1647	1774
XIX	115	134	311	375	162	180	578	644
XX	161	164	383	398	300	303	577	591
XXI	142	161	425	489	228	246	686	747
XXIV	197	214	287	343	423	440	480	541
XXV	459	463	839	854	491	494	882	895
XXVI	159	178	397	461	270	288	608	669
XXVII	155	172	289	350	318	335	523	582
XXVIII	339	358	563	627	726	744	1030	1091
XXX	264	283	430	493	537	555	694	757
XXXI	108	128	277	342	157	175	350	405
XXXII	201	223	390	459	401	464	781	868
XXXIII	203	225	408	480	240	278	532	591
XXXV	147	166	348	412	241	259	489	551
XXXVI	103	123	272	333	133	152	303	374

Tabela 5.4: Perdas para os inversores TPB

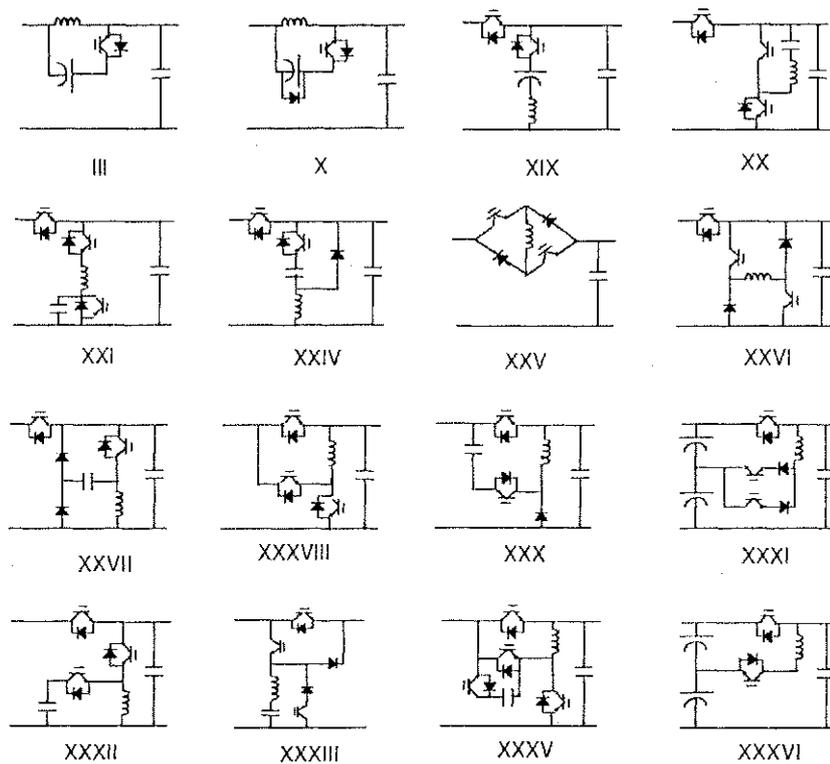


Figura 5.5: Circuitos para comparação de perdas

mostradas por XXXVI. Para 70A, o inversor XXXVI tem as menores perdas. A razão para isto é que o CAC XXXVI não possui muitas das desvantagens mencionadas nos aspectos operacionais listados no capítulo 2, como por exemplo facilidade nas condições de projeto e ausência de perdas na indutância ressonante durante o pulso. Devido a estas condições, a topologia apresentou valores reduzidos de perdas em relação às outras topologias. O circuito apresentado tem apenas uma chave e um diodo auxiliares, o que implica em menores perdas, já que neste caso só a chave ou o diodo conduz. As perdas para o inversor XXIV são próximas as dos inversores XXXI e XXXVI quando a frequência é de $20kHz$.

Para que os resultados não fiquem restritos a um IGBT, alguns inversores da figura 5.5 foram simulados para o IGBT CM150DY-24H da Mitsubishi (da Silva et al., 2002). Nas simulações, as condições usadas foram $E = 500V$, $m = 1$ e $\Phi_{V-I} = 0^{\circ}$. Neste caso, também foi observado o comportamento das perdas para cada parte do circuito. Na tabela 5.5, condução e chaveamento se referem às perdas nas chaves principais do inversor, enquanto circuito se refere às perdas dos CACs, excluindo a chave S_{cc} , que é mostrada separadamente.

Na figura 5.6, são mostradas as perdas do circuito auxiliar para os circuitos examinados. As perdas de condução e chaveamento nas chaves principais do inversor são muito próximas entre os CACs e portanto o comportamento dos inversores pode ser avaliado apenas com

Inversores	Tipo de perdas	$f_c = 50kHz$			$I_{max} = 150A$		
		$I(A)$			$f_c(kHz)$		
		30	70	110	10	30	50
		Perdas (W)					
XXIV	Condução	129	260	456	668	670	675
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	140	202	302	284	319	391
	Circuito	72	103	154	59	149	200
XXXI (ELF)	Condução	84	243	438	672	665	660
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	48	99	160	256	220	227
	Circuito	25	51	82	53	103	117
XXXI (ELV)	Condução	82	240	436	672	664	659
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	49	117	216	318	282	341
	Circuito	25	51	82	53	103	117
XXXII	Condução	86	247	449	677	680	683
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	149	320	523	399	598	828
	Circuito	76	164	267	82	280	422
XXXVI	Condução	84	243	438	672	665	660
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	31	69	108	180	171	190
	Circuito	17	36	56	38	81	97

Tabela 5.5: Perdas para os inversores TPB (CM150DY-24H)

as perdas no CAC. Estes resultados mostram que o desempenho obtido com versões ELV não é melhor que aquele obtido com ELF.

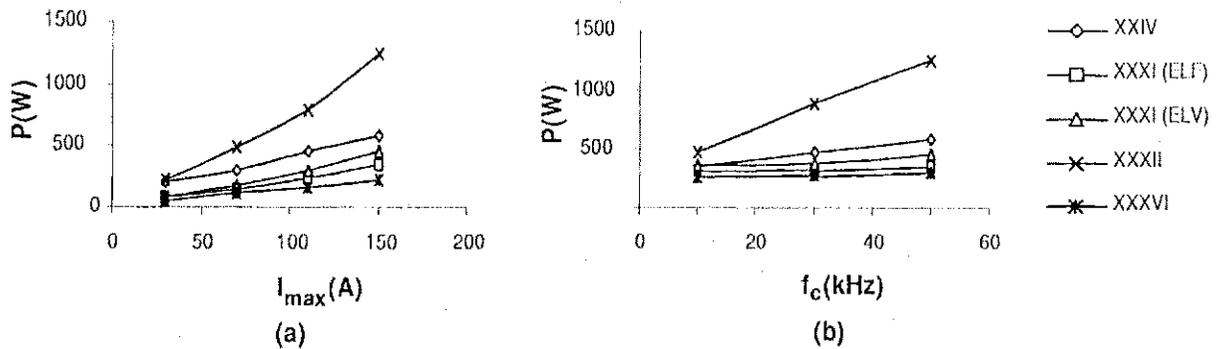


Figura 5.6: Perdas nos circuitos TPB variando (a) corrente e (b) frequência

Na figura 5.7, são mostradas as eficiências para os circuitos examinados. O comportamento da eficiência dos inversores pode ser explicado com base nas perdas dos circuitos auxiliares. O CAC XXXVI tem melhor aproveitamento para toda a faixa de corrente e frequência. A vantagem do CAC XXXVI aparece principalmente em altas frequências, já que a variação de perdas no mesmo é menor do que a dos outros CACs, quando f_c varia de 10 a 50 kHz. O CAC XXXII apresenta o pior rendimento, sendo a diferença em relação aos outros CACs agravada quando a corrente ou frequência são aumentadas. Isto se explica pelo fato do circuito possuir as maiores perdas entre os circuitos, que é refletida especialmente com a frequência de chaveamento. Todos os inversores possuem melhor rendimento a baixas correntes.

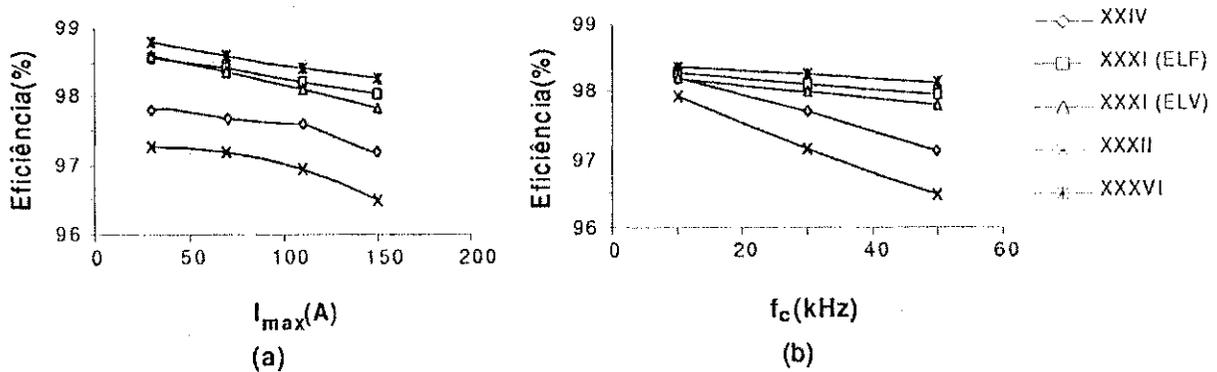


Figura 5.7: Eficiência nos inversores TPB variando (a) corrente e (b) frequência

A validade da técnica proposta é verificada por resultados experimentais. O circuito equivalente para o inversor XXXVI (Cavalcanti et al., 2002) é testado e as eficiências calculada e experimental são comparadas na figura 5.8. Para estes resultados uma carga

CC ($R = 11\Omega$, $L = 0,5mH$) foi usada e a potência varia de $225W$ ($50V, 4,5A$) a $5625W$ ($250V, 22,5A$).

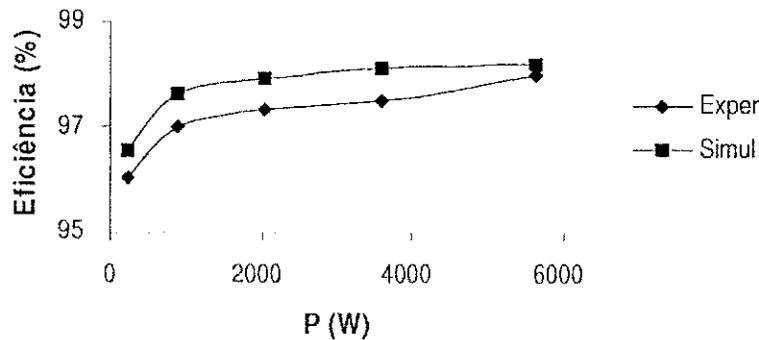


Figura 5.8: Comparação das eficiências calculada e experimental para o CAC XXXVI.

Na figura 5.8, o erro máximo entre os resultados experimental e simulado usando as equações propostas é cerca de 0,6%. Isto valida a técnica desde que os erros medidos nos resultados do modelo são menores que o erro de tolerância de 2% do equipamento usado para os testes. Nota-se que o maior erro ocorreu para baixa potência.

5.4 Comparação de Perdas entre os Inversores XXXVI e ARCP

Como o inversor XXXVI (Fig. 5.9(a)) possui boas características de funcionamento, existe a necessidade de compará-lo a estrutura proposta (Fig. 5.9(b)) por Doncker e Lyons (1990). Esta estrutura possui o mesmo princípio de funcionamento do CAC XXXVI, porém o inversor é do tipo comutação local, ou seja, existe um circuito auxiliar para cada braço do inversor. Como consequência temos um maior número de componentes, o que aumenta a complexidade no controle das chaves. Como a estrutura já possui os capacitores em paralelo com cada uma das chaves do inversor, as técnicas de modulação estudadas no capítulo 4 podem ser aplicadas da mesma forma que os circuitos TPB.

Na tabela 5.6, avaliam-se as perdas para o inversor ARCP (Fig. 5.9(b)) em comparação com o inversor XXXVI, que foi visto como o de menor perdas entre os inversores TPB, para a faixa de parâmetros examinada. Como pode ser visto na tabela, o uso do inversor ARCP apresenta o melhor desempenho em relação às perdas. Entretanto, à medida que f_c aumenta, existe uma tendência de melhoria para o inversor XXXVI, já que f_c praticamente não interfere nas perdas de condução de S_{cc} . A frequência de chaveamento em que o inversor XXXVI passa a ser melhor que o inversor ARCP depende muito das condições de

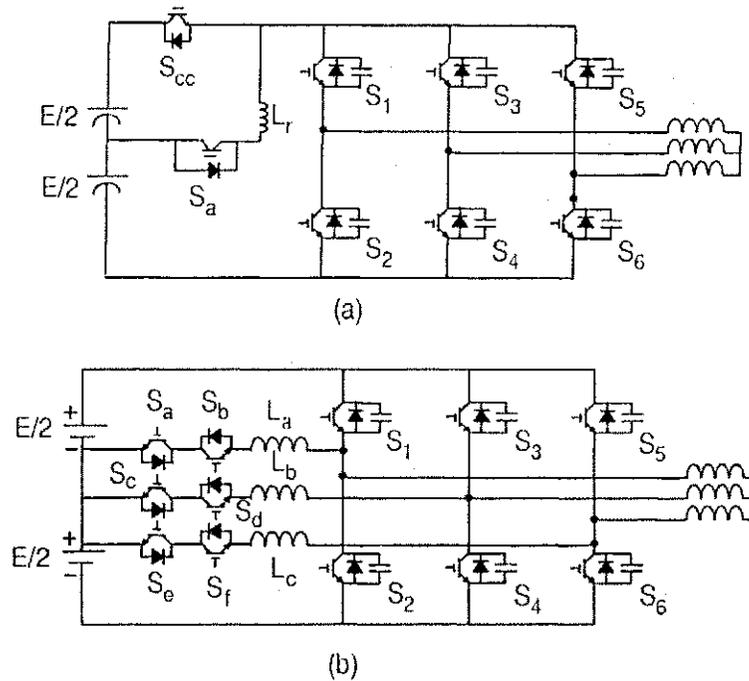


Figura 5.9: Inversores (a) XXXVI e (b) ARCP

operação do sistema. Por exemplo, para $I_{max} = 30A$, as perdas entre os dois inversores se cruzam em aproximadamente $f_c = 20kHz$ para $m = 0,5$, enquanto o cruzamento acontece em aproximadamente $f_c = 50kHz$ para $m = 1$.

Na figura 5.10(a) são avaliadas as perdas nos inversores XXXVI e ARCP, onde as curvas em traço escuro referem-se ao CAC XXXVI.. As perdas também são avaliadas para o inversor com chaveamento dissipativo (HS) (Fig. 5.10(b)). As condições usadas foram $E = 500V$, $I_{max} = 70A$, e $f_c = 50kHz$. Nota-se que à medida que o ângulo de fase aumenta ($45^\circ < \Phi_{V-I} < 90^\circ$), o chaveamento suave torna-se mais competitivo em relação ao

Perdas nos inversores (W)	$f_c(kHz)$							
	20				50			
	$I_{max}(A)$				$I_{max}(A)$			
	30		70		30		70	
	m		m		m		m	
	0,5	1,0	0,5	1,0	0,5	1,0	0,5	1,0
XXXVI	103	123	277	342	133	152	303	374
ARCP	101	105	257	271	150	155	337	351

Tabela 5.6: Perdas para os circuitos com chaveamento suave

Inversores	Tipo de perdas	$f_c = 50kHz$			$I_{max} = 150A$		
		$I(A)$			$f_c(kHz)$		
		30	70	110	10	30	50
		Perdas (W)					
HS	Condução	80	241	442	674	675	675
	Chaveamento	172	404	638	176	498	872
XXXVI	Condução	84	243	438	672	665	660
	Chaveamento	5	27	66	25	75	123
	Chave S_{cc}	31	69	108	180	171	190
	Circuito	17	36	56	38	81	97
ARCP	Condução	77	225	419	664	657	651
	Chaveamento	5	27	66	25	75	123
	Circuito	76	103	144	38	122	200

Tabela 5.7: Perdas para os inversores (CM150DY-24H)

chaveamento dissipativo, já que as perdas no inversor HS crescem significativamente nesta faixa, enquanto as perdas nos inversores com chaveamento suave diminuem ($m = 0,5$) ou tornam-se praticamente constantes ($m = 1$).

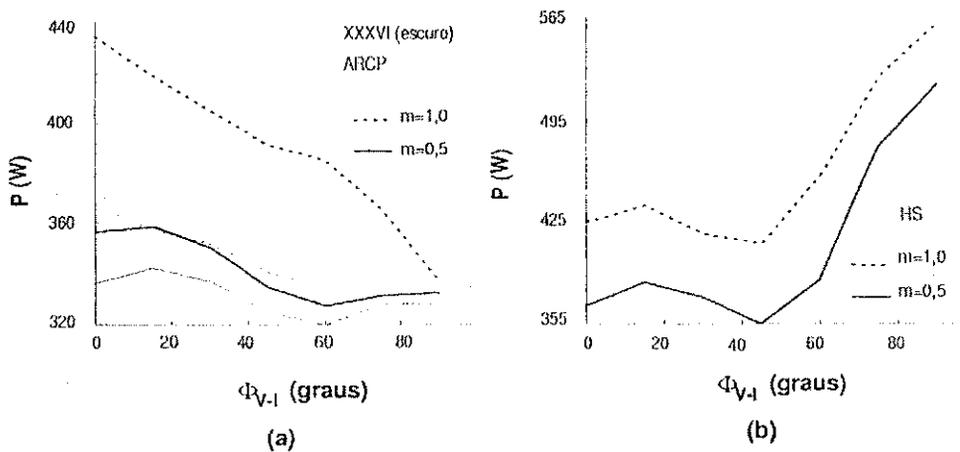


Figura 5.10: Perdas nos inversores (a) XXXVI, ARCP e (b) HS

Os inversores também foram simulados para o IGBT CM150DY-24H da Mitsubishi. Nas simulações, as condições usadas foram $E = 500V$, $m = 1$ e $\Phi_{v-l} = 0^\circ$. Na tabela 5.7, condução e chaveamento se referem às perdas nas chaves principais do inversor, enquanto circuito se refere às perdas do CAC, excluindo a chave S_{cc} , que é mostrada separadamente. Na figura 5.11, são mostradas as perdas do circuito auxiliar para os circuitos examinados.

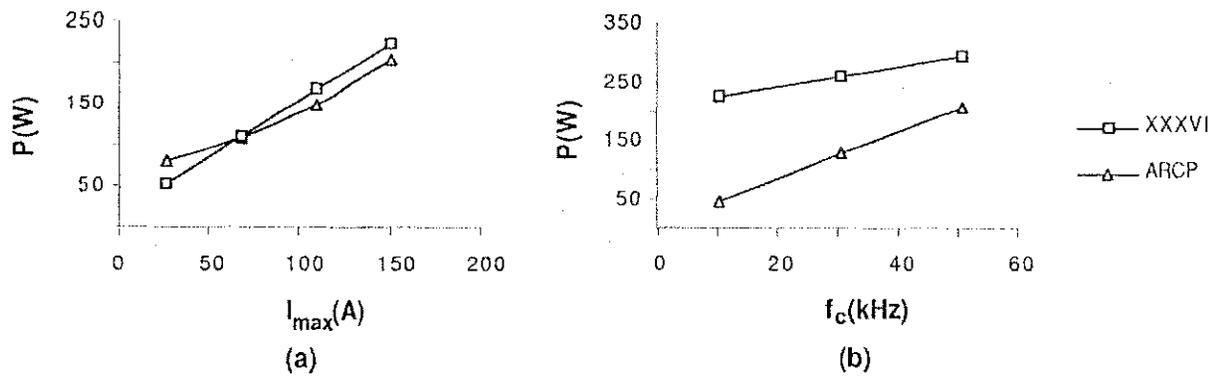


Figura 5.11: Perdas nos circuitos XXXVI e ARCP variando (a) corrente e (b) frequência

Na figura 5.12, são mostradas as eficiências para os inversores examinados. Neste caso o inversor HS também é considerado. Estes resultados mostram que topologias com chaveamento suave, nas quais certos aspectos operacionais sejam observados, podem provavelmente ser mais eficientes que o inversor HS, mas isto não é verdade para todas as topologias existentes. Outro resultado bastante interessante é visto quando compara-se o CAC XXXVI e o ARCP. O aumento da frequência de chaveamento aproxima a eficiência dos dois inversores. Isto pode ser explicado pelo fato de que o inversor XXXVI possui baixas perdas no circuito auxiliar, com exceção das perdas de condução da chave S_{cc} , que tem uma grande influência no resultado final das perdas. Assim, não existe grande alteração das perdas nesta topologia quando a frequência de chaveamento é aumentada e a eficiência diminui suavemente. No ARCP, a chave S_{cc} não existe e as perdas são significativamente alteradas com f_c .

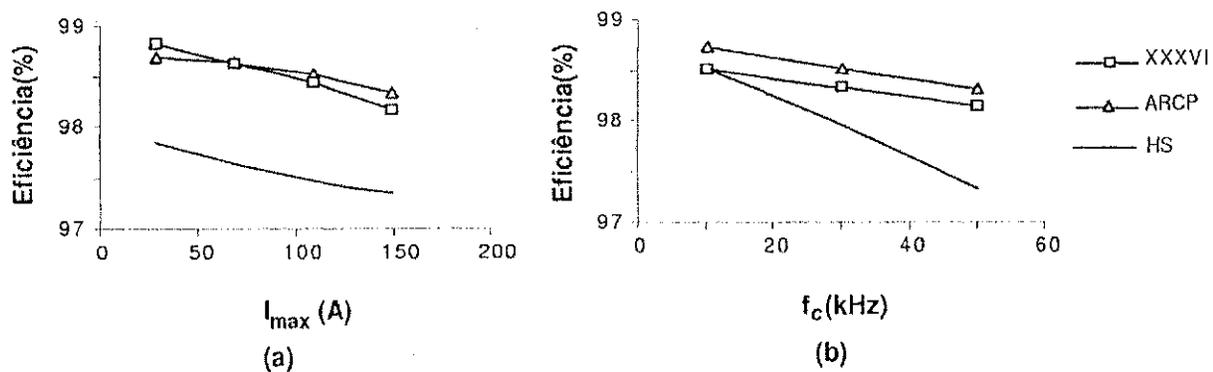


Figura 5.12: Eficiência nos inversores XXXVI, ARCP e HS: (a) corrente e (b) frequência

Com os resultados apresentados para diferentes valores de corrente de fase, frequência de chaveamento e índice de modulação, usando dois diferentes IGBTs, pode-se assumir que os inversores de melhor eficiência são os relacionados ao CAC XXXVI e ao ARCP. O

desempenho desses inversores ainda pode ser melhorado se for feita uma escolha adequada dos componentes passivos e das chaves dos mesmos. Assim, esses inversores são estudados com detalhes na próxima seção, em comparação ao inversor HS.

5.5 Melhoria do Desempenho dos Inversores XXXVI e ARCP

Os inversores referentes ao CAC XXXVI e ao ARCP são mostrados na figura 5.9. Devido à semelhança de operação entre as duas topologias, a escolha dos componentes passivos para o inversor XXXVI também será usado para o inversor ARCP. Na figura 5.13 são mostradas as etapas de operação do CAC XXXVI. As equações do circuito são explicadas a seguir.

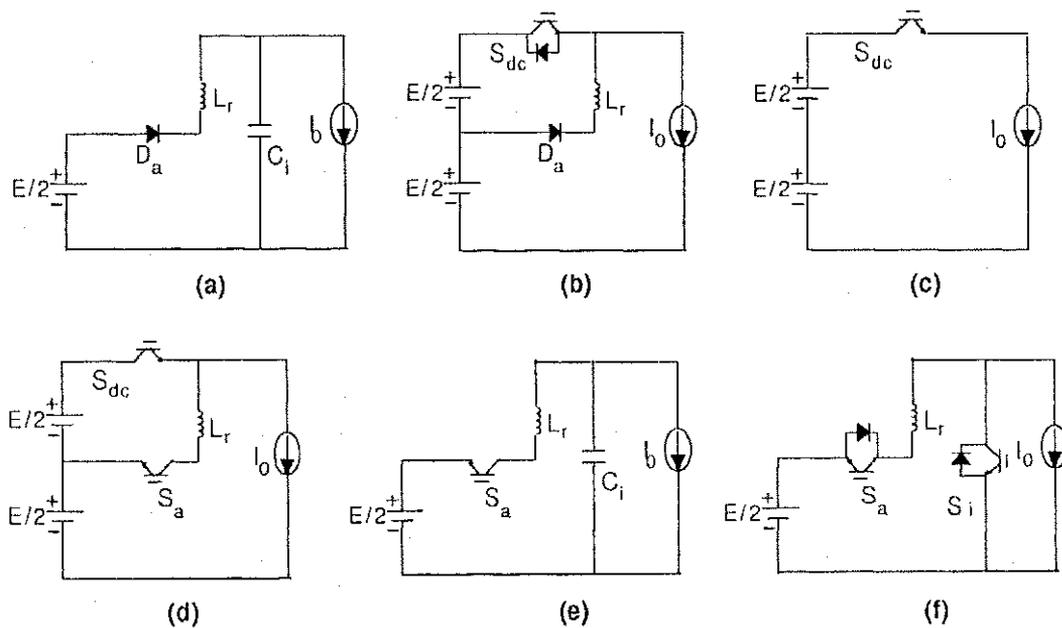


Figura 5.13: Etapas de operação do CAC XXXVI

Etapa I $((t_0, t_1), \text{Fig.5.13(a)})$:

$$\begin{aligned}
 i_{Lr} &= [i_{Lr}(t_0) + I_0] \cos(\omega t) - \frac{E \sin(\omega t)}{2\omega L_r} - I_0 \\
 v_{Ci} &= \frac{E}{2} [1 - \cos(\omega t)] - \omega L_r [I_0 + i_{Lr}(t_0)] \sin(\omega t) \\
 \omega &= \frac{1}{\sqrt{L_r C_i}}
 \end{aligned} \tag{5.2}$$

Etapa II $((t_1, t_2), \text{Fig.5.13(b)})$:

$$i_{Lr} = \frac{E}{2L_r} t + i_{Lr}(t_1) \tag{5.3}$$

$$v_{Ci} = E$$

Etapa III $((t_2, t_3), \text{Fig.5.13(c)})$:

$$i_{Lr} = 0 \quad (5.4)$$

$$v_{Ci} = E$$

Etapa IV $((t_3, t_4), \text{Fig.5.13(d)})$:

$$i_{Lr} = \frac{E}{2L_r}t \quad (5.5)$$

$$v_{Ci} = E$$

Etapa V $((t_4, t_5), \text{Fig.5.13(e)})$:

$$i_{Lr} = [i_{Lr}(t_4) + I_0] \cos(\omega t) + \frac{E \sin(\omega t)}{2\omega L_r} - I_0 \quad (5.6)$$

$$v_{Ci} = \frac{E}{2} [1 + \cos(\omega t)] - \omega L_r [I_0 + i_{Lr}(t_4)] \sin(\omega t)$$

Etapa VI $((t_5, t_6), \text{Fig.5.13(f)})$:

$$i_{Lr} = -\frac{E}{2L_r}t + i_{Lr}(t_5) \quad (5.7)$$

$$v_{Ci} = 0$$

5.5.1 Seleção dos Componentes Passivos

Para o bom funcionamento do circuito proposto, existem algumas restrições que devem ser seguidas. Este tipo de estudo, leva a equações que determinam as condições de operação da topologia.

Normalmente, os intervalos de ressonância $(t_1 - t_0)$ e $(t_5 - t_4)$ e o entalhe $(t_6 - t_5)$ são projetados para serem muito menores que o tempo referente ao intervalo de chaveamento T_{ch} , de modo que o sistema tenha boas formas de onda de saída. Outro objetivo é minimizar $i_{Lr \max}$. Como pode ser visto, não é possível alcançar todos os objetivos simultaneamente.

Desde que os intervalos de ressonância e entalhe são muito menores que o intervalo de chaveamento, as correntes de pico pulsadas através das chaves não irão significativamente aumentar os valores nominais de corrente dos dispositivos. Mais detalhes sobre avaliações dos estresses nas chaves auxiliares e valores nominais de corrente nos dispositivos são dados na parte referente à seleção das chaves.

Como o entalhe é determinado pelo valor da indutância (etapa VI), se usarmos L_r grande, teremos um tempo de entalhe longo e com isso uma degradação nas formas de onda de saída. Assim, é desejável um valor de indutância pequeno.

Pelos resultados de perdas anteriores, o uso de chaveamento suave torna-se atrativo apenas quando freqüências de chaveamento elevadas são utilizadas. Sendo assim, supõe-se uma aplicação com freqüência de até 50kHz . Como limite para o tempo do entalhe, escolhe-se $2\mu\text{s}$, que corresponde a 10% do intervalo de chaveamento para 50kHz ($T_{ch} = 20\mu\text{s}$).

Supõe-se que $i_{Lr}(t_0) = i_{Lr}(t_6) = -x \cdot I_{\text{max}}$ é a condição suficiente para que a tensão do barramento cresça para E , na próxima etapa de operação. Considera-se também que $i_{Lr}(t_5) = y \cdot I_{\text{max}}$.

Pela equação (5.7), considerando $E = 500\text{V}$, $I_{\text{max}} = 150\text{A}$ e $t_6 - t_5 < 2\mu\text{s}$

$$\begin{aligned} \frac{E}{2L_r}(t_6 - t_5) &> x \cdot I_{\text{max}} + y \cdot I_{\text{max}} \\ L_r &< \frac{10}{3(x + y)} \end{aligned} \quad (5.8)$$

Da equação (5.2), o capacitor deve estar completamente carregado antes de $\omega t = 180^\circ$, sendo esta a condição ideal (sem perdas). O pior caso para esta condição ocorre quando $I_0 = I_{\text{max}}$ e assim, esta será a situação assumida na carga do capacitor.

A condição para que $v_{Ci} = E$ seja alcançado é obtida quando $i_{Lr}(t_0) = -x \cdot I_{\text{max}}$ e $I_0 = I_{\text{max}}$

$$\begin{aligned} \frac{E}{2}[1 - \cos(\omega t)] - \omega L_r(I_{\text{max}} - x \cdot I_{\text{max}}) \sin(\omega t) &> E \\ \sqrt{\frac{L_r}{C_i}} &> \frac{5[1 + \cos(\omega t)]}{3(x - 1) \sin(\omega t)} \\ C_i &< L_r \left[\frac{3(x - 1) \sin(\omega t)}{5[1 + \cos(\omega t)]} \right]^2 \end{aligned} \quad (5.9)$$

O pior caso para a descarga do capacitor ocorre quando $I_0 = 0$ (configuração do inversor equivalente ao vetor nulo). Da equação (5.6), a condição para que $v_{Ci} = 0$ seja alcançado é obtida quando $i_{Lr}(t_1) = z \cdot I_{\text{max}}$ e $I_0 = 0$

$$\begin{aligned} \frac{E}{2}[1 + \cos(\omega t)] - \omega L_r(z \cdot I_{\text{max}}) \sin(\omega t) &< 0 \\ \sqrt{\frac{L_r}{C_i}} &> \frac{5[1 + \cos(\omega t)]}{3z \sin(\omega t)} \\ C_i &< L_r \left[\frac{3z \sin(\omega t)}{5[1 + \cos(\omega t)]} \right]^2 \end{aligned} \quad (5.10)$$

Usando-se a equação (5.8) para a escolha do valor de L_r , pode-se usar a equação (5.9) ou a equação (5.10) para a escolha de C_i , em μH e μF , respectivamente.

Durante as simulações, observou-se o desequilíbrio dos capacitores, onde o capacitor CC superior tende a se carregar e o capacitor CC inferior a se descarregar. A tendência

no desequilíbrio dos capacitores CC mostra que a etapa VI deve ser encerrada assim que i_{Lr} alcance o valor $-I_0 + \Delta i$, sendo o último o valor suficiente para compensar as perdas durante a próxima etapa. Como Δi deve ser pequeno, supõe-se que $x < 1,1$.

Considera-se que a corrente ressonante não excede o dobro do valor máximo de corrente na fase do inversor ($i_{Lr \max} < 2I_{\max}$). Assim, $y < 2$ deve ser uma condição para o circuito.

Os valores máximos de L_r e C_i são mostrados na figura 5.14 para valores diferentes de x e y com $\omega t = 165^\circ$.

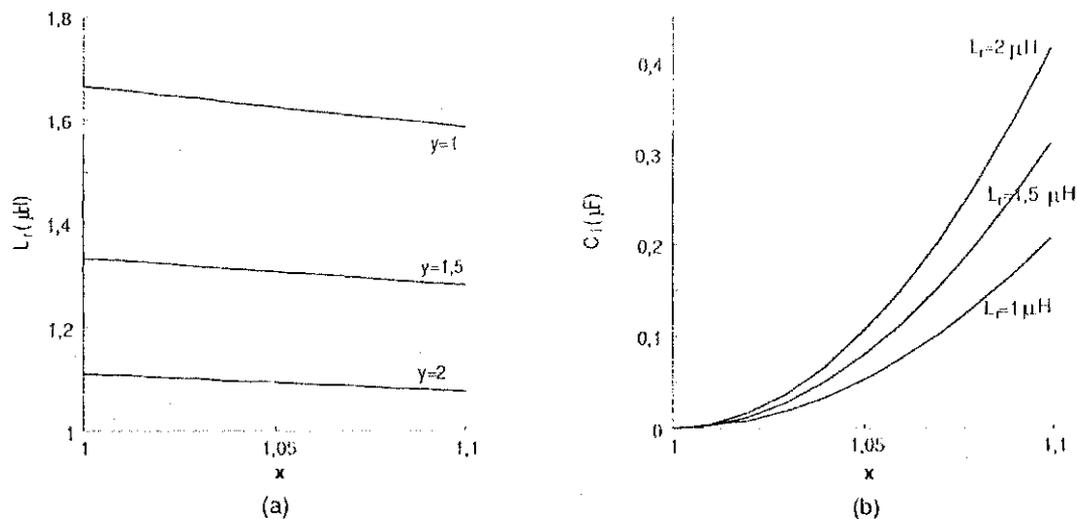


Figura 5.14: Curvas para a escolha de (a) L_r e (b) C_i

Assim, com $x = 1,1$ e $y = 2$, tem-se que $L_r < 10/3(1,1 + 2) = 10/9,3$. O valor escolhido é $L_r = 1\mu H$.

A equação (5.9) pode ser escolhida como condição para C_i , pois ela satisfaz também a condição estabelecida pela equação (5.10), já que para manter o balanço do ponto central, $z > 0,1$. Assim, substituindo $L_r = 1\mu H, x = 1,1$ e $\omega t = 165^\circ$ em (5.9)

$$C_i < 1 \left[\frac{3(1,1 - 1) \sin(165^\circ)}{5[1 + \cos(165^\circ)]} \right]^2 = 0,21 \tag{5.11}$$

Isto leva a $L_r = 1\mu H$ e $C_i = 0,2\mu F$ de modo que satisfaça as condições estabelecidas nas equações (5.8) e (5.9).

Para o equilíbrio dos capacitores CC, o valor médio da corrente i_{Lr} deve ser igual a zero. A variação do intervalo referente à etapa IV consegue manter o valor médio de corrente em zero, porém é desejável que a etapa IV não termine com $i_{Lr}(t_A)$ elevado, pois com a oscilação da etapa seguinte, $i_{Lr \max}$ seria maior que $2I_{\max}$. Se existir uma possibilidade de desequilíbrio em que o capacitor CC superior tende a se descarregar e o capacitor CC

inferior a se carregar, a etapa VI deve ser utilizada por mais tempo, de modo a compensar este desequilíbrio. O valor mínimo das capacitâncias CC é determinado pela variação de tensão máxima desejada no ponto central.

Por simulação, o inversor foi testado ($E = 500V$, $I_{\max} = 150A$, $\Phi_{V-I} = 30^\circ$ e $m = 1$) e os seguintes valores foram encontrados: $i_{Lr\max} = 292A = 1,95I_{\max} < 2I_{\max}$ e $t_6 - t_5 = 1,81\mu s < 2\mu s$. Cada capacitância na fonte CC é de $1mF$ (equivalente a $E/2$) e $i_{Lr}(t_A) = 1,8I_{\max}$ é a corrente necessária para o equilíbrio dos capacitores. Com estes valores, a maior variação nos capacitores CC foi da ordem de 0,12% (0,3V).

5.5.2 Seleção das Chaves

Um dos fatores principais para se obter um inversor PWM custo efetivo com alta eficiência são as chaves de potência. Entre as chaves disponíveis comercialmente, alguns parâmetros da chave, tais como densidade de corrente do dispositivo, capacidade de tensão de bloqueio, velocidade de chaveamento, queda de tensão direta, área de operação segura, facilidade de acionamento e custo precisam ser considerados no processo de seleção das chaves.

Uma chave ideal deve ter as seguintes propriedades: capacidade de tensão de ruptura elevada, tensões e resistência de condução baixas, velocidades rápidas de disparo e bloqueio e capacidade de dissipação de potência elevada (He et al., 1990).

Mesmo com os avanços em tecnologia de fabricação de semicondutores, nenhuma das chaves disponíveis possui todas as propriedades simultaneamente. Em todas as chaves, existe um compromisso entre perdas de condução e perdas de chaveamento do dispositivo. Tais compromissos significam que não existe uma chave que possa ser usado para todas as aplicações. A aplicação específica deve ser compatível com a capacidade das chaves disponíveis.

No caso dos inversores XXXVI e ARCP, as chaves podem ser selecionadas através de combinações apropriadas das chaves disponíveis. O critério de seleção das chaves é baseado em algumas considerações discutidas a seguir.

Chaves S_1 a S_6

Para um inversor ZVS operando com frequência de chaveamento e nível de potência elevados, as chaves têm que possuir boas características de condução e chaveamento, já que devido ao uso das técnicas de modulação escolhidas, o uso de chaves com apenas boa característica de condução levaria a perdas de chaveamento elevadas durante as comutações sem o uso do circuito auxiliar. Para o inversor HS, o uso de chaves com boa característica de chaveamento é mais importante devido a alta frequência de chaveamento utilizada na comparação mostrada como exemplo.

Os valores escolhidos para o inversor são $500V$ e $150A$, sendo que $150A$ é o valor máximo de corrente aplicado ao IGBT. Usando a técnica AF, tem-se por simulação que $I_{ef} = 75A$.

Chave S_{cc}

Desde que a chave S_{cc} é localizada no caminho da transferência de energia do inversor XXXVI, uma chave com perda de condução baixa, corrente de pico elevada e velocidade de chaveamento relativamente elevada é desejada.

Por simulação, o valor máximo na chave S_{cc} no circuito XXXVI é $266A$, sendo este praticamente independentemente do valor de f_s . No caso da corrente eficaz, o valor é praticamente constante, variando de 112 a $114A$ na faixa de $10kHz$ a $50kHz$. O valor máximo não é muito superior a 2 vezes o valor eficaz e portanto, pode-se escolher a chave pelo seus valores nominais, já que as chaves normalmente possuem uma corrente de pico, que é pelo menos o dobro da corrente nominal.

Chaves S_a a S_f

Desde que as chaves auxiliares conduzem corrente apenas durante o período de transição ressonante, a resistência de condução não é um fator muito importante. Além disso, as chaves operam em ZCS e portanto, velocidade rápida de disparo e corrente de pico elevada são as características desejadas para as chaves.

Por simulação, o valor máximo na chave S_a no CAC XXXVI é $292A$, independentemente do valor de f_s . No caso da corrente eficaz, os valores variaram de 28 ($10kHz$) a $63A$ ($50kHz$). O valor máximo varia de aproximadamente 5 a 10 vezes o valor eficaz e portanto, não se pode escolher a chave apenas pelo seus valores nominais. O IGBT escolhido também deve suportar os picos de corrente a que será submetida.

Um fato importante é que as chaves auxiliares podem ser dimensionadas para apenas metade da tensão da fonte CC ($E/2$), já que esta é a tensão máxima sobre as chaves. Assim, os IGBTs utilizados são para $600V$, pois a tensão da fonte é de $500V$.

Escolha das chaves

Ainda tem que ser levado em consideração que a temperatura na base dos IGBTs é superior àquela em que a corrente nominal foi determinada. Assim, por exemplo, com $80^{\circ}C$ para a chave BSM75GB120DLC, a corrente CC é $75A$, que é menor que os $170A$ estipulados pelo fabricante a $25^{\circ}C$. Assim, os parâmetros R_{IGBT} e R_{ldiodo} , que se referem às resistências térmicas do IGBT e diodo dos módulos de IGBTs são muito importantes em relação à parte térmica do sistema e são usados no estudo comparativo dos inversores.

Na tabela 5.8, características importantes das chaves escolhidas são ilustradas para comparação. Os dados relacionados à condução e ao chaveamento na tabela se referem a temperatura de $125^{\circ}C$ com correntes de 75 , 150 e $75A$, para as chaves $S_1 - S_6$, S_{cc}

Chave do inversor	Chave comercial	R_{tIGBT} ($^{\circ}C/W$)	R_{tdiodo} ($^{\circ}C/W$)	V_{ce} (V)	V_f (V)	E_{di} (mJ)	E_{dt} (mJ)	E_{rr} (mJ)
$S_1 - S_6$	BSM75GB120DLC	0,18	0,5	2,4	1,7	7,5	9	6,2
S_{cc}	BSM150GB120DLC	0,1	0,25	2,4	1,7	17	18	10
S_a	BSM75GB60DLC	0,35	0,66	2,2	1,2	0,7	2,4	2,3

Tabela 5.8: Escolha das chaves para o inversor XXXVI

e $S_a - S_f$, respectivamente. As chaves BSM75GB120DLC e BSM150GB120DLC são as chaves escolhidas para $50kHz$. A escolha das chaves $S_a - S_f$ depende fortemente de f_c e também se elas são utilizadas no CAC XXXVI ou no ARCP. Assim, por exemplo, a chave BSM75GB60DLC é usada no CAC XXXVI (S_a) para $50kHz$, enquanto no ARCP ($S_a - S_f$) uma chave com menor corrente nominal pode ser utilizada. Isto ocorre devido às diferentes correntes eficazes das chaves auxiliares em cada circuito.

5.5.3 Estudo Comparativo entre os Inversores XXXVI e ARCP

Inicialmente, deve-se levar em consideração um estudo mais detalhado do desempenho dos inversores, e para isso as temperaturas dos sistemas devem ser avaliadas. A temperatura máxima na junção (T_j) dos IGBTs é de $150^{\circ}C$, mas por uma medida de segurança, o valor normalmente usado não excede os $125^{\circ}C$. É assumido uma mesma temperatura na base dos IGBTs ($T_c = 80^{\circ}C$) para todos os inversores, de modo que o custo possa ser avaliado baseado apenas nas chaves usadas.

Para se conhecer a temperatura em cada chave, um estudo que localiza as perdas de cada componente dos inversores é apresentado. A frequência de chaveamento é variada (Fig. 5.15, $E = 500V$, $I_{max} = 150A$, $\Phi_{V-I} = 30^{\circ}$ e $m = 1$), de modo que se observe em que faixa os inversores com chaveamento suave tornam-se competitivos em relação ao inversor dissipativo. Na figura 5.15(a), são mostradas as perdas nas chaves principais ($S_1 - S_6$) para os três inversores, enquanto na figura 5.15(b), são mostradas as perdas nos CACs para os inversores XXXVI e ARCP, conforme os componentes da figura 5.9.

Na figura 5.16, são mostradas as temperaturas nas chaves para os inversores. A variação da temperatura pode ser explicada baseada nas perdas dos circuitos auxiliares e na resistência térmica das chaves. A maior temperatura na junção ocorre na chave S_{cc} do inversor XXXVI. Isto ocorre porque S_{cc} conduz corrente durante quase todo o tempo de funcionamento, além das perdas de bloqueio ZVS. As chaves $S_a - S_f$ do inversor ARCP possuem a maior temperatura de junção a partir de $20kHz$. Apesar de $S_a - S_f$ terem menores

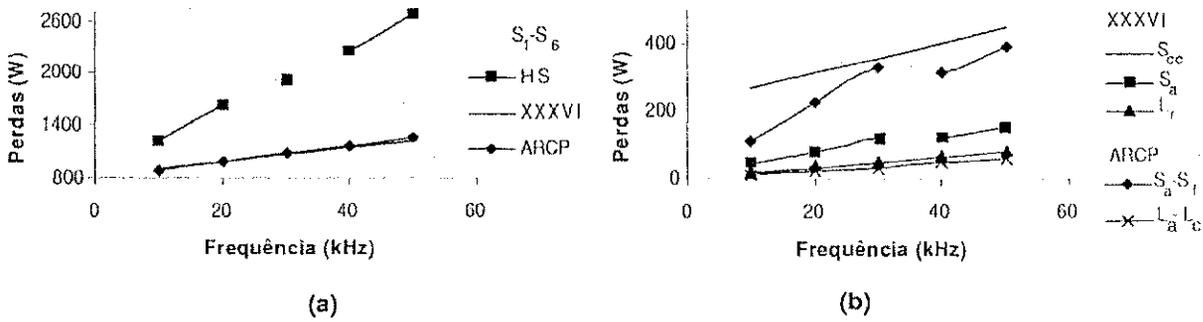


Figura 5.15: Comparação das perdas nos componentes com a variação da frequência: (a) $S_1 - S_6$ e (b) CACs

valores eficazes e menores perdas do que as chaves principais, elas possuem a maior R_{UIGBT} entre todas as chaves dos inversores. Quando uma chave possui menor valor eficaz, a sua resistência térmica é maior que a da chave com maior valor eficaz. A ausência de ligação entre alguns pontos das curvas de perdas e da temperatura na junção em algumas das chaves, na faixa de 30 a 50kHz, ocorre devido a mudança do IGBT usado nos inversores. Por exemplo, no inversor XXXVI, a chave S_a (BSM50GB60DLC) opera com $T_j \cong 121^\circ C$ em 30kHz. Se o mesmo IGBT continua a ser utilizado em 40kHz, T_j seria maior que $125^\circ C$, que é o valor limite escolhido. Assim, BSM75GB60DLC passa a ser utilizado como S_a . Isto leva a uma menor variação de temperatura, já que BSM75GB60DLC (75A) tem $R_{UIGBT} = 0,35^\circ C/W$, que é menor que a resistência térmica ($R_{UIGBT} = 0,44^\circ C/W$) de BSM50GB60DLC (50A).

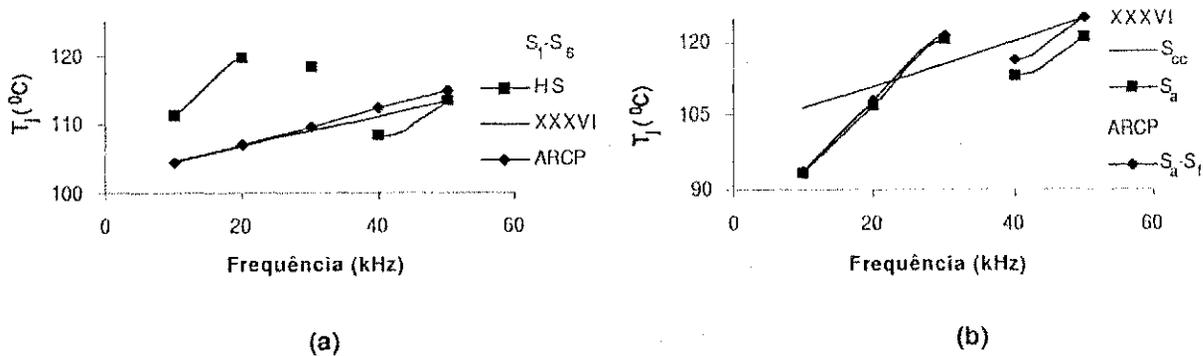


Figura 5.16: Comparação da temperatura nas chaves com a variação da frequência: (a) $S_1 - S_6$ e (b) CACs

Na figura 5.17, são mostradas as eficiências para os inversores examinados. O comportamento da eficiência pode ser explicado com base nas perdas dos circuitos auxiliares. Observa-se a tendência de melhoria do inversor XXXVI em relação aos outros inversores

	HS	XXXVI	ARCP
Chaves principais	6(1200V, 150A)	6(1200V, 75A)	6(1200V, 75A)
Chave S_{cc}	—	1(1200V, 150A)	—
Chaves auxiliares	—	1(600V, 75A)	6(600V, 30A)
Indutores	—	1(1 μ H)	6(1 μ H)
Capacitores	—	6(67nF)	6(67nF)
Eficiência	94,8%	96,2%	96,6%

Tabela 5.9: Comparação do inversor proposto com os inversores ARCP e HS

com o aumento da frequência. Isto acontece porque as perdas na chave S_{cc} tornam-se menos significativas quando as perdas de chaveamento aumentam. O inversor ARCP tem melhor aproveitamento para toda a faixa de frequência. O inversor HS apresenta o pior rendimento, sendo maior a diferença em relação aos outros inversores quando a frequência é aumentada. Isto se explica pelo fato do inversor HS possuir maiores perdas de chaveamento, que é refletida especialmente com a frequência de chaveamento elevada.

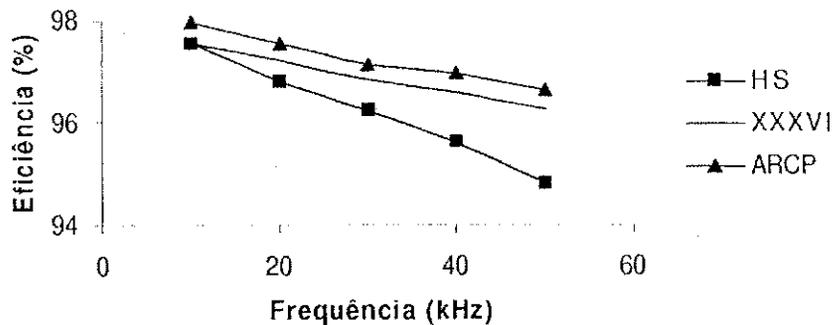


Figura 5.17: Eficiência para os inversores XXXVI, ARCP e HS

A quantidade de componentes e a eficiência são mostradas na tabela 5.9 para o inversor de 50kHz. Os componentes necessários ao chaveamento suave fazem com que os inversores estudados sejam atrativos em relação ao inversor HS, apenas quando usando altas frequências de chaveamento.

5.6 Conclusão

A redução de perdas nos inversores TPB pode ocorrer por diferentes maneiras: técnica PWM, concepção do circuito auxiliar e otimização do projeto dos inversores. Parece seguro afirmar que vários inversores a barramento pulsado existentes são competitivos em termos

de eficiência em relação ao equivalente com chaveamento dissipativo, nas faixas de corrente e frequência estudadas.

As perdas de condução e chaveamento nas chaves principais do inversor são muito próximas entre os CACs e portanto o comportamento dos inversores pode ser avaliado apenas com as perdas no CAC. Os resultados mostram que o desempenho obtido com versões ELV não é naturalmente melhor que aqueles obtidos com ELF. O uso do circuito auxiliar apenas no início do intervalo de modulação apresenta melhor desempenho em relação às perdas do que o uso do circuito auxiliar a cada mudança dentro do intervalo de chaveamento.

No caso da comutação suave, chaves que possuam tensões de saturação baixas são preferíveis tanto para as chaves do inversor como para as do circuito auxiliar, já que as perdas de chaveamento estão sendo controladas pela técnica de comutação. No caso do inversor dissipativo, a escolha depende basicamente da frequência de chaveamento que as chaves irão operar. Se a frequência é elevada, o uso de chaves de comutação rápida é mais adequado.

Um novo circuito auxiliar (CAC XXXVI) permite uma redução de perdas. Esse circuito utiliza uma divisão capacitiva da fonte, o que obriga o controle do balanceamento de carga nos capacitores, através de controle da chave auxiliar. A inclusão de perdas devido ao balanceamento de carga foi pequena.

Os resultados apresentados para os inversores XXXVI e ARCP mostram competitividade para a faixa de potência estudada a partir da frequência de chaveamento de $20kHz$. Isto pode ser visto pela melhoria na eficiência do sistema. A melhor eficiência dos inversores com chaveamento suave leva ao uso de menores dissipadores, diminuindo o custo total do sistema.

O aumento da frequência de chaveamento aproxima a eficiência dos inversores XXXVI e ARCP. Isto pode ser explicado pelo fato de que o inversor XXXVI possui baixas perdas no circuito auxiliar, com exceção das perdas de condução da chave S_{cc} , que tem uma grande influência no resultado final das perdas. Assim, não existe grande alteração das perdas nesta topologia quando a frequência de chaveamento é aumentada e a eficiência diminui suavemente. No ARCP, a chave S_{cc} não existe e as perdas são significativamente alteradas com f_c .

Capítulo 6

Conclusões e Trabalhos Futuros

Este trabalho apresenta uma revisão e uma avaliação comparativa dos inversores, servindo como base para selecionar o circuito adequado para uma dada aplicação. Porém, as perdas que ocorrem no próprio circuito de chaveamento suave podem ser maiores que as perdas existentes no inversor dissipativo, inibindo assim a utilização dos circuitos estudados na indústria.

No capítulo 2, as principais características de inversores representativos dos diferentes tipos TPB são resumidas. Embora nos aspectos examinados, não se faça uma comparação direta do custo e das perdas no inversor, existem quatro itens considerados importantes em relação ao custo e à produção dessas perdas: número de componentes, pico de tensão nas chaves, perdas no indutor ressonante ou em alguma chave do circuito durante o intervalo de pulso, e existência de chaveamento dissipativo em chaves auxiliares. Os dois primeiros itens são relacionados principalmente ao custo, enquanto os dois últimos são relacionados principalmente às perdas.

O objetivo é de apenas oferecer uma visão geral dos inversores, indicando alguns que não têm boas características em termos de quantidade de componentes e estresses de tensão ou corrente. Assim, por exemplo os CACs que não são do tipo quase-ressonante possuem um pico de tensão nas chaves do inversor, implicando em chaves com valores nominais elevados em comparação com o inversor dissipativo. O número excessivo de chaves auxiliares em algumas topologias também aumenta a complexidade de funcionamento dos circuitos.

Existem diferentes possibilidades de chaveamento - ZVS ou ZCS nas chaves principais e ZVS e/ou ZCS nas chaves auxiliares do inversor quase-ressonante. Quase todas as topologias usam ZVS nas chaves principais e na chave em série com a fonte CC.

Observou-se também problemas de funcionamento das topologias ZVZCS estudadas, quando utilizadas como inversores. Isto ocorre porque um capacitor na entrada do inversor

deve ser adicionado à topologia para permitir ZVS nas chaves do inversor. O balanço de energia entre o capacitor ressonante e o capacitor de entrada do inversor acarreta a necessidade de um projeto mais elaborado. O uso deste último dividido em seis capacitores em paralelo com cada uma das chaves é desejável, pois permite uma redução no número de vezes em que o circuito é ativado, reduzindo as perdas totais.

No capítulo 3, foi feita uma avaliação das fontes de perdas nas chaves, servindo para selecionar as características desejáveis para as chaves dos circuitos. Para esse estudo, IGBTs diferentes foram testados, de modo que se observasse a importância na escolha das chaves em relação às perdas. Para incluir o efeito de vários parâmetros nas perdas, pode-se usar um termo de potência para cada parâmetro.

Foi observado que os resultados de perdas nos dispositivos, obtidos no Spice, não são muito próximos dos dados obtidos experimentalmente, o que indica que a simulação dos dispositivos só deve ser usada como uma primeira aproximação. Sempre que possível, deve ser realizada a construção de circuitos de testes para a verificação das perdas nos dispositivos. Este procedimento continua vantajoso em relação a construção do inversor completo, já que alguns IGBTs diferentes podem ser testados sob as condições específicas de chaveamento suave em que o inversor vai ser utilizado, tendo um melhor custo-benefício na montagem desejada. A melhor maneira de se avaliar as perdas dos inversores é por simulação (usando as equações de perdas dos dispositivos a partir de resultados experimentais), pois é difícil fazer uma avaliação experimental devido a grande diversidade de topologias.

O uso de equações polinomiais leva a boa aproximação das curvas obtidas experimentalmente. Também são analisadas curvas referentes ao uso de aproximações lineares. Neste caso, as curvas apresentam diferenças que podem ser significativas no cálculo final das perdas no funcionamento dos circuitos. Os resultados da equação de potência são muito próximos dos resultados usando a equação polinomial. Entretanto, devido a necessidade de inclusão de outros parâmetros no modelo, observou-se que a equação polinomial apresentava uma melhor precisão quando incluindo diferentes parâmetros.

No caso do diodo, as perdas de recuperação reversa também são analisadas experimentalmente. As perdas do diodo devem ser consideradas e portanto, considera-se que aproximações semelhantes àsquelas desenvolvidas para o IGBT podem ser usadas.

Duas formas de chaveamento se mostraram como eficientes no estudo das perdas: ZVS no disparo e ZCS no bloqueio das chaves. Também foram investigadas as perdas devido aos componentes passivos. Estes componentes são utilizados para que ocorra a comutação suave no inversor e portanto só são levados em consideração para o cálculo das perdas nos circuitos ressonantes.

No capítulo 4, foram apresentadas diferentes possibilidades de redução de perdas em sistemas inversores trifásicos com tensão do barramento CC pulsada. A extensão de uma estratégia PWM com perdas reduzidas para inversores trifásicos, que sincroniza o período de grampeamento de uma das fases com o pico de corrente na fase, para o caso de um inversor trifásico TPB contribui para a redução de perdas no sistema.

Uma técnica para investigar o valor eficaz do desvio de corrente foi revisada e então aplicada às estratégias de modulação estudadas. A inclusão do intervalo de operação do circuito auxiliar não acarreta grandes diferenças no cálculo da corrente eficaz, quando comparado aos resultados quando é utilizado um inversor convencional.

É possível fazer uma abordagem diferente das técnicas existentes, em que o CAC só é utilizado uma vez por período de chaveamento. Com essa abordagem, foram propostas uma técnica com minimização do desvio de corrente e uma técnica com minimização das perdas totais. Esta última é adaptada da técnica AF e aplicada ao inversor TPB, sendo esta usada em conjunto com a técnica complementar ao AF.

A implementação das técnicas para redução do desvio de corrente eficaz e perdas de chaveamento resultantes de estratégias PWM foi realizada por um modulador híbrido que gera qualquer estratégia PWM contínua ou descontínua. O modulador híbrido pode ser facilmente adaptado para o caso TPB. Resultados simulados e experimentais validam o modulador e as estratégias propostas. A aplicação das técnicas de modulação foi testada no inversor dissipativo.

No capítulo 5, a comparação de perdas foi realizada para um valor máximo da corrente na fase de 70A, sendo que nesta faixa estudada inicialmente, as versões com chaveamento suave não apresentaram resultados tão vantajosos, em termos de perdas. Assim, a comparação de perdas também foi realizada para um maior nível de corrente. O trabalho foi desenvolvido para uma corrente de 150A, e neste caso teve que ser usado um outro IGBT. Como exemplo, foi usado o IGBT CM150DY-24H (1200V, 150A).

A redução de perdas nos inversores TPB pode ocorrer por diferentes maneiras: técnica PWM, concepção do circuito auxiliar e otimização do projeto dos inversores. Parece seguro afirmar que vários inversores a barramento pulsado existentes são competitivos em termos de eficiência em relação ao equivalente com chaveamento dissipativo, nas faixas de corrente e frequência estudadas.

As perdas de condução e chaveamento nas chaves principais do inversor são muito próximas entre os CACs e portanto o comportamento dos inversores pode ser avaliado apenas com as perdas no CAC. Os resultados mostram que o desempenho obtido com versões ELV não é naturalmente melhor que aqueles obtidos com ELF. O uso do circuito

auxiliar apenas no início do intervalo de modulação apresenta melhor desempenho em relação às perdas do que o uso do circuito auxiliar a cada mudança dentro do intervalo de chaveamento.

No caso da comutação suave, chaves que possuam tensões de saturação baixas são preferíveis tanto para as chaves do inversor como para as do circuito auxiliar, já que as perdas de chaveamento estão sendo controladas pela técnica de comutação. No caso do inversor dissipativo, a escolha depende basicamente da frequência de chaveamento que as chaves irão operar. Se a frequência é elevada, o uso de chaves de comutação rápida é mais adequado.

O estudo baseado na eficiência dos inversores levou à concepção de um circuito que apresenta melhores resultados em termos de perdas. Tendo estabelecido o circuito TPB que apresenta os melhores resultados, foi realizada uma montagem da topologia, onde foram efetuados experimentos para cálculo das perdas. Esse circuito utiliza uma divisão capacitiva da fonte, o que obriga o controle do balanceamento de carga nos capacitores, através de controle da chave auxiliar. A inclusão de perdas devido ao balanceamento de carga foi pequena. Este novo circuito foi avaliado com detalhes em comparação ao inversor com chaveamento dissipativo.

Os resultados apresentados para os inversores XXXVI e ARCP mostram competitividade para a faixa de potência estudada a partir da frequência de chaveamento de $20kHz$. Isto pode ser visto pela melhoria na eficiência do sistema. A melhor eficiência dos inversores com chaveamento suave leva ao uso de menores dissipadores, diminuindo o custo total do sistema.

O aumento da frequência de chaveamento aproxima a eficiência dos inversores XXXVI e ARCP. Isto pode ser explicado pelo fato de que o inversor XXXVI possui baixas perdas no circuito auxiliar, com exceção das perdas de condução da chave em série com a fonte CC, que tem uma grande influência no resultado final das perdas. Assim, não existe grande alteração das perdas nesta topologia quando a frequência de chaveamento é aumentada e a eficiência diminui suavemente.

O inversor com chaveamento dissipativo continua a dominar o mercado de alta potência, mas parece seguro afirmar que algumas topologias ZVS e/ou ZCS e controle PWM, podem possivelmente alcançar melhor desempenho em termos de eficiência que o equivalente com chaveamento dissipativo. Contudo, isto não é verdade para algumas das topologias existentes para as faixas de potência e frequência examinadas. É esperado que os pesquisadores continuem a se esforçar para estabelecerem topologias com barramento CC quase-ressonantes, como uma alternativa para o chaveamento dissipativo, levando em conta

aspectos fundamentais que podem melhorar seus desempenhos em termos de eficiência.

Trabalhos Futuros

É importante continuar o estudo baseado nas topologias de inversores, de modo a se fazer a concepção de novos circuitos para que eles exibam melhor eficiência. Para isso, ZVS no disparo e ZCS no bloqueio das chaves dos circuitos auxiliares tornam-se condições muito importantes, pois estas duas formas de chaveamento se mostraram como eficientes no estudo das perdas.

As topologias ZVZCS devem ser estudadas mais detalhadamente, de modo que o balanço de energia entre o capacitor ressonante e o capacitor de entrada do inversor possa ser resolvido através de um projeto mais elaborado.

É interessante também, uma pesquisa das topologias de inversores com comutação local. Neste tipo de inversor, não existem as perdas de bloqueio da chave em série com a fonte CC existentes nos inversores quase-ressonantes.

Um estudo mais detalhado das perdas associado a um estudo térmico dos inversores também parece apropriado, tendo em vista que eles estão fortemente relacionados e definem grande parte do custo total do sistema. Com isso, surge também uma outra possibilidade de estudo, ou seja, avaliação das técnicas de modulação através da distribuição térmica nos dispositivos. Assim, a modulação com menores perdas não é necessariamente a melhor modulação para o sistema térmico.

Bibliografia

- Agelidis, V. G., Ziogas, P. D., e Joos, G. (1991). Optimum use of DC side commutation in PWM inverters. *IEEE Conf. Rec. IAS*, 276-282.
- Alves, R. N., Lima, A. M. N., da Silva, E. R. C., e Jacobina, C. B. (1991). A new approach to the problem of synthesizing non-sinusoidal waveforms for analog and digital implementation of space vector pwm strategies. *Conf. Rec. COBEP*, 228-233.
- Alves, R. N. C. (1998). *Análise e implementação de técnicas de modulação em largura de pulso para uso em inversores trifásicos*. UFPB/COPELE: Tese de Doutorado.
- Avelar, H. J., e Cortizo, P. C. (1990). Estudo de um conversor buck com link dc ressonante. *III Seminário de Eletrônica de Potência, SOBRAEP/UFSC*, 227-230.
- Aydemir, M. T. (1995). *Analysis and comparison of series resonant dc current link converters*. University of Wisconsin: PHD Thesis.
- Bellar, M. D., Mahdavi, J., e Ehsani, M. (1997). Application of the mct to soft-switched dc-ac converters. *IEEE Conf. Rec. IAS*, 1029-1033.
- Blaabjerg, F., Jaeger, U., Nielsen, S. M., e Pedersen, J. K. (1994). Power losses in pwm-vsi inverter using npt or pt igbt devices. *IEEE Conf. Rec. PESC*, 434-441.
- Blasko, V. (1997). Analysis of a hybrid pwm based on modified space-vector and triangle-comparison methods. *IEEE Transactions on Industry Applications*, 33(3), 756-764.
- Bornhardt, K. E. (1989). New possibilities for dc-side commutated inverter circuits. *IEEE Conf. Rec. EPE*, 549-554.
- Bowes, S., e Midoun, A. (1985). Suboptimal switching strategies for microprocessor-controlled pwm inverter drives. *IEE Proceedings*, 132(3), 133-148.

- Broeck, H. van der, Skudelny, H., e Stanke, G. (1988). Analysis and realization of a pulsewidth modulator based on voltage space vectors. *IEEE Transactions on Industry Applications*, 24(1), 142-150.
- Brownik, S., e Spée, R. (1993). A guide to the application-oriented selection of ac/ac converter topologies. *IEEE Transactions on Power Electronics*, 8(2), 156-163.
- Buja, G., e Indri, G. (1975). Improvement of pulse width modulation techniques. *Archiv für Elektrotechnik*, 281-289.
- Cardoso Fo., B. J., e Lipo, T. A. (1996). Space vector analysis and modulation issues of passively clamped quasi resonant inverters. *IEEE Conf. Rec. IAS*, 1179-1185.
- Castanheira, R. C., Fo., B. J. C., Menezes, B. R., Garcia, P. D., e Moreira, A. F. (1994). A control technique to eliminate irregular current and voltage pulses in resonant dc link power converters. *IEEE Conf. Rec. PESC*, 671-676.
- Cavalcanti, M. C. (1999). *Estudo dos conversores fonte de tensão com barramento cc pulsado*. UFPB: Dissertação de Mestrado.
- Cavalcanti, M. C., Alves, R. N., da Silva, E. R. C., Lima, A. M. N., e Jacobina, C. B. (2000). Reducing losses in three-phase pwm pulsed dc-link voltage-type inverters. *IEEE Conf. Rec. IAS*, 1980-1987.
- Cavalcanti, M. C., Alves, R. N., da Silva, E. R. C., Lima, A. M. N., e Jacobina, C. B. (2002). Reducing losses in three-phase pwm pulsed dc-link voltage-type inverters systems. *IEEE Transactions on Industry Applications*, 38(4), 1114-1122.
- Cavalcanti, M. C., da Silva, E. R. C., e C. B. Jacobina, L. P. B. d. (2001). Novel quasi-square-wave dc-link converters. *Conf. Rec. COBEP*, 589-594.
- Cavalcanti, M. C., da Silva, E. R. C., e Jacobina, C. B. (2001). Techniques for minimizing losses and the output current ripple in quasi-resonant inverters. *IEEE Conf. Rec. PESC*, 164-169.
- Cavalcanti, M. C., da Silva, E. R. C., e Jacobina, C. B. (2002). An improved quasi-square-wave dc-link converter. *IEEE Conf. Rec. IAS*, 2320-2326.
- Cavalcanti, M. C., da Silva, E. R. C., Jacobina, C. B., e Alves, R. N. (2000). A technique for minimizing the output current ripple in quasi-resonant inverters. *Conf. Rec. INDUSCON*, 839-844.

- Chen, S., Filho, B. J., e Lipo, T. A. (1995). Design and implementation of a passively clamped quasi resonant dc link inverter. *IEEE Conf. Rec. IAS*, 2387-2392.
- Chen, S., e Lipo, T. A. (1994). A passively clamped quasi resonant dc link inverter. *IEEE Conf. Rec. IAS*, 841-848.
- Chen, S., e Lipo, T. A. (1995). Soft-switched inverter for electric vehicle drives. *IEEE Conf. Rec. APEC*, 586-591.
- Choi, J. W., e Sul, S. K. (1995). Resonant link bidirectional power converter: Part i - resonant circuit. *IEEE Transactions on Power Electronics*, 10(4), 479-484.
- Chung, D. W., e Sul, S. K. (1997). Minimum-loss pwm strategy for 3-phase pwm rectifier. *IEEE Conf. Rec. PESC*, 1020-1026.
- Clemente, S., e Pelly, B. (1992). An algorithm for the selection of the optimum power device for the electrical vehicle propulsion. *IEEE Workshop on Power Electronics in Transportation*, 129-136.
- da Silva, E. R. C., Cavalcanti, M. C., de Oliveira, L. P. B., e Jacobina, C. B. (2002). A technique for calculation of losses: Application to pulsed dc-link converters. *Conf. Rec. INDUSCON*, 661-666.
- da Silva, E. R. C., Cavalcanti, M. C., e Jacobina, C. B. (1999). Considerations on pulsed dc-link voltage converters. *Conf. Rec. COBEP*, 217-223.
- da Silva, E. R. C., Cavalcanti, M. C., e Jacobina, C. B. (2000). Comparative study of pulsed dc-link voltage converters. *IEEE Conf. Rec. PESC*, 1035-1042.
- da Silva, E. R. C., Cavalcanti, M. C., e Jacobina, C. B. (2003). Comparative study of pulsed dc-link voltage converters. *IEEE Transactions on Power Electronics*, no prelo.
- Dafeng, W. (1988). A pwm inverter with dc bus-bar voltage modulation of capacitor discharge. *IEEE Conf. Rec. PESC*, 780-784.
- de Oliveira, L. P. B. (1997). *Estudo e controle de conversores com corrente pulsada no barramento cc*. UFPB/COPELE: Dissertação de Mestrado.
- de Oliveira, L. P. B. (2001). *Aplicações da comutação suave em conversores fonte de corrente e no acionamento do motor de relutância chaveado*. UFPB: Tese de Doutorado.

- Dehmlow, M., Heumann, K., e Sommer, R. (1993). Losses in active clamped resonant dc-link inverter systems. *IEEE Conf. Rec. PESC*, 496-502.
- Depenbrock, M. (1977). Pulse width control of a 3-phase inverter with non-sinusoidal phase voltages. In *IEEE International Semiconductor Power Converter Conference*, 399-403.
- Deshpande, V., e Doradla, S. R. (1995). A current prediction scheme for the prclcl inverter-fed induction motor drive. *IEEE Conf. Rec. PESC*, 1151-1157.
- Deshpande, V. V., e Doradla, S. R. (1994). A new topology for parallel resonant dc link with reduced peak voltage. *IEEE Conf. Rec. APEC*, 260-266.
- Divan, D., Venkataramanan, G., Malesani, L., e Toigo, V. (1990). Control strategies for synchronized resonant link inverters. *Conf. Rec. IPEC*, 338-345.
- Divan, D. M. (1986). The resonant dc link converter - a new concept in static power conversion. *IEEE Conf. Rec. IAS*, 63-71.
- Divan, D. M. (1989). The resonant dc link converter - a new concept in static power conversion. *IEEE Transactions on Industrial Applications*, 25(2), 317-325.
- Divan, D. M., e Skibinski, G. (1987). Zero switching loss inverters for high power applications. *IEEE Conf. Rec. IAS*, 627-634.
- Divan, D. M., Venkataramanan, G., e DeDoncker, R. (1988). Design methodologies for soft-switched converters. *IEEE Conf. Rec. IAS*, 759-766.
- Doncker, R. W. D., e Lyons, P. J. (1990). The auxiliary resonant commutated pole converter. *IEEE Conf. Rec. IAS*, 1228-1235.
- Dong, W., Choi, J. Y., Li, Y., Boroyevich, D., Lee, F. C., e Lai, J. S. (2001). Comparative experimental evaluation of soft-switching inverter techniques for electric vehicle drive applications. *IEEE Conf. Rec. IAS*, 1469-1476.
- Ehsani, M., Rahman, K. M., Bellar, M. D., e Severinski, A. (1997). Evaluation of soft switching for ev and hev motor drives. *IEEE Conf. Rec. IECON*.
- Ehsani, M., e Wu, T. S. (1993). Zero current soft switched capacitively coupled dc-ac converter for high power. *IEEE Conf. Rec. IAS*, 800-805.

- Garcia, P. D., e Barbi, I. (1990). A family of resonant dc-link voltage source inverters. *IEEE Conf. Rec. IECON*, 844-849.
- Habetler, T., e Divan, D. (1987). Performance characterization of a new discrete pulse modulated current regulator. *IEEE Conf. Rec. IAS*, 395-405.
- Hava, A. M., Kerkman, R. J., e Lipo, T. A. (1997a). A high performance generalized discontinuous pwm algorithm. *IEEE Conf. Rec. APEC*, 886-894.
- Hava, A. M., Kerkman, R. J., e Lipo, T. A. (1997b). Simple analytical and graphical tools for carrier based pwm methods. *IEEE Conf. Rec. PESC*, 1462-1471.
- He, J., e Mohan, N. (1989). Parallel resonant dc link circuit - a novel zero switching topology with minimum voltage stress. *IEEE Conf. Rec. PESC*, 1006-1011.
- He, J., Mohan, N., e Wold, B. (1990). Zero-voltage-switching pwm inverter for high-frequency dc-ac power conversion. *IEEE Conf. Rec. IAS*, 1215-1221.
- Hefner, A. R. (1991). An investigation of the drive circuit requirements for the power insulated gate bipolar transistor (igbt). *IEEE Transactions on Power Electronics*, 6(2), 208-219.
- Hefner, A. R., e Diebolt, D. M. (1994). An experimentally verified igbt model implemented in the saber circuit simulator. *IEEE Transactions on Power Electronics*, 9(5), 532-542.
- Holmes, D. G. (1995). The significance of zero space vector placement for carrier based pwm schemes. *IEEE Conf. Rec. IAS*, 2451-2458.
- Houldsworth, J., e Grant, D. (1984). The use of harmonic distortion to increase the output voltage of a three-phase pwm inverter. *IEEE Transactions on Industry Applications*, 20(1), 1224-1228.
- Hua, G., Leu, C. S., e Lee, F. C. (1992). Novel zero-voltage-transition pwm converters. *IEEE Conf. Rec. PESC*, 55-61.
- Hua, G., Yang, X., Jiang, Y., e Lee, F. C. (1993). Novel zero-current-transition pwm converters. *IEEE Conf. Rec. PESC*, 538-544.
- Jung, Y. C., Liu, H. L., Cho, G. C., e Cho, G. H. (1995). Soft switching space vector pwm inverter using a new quasi-parallel resonant dc link. *IEEE Conf. Rec. PESC*, 936-942.

- Kaku, B., Miyashita, I., e Sone, S. (1997). Switching loss minimised space vector pwm method for igbt three-level inverter. *IEE Proc. Electr. Power Appl.*, 144(3), 182-190.
- Kassakian, J. G. (1982). A new current mode sine wave inverter. *IEEE Transactions on Industry Applications*, 18(3), 273-278.
- Kherulawala, M. H., e Divan, D. M. (1988). Delta modulation strategies for resonant link inverters. *IEEE Conf. Rec. IAS*, 758-766.
- Kim, J. S., e Sul, S. K. (1995). Application to bidirectional ac motor drive without electrolytic capacitor. *IEEE Transactions on Power Electronics*, 10(4), 485-493.
- Klaassens, J. B. (1984). Dc to ac series-resonant converter system with high internal frequency generating synthesized wavwforms for multikilowatt power levels. *IEEE Conf. Rec. PESC*.
- Kolar, J. W., Ertl, H., e Zach, F. C. (1991a). Influence of the modulation method on the conduction and switching losses of a pwm converter system. *IEEE Transactions on Industry Applications*, 27(6), 1063-1075.
- Kolar, J. W., Ertl, H., e Zach, F. C. (1991b). Minimizing the current harmonics rms value of three-phase pwm converter systems by optimal and suboptimal transition between continuous and discontinuous modulation. *IEEE Conf. Rec. PESC*, 372-381.
- Kurnia, A., Cherradi, H., e Divan, D. (1993). Impact of igbt behavior on design optimization of soft switching inverter topologies. *IEEE Conf. Rec. IAS*, 807-813.
- Kurnia, A., Stielau, O. H., Venkataramanan, G., e Divan, D. M. (1992). Loss mechanisms in igbt's under zero voltage switching. *IEEE Conf. Rec. PESC*, 1011-1017.
- Kurokawa, M., Konishi, Y., Al, M. A., e Nakaoka, M. (2001). Feasible power loss analysis and estimations active resonant dc link assisted soft switching inverter with new space voltage vector modulation scheme. *IEEE Conf. Rec. APEC*, 1165-1171.
- Lai, J. S., e Bose, B. K. (1990). High frequency quasi-resonant dc voltage notching inverter for ac motor drives. *IEEE Conf. Rec. PESC*, 1202-1207.
- Lai, J. S., Young, R. W., e McKeever, J. W. (1994). Efficiency consideration of dc link soft-switching inverters for motor drive applications. *IEEE Conf. Rec. PESC*, 1003-1010.

- Lai, Y., e Bowes, S. R. (1996). A universal space vector modulation strategy based on regular-sampled pulse-width modulation. *Conf. Rec. IECON*, 120-126.
- Lee, J. W., Sul, S. K., e Park, M. H. (1991). A novel three-phase quasi-resonant dc link inverter. *IEEE Conf. Rec. IAS*, 803-808.
- Li, H. H., Widjaja, I., Kurnia, A., Divan, D., e Shenai, K. (1994). The effect of bipolar transistor in the switching dynamics of igbts in resonant converter applications. *Proc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, 135-138.
- Lin, R. L., e Lee, F. C. (1996). Novel zero-current-switching-zero-voltage-switching converters. *IEEE Conf. Rec. PESC*, 438-442.
- Malesani, L., Tenti, P., Divan, D. M., e Toigo, V. (1989). A synchronized resonant dc link converter for soft-switched pwm. *IEEE Conf. Rec. IAS*, 1037-1044.
- Malesani, L., Tomasin, P., e Toigo, V. (1992). Modulation techniques for quasi resonant dc link pwm converters. *IEEE Conf. Rec. IAS*, 789-795.
- Malesani, L., Tomasin, P., e Toigo, V. (1996). Space vector control and current harmonics in quasi-resonant soft-switching pwm conversion. *IEEE Transactions on Industry Applications*, 32(2), 269-277.
- Mao, H., e Lee, F. C. (1995). Improved on zero-voltage-transition three-phase rectifier/inverter. *VPEC Seminary Proceedings*, 19-27.
- Mao, H., Lee, F. C., Zhou, X., e Boroyevich, D. (1996). Improved zct converters for high power application. *IEEE Conf. Rec. IAS*, 1145-1152.
- Mapham, N. (1967). An SCR converter with good regulation and sine-wave output. *IEEE Transactions on Industry and General Applications*, 3(2), 176-187.
- Matsuura, I., Smith, K. M., e Smedley, K. M. (1998). A comparison of active and passive soft switching methods for pwm converters. *IEEE Conf. Rec. PESC*, 94-100.
- McMurray, W. (1984). Modulation of the chopping frequency in dc choppers and inverters having current-hysteresis controllers. *IEEE Transactions on Industry Applications*, 20(4), 763-768.
- McMurray, W. (1989). Resonant snubber with auxiliary switches. *IEEE Conf. Rec. IAS*, 830-834.

- Mertens, A. (1992). Performance analysis of three phase inverters controlled by synchronous delta-modulation systems. *IEEE Conf. Rec. IAS*, 779-788.
- Mertens, A., e Divan, D. M. (1990). A high frequency resonant dc link inverter using igbts. *Conf. Rec. IPEC*, 152-160.
- Mestha, L. K., e Evans, P. D. (1989). Analisis of on-state losses in pwm inverters. *IEE Proceedings*, 136(4), 189-195.
- Mohan, N., Underland, T. M., e Robins, W. P. (1995). *Power electronics converters, applications and design*. John Wiley and Sons, Inc.: 2nd Edition.
- Murai, Y., e Lipo, T. A. (1988). High frequency series resonant dc link power conversion. *IEEE Conf. Rec. IAS*, 772-779.
- Nakaoka, M., Yonemori, H., e Yurugi, K. (1993). Zero-voltage soft-switched pdm three-phase ac-dc active power converter operating at unity power factor and sinewave line current. *IEEE Conf. Rec. PESC*, 787-794.
- Nielsen, S. M., Blaabjerg, F., e Pedersen, J. K. (1995). Link voltage peak control of parallel resonant converter by control of the converter switching instant. *IEEE Conf. Rec. IAS*, 929-935.
- Nielsen, S. M., Blaabjerg, F., e Pedersen, J. K. (1997). A new robust and simple three-phase resonant converter. *IEEE Conf. Rec. IAS*, 1667-1672.
- Ogasawara, S., Akagi, H., e Nabae, A. (1989). A novel pwm scheme of voltage source inverters based on space vector theory. *IEEE Conf. Rec. EPE*, 1197-1202.
- Oh, I. H., Jung, Y. S., e Youn, M. J. (1998). A source voltage clamped resonant link inverter for a discrete time current control. *IEEE Conf. Rec. PESC*, 443-449.
- Profumo, F., Tenconi, A., Griva, G., e Facelli, S. (1995). A new cad system to evaluate igbt losses on inductive load. *IEEE Conf. Rec. EPE*, 255-261.
- Ryu, S. H., Lee, D. Y., Yoo, S. B., e Hyun, D. S. (1999). Novel zvzes pwm dc-dc converters using one auxiliary switch. *IEEE Conf. Rec. APEC*, 853-859.
- Salama, S., e Tadros, Y. (1995). Quasi resonant 3-phase igbt inverter. *IEEE Conf. Rec. PESC*, 28-33.

- Shimizu, T., Kurokawa, M., Nishida, Y., Nakaoka, M., Sugawara, Y., e Horiuchi, T. (1997). Utility-interactive instantaneous sinewave space vector modulated bidirectional three phase power conditioner using resonant dc link. *IEEE Conf. Rec. IAS*, 1681-1688.
- Shireen, W., Andrews, C. C., Chepin, J. F., e Arefeen, M. S. (1997). A mct based zero voltage switching pwm inverter. *IEEE Conf. Rec. APEC*, 770-775.
- Skibinski, G. L., e Divan, D. M. (1991). Gto characterization for zero voltage switching applications. *IEEE Conf. Rec. PESC*, 437-443.
- Sood, P. K., e Lipo, T. A. (1988). Power conversion distribution system using a high-frequency ac link. *IEEE Transactions on Industrial Applications*, 24(2), 288-300.
- Stein, C. M. O. (1997). *Concepção, análise e projeto de conversores CC-CC PWM com comutações em zero de corrente e zero de tensão , simultaneamente*. UFSM: Dissertação de Mestrado.
- Stein, C. M. O., Hey, H. L., Pinheiro, J. R., Pinheiro, H., e Grundling, H. A. (2001). Analysis, design, and implementation for a new zczvt commutation cell for pwm dc-ac converters. *IEEE Conf. Rec. IAS*, 845-850.
- Sun, J., e Grotstollen, H. (1996). Optimized space vector modulation and regular-sampled pwm: A reexamination. *IEEE Conf. Rec. IAS*, 956-963.
- Sung, J., e Nam, K. (1998). A simple dc-rail soft switched voltage source inverter. *IEEE Conf. Rec. PESC*, 491-496.
- Tabisz, W. A., e Lee, F. C. (1989). Dc analysis and design of zero-voltage-switched multi-resonant converters. *IEEE Conf. Rec. PESC*, 243-251.
- Taniguchi, K., e Irie, H. (1986). Trapezoidal modulating signal for three-phase pwm inverters. *IEEE Transactions on Industrial Electronics*, 33(1), 193-200.
- Thunya, A. S. B., Pillai, S. K., e Prasad, D. (1998). A novel ZVS quasi-resonant DC-link PWM inverter with minimum voltage stress across the switches. *IEEE Conf. Rec. PESC*, 409-415.
- Trzynadlowski, A. M., e Legowski, S. (1994). Minimum-loss vector pwm strategy for three-phase inverters. *IEEE Transactions on Power Electronics*, 9(1), 26-34.
- Venkataramanan, G., e Divan, D. (1990). Pulse width modulation with resonant dc link converters. *IEEE Conf. Rec. IAS*, 984-990.

- Wang, K., Jiang, Y., Dubovsky, S., Hua, G., Boroyevich, D., e Lee, F. C. (1995). Novel dc-rail soft-switched three-phase voltage-source inverters. *IEEE Conf. Rec. IAS*, 2610-2617.
- Wang, K., Lee, F. C., Hua, G., e Borojevic, D. (1994). A comparative study of switching losses of igbts under hard-switching, zero-voltage-switching and zero-current-switching. *IEEE Conf. Rec. PESC*, 1196-1204.
- Widjaja, I., Kurnia, A., Divan, D., e Shenai, K. (1994). Computer simulation and design optimization of igbt's in soft-switching converters. *Proc. Sixth Int. Symp. Power Semiconductor Devices and IC's*, 105-109.
- Wu, T. S., Bellar, M. D., Tchamdjou, A., Mahdavi, J., e Ehsani, M. (1996). A review of soft-switched dc-ac converters. *IEEE Conf. Rec. IAS*, 1133-1144.
- Yamamoto, S., Hayasaka, H., e Matsuse, K. (1994). Analysis of series-resonant ac link inverter for improving output current. *IEEE Conf. Rec. PESC*, 965-969.
- Yao, J., e Lipo, T. A. (2001). A novel soft-switching inverter with zcs-zvs features. *Conf. Rec. PESC*, 1141-1146.
- Yi, W., Liu, H., Jung, Y. C., Cho, J. G., e Cho, G. H. (1992). Program-controlled switching prdcl inverter with new space vector pwm algorithm. *IEEE Conf. Rec. PESC*, 313-319.
- Yonemori, H., Hayashi, K., e Nakaoka, M. (1994). A novel space-voltage vector modulated sinewave three-phase inverter with high-frequency transformer-coupled resonant dc link. *IEEE Conf. Rec. PESC*, 651-658.
- Yurugi, K., Yonemori, H., Hayashi, K., e Nakaoka, M. (1994). Next generation space voltage vector zvt-pwm ac-dc active power converter with auxiliary frequency transformer-assisted resonant dc link. *IEEE Conf. Rec. PESC*, 644-650.
- Zhang, J., e Hui, S. Y. R. (1994). Analysis of a quasi-resonant circuit for soft-switched inverters. *IEEE Conf. Rec. PESC*, 1399-1404.