

Antonio Venancio de Moura Lacerda Filho

**Inversores a Duplo Capacitor Flutuante
Integrado a uma Fonte de Tensão CC
Elevadora de Tensão**

Campina Grande, Brasil

09 de julho de 2024

Antonio Venancio de Moura Lacerda Filho

**Inversores a Duplo Capacitor Flutuante Integrado
a uma Fonte de Tensão CC Elevadora de Tensão**

Tese de doutorado apresentada à Coordenação do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, como parte dos requisitos necessários para a obtenção do título de Doutor em Ciências, no domínio da Engenharia Elétrica.

Universidade Federal de Campina Grande – UFCG

Departamento de Engenharia Elétrica

Programa de Pós-Graduação em Engenharia Elétrica - PPgEE

Orientador: Professor Edison Roberto Cabral da Silva, Dr. Ing.

Campina Grande, Brasil

09 de julho de 2024

L399i

Lacerda Filho, Antônio Venancio de Moura.

Inversores a duplo capacitor flutuante integrado a uma fonte de tensão CC elevadora de tensão / Antônio Venancio de Moura Lacerda Filho. – Campina Grande, 2024.

131 f. : il. color.

Tese (Doutorado em Engenharia Elétrica) – Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2024.

"Orientação: Prof. Dr. Edison Roberto Cabral da Silva".

Referências.

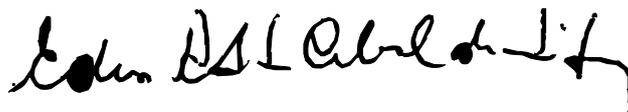
1. Eletrônica de Potência. 2. Conversores CC-CA. 3. Inversor Duplo Capacitor Flutuante. 4. Inversores Multiníveis. I. Silva, Edison Roberto Cabral da. II. Título.

CDU 621.38(043)

**Inversores a Duplo Capacitor Flutuante
Integrado a uma Fonte de Tensão CC
Elevadora de Tensão**

ANTÔNIO VENANCIO DE MOURA LACERDA FILHO

TESE APROVADA EM 09/07/2024



**EDISON ROBERTO CABRAL DA SILVA, Dr.Ing., UFCG
Orientador(a)**



**ANTONIO MARCUS NOGUEIRA LIMA, Dr., UFCG
Examinador(a)**



**MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Examinador(a)**



**LUIZ HENRIQUE SILVA COLADO BARRETO, Dr., UFCG
Examinador(a)**



**LEONARDO RODRIGUES LIMONGI, Dr., UFPE
Examinador(a)**

CAMPINA GRANDE - PB

*Este trabalho é dedicado aos meus
pais Antonio Venancio e Carmenilda Tavares, à
minha noiva Hortencia Alves
a toda minha família, por serem
a base de tudo.*

Agradecimentos

Acima de tudo, a Deus.

Ao professor orientador Edison Roberto por me orientar no trabalho no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM), e por ter guiado este trabalho com paciência e compreensão. Aos professores da banca examinadora que propuseram ideias relevantes na contribuição do trabalho.

A minha família que sempre me incentivou a seguir em frente e continuar a buscar meus objetivos.

Ao amigo, Reuben Palmer, pelo suporte e força dada durante a reta final do trabalho.

Aos funcionários e técnicos do DEE, pela disposição e colaboração.

Finalmente a CAPES e ao CNPq, que proveu o suporte financeiro para a realização deste trabalho.

*"O Senhor é meu pastor, nada me faltará."
(Salmos 23:1-6)*

Resumo

Conversores multiníveis com reduzido número de componentes possuem vantagens bastante relevantes, tais como maior densidade de potência, melhor distribuição dos componentes, além da redução de taxa de distorção harmônica no sinal de saída. Na busca por topologias mais simples, neste trabalho é proposta uma topologia de sete níveis, além da adaptação de duas outras topologias de cinco e nove níveis, compostas pela utilização do duplo capacitor flutuante. Além disso, um conversor cc-cc do tipo *flyback* é utilizado para manter a tensão dos capacitores flutuantes nos valores desejados, facilitando o controle da modulação do inversor. Dentre essas configurações, o aumento do número de níveis ocorre apenas com o acréscimo de uma chave bidirecional e/ou pela mudança da relação de tensão dos capacitores flutuantes. Os resultados obtidos em simulação e de forma experimental, mostram que a fixação da tensão dos capacitores flutuantes permite a redução da complexidade do conversor, não sendo necessário a utilização de sensores para implementação do controle do chaveamento. Além disso, os resultados também mostram que as proposições possuem melhores resultados nos critérios de desempenho utilizados.

Palavras-chave: Inversor multinível, Inversor duplo capacitor flutuante, inversor elevador de tensão, Conversores cc-cc.

Abstract

Multilevel converters with a reduced number of components have several significant advantages, such as higher power density, better distribution of components, and a reduction in harmonic distortion in the output signal. In the search for simpler topologies, this work proposes a seven-level topology, as well as the adaptation of two other topologies with five and nine levels, utilizing a dual floating capacitor. Furthermore, a flyback converter is used to maintain the voltage of the floating capacitors at desired values, facilitating the modulation control of the inverter. Among these configurations, the increase in the number of levels occurs only with the addition of a bidirectional switch and/or by changing the voltage ratio of the floating capacitors. The results obtained from simulations and experimental tests show that stabilizing the voltage of the floating capacitors allows for a reduction in the complexity of the converter, eliminating the need for sensors to implement the switching control. Additionally, the results also indicate that the proposed configurations yield better performance according to the used performance criteria.

Key-words: Multilevel inverter, Dual floating capacitor inverter, Voltage-boosting inverter, DC-DC converters..

Lista de ilustrações

Figura 1 – Inversor <i>Neutral Point Clamped</i> (NPC).	3
Figura 2 – Inversor NPC de 5 níveis.	3
Figura 3 – Inversor <i>Cascaded H-Bridge</i> (CHB).	4
Figura 4 – Inversor <i>Floating Capacitor</i> (FC).	4
Figura 5 – Inversor FC de 5 níveis.	5
Figura 6 – Inversor multinível com grampeamento ativo do neutro (ANPC) de 3 níveis (a) e 5 níveis (b).	6
Figura 7 – Inversor a Capacitor Flutuante com 3 células	7
Figura 8 – FC 4 níveis.	8
Figura 9 – Inversor misto introduzido por Barbosa, et al.(2005).	9
Figura 10 – Topologias de 5 níveis.	10
Figura 11 – Inversor 5 níveis apresentado por Wang(2017).	10
Figura 12 – Inversor TFC - 5 níveis.	11
Figura 13 – Inversor de 5 níveis Gateau.	12
Figura 14 – Inversor Nested 5L-NT ² C.	12
Figura 15 – Topologias de 7 níveis.	13
Figura 16 – Outras topologias de 7 níveis.	13
Figura 17 – Topologia de inversor 9 níveis apresentada por Zhang (2019).	14
Figura 18 – Integração conversor cc-cc/inversor misto multinível.	15
Figura 19 – Inversor 5 níveis proposto por Bahrami.	20
Figura 20 – Estados topológicos do inversor 5 níveis.	21
Figura 21 – Sistema Integrado DCF.	22
Figura 22 – 1 Modo de operação	23
Figura 23 – 2 Modo de operação	24
Figura 24 – 3 Modo de operação	25
Figura 25 – 4 Modo de operação	26
Figura 26 – 5 Modo de operação	27
Figura 27 – 6 Modo de operação	28
Figura 28 – Estratégia PDPWM e Sinais dos Interruptores.	30
Figura 29 – Sinais de saída.	31
Figura 30 – Resultados de Simulação: (a) Distorção Harmônica. (b) Distorção Harmônica Ponderada de Tensão (WTHD).	32
Figura 31 – Formas de Onda Simulação: (a) I_s . (b) V_s . (c) I_{D_1} . (d) V_{D_1} . (e) I_{S_a} . (f) V_{S_a} . (g) I_{S_b} . (h) V_{S_b}	32

Figura 32 – Topologias Comparadas: (a) WANG. (b) PETER (c) TFC (d) BAHRAMI.	34
Figura 33 – Simulação 5 níveis com fator de potência 0.8.	35
Figura 34 – Comparação de perdas 5L.	35
Figura 35 – Estresse Térmico: (a) S_1 . (b) D_1 . (c) S_2 . (d) D_2 . (e) S_5 . (f) D_5	36
Figura 36 – Organização da bancada.	37
Figura 37 – Descrição da Montagem da Bancada.	38
Figura 38 – Configuração do deslocamento para ajuste do pulso.	38
Figura 39 – Ajuste feito visto do osciloscópio.	39
Figura 40 – Resultado da saída do inversor de 5 níveis (50V/div vert., 5ms/div hor.).	39
Figura 41 – V_{s1}, V_{s2}, V_o (50V/div vert., 5ms/div hor.).	40
Figura 42 – V_{s1}, V_{s4} (50V/div vert., 5ms/div hor.).	40
Figura 43 – V_{s2}, V_{s3} (50V/div vert., 5ms/div hor.).	41
Figura 44 – V_{s3}, V_{s56} (50V/div vert., 5ms/div hor.).	42
Figura 45 – $V_{c1}, V_i, V_{ca}, V_{cb}$ (20V/div vert., 5ms/div hor.).	42
Figura 46 – Inversor de 7 níveis proposto - DCF 7L.	45
Figura 47 – Estados topológicos.	46
Figura 48 – Combinação proposta.	47
Figura 49 – Modos Inversor SMC: (a) Modo 1. (b) Modo 2. (c) Modo 3. (d) Modo 4. (e) Modo 5. (f) Modo 6. (g) Modo 7.	48
Figura 50 – Combinação SMC.	49
Figura 51 – Combinação com 1 enrolamento: (a) 1 enrolamento com inversor pro- posto. (b) 1 enrolamento com inversor SMC.	49
Figura 52 – Combinação proposta.	50
Figura 53 – Modo 1a.	51
Figura 54 – Modo 1b.	52
Figura 55 – Modo 2a.	53
Figura 56 – Modo 2b.	54
Figura 57 – Modo 3a.	55
Figura 58 – Modo 3b.	56
Figura 59 – Modo 4a.	56
Figura 60 – Modo 4b.	57
Figura 61 – Modo 5a.	57
Figura 62 – Modo 5b.	58
Figura 63 – Modo 6a.	59
Figura 64 – Modo 6b.	60
Figura 65 – Modo 7a.	60
Figura 66 – Modo 7b.	61

Figura 67 – Combinação SMC.	62
Figura 68 – Modos: (a) Modo 1a. (b) Modo 1b. (c) Modo 2a. (d) Modo 2b. (e) Modo 3a. (f) Modo 3b.	63
Figura 69 – Modos: (a) Modo 4a. (b) Modo 4b. (c) Modo 5a. (d) Modo 5b. (e) Modo 6a. (f) Modo 6b. (g) Modo 7a. (h) Modo 7b.	64
Figura 70 – Combinação com inversor novo e 1 enrolamento no transformador. . . .	65
Figura 71 – Combinação com inversor SMC e 1 enrolamento no transformador. . .	66
Figura 72 – Sinais de saída do DCF-7L.	67
Figura 73 – Tensões nos Dispositivos do DCF-7L.	67
Figura 74 – Comparação Perdas.	68
Figura 75 – Estresse Térmico: (a) S_1 . (b) S_2 . (c) S_5 . (d) S_7	69
Figura 76 – Resultados de Simulação: (a) Distorção Harmônica. (b) Distorção Harmônica Ponderada (WTHD).	70
Figura 77 – Atualização da montagem.	70
Figura 78 – Conexão física da topologia de 7 níveis nas chaves.	71
Figura 79 – Resultado da saída do inversor de 7 níveis (50V/div vert., 10A/div vert., 5ms/div hor.).	72
Figura 80 – V_{s1}, V_{s2} . 50 V/div vert., 5ms/div hor.	73
Figura 81 – V_{s1}, V_{s2}, v_{s3} . 50 V/div vert., 5ms/div hor.	73
Figura 82 – V_{s2}, V_{s3}, V_{s5} . 50 V/div vert., 5ms/div hor.	74
Figura 83 – V_a, I_{Sa1} . 50 V/div vert., 5ms/div hor.	74
Figura 84 – Resultado dos níveis de tensão dos capacitores com solução integrada. .	75
Figura 85 – Resultado dos níveis de tensão dos capacitores da solução pelo osciloscópio (100 V/div vert., 100V/ div, 20 V/div vert., 20V/div vert.). . . .	75
Figura 86 – Tensões nas chaves do secundário S_a e S_b (100 V/div vert., 100V/ div, 50 V/div vert., 50V/div vert.).	76
Figura 87 – Tensões no lado primario do transformador (50 V/div vert.).	77
Figura 88 – $V_{Ca}, V_{Cb}, V_{C1}, V_i$. 50 V/div vert., 5ms/div hor.	78
Figura 89 – V_{Ca}, V_i, V_a . 50 V/div vert., 5ms/div hor.	78
Figura 90 – Inversor 9 níveis proposto.	81
Figura 91 – Modos Inversor SMC: (a) Modo 1a. (b) Modo 1b. (c) Modo 2a. (d) Modo 2b. (e) Modo 3a. (f) Modo 3b.	82
Figura 92 – Modos Inversor SMC: (a) Modo 4a. (b) Modo 4b. (c) Modo 5a. (d) Modo 5b. (e) Modo 6a. (f) Modo 6b.	83
Figura 93 – Modos Inversor SMC: (a) Modo 7a. (b) Modo 7b. (c) Modo 8a. (d) Modo 8b. (e) Modo 9a. (f) Modo 9b.	84
Figura 94 – Sinais de saída: (a) Tensão de saída v_o e Corrente de saída i_o	85

Figura 95 – Tensões nos dispositivos.	86
Figura 96 – Correntes nos dispositivos.	87
Figura 97 – Comparação das perdas.	88
Figura 98 – (a) THD. (b) WTHD.	89
Figura 99 – (a) Temperatura S_1 . (b) Temperatura S_2	89
Figura 100 – Fonte inserida para alimentação dos drivers e sensores da bancada. . .	90
Figura 101 – Resultado da saída do inversor de 9 níveis (50V/div vert., 10A/div vert., 5ms/div hor.).	91
Figura 102 – Descrição da Montagem da Bancada.	100
Figura 103 – Conexão física da topologia de 5 níveis nas chaves.	101
Figura 104 – Configuração dos drivers utilizados.	101
Figura 105 – Montagem final da topologia de 5 níveis.	102
Figura 106 – Curva característica B-H do núcleo tipo quadrado.	107
Figura 107 – Resultados de Simulação: (a) Volume do núcleo do transformador. (b) Perdas no núcleo do transformador.	112

Lista de tabelas

Tabela 1 – Comparação entre o número de níveis.	7
Tabela 2 – Estados topológicos FC 4 níveis.	8
Tabela 3 – Estados de chaveamento do inversor 5 níveis.	21
Tabela 4 – Principais Equações.	29
Tabela 5 – Estresse de Tensão.	35
Tabela 6 – Estados de chaveamento do inversor 7 níveis.	45
Tabela 7 – Estados topológicos SMC-7L	47
Tabela 8 – Estresse de tensão nos interruptores.	68
Tabela 9 – Estados chaveamento inversor 9 níveis	81
Tabela 10 – Parâmetros de simulação.	85
Tabela 11 – Estresse de tensão nos interruptores.	88
Tabela 12 – Estresse de corrente nos interruptores.	88

Lista de abreviaturas e siglas

CA	Corrente Alternada
CC	Corrente Contínua
CHB	Ponte-H em Cascata (<i>Cascaded H-Bridge</i>)
CB-PWM	Abordagem PWM Baseada em Portadora (<i>Carrier Based Pulse Width Modulation</i>)
DFC	Duplo capacitor flutuante (<i>Double flying capacitor</i>)
DSP	Processador Digital de Sinais (<i>Digital Signal Processor</i>)
FC	Capacitor Flutuante (<i>Floating Capacitor</i>)
IEA	Agência Internacional de Energia (<i>International Energy Agency</i>)
IEC	Comissão Eletrotécnica Internacional (<i>International Electrotechnical Commission</i>)
IGBT	Transistor Bipolar de Porta Isolada (<i>Insulated-Gate Bipolar Transistor</i>)
MLI	Inversor Multinível (<i>Multilevel Inverter</i>)
MMC	Conversor Modular Multinível (<i>Multilevel Modular Converter</i>)
MPPT	Monitoramento do Ponto de Máxima Potência (<i>Maximum Power Point Tracking</i>)
NPC	Ponto Neutro Grampeado (<i>Neutral-Point-Clamped</i>)
OEW	Enrolamentos de Terminais Abertos (<i>Open-end Winding</i>)
PWM	Modulação por Largura de Pulso (<i>Pulse Width Modulation</i>)
RMS	Valor Médio Quadrático (<i>Root Mean Square</i>)
THD	Distorção Harmônica Total (<i>Total Harmonic Distortion</i>)
WTHD	Distorção Harmônica Total Ponderada (<i>Weighted Total Harmonic Distortion</i>)
UPS	Fonte de Alimentação Ininterrupta (<i>Uninterrupted Power Source</i>)

Lista de símbolos

*	como sobrescrito, define uma variável de referência.
V_i	Tensão de Entrada.
i_p	Corrente no Primário.
i_{pmed}	Corrente Média no Primário.
i_s	Corrente no Secundário.
n	Número de Espiras.
nc	Número de Células.
nl	Número de Níveis.
ns	Número de Combinações de Chaveamento.
L_p	Indutância do Primário.
L_s	Indutância do Secundário.
V_o	Tensão de Saída.
D	Ciclo de Trabalho.
C_a	Capacitor do Enrolamento 1.
C_b	Capacitor do Enrolamento 2.
f_s	Frequência de Chaveamento.
L_m	Indutância de Magnetização.
L_d	Indutância de Dispersão.
P_o	Potência de Saída.
D_{max}	Ciclo Máximo de Trabalho.
J	Densidade de Corrente.
V_{Dp}	Tensão do Diodo do Primário.

V_{C_1}	Tensão do Capacitor C_1 .
i_{L_m}	Corrente da Indutância de Magnetização.
v_{c_a}	Tensão do Capacitor C_a .
v_{c_b}	Tensão do Capacitor C_b .]
i_a	Corrente de Saída do Inversor.
I_o	Corrente na Carga.
R_o	Resistência da Carga.
L_o	Indutância da Carga.
S_a	Chave do Enrolamento do Secundário do Transformador.
S_b	Chave do Enrolamento do Terciário do Transformador.

Sumário

1	INTRODUÇÃO	1
1.1	Localização do tema	1
1.2	Revisão bibliográfica	8
1.3	Inversores de Cinco Níveis	9
1.4	Inversores de Sete Níveis	12
1.5	Inversores de Nove Níveis	14
1.6	Integração Fonte CC - Inversor	14
1.7	Conclusões	15
1.8	Objetivos	17
1.9	Organização do Trabalho	18
1.10	Produção gerada	18
2	INVERSOR DCF - 5L	20
2.1	Topologia Integrada (Fonte CC e Inversor)	21
2.2	Modos de Operação	23
2.3	Modulação PWM	29
2.4	Análise dos Resultados	30
2.4.1	Metodologia das Comparações	33
2.4.2	Análise Comparativa	33
2.4.3	Análise Resultados Experimentais	37
2.5	Conclusões	43
3	INVERSOR DCF - 7L	44
3.1	Topologias DCF-7L	44
3.2	Combinação 7L - DCF - 2S	50
3.3	Combinação 7L - SMC - 2S	61
3.3.1	Combinação 7L - DCF - 1S	65
3.3.1.1	Combinação 7L - SMC - 1S	65
3.4	Análise Comparativa	66
3.5	Resultados Experimentais	70
3.6	Conclusões	78
4	SMC - 9L	80
4.1	Topologia SMC-9L	81

4.2	Resultados de simulação	84
4.3	Análise Comparativa	87
4.4	Resultados Experimentais	89
4.5	Conclusões	91
	5 CONCLUSÕES GERAIS E TRABALHOS FUTUROS	92
5.1	Conclusões gerais	92
5.2	Trabalhos futuros	94
	REFERÊNCIAS	95
	6 APÊNDICE	99
6.1	Apresentação da Bancada	99
6.1.1	O transformador	102
6.1.1.1	Valor Eficaz e Médio das correntes nos enrolamentos	103
6.1.2	Tensão e Corrente no dispositivo do secundário	104
6.1.2.1	Dimensionamento do capacitor de saída (Co)	104
6.1.3	O Flyback	105
6.1.3.1	Formas de onda da corrente	105
6.1.3.2	Projeto Físico do elemento magnético	105
6.1.3.3	Cálculo da indutância de magnetização	106
6.1.3.4	Tipo de material do núcleo	106
6.1.3.5	Parâmetros e equacionamento para projeto	107
6.2	Análise Quantitativa dos Componentes da Topologia	110
6.2.0.1	Dimensionamento dos Semicondutores	110
6.2.1	Projeto dos Capacitores	110

1 | Introdução

1.1 Localização do tema

Alguns fatores contribuíram de forma considerável para a evolução da eletrônica de potência na indústria: surgimento de dispositivos que suportem tensões e correntes cada vez maiores e com uma frequência de chaveamento maior, além do uso dos processadores digitais de sinais (do inglês, *Digital Signal Processor*) e também o FPGA (do inglês, *Field Programmable Gate Array*). Essa evolução faz com que a eletrônica de potência seja cada vez mais utilizada em diversas áreas.

Os conversores eletrônicos de potência sendo divididos em conversores fonte de tensão VSCs (do inglês, *Voltage Source Converter*) e conversores fonte de corrente CSCs (do inglês, *Current Source Converter*). Os VSCs são mais difundidos e utilizados que os CSCs, por possuírem uma maior densidade de potência e apresentarem menores perdas por condução (VITORINO et al., 2013).

Um dos problemas a ser observado no desenvolvimento do conversor, é o estresse de tensão aplicado nos seus dispositivos. Como forma de contornar o problema de estresse de tensão nos interruptores, perdas e densidade de potência, propõe-se o uso de conversores multiníveis. Ao realizar associações de chaves, capacitores e indutores de tal forma que o estresse sobre os semicondutores seja reduzido, pode-se obter ainda menores perdas por condução, uma vez que, a distribuição da corrente faz com que as perdas sejam reduzidas. Outra vantagem é o aumento da densidade de potência, ao se trabalhar com vários níveis, as formas de onda da tensão ou corrente chaveada se aproximam mais de uma senóide, logo, tão maior o número de níveis menor a taxa de distorção harmônica total (do inglês, '*Total Harmonic Distortion*'- THD) da forma de onda chaveada, resultando na possibilidade de redução dos filtros CA dos conversores e conseqüentemente menores perdas nos elementos passivos.

Um dos componentes mais fundamentais da eletrônica de potência são os conversores

de corrente contínua para corrente contínua (CC-CC), que são dispositivos eletrônicos que convertem um nível de tensão CC em outro. Os conversores CC-CC têm inúmeras aplicações em diversos campos, incluindo sistemas de energia renovável, veículos elétricos e processos industriais. Em veículos elétricos, os conversores CC-CC são usados para converter a energia da bateria de alta tensão em um nível de tensão mais baixo para uso nos sistemas elétricos do veículo. Os inversores multiníveis também podem ser usados em veículos elétricos para controlar a forma de onda da tensão de saída, resultando em operação mais suave e eficiente. Nos processos industriais, os conversores CC-CC são usados para controlar a tensão da fonte de alimentação de vários dispositivos, como motores ou bombas. Os inversores multiníveis também podem ser usados em processos industriais para controlar a forma de onda da tensão de saída, resultando em controle mais eficiente e preciso.

Dentro das classes de conversores, os inversores multiníveis, que fazem o papel de converter a tensão CC em tensão CA com múltiplos níveis. Os inversores multiníveis possuem diversas vantagens em relação aos inversores convencionais de dois níveis, incluindo a redução da distorção harmônica, melhoria da eficiência e menor interferência eletromagnética. Além disso, os inversores multiníveis podem ser usados para controlar a forma de onda da tensão de saída, tornando-os adequados para uma ampla gama de aplicações. Uma das principais vantagens dos inversores multiníveis é a redução das perdas de comutação e, portanto, das perdas totais, em comparação com os inversores convencionais, especialmente em sistemas de geração de energia elétrica renovável, como parques eólicos e usinas fotovoltaicas, e em sistemas de transmissão de energia elétrica. Isso se deve à sua capacidade de gerar tensões de saída de alta qualidade, com baixo conteúdo de harmônicas e níveis de tensão mais elevados do que os inversores convencionais. Além disso, os inversores multiníveis permitem a utilização de dispositivos semicondutores de menor capacidade, reduzindo assim os custos e aumentando a eficiência do sistema. Além disso, são usados em sistemas de acionamento de motores elétricos de alta potência e em sistemas de controle de velocidade de motores. Eles oferecem uma maneira eficiente de controlar a velocidade de motores elétricos, permitindo que a velocidade seja facilmente ajustada, o que é especialmente útil em aplicações industriais que exigem uma ampla faixa de controle de velocidade.

Dentre vários tipos de multiníveis na literatura, são consideradas como estruturas fundamentais: NPC (do inglês *Neutral Point Clamped*), ou diodo grampeado, sendo criado por (BAKER, 1980), mas tornado conhecido por (NABAE; TAKAHASHI; AKAGI, 1981); o inversor a capacitor flutuante FC (do inglês *Flying Capacitor*), criada por (SUGIMOTO, 1982), mas que se tornou conhecido através de (MEYNARD; FOCH, 1992); já o inversor em cascata CHB (do inglês *Cascaded H-Bridge*), que foi patenteado por (BAKER;

BANNISTER, 1975), mas divulgado por (MARCHESONI; MAZZUCHELLI; TENCONI, 1988).

O inversor NPC é apresentado na Figura 1. Os diodos D_1 e D_2 conectam a tensão de saída ao ponto central "o" e grampeiam a tensão sobre os interruptores. A vantagem deste inversor são apresentadas em (MENENDEZ, 2004): utilização de transformadores é dispensável. Como desvantagens, os diodos de grampeamento devem ser de recuperação rápida e capazes de conduzir a corrente nominal do conversor.

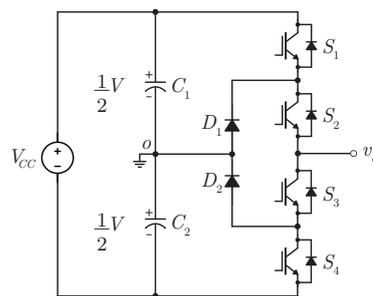


Figura 1 – Inversor *Neutral Point Clamped* (NPC).

Quando se deseja realizar o aumento do número de níveis na saída do inversor NPC, é necessário o aumento do número de diodos de grampeamento, interruptores, e de capacitores no barramento. Na Figura 2 é apresentado um inversor NPC de 5 níveis, que passa a ter 8 chaves e 6 diodos. Este aumento no número de componentes representa uma desvantagem adicional para o sistema, pois torna o controle das tensões dos capacitores do barramento mais complexo. Para obtenção de 7 níveis na saída deste inversor será necessário aumentar, ainda mais, o número de diodos, de interruptores e de capacitores de barramento.

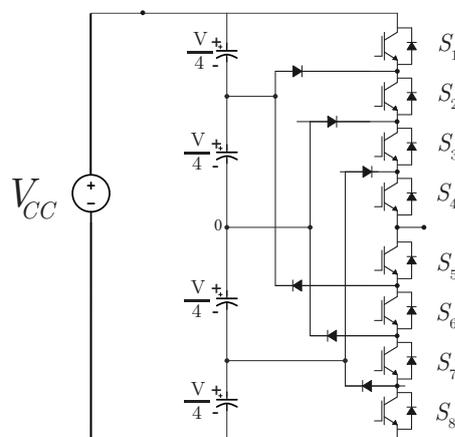


Figura 2 – Inversor NPC de 5 níveis.

O inversor CHB, é formado pela conexão de pontes H em cascata. Sua versão

em cinco níveis é apresentado na Figura 3. Algumas de suas vantagens são apresentadas em (MENENDEZ, 2004): não necessita de diodos de grampeamento; pode-se aumentar o número de níveis facilmente com o aumento do número de módulos (MANJREKAR M.D; LIPO, 2000). Como desvantagem, necessita-se de uma fonte de tensão contínua, isolada, para cada ponte H; assim, o número de fontes isoladas aumenta com o número de módulos, aumentando o tamanho e custo da solução.

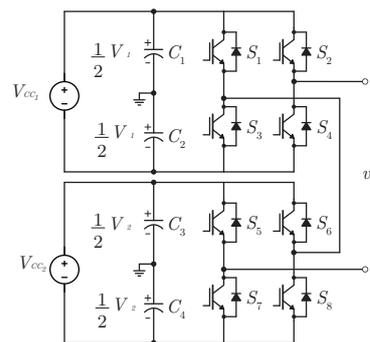


Figura 3 – Inversor *Cascaded H-Bridge*(CHB).

Na topologia a capacitor flutuante, o grampeamento de tensão é realizado por um capacitor, como mostra a Figura 4. Considerando-se 'n' como sendo o número de níveis, observa-se que o FC de 3 níveis é formado por n-1 (duas) células (formada por dois interruptores e um ou mais capacitores em série), ou seja, S_2 - S_2 - C_3 e S_1 - S_1 barramento (C_1 - C_2). Uma desvantagem é que o capacitor flutuante deve suportar a corrente de carga. O aumento do número de níveis para este inversor é obtido através de n-1 células, com conseqüente aumento no número de capacitores (1 capacitor por célula) e interruptores.

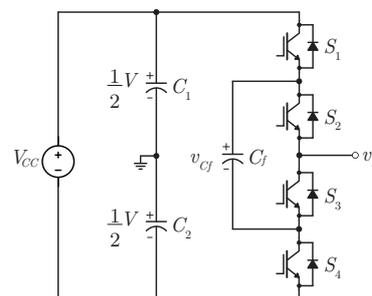


Figura 4 – Inversor *Floating Capacitor* (FC).

A Figura 5 apresenta a estrutura para um inversor FC de 5 níveis (quatro módulos), que passa a ter 3 capacitores e 8 chaves.

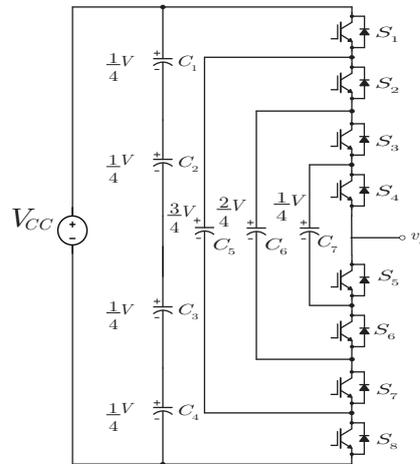


Figura 5 – Inversor FC de 5 níveis.

Além das topologias multiníveis convencionais, foram, ao longo das últimas quatro décadas, concebidos outros princípios básicos de operação. Assim, foram concebidos, entre outros, o inversor aninhado (*nested* em inglês) (BHAGWAT; STEFANOVIC, 1983)(SANTOS et al., 2012), cuja versão de três níveis corresponde ao inversor com conexão T (NABAE; TAKAHASHI; AKAGI, 1981) e o inversor modular (MARQUARDT, 2003), cujo princípio envolve a conexão série de estruturas em meia-ponte, de dois níveis. Outras estruturas resultam de modificações em conversores já existentes ou da combinação de diferentes princípios em um mesmo conversor. Uma concepção, que teve como proposta melhorar a distribuição das perdas nos interruptores, em relação ao NPC, foi tornada conhecida na sua versão de três níveis em (BRUCKNER, 2001), o inversor multinível com grampeamento ativo do neutro (ANPC - Active Neutral Point Clamped), apresentado em suas versões de três e cinco níveis na Figura 6.

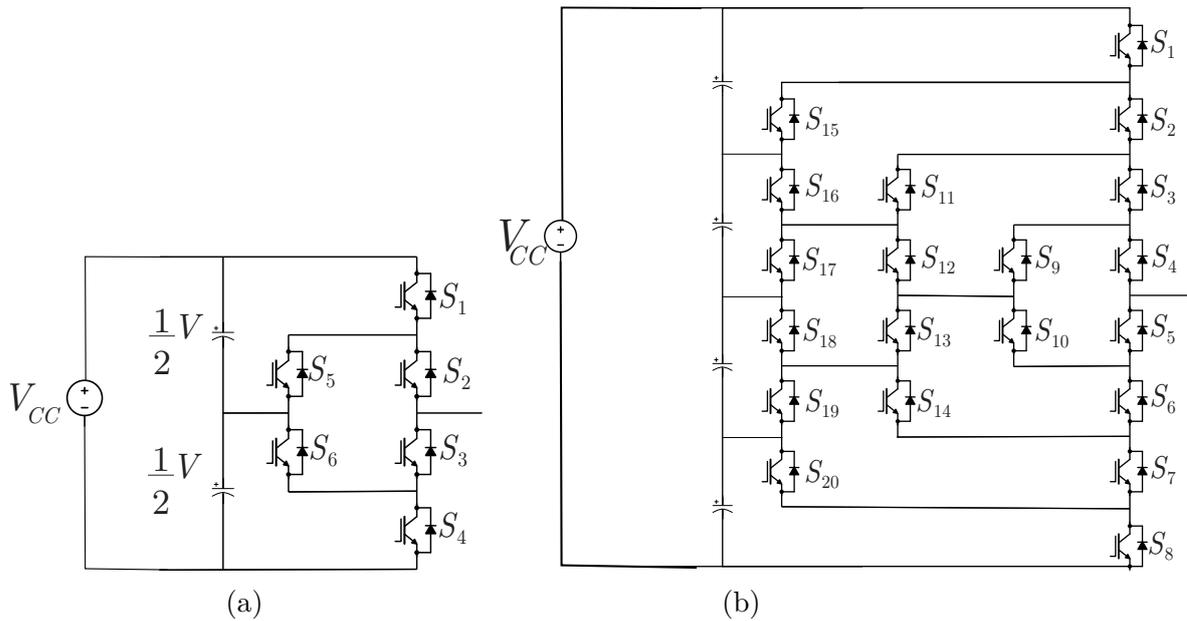


Figura 6 – Inversor multinível com grampeamento ativo do neutro (ANPC) de 3 níveis (a) e 5 níveis (b).

Outras configurações resultaram de diferentes tipos de combinação, dando origem aos conversores mistos, havendo um grande número de possibilidades para sua geração. Entende-se por conversor misto, conversores que são introduzidos a partir da combinação de topologias com diferentes características, como, por exemplo, o inversor com combinação de um inversor NPC e FC, combinação entre inversor FC e tipo T, dentre outros.

Ao analisarmos alguns tipos de conversores, percebe-se que podem existir diferentes caminhos na operação de uma determinada topologia, ou seja, estados redundantes que resultam em um mesmo nível de tensão na saída da topologia. Com isso, é possível eliminar alguns destes estados e reduzir o número de componentes. O estudo desenvolvido em (WANG; LIU; SEN, 2015) mostrou que era possível derivar 32 topologias tipo NPC de cinco níveis, em que diferentes características podem ser encontradas para cada topologia.

Uma alternativa interessante, estudado na literatura, foi demonstrado que o número de níveis de tensão pode ser aumentado por alteração da relação binária das tensões das fontes isoladas, no caso dos conversores CHB (MANJREKAR; LIPO, 1998), e dos capacitores flutuantes do conversor FC (KOU; CORZINE; FAMILIANT, 2002). A topologia CHB pode chegar a 7 ou 9 níveis, a depender das tensões que serão utilizadas nas fontes.

Na topologia 'FC', o número de níveis possíveis tem relação com o número de células. Estas possibilidades são apresentadas na Tabela 1, em que 'nc' é o número de células, 'ns' o número de combinações possíveis de chaveamento, 'nl' o número de níveis. Observa-se da tabela que duas células, quantidade usada nos FCs tradicionais de três

níveis, permitem a obtenção de quatro níveis.

Tabela 1 – Comparação entre o número de níveis.

nc	ns	nl (convencional)	nl (proposto)
1	2	2	2
2	4	3	4
3	8	4	8
4	16	5	16
5	32	6	32
6	64	7	64
...
n	n	$n + 1$	$2n$

A Figura 7 apresenta uma topologia de inversor a capacitor flutuante contendo 3 células, ou seja, três capacitores flutuantes e 6 interruptores, sendo possível obter 4 níveis da forma convencional e 8 níveis da forma proposta. A capacidade de regular as tensões dos capacitores flutuantes é obtida através da seleção de estados redundantes mesmo se o número de níveis de tensão for maior que três (HUANG; CORZINE, 2006). Fontes cc podem ser utilizadas para substituir a regulação das tensões.

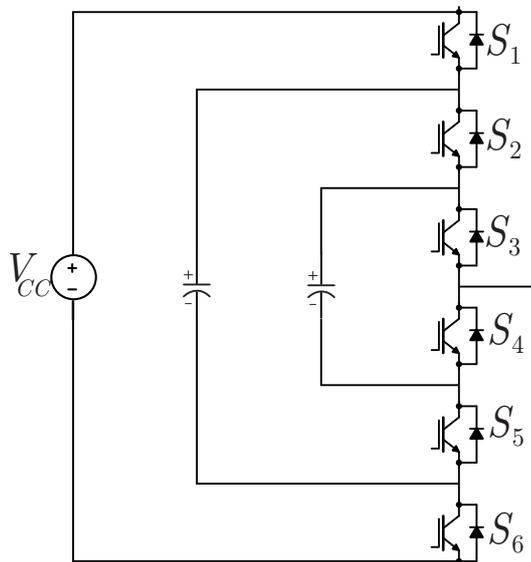


Figura 7 – Inversor a Capacitor Flutuante com 3 células

Um ponto de interesse é que vários conversores cc-cc de potência foram concebidos para permitir a alimentação inversores multiníveis (CORZINE; MAJEETHIA, 2000), (COOLEY, 2008), (ANDRADE; SILVA, 2015). Considerando os inversores multiníveis mencionados acima, observa-se que, em alguns deles, a alimentação é feita por uma fonte dividida em N níveis. É o caso, por exemplo, do NPC. Em (CORZINE; MAJE-

ETHIA, 2000) a tensão de barramento cc é dividida . Em (ANDRADE; SILVA, 2015), fontes individuais alimentam nível e, conectadas, fornecem a tensão do barramento cc; e em (KOURO et al., 2010), painéis fotovoltaicos são utilizados, cada um alimentando um conversor boost para elevar a tensão de alimentação; as saídas destes conversores são, então, conectadas à entrada do inversor NPC.

1.2 Revisão bibliográfica

Como mencionado anteriormente, a escolha adequada da relação entre a tensão de barramento e a do capacitor flutuante, permite com que um inversor FC de três níveis opere como quatro níveis na saída. A Figura 8 indica esta possibilidade, os possíveis estados de operação sendo indicados na Tabela 2 (LACERDA et al.,).

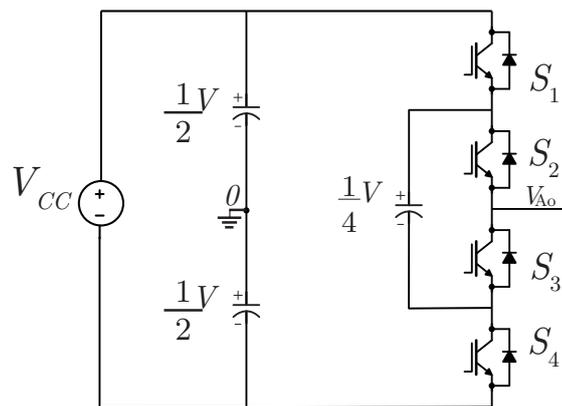


Figura 8 – FC 4 níveis.

Tabela 2 – Estados topologicos FC 4 níveis.

Estado	S_1	S_2	S_3	S_4	V_{Ao}
1	1	1	0	0	$\frac{V_i}{2}$
2	1	0	1	0	$\frac{V_i}{4}$
3	0	1	0	1	$-\frac{V_i}{4}$
4	0	0	1	1	$-\frac{V_i}{2}$

Este princípio passou a ser utilizado na busca de topologias híbridas operando com um maior número de níveis na saída. Embora isto implique no aumento do número de componentes, este aumento é reduzido, bem menor do que aqueles encontrados nos casos convencionais mencionados. Por exemplo, uma possibilidade de aumentar de três para cinco o número níveis, implica no uso do princípio indicado na Tabela 3 e a conexão adicional da saída ao ponto neutro do barramento cc. Outra opção é a de realizar a conexão em série, ou não, com a tensão de saída, de um capacitor, já existente, ou não, conectado a células

adicionais. É o caso da célula a capacitor flutuante duplo com conexão T (GATEAU; MEYNARD; FOCH, 2001), da célula de conexão cruzada (CHAUDHURI et al., 2007) e da célula capacitiva em ponte (PULIKANTI; KONSTANTINOU; AGELIDIS, 2012).

1.3 Inversores de Cinco Níveis

Aparentemente, a primeira estrutura que utilizou a possibilidade de conexão adicional da saída ao ponto neutro do barramento cc foi concebida por Barbosa, conforme indicado na Figura 9. Trata-se de um inversor baseado na combinação de um NPC com um FC (ANPC), composto por 8 interruptores e um capacitor flutuante. Uma cuidadosa seleção de estados de comutação redundantes permite o controle das tensões nos capacitores, sem o uso de redes passivas.

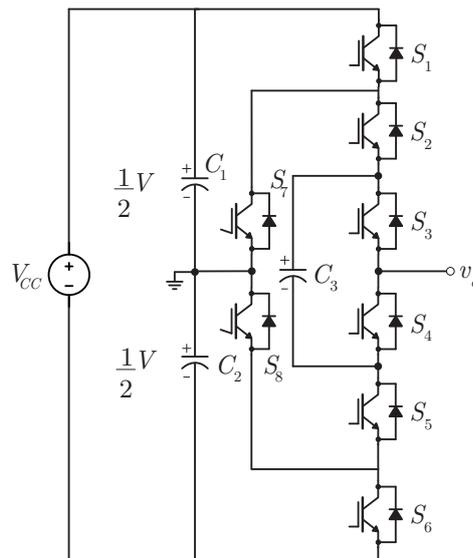
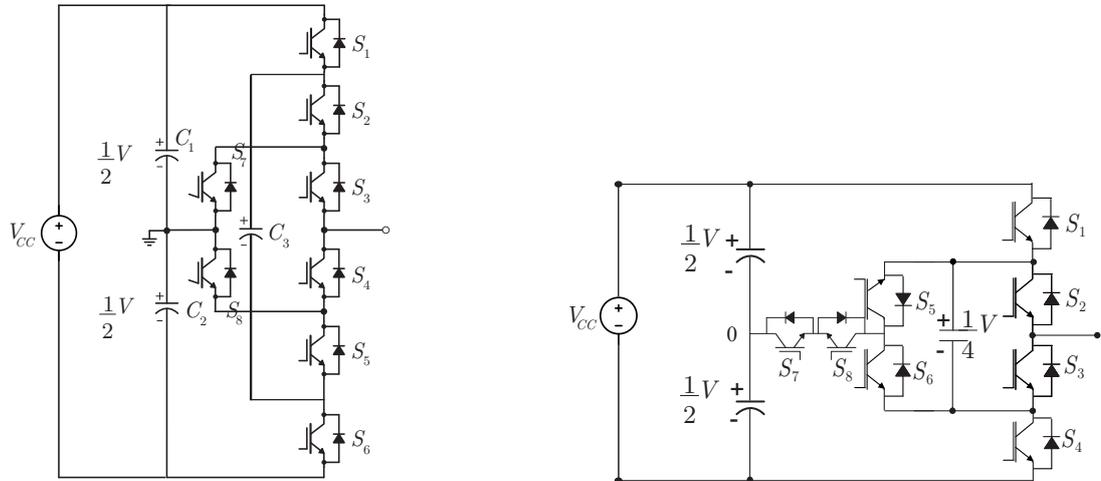
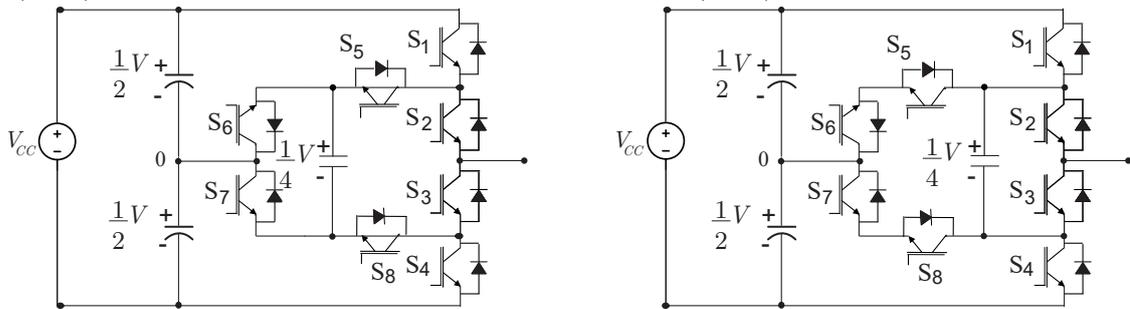


Figura 9 – Inversor misto introduzido por Barbosa, et al.(2005).

A topologia indicada na Figura 10(a) é uma variação da topologia da Figura 9, em que a localização dos interruptores e do capacitor flutuante são intercambiadas (SILVA et al., 2021). Uma topologia com o mesmo número de dispositivos mas utilizando uma conexão T é apresentada na Figura 10(b) (KORHONEN,2014). Nas topologias indicadas nas Figuras 10(c) (SILVA et al., 2021) e 10(d) (SOEIRO,2013), a conexão ao ponto neutro é feita por outros arranjos. Todas estas topologias empregam oito interruptores e um capacitor flutuante.



(a) Inversor de 5 níveis introduzido por Silva (2021). (b) Inversor de 5 níveis introduzido por Korhonen (2014)



(c) Inversor de 5 níveis introduzido por Silva (2021) (d) Inversor de 5 níveis introduzido por Soeiro (2013)

Figura 10 – Topologias de 5 níveis.

Uma redução de oito para seis interruptores ativos e dois diodos foi obtida por Wang (2017) na topologia (6S-5L-ANPC) da Figura 11. A topologia apresenta menores perdas de condução do que os inversores indicados nas Figuras 10(b), 10(b) e 10(d). Entretanto, é restrita a operação próxima de um fator de potência unitário.

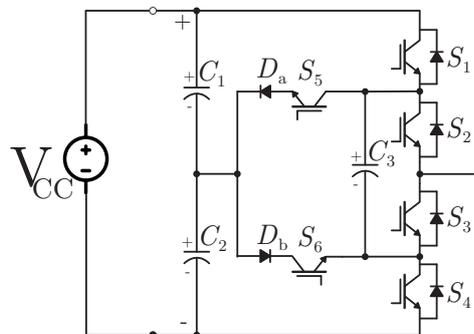


Figura 11 – Inversor 5 níveis apresentado por Wang(2017).

Os inversores apresentados até o momento permitem o controle das tensões nos

capacitores pela seleção de estados de comutação redundantes. Mesmo com a redução de interruptores no inversor da Figura 11 isto é possível. Nesse caso, a técnica consiste em: 1) verificar a região de operação que o conversor se encontra, estando nas regiões em que se terá corrente no capacitor flutuante; 2) verificar se a tensão sobre o mesmo é maior ou menor que a tensão de referência; 3) observar então o sentido da corrente; 4) aplicar o estado de comutação que irá realizar o carregamento ou descarregamento do capacitor para que a tensão se mantenha no nível desejado.

Um outro inversor, com uma proposta de redução de componentes para obtenção de 5 níveis e divulgado em (LACERDA et al., 2019) é apresentado na Figura 12. Como esta topologia não possui estados redundantes para regular a tensão do capacitor flutuante, esta tensão é mantida fixa através de um conversor cc-cc com tensão de saída isolada. Isto faz com que, além da redução no número de componentes, a topologia apresente uma redução das perdas por chaveamento. Comparada com as topologias indicadas nas Figuras de 15 a 18, esta topologia apresentou as melhores características quanto a perdas, estresse de tensão e estresse térmico (SILVA et al., 2021), além disso, também consegue funcionar com fator de potência abaixo de 1.

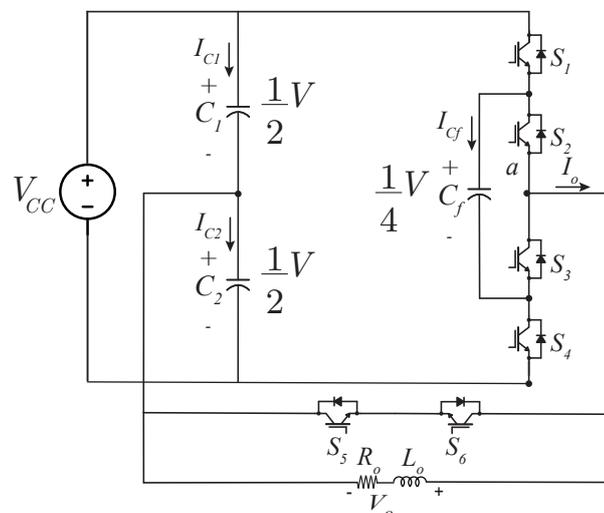


Figura 12 – Inversor TFC - 5 níveis.

Um outro princípio para obtenção de mais níveis de tensão, encontrado na literatura técnica, é a do uso do capacitor duplo. Um inversor de cinco níveis misto usando este princípio foi divulgado em (GATEAU; MEYNARD; FOCH, 2001), tendo referência a sigla SMC (do inglês, *Stacked Multicell Converter*). Ele é constituído por uma célula composta por um capacitor flutuante duplo e dois interruptores bidirecionais (que aqui será referida como célula de capacitor duplo em conexão T, SMC, e por um segundo interruptor bidirecional conectado entre os capacitores flutuantes e o ponto central do barramento, como mostra a Figura 13. Os estados redundantes existentes nesta topologia

permitem a regulação das tensões dos capacitores flutuantes, através de controle, somente para cinco níveis.

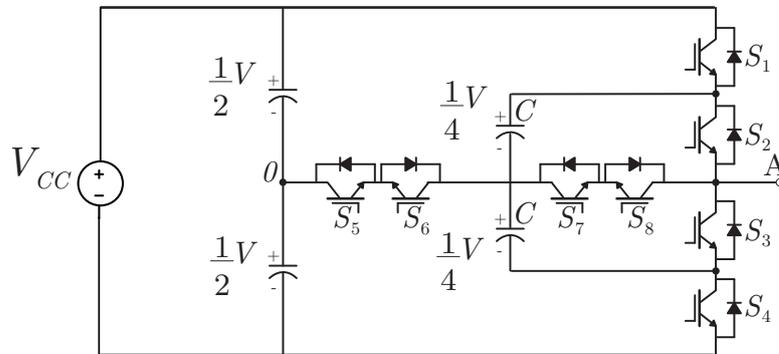


Figura 13 – Inversor de 5 níveis Gateau.

Uma topologia, denominada de 5L-NT2C (*Nested*), apresentada em (XIAO; NARIMANI,), também utiliza o princípio do capacitor duplo. Observe na Figura 14 que, além da SMC existe uma segunda célula FC que envolve a SMC. Nela existem, além dos 8 interruptores, 3 capacitores flutuantes. A regulação dos valores de tensão desejados nos capacitores foi realizada por controle preditivo.

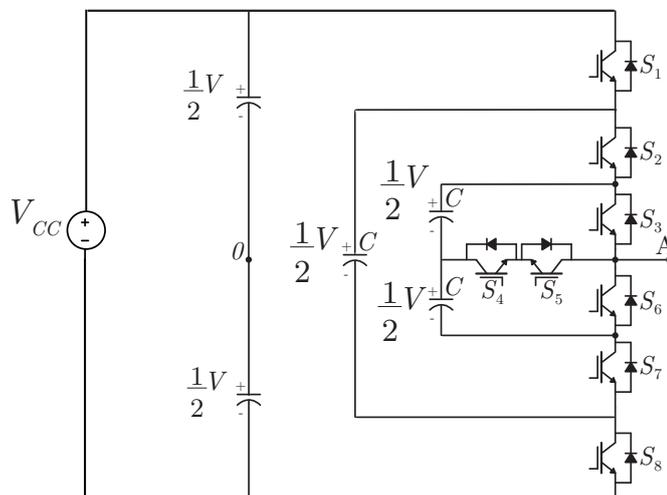


Figura 14 – Inversor Nested 5L-NT²C.

1.4 Inversores de Sete Níveis

Com relação aos inversores de 7 níveis, algumas topologias foram apresentadas recentemente na literatura. Em (SIWAKOTI et al., 2019) uma topologia é apresentada com 10 interruptores e dois capacitores flutuantes, ou seja, duas células. O controle da tensão dos capacitores é feito através da modulação, sendo necessário a presença de sensores de

corrente e tensão. Já em (BAHRAMI et al., 2019) também é apresentada uma topologia contendo 8 interruptores ativos e quatro capacitores flutuantes (dois capacitores duplos). Esta topologia conta com modulação baseada em controle preditivo para realização do controle da tensão dos capacitores flutuantes, As duas topologias são apresentadas na Figura 15.

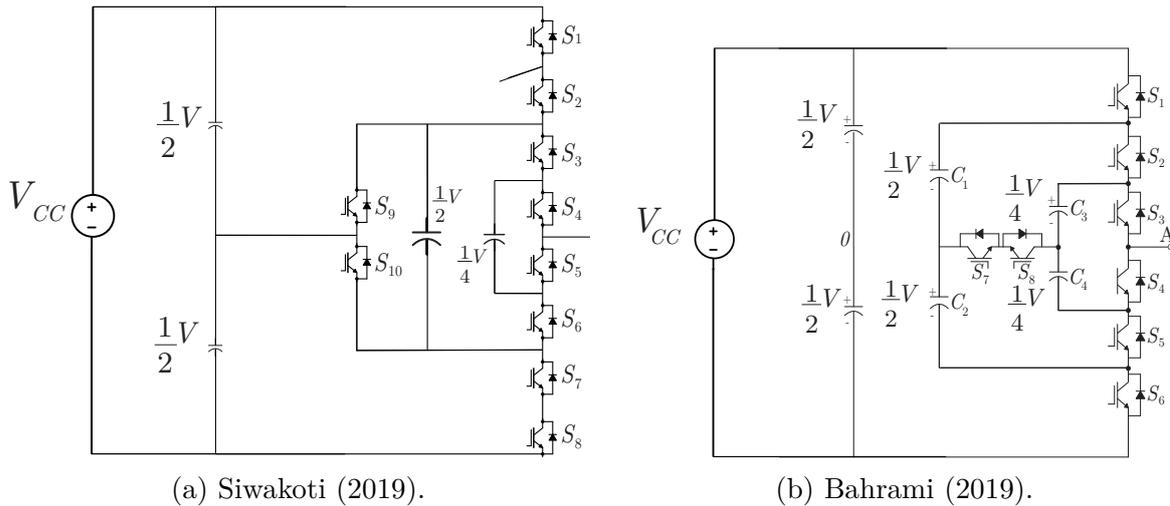


Figura 15 – Topologias de 7 níveis.

A topologia desenvolvida em (KESHMIRI; NARIMANI,) usa capacitor duplo, sendo uma variação da topologia de cinco níveis da Figura 16, em que a conexão T foi substituída por dois diodos, sendo uma topologia com poucos componentes, quando comparada às outras topologias de sete níveis. Já a topologia em (LEE; LEE, 2019) acrescenta um par de interruptores à topologia anterior, em troca de se converter em um inversor elevador de tensão com ganho 1,5.

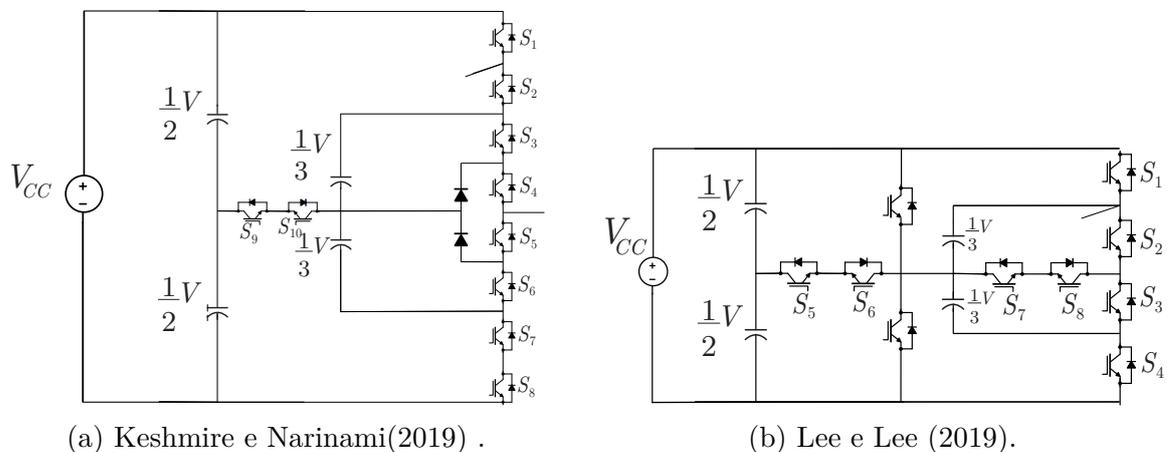


Figura 16 – Outras topologias de 7 níveis.

1.5 Inversores de Nove Níveis

No que se diz respeito aos inversores de 9 níveis, uma estrutura é apresentada em (ZHANG et al., 2019). Ela possui 8 interruptores e uma CDCCT (num total de 10 interruptores), além dos capacitores do barramento de alimentação. A modulação utilizada para funcionamento da topologia é do tipo PD-SPWM, consistindo da comparação de portadoras dispostas em fase e uma modulante para comparação com essas portadoras. A topologia é apresentada na Figura 17 .

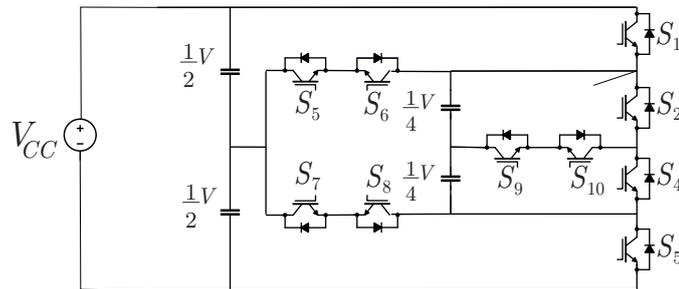


Figura 17 – Topologia de inversor 9 níveis apresentada por Zhang (2019).

1.6 Integração Fonte CC - Inversor

Os inversores mistos examinados são alimentados seja por uma única fonte de tensão cc ou por uma fonte cc de três níveis quando há acesso ao ponto neutro do barramento. Embora os conversores cc-cc mencionados para integração com inversores NPC possam ser utilizados, outras topologias existentes serão agora examinadas.

Uma possibilidade é encontrada em (NAMI et al., 2010). Este conversor, dá origem a duas tensões simétricas a partir de uma fonte de baixo valor, utilizando um conversor CC elevador de tensão cc (boost). Um outro princípio foi utilizado em (LIANG; TSENG, 2005), dando origem a um conversor cc-cc boost-flyback também com duas saídas.

Um outra possibilidade foi introduzida em (LEE D.-Y; HYUN, 2001). A diferença principal em relação ao caso anterior, é que este conversor usa uma estrutura flyback para isolar uma das fontes. Um rearranjo do conversor buck-boost permite o acesso ao ponto central do barramento cc (LACERDA; SILVA, 2019), além de reduzir pela metade o valor da tensão de alimentação V_i para se obter um mesma tensão de barramento (isto para o caso de uma razão cíclica, do interruptor S , igual a 0,5). Este isolamento entre as duas saídas é importante para a alimentação de uma estrutura FC ou híbrida, em que a regulação da tensão do capacitor flutuante via controle, seja por modulação seja preditivo, é substituído por uma fonte cc isolada.

A Figura 18 mostra a integração do conversor cc-cc ao conversor misto de cinco níveis (LACERDA; SILVA, 2019). Observe-se que a saída isolada fornece tensão ao capacitor flutuante, enquanto a outra saída (tensão no capacitor C2) compõe, juntamente com a fonte de alimentação, a tensão do barramento cc. A relação entre as tensões do barramento e do capacitor flutuante é estabelecida através da relação de transformação do transformado de isolamento, cuja frequência é bem maior do que aquela na saída do inversor. Os resultados obtidos foram bastante satisfatórios. Também, estudos mostraram que o desempenho do conversor cc-cc em conexão flyback é melhor do que quando a conexão é com o forward, como a investigada em (COSTA et al., 2018).

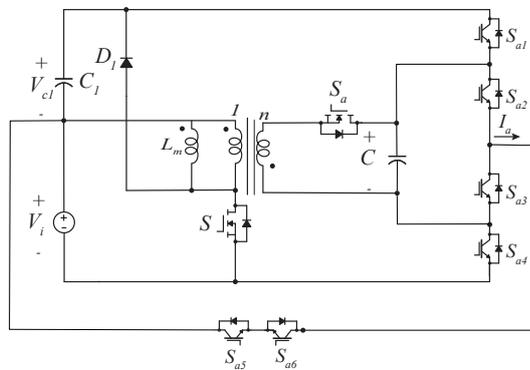


Figura 18 – Integração conversor cc-cc/inversor misto multinível.

Uma outra integração deste tipo foi apresentada em (ANDRADE; SILVA; VITORINO, 2014), mas, no caso, um inversor FC de três níveis é alimentado a partir de um conversor boost (que fornece a tensão do capacitor flutuante) em série com um conversor flyback (que fornece a tensão do barramento cc) o que acarreta o manuseio em cascata da energia utilizada.

1.7 Conclusões

Na revisão bibliográfica realizada, verificou-se que a utilização de conversores FC com escolha adequada da relação das tensões do barramento e tensões nos capacitores flutuantes, permite a obtenção de um número maior de sem aumento demasiado no número de componentes da topologia. O inversor FC de quatro níveis, utilizando a mesma estrutura de um inversor de duas células FC (três níveis), sugere que um quinto nível pode ser obtido pela adição de uma conexão da saída ao ponto neutro, ou seja, utilizando inversores mistos FC/NPC, ou FC/ANPC ou, ainda, FC/T. Estruturas de sete e nove níveis podem ser obtidas seja pelo aumento do número de células FC, seja pela utilização de duas células, uma delas sendo formada por uma capacitor duplo e uma conexão T (célula CCDCT). Estas possibilidades também utilizam um número reduzido de componentes, quando feita

uma comparação com os inversores convencionais, para um mesmo número de níveis. Esta abordagem se torna bastante atraente pelas possibilidades de limitação das perdas ao mesmo tempo em que há uma melhoria na qualidade das formas de onda na saída do inversor e, inclusive pelo fato de a técnica ter sido pouco explorada. A regulação dos valores das tensões nos capacitores é realizada através da seleção de estados de comutação redundantes, existentes na topologia, tendo sido aplicadas, inclusive, técnicas de controle preditivo. Na falta de estados redundantes, a tensão nos terminais do capacitor flutuante pode ser substituída por uma fonte de tensão. Isto permite a redução no número de comutações necessárias à regulação dessa tensão através do controle do chaveamento na escolha dos estados redundantes. Além disso tem capacidade de operar em uma larga faixa de fator de potência, o que não é possível em inversores de tensão de seis interruptores e regulação da tensão do capacitor flutuante através de uma técnica PWM. Entretanto, o TFC, com um capacitor flutuante, possibilita apenas a obtenção de 5 níveis, já a utilização de capacitores duplos e interligação de um interruptor bidirecional entre eles permite a obtenção não só de 5 níveis mas também o aumento para 7 níveis. Portanto o princípio utilizado no TFC parece ser uma boa escolha para aplicação em topologias produzindo mais níveis na saída.

Por outro lado, a necessidade de alimentar o barramento dos inversores leva a algumas observações. A integração de um conversor cc-cc com um inversor multinível depende do “casamento” do número de níveis necessários para alimentar a entrada do inversor e aquele gerado pelo conversor cc-cc. Esta vertente é, também pouco explorada. Percebe-se, a partir da revisão bibliográfica, que os inversores FC ou inversores mistos FC/NPC, ou FC/ANPC ou, ainda, FC/T necessitam de um ou dois níveis para qualquer número de níveis na saída do inversor. A utilização de uma fonte de valor fixo no lugar do capacitor flutuante exige um conversor cc com duas saídas, uma das quais isoladas. Dentre as possibilidades examinadas, uma, que já apresentou resultados satisfatórios, é bastante atraente. Ela utiliza um rearranjo de um conversor boost/ flyback e se adapta bastante bem ao inversor com “fonte flutuante”. Alguns estudos mostraram que esta opção é mais interessante do que o uso de um conversor boost/forward.

Também, a análise comparativa é um processo importante no estudo de novas topologias, tendo em vista que esse estudo vai mostrar a viabilidade, vantagens e desvantagens da topologia que está sendo proposta com relação a outras. Deste modo, é importante:

- Fazer a verificação dos valores de tensão que serão impostas sobre os interruptores; quanto menor a tensão, melhor será para a sua vida útil.
- Comparar as perdas totais do sistema;
- Verificar o nível de confiabilidade do conversor; uma maneira é calcular o estresse

térmico nos interruptores, pois este fator é um dos que possuem maior porcentagem no que diz respeito a causas de falhas em sistemas de potência.

- Comparar a qualidade dos sinais de saída, uma vez que agências reguladoras impõem valores de distorção máximos para esses sinais.

Observa-se, da discussão acima, que existe uma lacuna no exame das possibilidades das topologias mistas quanto à utilização de capacitores flutuantes duplos, variação da relação entre as tensões desses capacitores flutuantes e uso do contexto de fonte flutuante, através da integração conversor CC/inversor misto

As considerações acima levam aos seguintes objetivos deste trabalho.

1.8 Objetivos

O objetivo do trabalho é propor novas topologias de inversores multiníveis que permitam uma melhoria nas características de desempenho, assim como uma complexidade menor na modulação implementada para obtenção destes níveis na saída, sendo investigada topologias com saída de 5 níveis, 7 níveis e 9 níveis.

Mais especificamente:

- 1 - Investigar novas estruturas de inversores mistos de cinco níveis, sete níveis e nove níveis baseadas no uso de duplo capacitor, com as tensões dos capacitores flutuantes substituídos por uma fonte de tensão cc de duas saídas isoladas;

- 2 - Propor uma forma de utilização dos inversores de modo que o controle complexo do chaveamento não seja necessário, evitando também o uso de muitos sensores, aumentando a confiabilidade do conversor;

Os seguintes pontos, são desenvolvidos:

- Estudo dos estados topológicos, equacionamento, modulação, resultados de simulação e experimentais, para os inversores mais representativos;

- Análise dos resultados de qualidade de energia para as topologias, tomando como base a THD e WTHD, além do rendimento em relação as perdas de condução e comutação dos semicondutores;

- Estudo comparativo entre as topologias propostas e já existentes: vantagens e desvantagens.

1.9 Organização do Trabalho

O restante do trabalho está organizada da seguinte forma:

- Capítulo 2: Apresentação da topologia de 5 níveis (DCF - 5L), contemplando a integração do inversor 5 níveis sendo alimentado pelo conversor *flyback* mantendo o controle da tensão dos capacitores flutuante, apresentação das análises, resultados de simulação e comparações com topologias existentes.
- Capítulo 3: Apresentação da topologia de 7 níveis (DCF - 7L), tendo a integração do inversor 7 níveis sendo alimentado pelo conversor *flyback* mantendo o controle da tensão dos capacitores flutuante, neste capítulo são apresentados duas formas de organização da topologia (DCF e SMC), apresentação das análises, resultados de simulação e comparações com topologias existentes.
- Capítulo 4: Apresentação da topologia de 9 níveis (SMC - 9L), com a integração do inversor 9 níveis sendo alimentado pelo conversor *flyback* mantendo o controle da tensão dos capacitores flutuante, apresentação das análises, resultados de simulação e comparações com topologias existentes.
- Capítulo 5: Neste capítulo são apresentadas as conclusões com relação as topologias que foram propostas, além disso, são mostrados também os objetivos de continuação do trabalho.

1.10 Produção gerada

Alguns artigos já foram publicados em congressos internacionais a partir dos estudos realizados e apresentados neste trabalho, outras contribuições estão sendo trabalhadas e devem ser enviadas para periódicos e outros congressos. Enquanto outros foram submetidos e aguardam avaliação em revista. Abaixo, seguem as contribuições já publicadas a partir do trabalho:

1 - A Five-Level Flying-DC-Source Multilevel Inverter with Self-Regulated Voltages and Boosting Capability - ECCE 2020

Evento: Energy Congress Conversion Expo 2020 - Detroit, MI, USA

DOI: 10.1109/ECCE44975.2020.9235690

Autores: Antonio Venancio de Moura Lacerda Filho, André Elias L. da Costa, Edison Roberto C. da Silva, Cursino Brandão Jacobina, Nady Rocha

Endereço: <https://ieeexplore.ieee.org/document/9235690>

2 - New Five-Level Double-Flying-Capacitor Inverter Fed by a Boost-Flyback Converter - ECCE 2020

Evento: Energy Congress Conversion Expo 2020 - Detroit, MI, USA

DOI: 10.1109/ECCE44975.2020.9236283

Autores: Antonio Venancio de Moura Lacerda Filho, Edison Roberto Cabral da Silva, André Elias L. da Costa

Endereço: <https://ieeexplore.ieee.org/document/9236283>

3 - Five-Level Hybrid Voltage Source Inverters - COBEP 2021

Evento: Congresso Brasileiro de Eletrônica de Potência - COBEP - João Pessoa, Paraíba

DOI: 10.1109/COBEP53665.2021.9684126

Autores: Edison Roberto C. da Silva, Antonio Venancio de Moura Lacerda Filho, Ronnan de B. Cardoso, Leonardo R. Limongi, Nady Rocha

Endereço: <https://ieeexplore.ieee.org/document/9684126>

4 - Seven-Level Double Flying Capacitor Inverters

Evento: Congresso Brasileiro de Eletrônica de Potência - COBEP - Florianópolis

DOI: 10.1109/SPEC56436.2023.10408164

Autores: Antonio Venancio de Moura Lacerda Filho, Edison Roberto C. da Silva, Cursino B. Jacobina, Reuben Palmer.

5 - Seven and Nine Level Double Flying Capacitor Inverter Integrated With CC-CC Converter

Revista: Transactions on Industrial Electronics

Autores: Antonio Venancio de Moura Lacerda Filho, Edison Roberto C. da Silva, Cursino B. Jacobina, Reuben Palmer.

2 | Inversor DCF - 5L

A topologia proposta em (BAHRAMI; NARIMANI, 2019) e apresentada na Figura 19 consiste em 6 interruptores e dois capacitores, cujas tensões são fixas e fornecidas por um circuito adicional. Embora a topologia apresentada em [(WANG, 2017)] possua um número mínimo de interruptores (seis) tem uma desvantagem de permitir uma faixa maior de variação menor no fator potência da carga, tendo em vista a não utilização dos diodos que são utilizados na topologia da literatura. A topologia estudada nesse capítulo será derivada da proposta por Bahrami, fazendo uso da integração com o conversor CC-CC *boost-flyback*, fixando a tensão dos capacitores flutuantes e diminuindo a complexidade do controle.

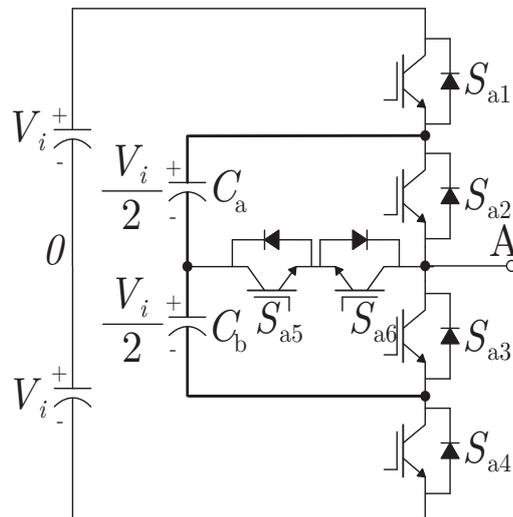


Figura 19 – Inversor 5 níveis proposto por Bahrami.

Para obtenção dos 5 níveis de tensão na saída a topologia apresenta 6 estados topológicos, sendo que para o nível zero, no momento da passagem pelo zero, a topologia apresenta dois níveis de tensão possíveis, em que um estado será utilizado para

corrente positiva e o outro para negativa. As configurações correspondentes aos dos estados topológicos conforme mostrado na Tabela 3 são apresentadas na Figura 20.

Tabela 3 – Estados de chaveamento do inversor 5 níveis.

Estado	s_{a1}	s_{a2}	s_{a3}	s_{a4}	s_{a5}	s_{a6}	V_a
A	1	1	0	0	0	0	V_i
B	1	0	0	0	0	1	$\frac{1}{2} V_i$
C	1	0	1	0	0	0	0
D	0	1	0	1	0	0	0
E	0	1	0	1	1	0	$-\frac{1}{2} V_i$
F	0	0	1	1	0	0	$-V_i$

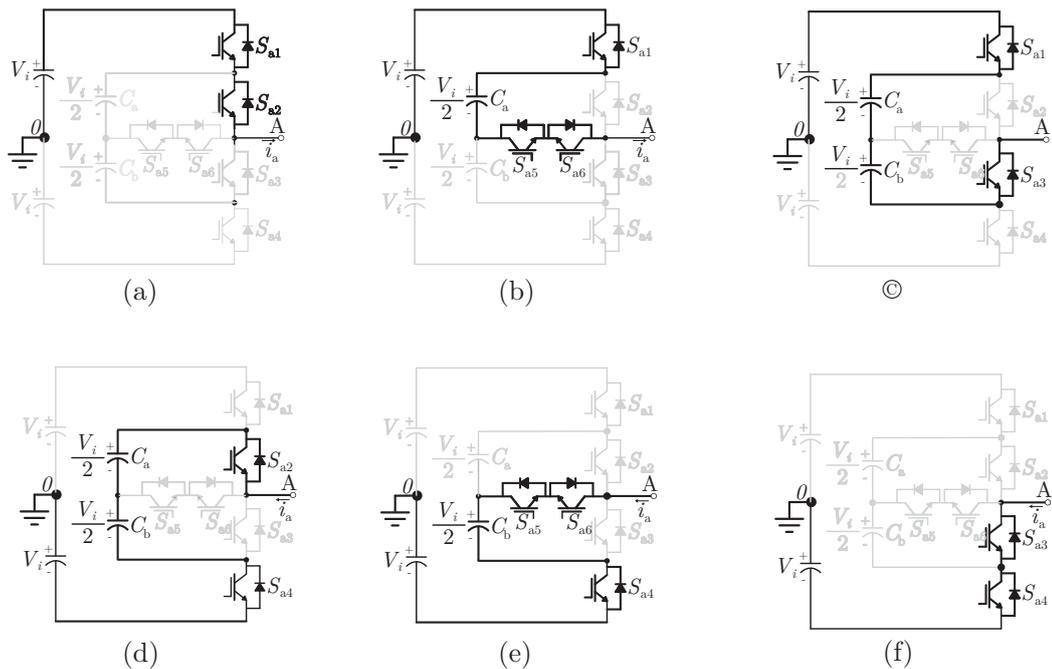


Figura 20 – Estados topológicos do inversor 5 níveis.

2.1 Topologia Integrada (Fonte CC e Inversor)

O inversor introduzido na Figura 19 necessita, além da tensão de barramento, de uma fonte isolada para alimentar os capacitores flutuantes. Considerando-se uma

fonte de alimentação primária de baixa tensão V_i , o rearranjo de um conversor boost, constituído pela chave S , pelo diodo D_1 , pelo capacitor C_1 e por um indutor L_m . Duas saídas podem ser obtidas, ou seja, V_{C1} e $V_o = V_i + V_{C2}$. Uma saída, para alimentação dos capacitores flutuantes, pode é obtida a partir da tensão no enrolamento secundário de um transformador se este substituir o indutor. O valor dessa tensão isolada é determinado pela relação de transformação do transformador. Podem ser utilizados um ou dois enrolamentos secundários, a combinação do circuito secundário (parte sombreada) com o primário formando um conversor forward (LACERDA; SILVA, 2018) ou flyback (LACERDA; SILVA, 2019), por exemplo.

A Figura 21 mostra a integração de um conversor boost/flyback, que recebe o nome de Duplo Capacitor Flutuante, devido aos dois capacitores menores presentes no enrolamento secundário e terciário do transformador. O funcionamento do conversor CC-CC se dá em duas etapas, denominadas de estágio A e estágio B. No primeiro estágio o interruptor S_b é ativado em conjunto com o interruptor S , nesse momento, a energia fornecida pela fonte V_i é armazenada na indutância de magnetização L_m , tem-se ainda a influência da corrente do primário no enrolamento terciário, tendo impacto na tensão armazenada no capacitor C_b , além disso, a depender do modo em que o inversor se encontra, a energia armazenada no capacitor C_1 é transferida para a carga, descarregando-o. No estágio B, o interruptor S é desativado em conjunto com o interruptor S_b e o interruptor S_a é ativado, outrossim, o diodo D_1 entra em condução, com isso, a energia que estava sendo armazenada na indutância de magnetização é transferida para o capacitor C_1 , carregando-o, tem-se ainda a influência do primário do transformador no secundário, tendo impacto na tensão que é armazenada no capacitor C_a . A razão cíclica de operação do conversor CC-CC é de 0.5, sendo justificada pelo fato deste valor fornecer uma tensão no capacitor C_1 igual a tensão da fonte de entrada V_i , o que permite ter uma simetria nos níveis de tensão da saída.

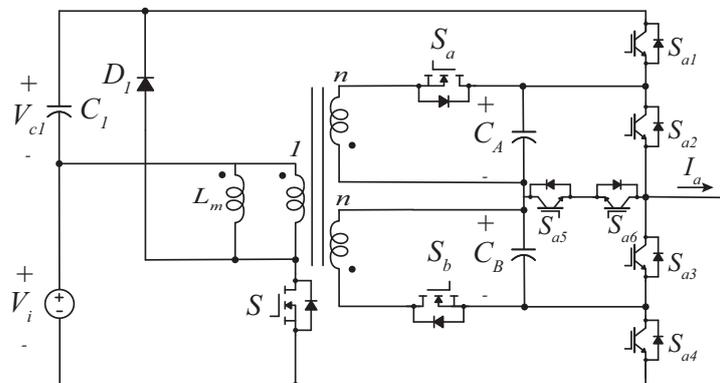


Figura 21 – Sistema Integrado DCF.

2.2 Modos de Operação

O primeiro modo de operação consiste do nível de tensão $+V_i$ na saída do inversor de 5 níveis, desta forma, durante este modo de operação, estarão contidas as duas etapas de operação do conversor CC-CC. A Figura 22 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.

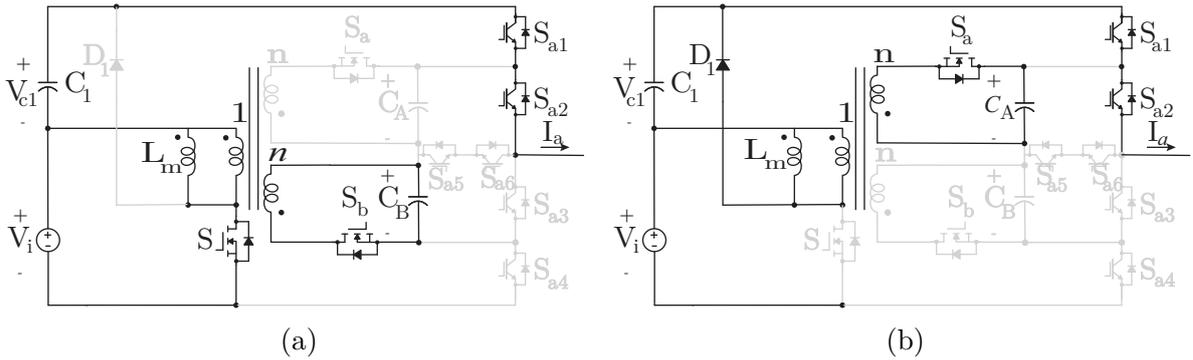


Figura 22 – 1 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo. A tensão do capacitor C_a permanece constante, tendo em vista que não terá corrente fluindo.

$$i_{L_m}(t) = \frac{V_i}{L_m}t + I_{L_{mi}} \quad (2.1)$$

$$V_o = V_{C_1} \quad (2.2)$$

$$v_{C_1}(t) = \frac{-i_a}{C_1}t + V_{C_{1i}} \quad (2.3)$$

$$v_{C_b}(t) = \frac{i_{L_m}}{C_b}t + V_{C_{bi}} \quad (2.4)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir. A tensão no capacitor C_b permanece constante, uma vez que não terá corrente fluindo.

$$i_{L_m}(t) = \frac{-V_{C_1}}{L_m}t + I_{L_{mi}} \quad (2.5)$$

$$V_o = V_{C_1} \quad (2.6)$$

$$v_{C_1}(t) = \frac{i_{L_m} - i_a}{C_1}t + V_{C_{1i}} \quad (2.7)$$

$$v_{C_a}(t) = \frac{i_{L_m}}{C_a}t + V_{C_{ai}} \quad (2.8)$$

O segundo modo de operação consiste do nível de tensão $\frac{\pm V_i}{2}$ na saída do inversor de 5 níveis, desta forma, durante este modo de operação, também estarão contidas as duas etapas de operação do conversor CC-CC. A Figura 23 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.

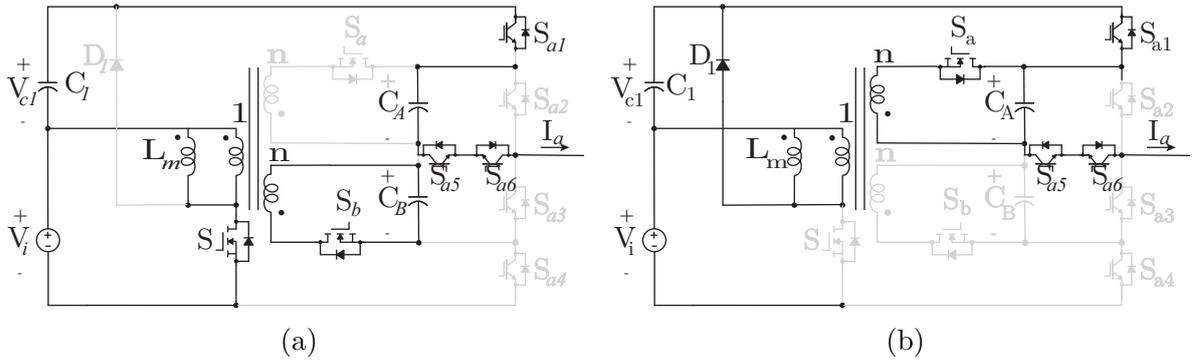


Figura 23 – 2 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo.

$$i_{L_m}(t) = \frac{V_i}{L_m}t + I_{L_{mi}} \quad (2.9)$$

$$V_o = V_{C_1} - V_{C_a} \quad (2.10)$$

$$v_{C_1}(t) = \frac{-i_a}{C_1}t + V_{C_{1i}} \quad (2.11)$$

$$v_{C_a}(t) = \frac{i_a}{C_a}t + V_{C_{ai}} \quad (2.12)$$

$$v_{C_b}(t) = \frac{i_{L_m}}{n_3 C_b}t + V_{C_{bi}} \quad (2.13)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir. A tensão no capacitor C_b permanece constante, uma vez que não terá corrente fluindo.

$$i_{L_m}(t) = \frac{-V_{C_1}}{L_m}t + I_{lmi} \quad (2.14)$$

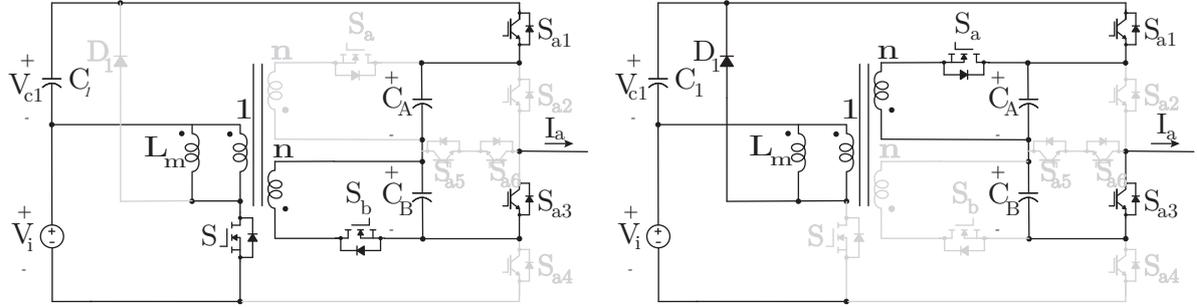
$$V_o = V_{C_1} - V_{C_a} \quad (2.15)$$

$$v_{C_1}(t) = \frac{i_{L_m} - i_a}{C_1}t + V_{C_{1i}} \quad (2.16)$$

$$v_{C_a}(t) = \frac{i_a - \frac{i_{L_m}}{n_2}}{C_a}t + V_{C_{ai}} \quad (2.17)$$

O terceiro modo de operação consiste do nível de tensão 0 na saída do inversor de 5 níveis. Também estarão contidas as duas etapas de operação do conversor CC-CC. A

Figura 24 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.



(a) 1ª etapa de funcionamento do conversor CC-CC. (b) 2ª etapa de funcionamento do conversor CC-CC.

Figura 24 – 3 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo.

$$i_{Lm}(t) = \frac{V_i}{L_m}t + I_{Lmi}. \quad (2.18)$$

$$V_o = V_{C1} - V_{C_a} - V_{C_b} \quad (2.19)$$

$$v_{C1}(t) = \frac{-i_a}{C_1}t + V_{C1i}. \quad (2.20)$$

$$v_{C_a}(t) = \frac{i_a}{C_a}t + V_{C_{a_i}} \quad (2.21)$$

$$v_{C_b}(t) = \frac{i_a - \frac{i_{Lm}}{n_3}}{C_b}t + V_{C_{b_i}} \quad (2.22)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir.

$$i_{Lm}(t) = \frac{-V_{c1}}{L_m}t + I_{lmi}. \quad (2.23)$$

$$V_o = V_{C1} - V_{C_a} \quad (2.24)$$

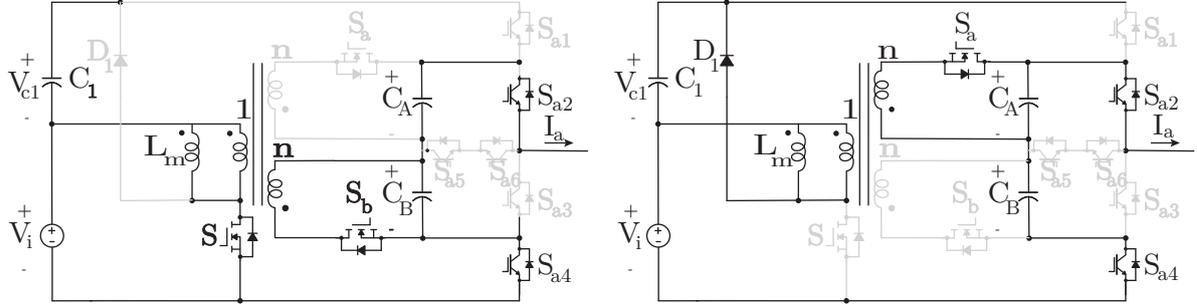
$$v_{C1}(t) = \frac{i_{Lm} - i_a}{C_1}t + V_{C1i}. \quad (2.25)$$

$$v_{C_a}(t) = \frac{i_a + \frac{i_{Lm}}{n_2}}{C_a}t + V_{C_{a_i}} \quad (2.26)$$

$$v_{C_b}(t) = \frac{i_a}{C_b}t + V_{C_{b_i}} \quad (2.27)$$

O quarto modo de operação consiste também do nível de tensão 0 na saída do inversor de 5 níveis, neste caso para corrente negativa, também estarão contidas as duas

etapas de operação do conversor CC-CC. A Figura 25 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.



(a) 1ª etapa de funcionamento do conversor CC-CC. (b) 2ª etapa de funcionamento do conversor CC-CC.

Figura 25 – 4 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo. A tensão no capacitor C_1 permanecerá constante durante esta etapa de funcionamento pois não terá corrente fluindo.

$$i_{Lm}(t) = \frac{V_i}{L_m}t + I_{Lmi}. \quad (2.28)$$

$$V_o = V_i - V_{C_a} - V_{C_b} \quad (2.29)$$

$$v_{C_a}(t) = \frac{i_a}{C_a}t + V_{C_{a_i}} \quad (2.30)$$

$$v_{C_b}(t) = \frac{i_a - \frac{i_{Lm}}{n_3}}{C_b}t + V_{C_{b_i}} \quad (2.31)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir.

$$i_{Lm}(t) = \frac{-V_{C1}}{L_m}t + I_{lmi}. \quad (2.32)$$

$$V_o = V_i - V_{C_a} - V_{C_b} \quad (2.33)$$

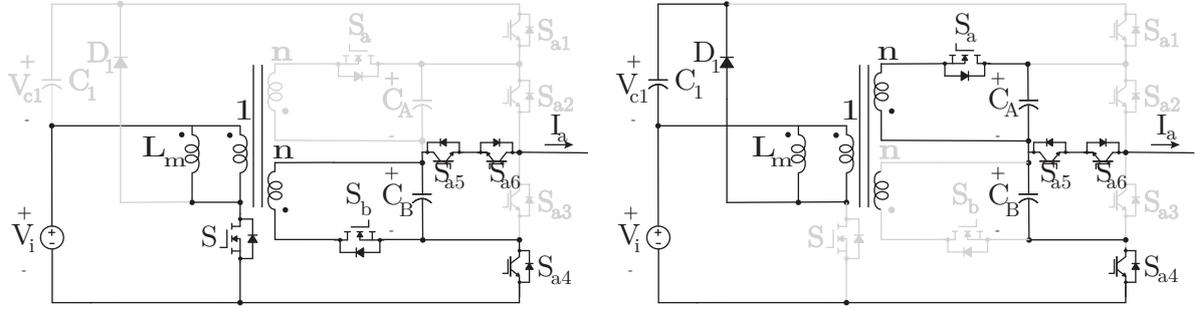
$$v_{C1}(t) = \frac{i_{Lm}}{C_1}t + V_{C1_i}. \quad (2.34)$$

$$v_{C_a}(t) = \frac{i_a - \frac{i_{Lm}}{n_2}}{C_a}t + V_{C_{a_i}} \quad (2.35)$$

$$v_{C_b}(t) = \frac{i_a}{C_b}t + V_{C_{b_i}} \quad (2.36)$$

O quinto modo de operação consiste do nível de tensão $\frac{-V_i}{2}$ na saída do inversor de 5 níveis, neste caso para corrente negativa, também estarão contidas as duas etapas de

operação do conversor CC-CC. A Figura 26 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.



(a) 1ª etapa de funcionamento do conversor CC-CC. (b) 2ª etapa de funcionamento do conversor CC-CC.

Figura 26 – 5 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo. A tensão nos capacitores C_1 e C_a permanecerão constantes durante esta etapa de funcionamento pois não terão corrente fluindo.

$$i_{Lm}(t) = \frac{V_i}{L_m}t + I_{Lmi}. \quad (2.37)$$

$$V_o = V_{C_b} - V_i \quad (2.38)$$

$$v_{C_b}(t) = \frac{i_a + \frac{i_{Lm}}{n_3}}{C_b}t + V_{C_b i} \quad (2.39)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir.

$$i_{Lm}(t) = \frac{-V_{c1}}{L_m}t + I_{lmi}. \quad (2.40)$$

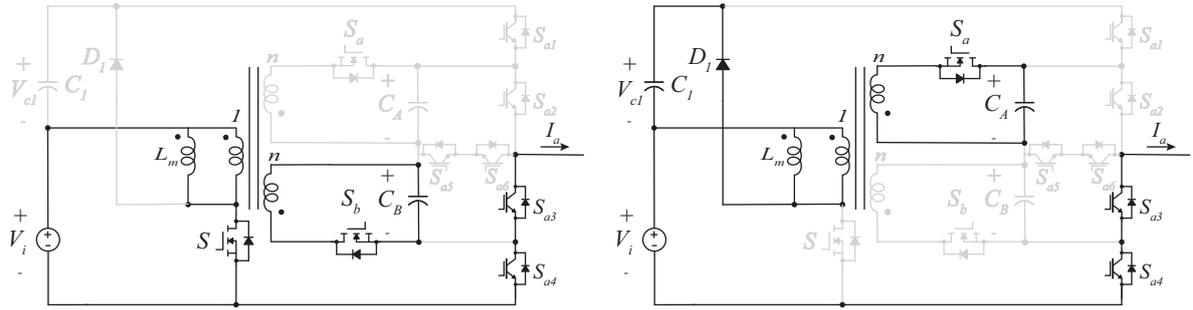
$$V_o = V_{C_b} - V_i \quad (2.41)$$

$$v_{C_1}(t) = \frac{i_{Lm}}{C_1}t + V_{C_1 i}. \quad (2.42)$$

$$v_{C_a}(t) = \frac{i_a - \frac{i_{Lm}}{n_2}}{C_a}t + V_{C_a i} \quad (2.43)$$

$$v_{C_b}(t) = \frac{i_a}{C_b}t + V_{C_b i} \quad (2.44)$$

O sexto modo de operação consiste do nível de tensão $-V_i$ na saída do inversor de 5 níveis, também estarão contidas as duas etapas de operação do conversor CC-CC. A Figura 27 apresenta a configuração do sistema integrado para as duas etapas durante este modo de operação.



(a) 1ª etapa de funcionamento do conversor CC-CC. (b) 2ª etapa de funcionamento do conversor CC-CC.

Figura 27 – 6 Modo de operação

O equacionamento para a primeira etapa de funcionamento do conversor CC-CC é apresentado abaixo. A tensão no capacitor C_1 e no capacitor C_a permanecerá constante durante esta etapa de funcionamento pois não terá corrente fluindo.

$$i_{Lm}(t) = \frac{V_i}{L_m}t + I_{Lmi}. \quad (2.45)$$

$$V_o = -V_i \quad (2.46)$$

$$v_{C_b}(t) = \frac{i_{Lm}}{n_3}t + V_{C_b i} \quad (2.47)$$

Para a segunda etapa de funcionamento, momento em que S_a passará a conduzir em conjunto com o diodo D_1 , o equacionamento é dado a seguir. Neste caso, a corrente do capacitor C_b permanece constante.

$$i_{Lm}(t) = \frac{-V_{c1}}{L_m}t + I_{Lmi}. \quad (2.48)$$

$$V_o = -V_i \quad (2.49)$$

$$v_{C_1}(t) = \frac{i_{Lm}}{C_1}t + V_{C_1 i}. \quad (2.50)$$

$$v_{C_a}(t) = \frac{i_{Lm}}{C_a}t + V_{C_a i} \quad (2.51)$$

Um resumo com as principais equações de funcionamento da topologia é apresentado na Tabela 4, através dela é possível fazer a verificação de como cada modo de operação da topologia proposta se comporta.

Tabela 4 – Principais Equações.

$\frac{di_{L_m}}{dt} = \frac{V_i}{L_m}$	$\frac{dv_{C_1}}{dt} = \frac{i_a}{C_1}$	Modos 1,3,5,7,9,11
v_{C_a} fixo	$\frac{dV_{C_b}}{dt} = \frac{i_{L_m}}{C_b}$	Modos 1,11
$\frac{dV_{C_a}}{dt} = \frac{i_{L_m}}{C_a}$	v_{C_b} fixo	Modos 2, 12
$\frac{dV_{C_a}}{dt} = \frac{I_a}{C_a}$	$\frac{dV_{C_b}}{dt} = \frac{i_{L_m}}{C_b}$	Modo 3
$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} + I_a}{C_b}$	v_{C_b} fixo	Modo 4
$\frac{dV_{C_a}}{dt} = \frac{i_a}{C_a}$	$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} + I_a}{C_b}$	Modo 5
$v_{L_m} = -V_i$	$\frac{di_{L_m}}{dt} = \frac{-V_i}{L_m}$	Modos 2,4,6,8,10,12
$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} + I_a}{C_b}$	$\frac{dV_{C_b}}{dt} = \frac{I_a}{C_b}$	Modo 6
$\frac{dV_{C_a}}{dt} = \frac{-i_a}{C_a}$	$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} - I_a}{C_b}$	Modo 7
$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} - I_a}{C_b}$	$\frac{dV_{C_b}}{dt} = \frac{-I_a}{C_b}$	Modo 8
v_{C_a} fixo	$\frac{dV_{C_b}}{dt} = \frac{i_{L_m} - I_a}{C_b}$	Modo 9
$\frac{dV_{C_a}}{dt} = \frac{i_{L_m}}{C_a}$	$\frac{dV_{C_b}}{dt} = \frac{I_a}{C_b}$	Modo 10

2.3 Modulação PWM

A modulação por largura de pulso com portadora deslocada, denominada de *Level Shift* (LSPWM) é uma técnica de modulação de sinal utilizada em inversores multiníveis. A portadora é deslocada em relação ao sinal de referência, criando uma série de pulsos com largura variável.

A principal vantagem da modulação, é que ela possibilita a utilização para os inversores multiníveis que reduz o número de harmônicos no sinal de saída do inversor. Esses harmônicos podem causar problemas de interferência eletromagnética (EMI) em outros equipamentos eletrônicos próximos, além de aumentar a perda de energia nos dispositivos semicondutores do inversor.

Com a modulação, a portadora deslocada gera múltiplas faixas de frequência que se sobrepõem na saída do inversor, criando uma forma de onda com menos harmônicos e maior qualidade. Isso permite que o inversor seja utilizado em aplicações mais sensíveis à qualidade da energia, como em sistemas de geração de energia renovável conectados à rede elétrica.

Além disso, uma melhor distribuição de tensão entre os dispositivos semicondutores do inversor, reduzindo o estresse térmico e aumentando a vida útil dos componentes.

Neste caso, a modulação utilizada para chaveamento do inversor consiste da utili-

zação de 4 portadoras, em que estão dispostas em fase, para o caso do inversor de 5 níveis, e uma modulante. A Figura 28, ilustra a modulação *Level-Shift* PWM, apresenta os sinais utilizados para modulação, nota-se que são utilizada 4 portadoras, dividindo em 4 regiões e que em cada um dos 4 setores é realizado a comparação com a modulante senoidal e realizado o envio do sinal para os interruptores correspondentes.

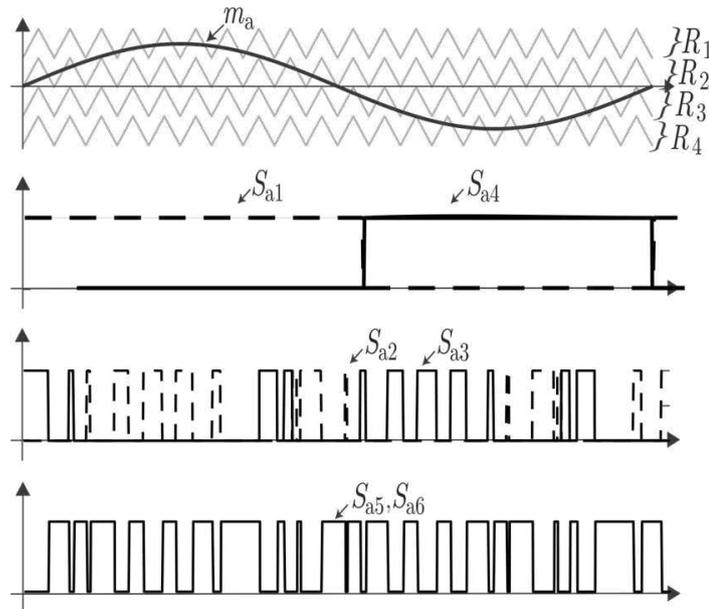


Figura 28 – Estratégia PDPWM e Sinais dos Interruptores.

2.4 Análise dos Resultados

A topologia proposta foi simulada com a ajuda do PSIM para tensões, $V_{C_a} = V_{C_b} = 100 \text{ V}$ e uma tensão de barramento CC $V_o = 400 \text{ V}$, de uma fonte de tensão CC de entrada, V_i , de 200 Volts. Para o conversor CC-CC operado com ciclo de trabalho $D = 0,5$, modo de condução contínua (CCM) e frequência de 40 kHz, a fim de reduzir o volume do transformador. Para uma potência de saída igual a $P_o = 815 \text{ W}$, o inversor alimentou uma carga composta por $R_o = 16 \Omega$ e $L_o = 7 \text{ mH}$, operando com frequência de modulação de 10kHz.

A obtenção dos 5 níveis de tensão na saída é realizada com a manutenção deste valor nos níveis desejados, isso é feito através do transformador de alta frequência, que possibilita também que não tenhamos uma complexidade maior no controle desta tensão.

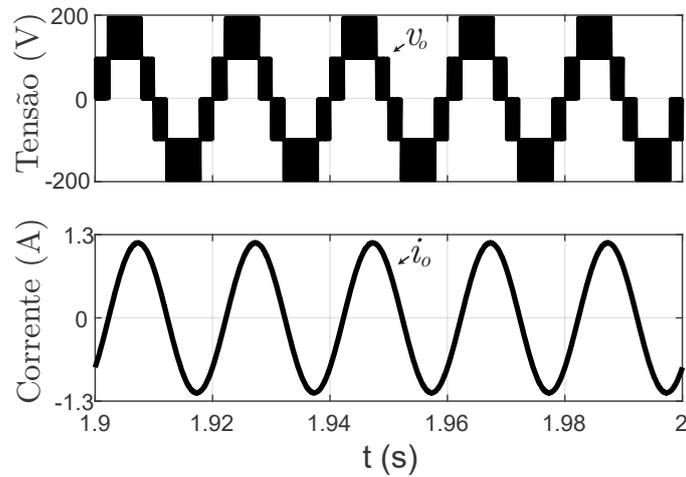


Figura 29 – Sinais de saída.

Harmônicos são componentes de frequência múltipla da frequência fundamental de um sinal. Eles podem estar presentes em muitos tipos diferentes de sinais elétricos, incluindo sinais de tensão e corrente. A distorção harmônica ocorre quando a forma de onda de um sinal é alterada pela presença de harmônicos. Em geral, quanto maior a distorção harmônica, mais "suja" ou "distorcida" é a forma de onda. A distorção harmônica é medida como THD (Total Harmonic Distortion), que é a relação entre a soma das amplitudes de todos os harmônicos e a amplitude do sinal fundamental.

Além do THD, também existe a medida THD+N, que leva em conta o ruído presente no sinal, além da distorção harmônica. O "N" se refere ao ruído (noise, em inglês) presente no sinal, que pode ser causado por várias fontes, incluindo interferências eletromagnéticas ou fontes externas de ruído.

Outra medida relacionada é o WTHD (Weighted Total Harmonic Distortion), que é uma versão ponderada do THD. O WTHD usa um peso diferente para cada harmônico, com base em sua ordem. Isso pode ser útil porque alguns harmônicos têm um impacto maior na qualidade do sinal do que outros. O WTHD pode ser uma medida mais precisa da qualidade do sinal do que o THD em alguns casos.

A taxa de distorção harmônica da corrente de saída igual para o sistema completo é igual a 2.52% e uma WTHD de 1.12%, com um índice de modulação igual a 0,8. A Figura 29 apresenta a tensão e corrente de saída do conversor, enquanto que a Figura 30 apresenta as taxas de distorções harmônicas de tensão e corrente para diferentes níveis de índice de modulação.

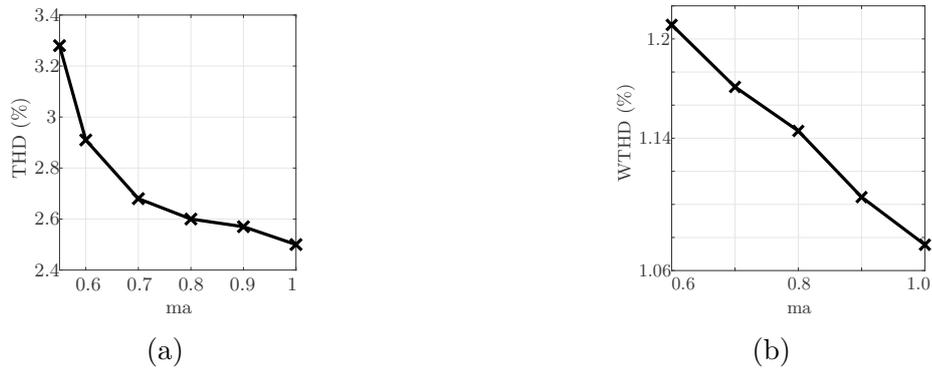


Figura 30 – Resultados de Simulação: (a) Distorção Harmônica. (b) Distorção Harmônica Ponderada de Tensão (WTHD).

Os gráficos que apresentam os sinais de tensão e corrente dos dispositivos do conversor CC-CC são apresentados na Figura 31.

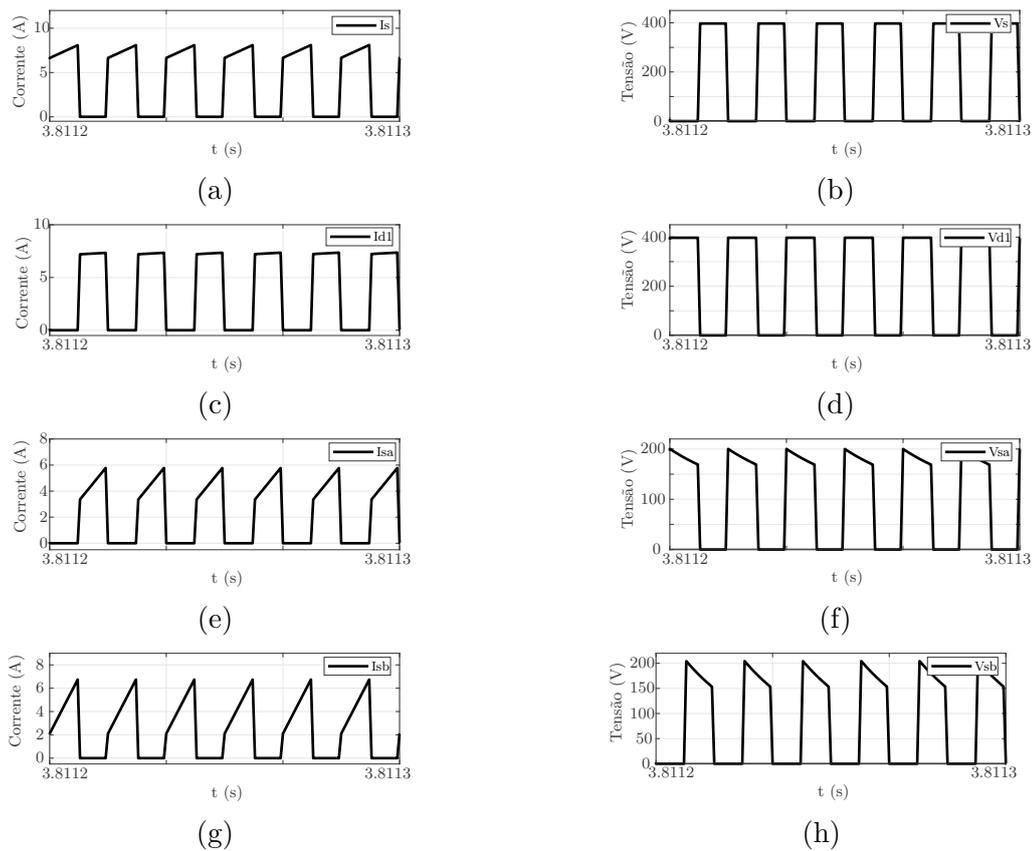


Figura 31 – Formas de Onda Simulação: (a) I_s . (b) V_s . (c) I_{D1} . (d) V_{D1} . (e) I_{S_a} . (f) V_{S_a} . (g) I_{S_b} . (h) V_{S_b} .

2.4.1 Metodologia das Comparações

Para realização das comparações dos resultados de simulação entre as topologias estudadas e as topologias já existentes na literatura, foi levado em consideração a operação delas de forma comum, ou seja, considerando que todas necessitariam de um conversor boost para adequação da tensão CC que é utilizada no barramento do inversor. No caso dos conversores da literatura, foi utilizado o conversor do tipo boost tradicional, interligando sua saída com a alimentação do inversor, já para os inversores estudados, foi utilizado o conversor *boost-flyback* com dois enrolamentos no transformador, permitindo a manutenção das tensões dos capacitores flutuantes nos valores desejados.

2.4.2 Análise Comparativa

De modo a deixar as análises comparativas mais próximas o possível, foi considerado a utilização de um conversor do tipo boost para obtenção da tensão necessária para o barramento cc dos conversores já existentes na literatura, enquanto para a topologia proposta, foi utilizado a alimentação a partir de um conversor do tipo *boost-flyback*, com o uso do transformador com dois enrolamentos no secundário, a fim de obter a tensão desejada para os dois capacitores flutuantes.

Desta forma, a topologia proposta apresenta desvantagem no que diz respeito ao número de interruptores do conversor CC-CC, tendo dois interruptores a mais, mas que essa desvantagem é deixada de ser notada uma vez que o controle mais complexo dos capacitores flutuantes não se faz mais necessário, além de reduzir o custo do conversor, pois deixamos de ter a necessidade de utilização de diversos sensores.

As topologias que serão utilizadas na comparação para 5 níveis são apresentadas na Figura 32.

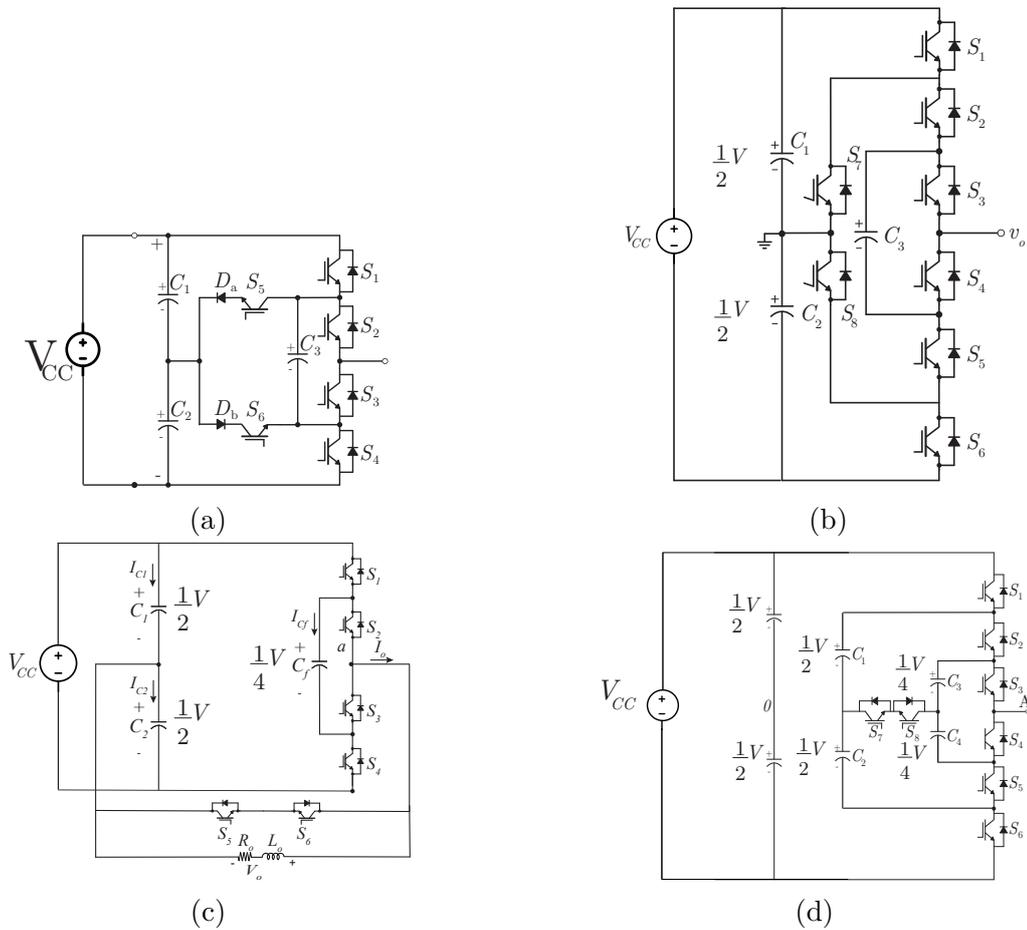


Figura 32 – Topologias Comparadas: (a) WANG. (b) PETER (c) TFC (d) BAHRAMI.

A comparação das perdas da topologia apresentada em (WANG, 2017) com a topologia proposta, mostra que a topologia desenvolvida apresenta perdas menores, justificadas pelo fato de o controle da tensão do capacitor flutuante ser feito através do transformador flyback, enquanto que o seu controle é realizado através de algoritmos de controle que fazem a verificação da tensão do capacitor flutuante e atribuem o modo de operação de acordo com o necessário para manter a tensão no valor desejado, sendo necessário um chaveamento maior. Através da Figura 34 é possível notar essa característica, as perdas de chaveamento da topologia nova é menor que as já existentes na literatura, ficando atrás apenas da topologia TFC. Além disso, através da Figura 33 é apresentado a simulação com um fator de potência igual a 0.8, dando uma liberdade maior de operação a topologia. Os resultados foram obtidos com auxílio do software PSIM, fazendo uso dos módulos de perdas, sendo feito a modelagem das chaves utilizadas no resultado experimental.

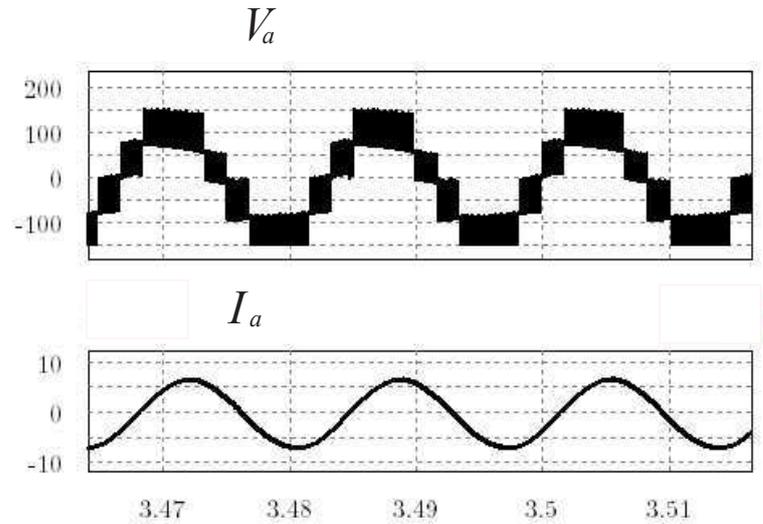


Figura 33 – Simulação 5 níveis com fator de potência 0.8.

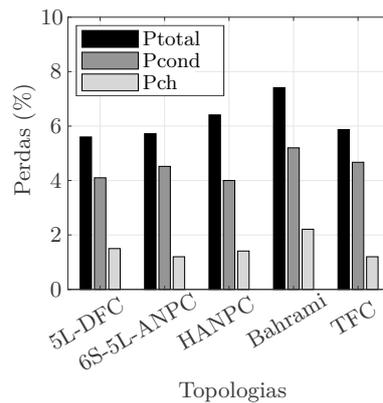


Figura 34 – Comparação de perdas 5L.

Ao analisar o estresse de tensão nos dispositivos de cada uma das topologias que estão sendo comparadas, diante disto, pode-se observar através da Tabela 5. Tendo que os valores mostrados na tabela, vemos que a topologia proposta tem valores relativamente abaixo ou próximo se comparado as demais, mas que apresenta uma vantagem considerável que é a redução do número de dispositivos e uma menor complexidade do controle da tensão dos capacitores flutuantes.

Tabela 5 – Estresse de Tensão.

Topologia	S_{a1}	S_{a2}	S_{a3}	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
5L - ANPC	V_i	$0.5V_i$	$0.5V_i$	$0.5V_i$	$0.5V_i$	V_i	V_i	V_i
6s - 5L - ANPC	$1.5V_i$	$0.5V_i$	$0.5V_i$	$1.5V_i$	V_i	V_i	-	-
TFC	$1.5V_i$	$0.5V_i$	$0.5V_i$	$1.5V_i$	V_i	V_i	-	-
5L - SMC	V_i	V_i	V_i	V_i	$0.5V_i$	$0.5V_i$	$0.5V_i$	$0.5V_i$
Bahrami(Nested)	$0.5V_i$	$0.5V_i$	V_i	$0.5V_i$	$0.5V_i$	V_i	$0.5V_i$	$0.5V_i$
DCF	V_i	V_i	V_i	V_i	$0.5V_i$	$0.5V_i$	-	-

Com relação a confiabilidade, a temperatura representa cerca de 55% dos fatores que contribuem para falha em semicondutores. Desta forma, quanto menor o estresse térmico, melhor. A Figura 35 representa a comparação do estresse térmico de um dos semicondutores do conversor proposto e do presente na literatura. Nota-se que a topologia proposta apresenta um estresse térmico bem reduzido se comparado as demais topologias já apresentadas na literatura, ficando com valores próximos a topologia TFC.

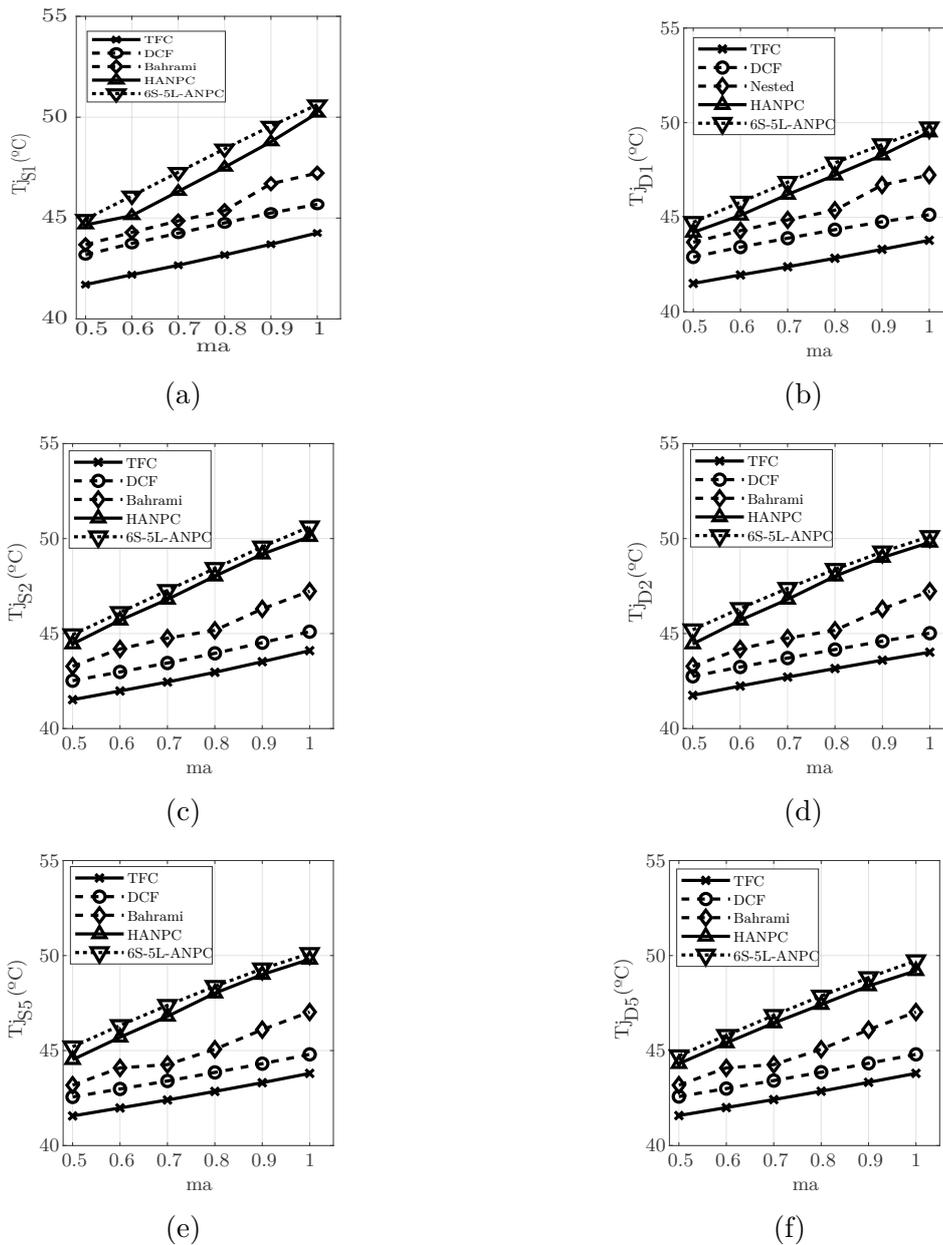


Figura 35 – Estresse Térmico: (a) S_1 . (b) D_1 . (c) S_2 . (d) D_2 . (e) S_5 . (f) D_5 .

2.4.3 Análise Resultados Experimentais

A configuração experimental foi realizada para ser o mais próximo possível da estrutura concebida e simulada, sendo utilizada uma bancada de testes existente no Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM). A bancada é composta por um processador digital de sinais (DSP) acoplado a placas de sinais que são interligados por fibras ópticas e conectados por cabo flats aos drivers que, por sua vez, são ligadas aos interruptores para seu disparo, segundo o padrão PDPWM utilizado. Em particular, na montagem do inversor de cinco níveis, 0 5L-DCF, foram utilizados 2 módulos de braço de IGBTs (SK100GB) e um módulo de chave bidirecional, o SK80GM063. As partes componentes da bancada são apresentadas na Figura 38. A potência da configuração foi reduzida, em relação aos valores de simulação, para evitar que os picos de corrente resultantes do chaveamento dos capacitores não causassem danos nos interruptores. Para obtenção dos resultados foi utilizada uma carga de 7ohms e 7mH, uma tensão de entrada igual a 75 volts e uma frequência de chaveamento igual a 10kHz. Os resultados foram obtidos em malha aberta. O núcleo do transformador utilizado no conversor boost-flyback é do tipo quadrado, com relação de espiras de 2 para 1.

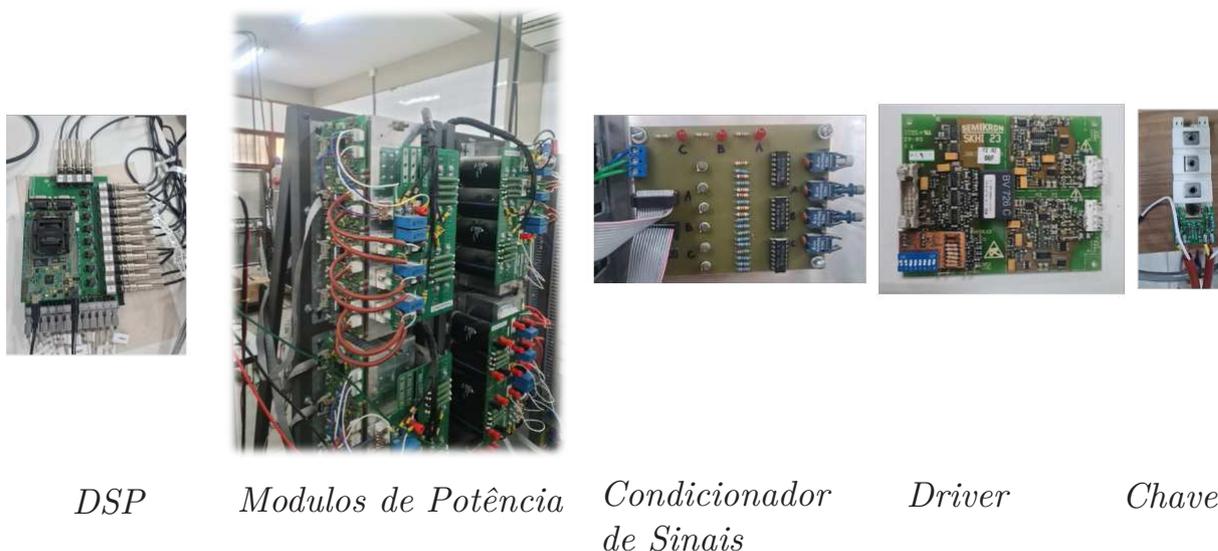


Figura 36 – Organização da bancada.

Uma descrição melhor do que é montado para aquisição dos resultados é apresentada na Figura 37.

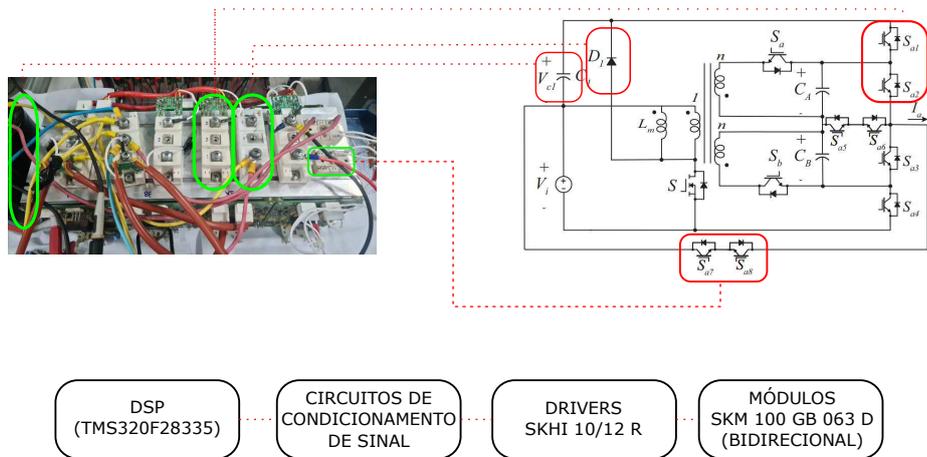


Figura 37 – Descrição da Montagem da Bancada.

Para montagem do algoritmo de definição dos intervalos de condução de cada uma das chaves, é realizado o cálculo através da tabela referente aos estados de chaveamento para o DCF de 5 níveis, desta forma, é calculado para cada região, os tempos de chaveamento para cada uma das chaves que sofrerão mudanças de estados para aquela região. O cálculo do tempo é feito baseando-se na tensão de referência, na tensão do nível superior da região e na tensão no nível inferior da região, conforme equação abaixo, em que V^* é a tensão de referência, V_i é a tensão superior, enquanto $\frac{V_i}{2}$ é a tensão inferior. O mesmo procedimento segue para as demais regiões, que no caso do inversor de 5 níveis, é dado por $N-1$, totalizando 4 regiões de chaveamento.

Sendo definido os tempos de condução de cada chave, outro ajuste é necessário para melhoria no envio dos sinais a chave. Nota-se picos durante o chaveamento, que podem ser reduzidos através do ajuste no atraso do comando de cada um deles, fazendo com que eles fiquem o mais próximo possível, a fim de reduzir a diferença no disparo e com isso reduzir os picos nas chaves. Esse ajuste é mostrado graficamente através da Figura 38 e visto na prática pela Figura 39, em que é mostrado o ajuste para uma região de chaveamento.

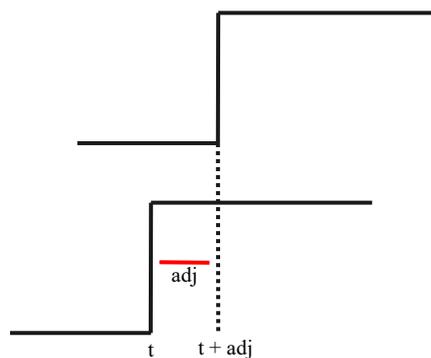


Figura 38 – Configuração do deslocamento para ajuste do pulso.

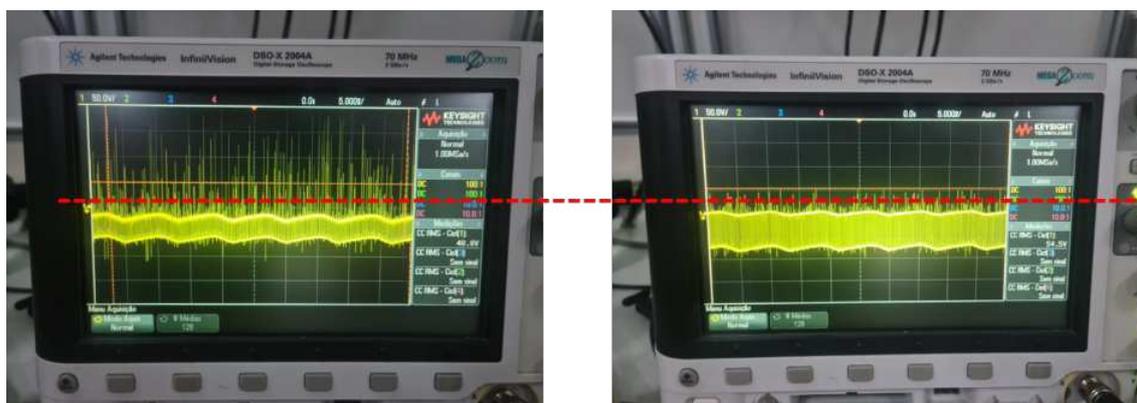


Figura 39 – Ajuste feito visto do osciloscópio.

Após a conclusão da montagem física dos componentes, é colocado os pontos de medição desejado para obtenção dos sinais através do osciloscópio. Inicialmente, é analisado as tensões de saída juntamente com a corrente, a fim de se ter a certeza de que a topologia estava funcionando corretamente, os sinais de saída são apresentados através da Figura 79. Observa-se que os 5 níveis são obtidos de forma satisfatória, sendo bem definidos e sem grandes picos de tensão entre os chaveamentos. A corrente tem seu formato senoidal obtido, também demonstrando resultado coerente com o desejado e esperado para a topologia.

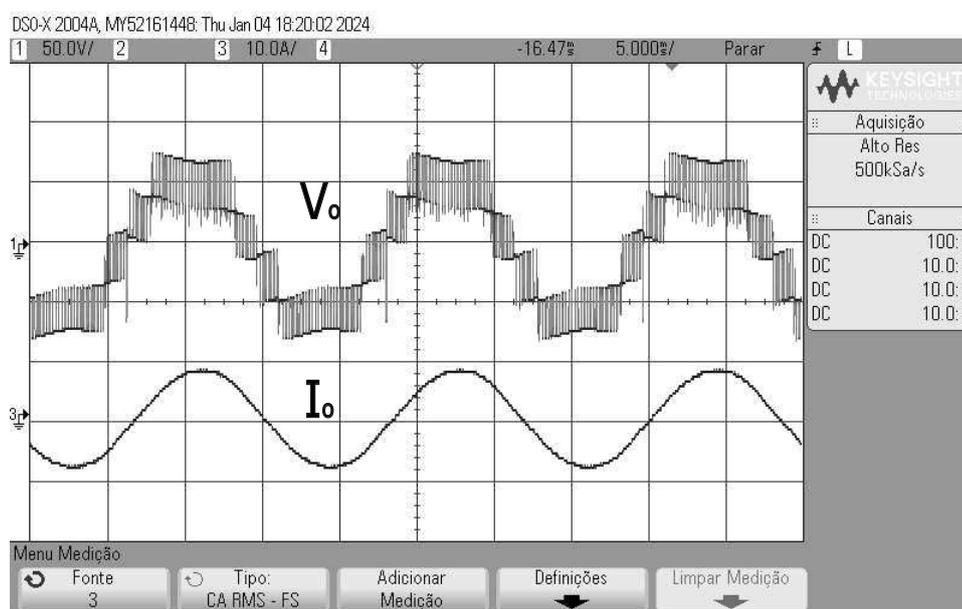


Figura 40 – Resultado da saída do inversor de 5 níveis (50V/div vert., 5ms/div hor.).

A obtenção dos resultados segue então para os demais componentes da topologia, se fazendo necessário a obtenção das tensões sobre os interruptores, para verificação dos estresses de tensão em cada uma delas e também a conferência de funcionamento correto, as tensões nas chaves são apresentadas na Figura 41, em que é possível observar o correto

funcionamento, tendo as chaves S_1 e S_4 grampeadas no semi-ciclo positivo e negativo, respectivamente, tendo frequência de 60Hz, enquanto que as demais chaves operam na frequência de chaveamento das chaves, 10kHz.

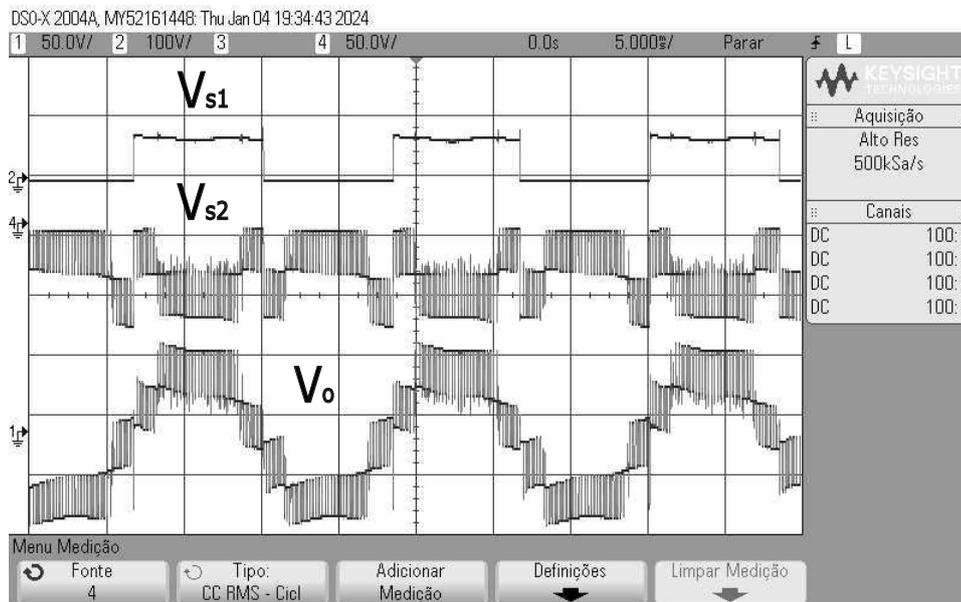


Figura 41 – V_{s1}, V_{s2}, V_o (50V/div vert., 5ms/div hor.).

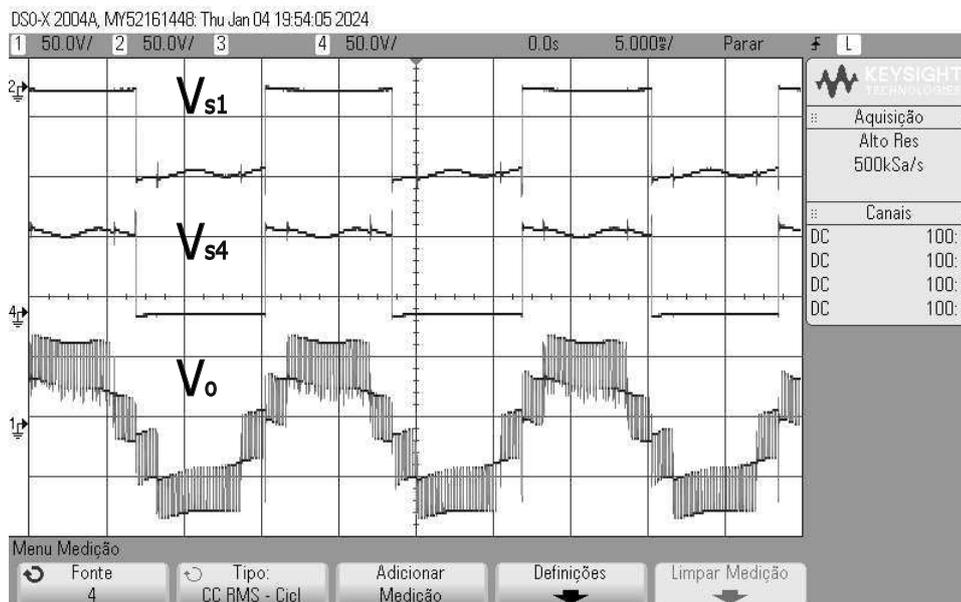


Figura 42 – V_{s1}, V_{s4} (50V/div vert., 5ms/div hor.).

Dando continuidade a obtenção dos resultados, é feito a obtenção em conjunto dos sinais das chaves S_2 e S_3 , estas chaves não podem conduzir em conjunto enquanto a bidirecional se encontrar desligada, para que não se tenha um curto no barramento menor

dos capacitores C_a e C_b . Essas chaves são utilizadas para dos diferentes níveis de tensão, através da chave bidirecional é possível obter as tensões a partir da subtração da tensão do capacitor C_1 e dos capacitores C_a e C_b , enquanto a chave S_3 é utilizada para obtenção do nível de tensão zero no momento em que está conduzindo em conjunto com a chave S_1 para o semiciclo positivo, enquanto a chave S_2 e a chave S_4 forma o nível zero durante o semiciclo negativo. Estas formas de onda comprovam os valores de tensão indicador para cada dispositivo durante a comparação por simulação.

O conjunto dos sinais sobre as chaves S_{a2} e S_{a3} mostram que elas não conduzem em conjunto enquanto a chave bidirecional se encontrar desligada (Fig. 43) ; isto evita um curto-circuito no barramento menor dos capacitores C_a e C_b . Essas chaves são utilizadas em dois diferentes níveis de tensão; através da chave bidirecional, é possível obter as tensões a partir da subtração da tensão do capacitor C_1 e dos capacitores C_a e C_b ; a chave S_{a3} é utilizada para obtenção do nível de tensão zero no momento em que está conduzindo em conjunto com a chave S_{a1} para o semiciclo positivo, enquanto a chave S_{a2} e a chave S_{a4} formam o nível zero durante o semiciclo negativo.

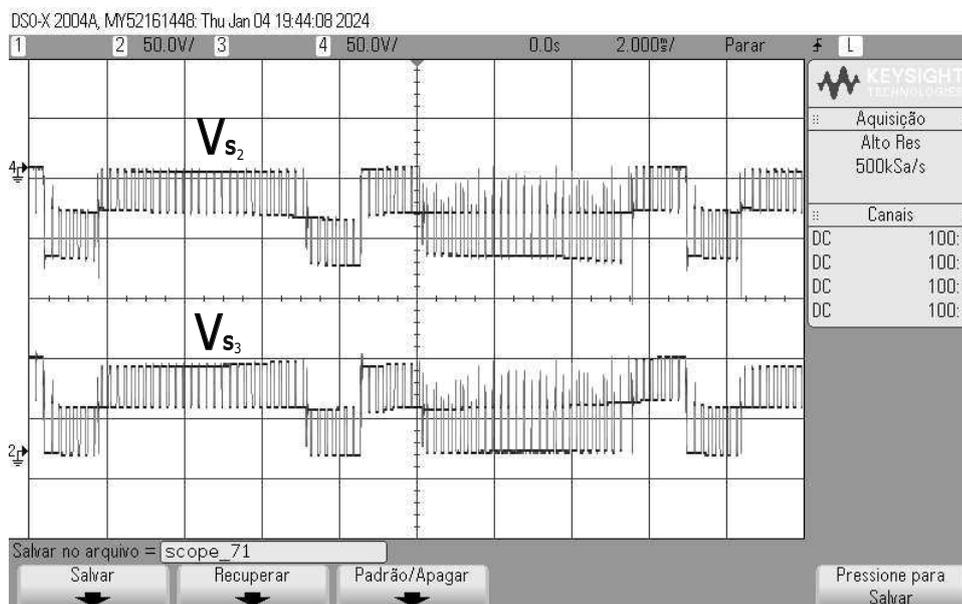


Figura 43 – V_{s2}, V_{s3} (50V/div vert., 5ms/div hor.).

A Figura 44 mostra as tensões sobre as chaves S_{a3} e S_{a56} , demonstrando que a chave bidirecional possui também frequência de 10 kHz e opera em conjunto com a chave 2 e 3 para obtenção dos níveis intermediários. A operação dessas chaves com a bidirecional deve ser feita de forma complementar, a fim de evitar curto nos capacitores flutuantes. A tensão nos interruptores é igual a tensão dos capacitores, o que também pode ser observado através das Figuras.

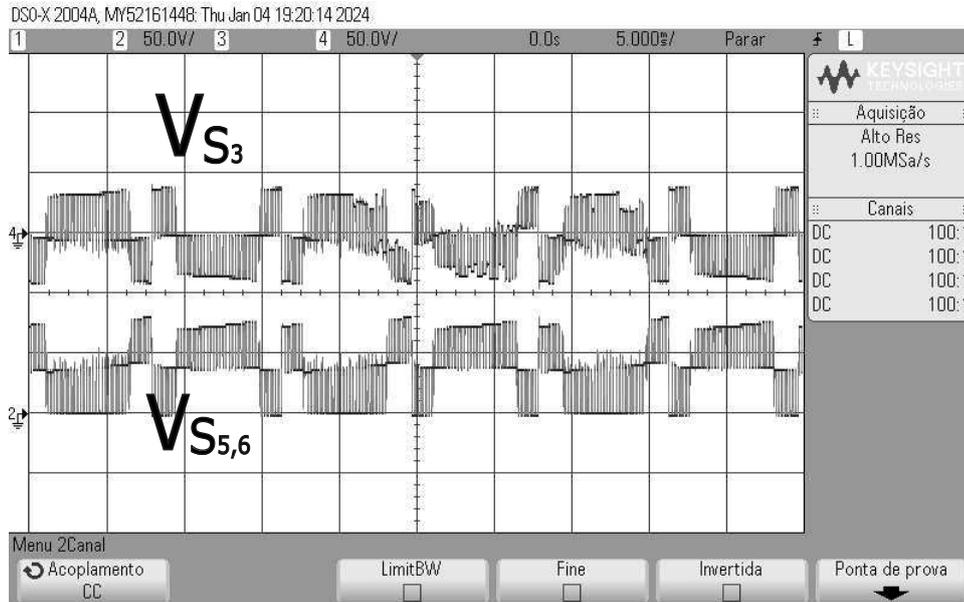


Figura 44 – Vs3,Vs56 (50V/div vert., 5ms/div hor.).

Para se obtenha os resultados desejados, é necessário que os capacitores mantenham os níveis de tensões desejadas, tendo que os capacitores do barramento menor C_a e C_b armazenem tensões iguais à metade da tensão do capacitor C_1 , cada. Assim, é feita a aquisição dos sinais destes capacitores, do barramento maior e do barramento menor, a fim de mostrar que se encontram nos níveis desejados, sendo o barramento menor igual à metade do barramento maior. Estas tensões são apresentadas através da Figura 88.

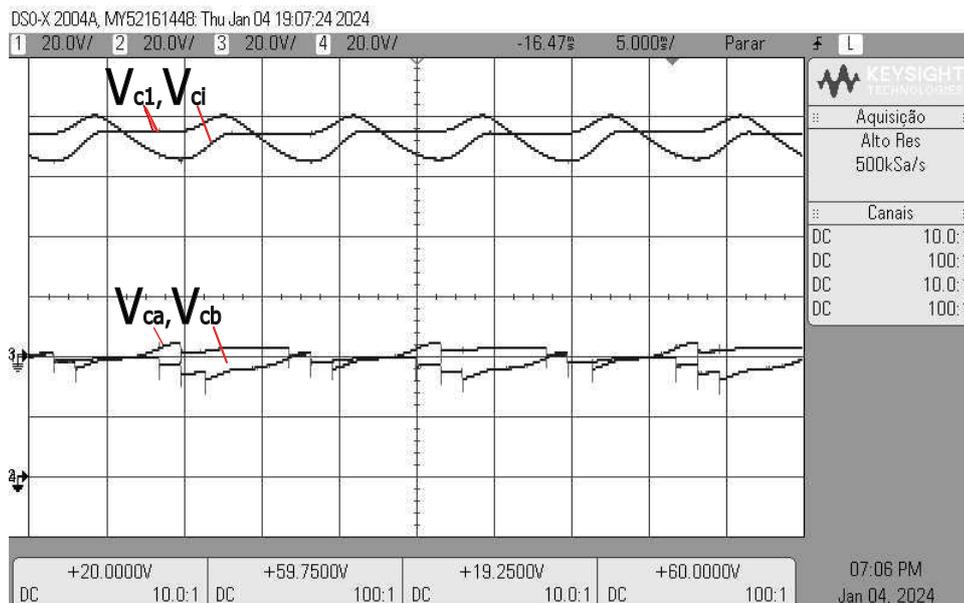


Figura 45 – Vc1,Vi,Vca,Vcb (20V/div vert.,5ms/div hor.).

2.5 Conclusões

Neste capítulo foi investigado o comportamento de um inversor de cinco níveis do tipo duplo capacitor flutuante duplo (DCF), alimentado por um conversor boost/flyback com dois enrolamentos no secundário de um transformador de alta frequência. Além da análise da topologia, suas perdas, estresse térmicos e estresses de tensão foram comparados com topologias existentes. Observou-se que o inversor proposto apresenta perdas e estresses térmicos menores do que aqueles encontrados em topologias com mesma finalidade já existentes na literatura técnica. Seu desempenho quanto às perdas é justificado por não haver necessidade de um controle da tensão dos capacitores flutuante através de modulação. Além disso, um inversor monofásico de fonte DC flutuante de cinco níveis foi proposto. O inversor tem um balanceamento natural por uma conexão série-paralelo dos capacitores do barramento CC com a fonte CC flutuante. Além disso, o conversor proposto pode aumentar a tensão de entrada por um fator de dois, reduzindo o requisito de tensão do barramento CC em 50%. Essas duas vantagens são méritos claros do conversor proposto quando comparado aos demais inversores de cinco níveis apresentados na literatura. Além disso, a capacidade de reforço elevação de tensão torna o conversor proposto uma solução atraente para aplicações como painéis fotovoltaicos e sistemas de células cheias combustível, caracterizados por uma tensão de entrada baixa e não regulada. Nesse tipo de aplicação, um MLI convencional com apenas capacidade de buck exigiria um estágio de reforço elevação adicional, o que pode aumentar o custo e o tamanho do sistema.

3 | Inversor DCF - 7L

No capítulo anterior foi introduzida uma topologia de cinco níveis a capacitor flutuante duplo contendo seis interruptores, o 5L-DCF. Este inversor foi integrado a um conversor boost/flyback, CBBF, utilizando um transformador de alta frequência, com dois enrolamentos secundários, para alimentar os dois capacitores flutuantes. Por outro lado, existem algumas topologias mistas capazes de operar com sete níveis (SIWAKOTTI et al. 2019) em [BAHRAMI et al. (2019)]. Entretanto, exceto aquela apresentada em (MEYNARD, 2001), a SMC (do inglês Stacked multicell converter), investigada apenas para operação com cinco níveis, elas utilizam três células FC (seja do tipo simples, seja do tipo duplo). Este capítulo examina as possibilidades de utilização das topologias DCF e SMC para obtenção de sete níveis na tensão de saída. Também compara a utilização de um ou dois enrolamentos secundários no CBBF de integração.

3.1 Topologias DCF-7L

Duas topologias são investigadas neste capítulo. A primeira tem origem na alteração da topologia TFC. Como no TFC, são utilizados dois capacitores flutuantes, entre esses capacitores sendo conectado um interruptor bidirecional. Adicionalmente, entre o ponto central e a saída do inversor é conectado outro interruptor bidirecional com o objetivo de se ter a obtenção dos 7 níveis de tensão na saída. A configuração deste inversor é apresentada na Figura 46.

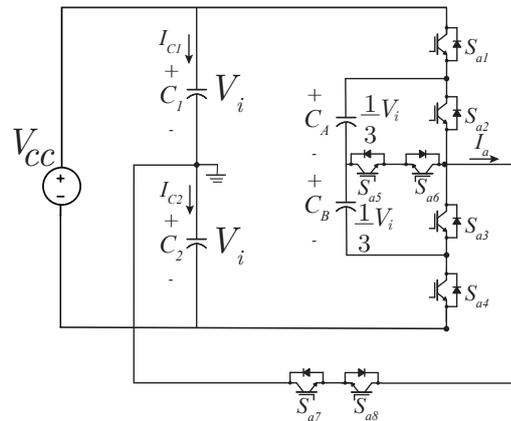


Figura 46 – Inversor de 7 níveis proposto - DCF 7L.

Os estados topológicos do inversor proposto são apresentados na Tabela 6.

Tabela 6 – Estados de chaveamento do inversor 7 níveis.

Estado	s_{a1}	s_{a2}	s_{a3}	s_{a4}	s_{a5}	s_{a6}	s_{a7}	s_{a8}	V_{aO}
A	1	1	0	0	0	0	0	0	V_i
B	1	0	0	0	1	1	0	0	$\frac{2}{3} V_i$
C	1	0	1	0	0	0	0	0	$\frac{1}{3} V_i$
D	0	0	0	0	0	0	1	1	0
E	0	1	0	1	0	0	0	0	$-\frac{1}{3} V_i$
F	0	0	0	1	1	0	0	0	$-\frac{2}{3} V_i$
G	0	0	1	1	0	0	0	0	$-V_i$

Graficamente, podemos analisar os estados topológicos a partir da Figura 47, nota-se que os interruptores S_{a5} e S_{a6} são complementares aos interruptores S_{a2} ou S_{a3} , de forma que sejam evitados curto-circuitos nos capacitores flutuantes C_a e C_b . O nível 0 é obtido através da ativação dos interruptores S_{a7} e S_{a8} .

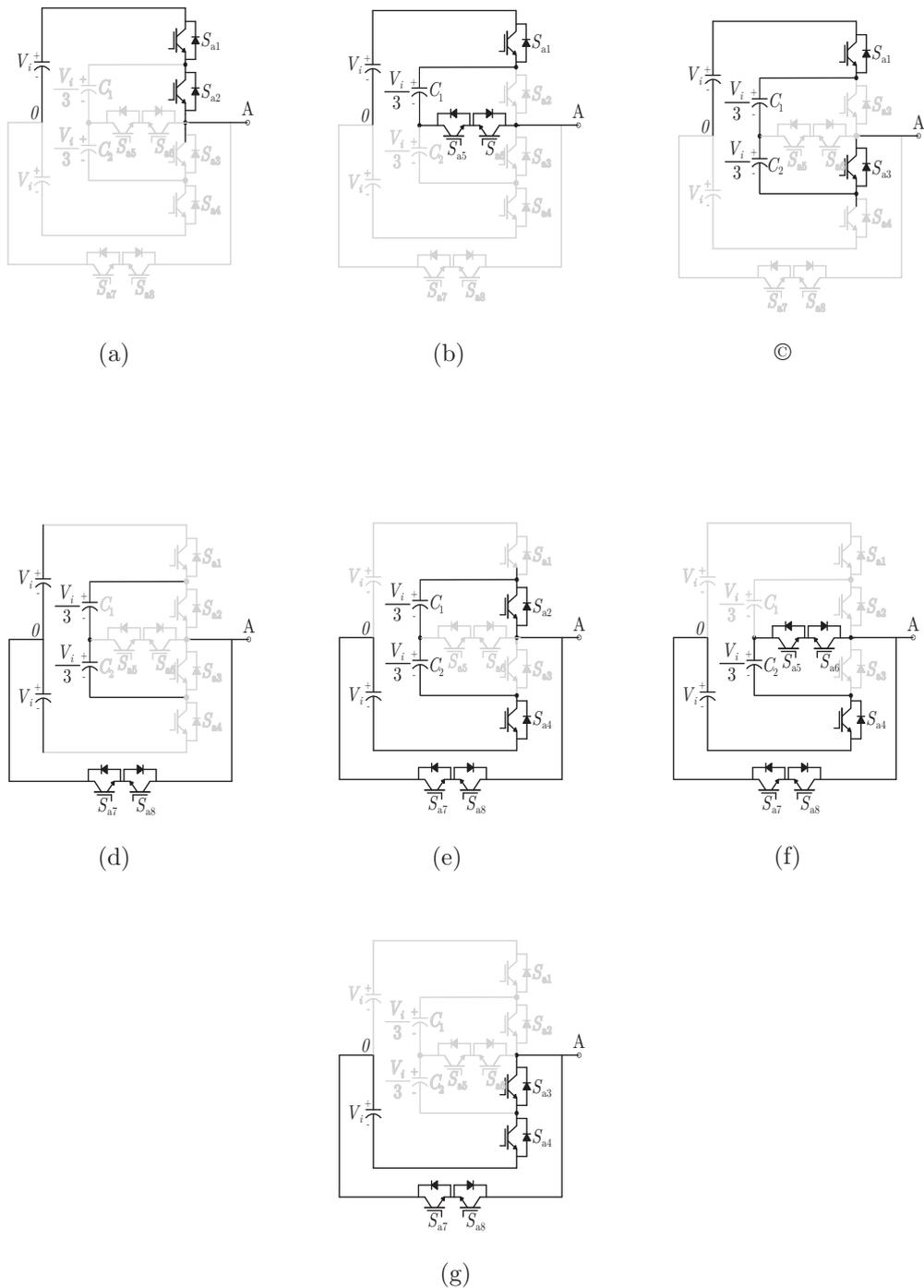


Figura 47 – Estados topológicos.

Para obtenção dos 7 níveis, é necessário que a tensão nos capacitores flutuantes sejam iguais a $\frac{V_i}{3}$, para isso, é feito a combinação do inversor com um conversor cc-cc do tipo boost flyback, semelhante a configuração apresentada em (LACERDA et al., 2019), diferindo no número de enrolamentos do transformador; nesse caso serão utilizados dois enrolamentos, um para cada capacitor C_a e C_b . Esta combinação é apresentada na

Figura 48.

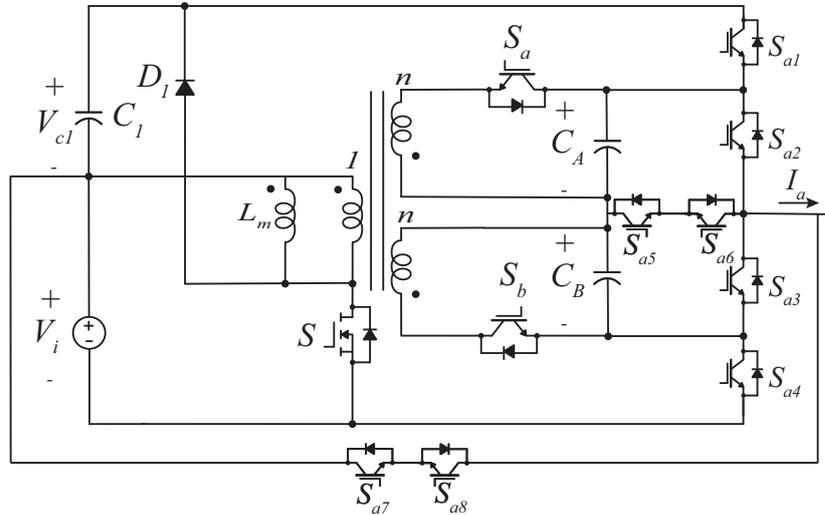


Figura 48 – Combinação proposta.

Um outro tipo de configuração de inversor que será utilizada em combinação com o conversor CC-CC é o inversor apresentado em (GATEAU; MEYNARD; FOCH, 2001), no estudo apresentado a topologia apresenta 5 níveis de tensão na saída, porém, fazendo uso da combinação proposta, é possível a obtenção de 7 níveis ou mais na saída. Os estados topológicos do inversor proposto são apresentados na Tabela 49. Para obtenção do nível 0 de tensão é necessário que os dois interruptores bidirecionais sejam ativados e os demais desativados.

Tabela 7 – Estados topológicos SMC-7L

Estado	s_{a1}	s_{a2}	s_{a3}	s_{a4}	s_{a5}	s_{a6}	s_{a7}	s_{a8}	V_a
A	1	1	0	0	0	0	0	0	V_i
B	1	0	0	0	1	1	0	0	$\frac{2}{3} V_i$
C	1	0	1	0	0	0	0	0	$\frac{1}{3} V_i$
D	0	0	0	0	1	1	1	1	0
E	0	1	0	1	0	0	0	0	$-\frac{1}{3} V_i$
F	0	0	0	1	1	1	0	0	$-\frac{2}{3} V_i$
G	0	0	1	1	0	0	0	0	$-V_i$

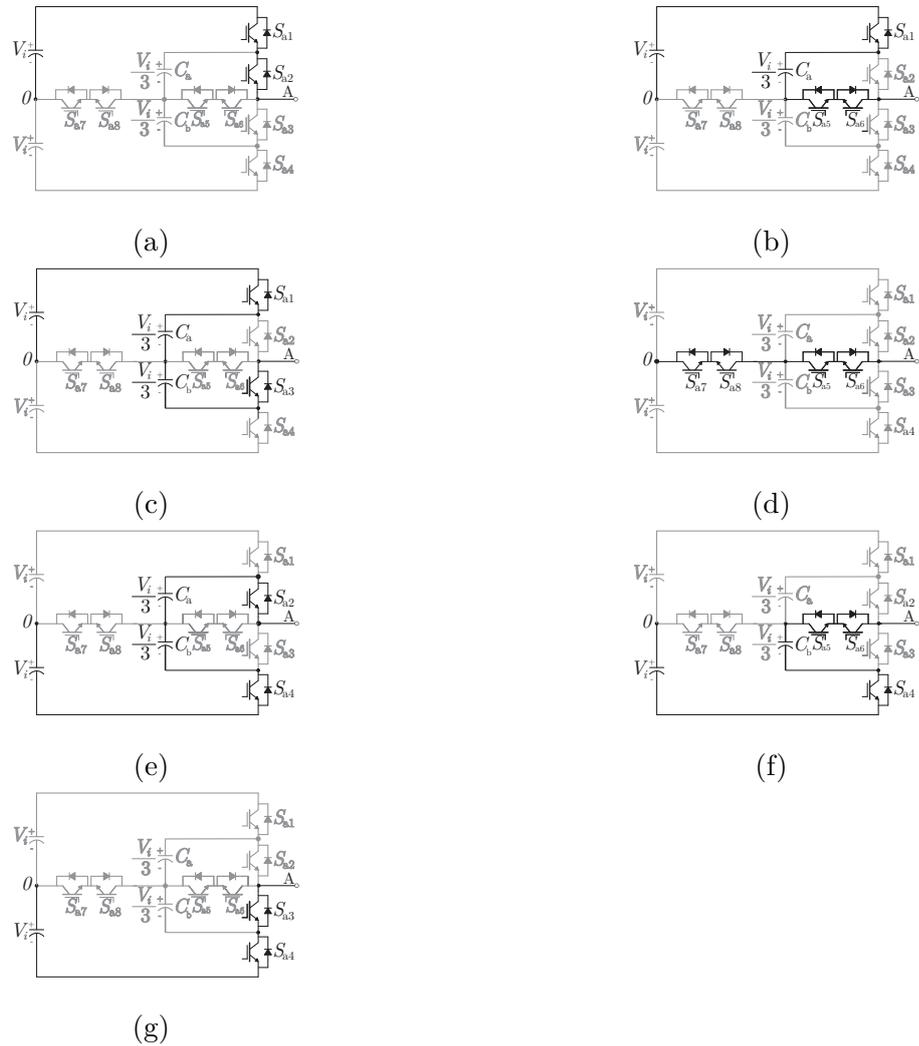


Figura 49 – Modos Inversor SMC: (a) Modo 1. (b) Modo 2. (c) Modo 3. (d) Modo 4. (e) Modo 5. (f) Modo 6. (g) Modo 7.

A combinação com o conversor CC-CC também é necessária para que a tensão nos capacitores flutuantes fiquem nos níveis desejados. Essa combinação é apresentada na Figura 50.

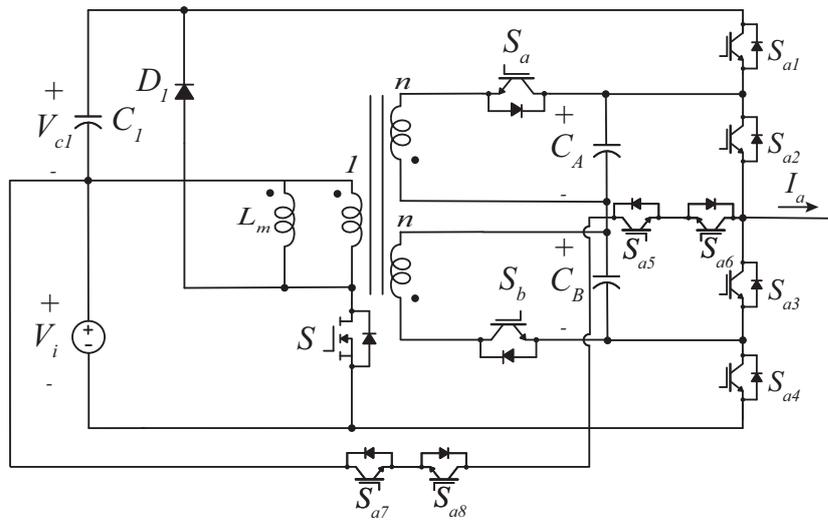


Figura 50 – Combinação SMC.

Além dessas combinações, um outro tipo de combinação foi estudada como possibilidade de configuração do sistema, trata-se de uma combinação com apenas um enrolamento no transformador, as vantagens e desvantagens de cada uma das configurações serão apresentadas nos capítulos posteriores. Essas duas combinações com os inversores propostos são apresentadas na Figura 51.

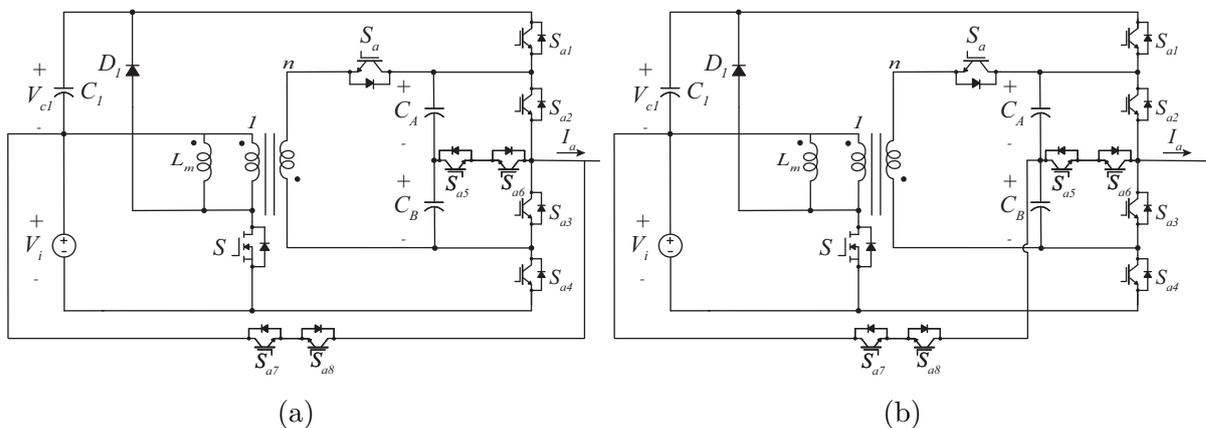


Figura 51 – Combinação com 1 enrolamento: (a) 1 enrolamento com inversor proposto. (b) 1 enrolamento com inversor SMC.

São estudadas quatro topologias. Em que duas delas são utilizadas as combinações com o transformador de enrolamento duplo e as outras duas são usadas combinações com o transformador de enrolamento único. O estudo é feito de forma separada para cada uma das combinações e posteriormente é realizado a comparação entre as combinações propostas e as topologias já existentes na literatura.

3.2 Combinação 7L - DCF - 2S

É realizada a combinação do novo inversor proposto com o conversor CC-CC boost-flyback com enrolamento duplo, o transformador tem como objetivo manter a tensão nos capacitores no nível desejado, igual a um terço da tensão V_i .

O funcionamento do conversor CC-CC se dá em duas etapas, denominados de estágio A e estágio B. No primeiro estágio o interruptor S_b é ativado em conjunto com o interruptor S . Nesse momento, a energia fornecida pela fonte V_i é na indutância de magnetização L_m , tem-se ainda a influência da corrente do primário no enrolamento terciário, tendo impacto na tensão no capacitor C_b . Além disso, a depender do modo em que o inversor se encontra, a energia no capacitor C_1 é transferida para a carga, descarregando-o. No estágio B, o interruptor S é desativado em conjunto com o interruptor S_b e o interruptor S_a é ativado, outrossim, o diodo D_1 entra em condução, com isso, a energia que estava sendo na indutância de magnetização é transferida para o capacitor C_1 , carregando-o. Há ainda a influência do primário do transformador no secundário, tendo impacto na tensão que é no capacitor C_a . A razão cíclica de operação do conversor CC-CC é de 0.5, sendo justificada pelo fato deste valor fornecer uma tensão no capacitor C_1 igual a tensão da fonte de entrada V_i , o que permite ter uma simetria nos níveis de tensão da saída. Cada um dos setes modos de operação do inversor possui as duas etapas de funcionamento do conversor CC-CC, totalizando 14 modos de operação para a combinação proposta.

A frequência de comutação do conversor CC-CC é escolhida com objetivo de se ter uma relação entre diminuição do volume do transformador e as perdas. Essa combinação é apresentada na Figura 52.

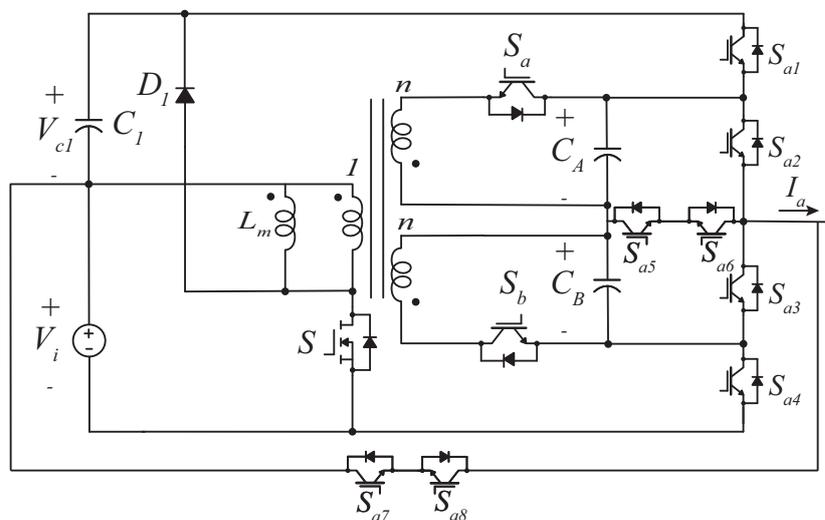


Figura 52 – Combinação proposta.

No primeiro modo de operação, os interruptores S , S_b , S_{a1} e S_{a2} estão ativados, ocorrendo transferência de energia do capacitor C_1 para a carga, fazendo com que este descarregue. Nesse estágio, não tem corrente fluindo pelo capacitor C_a , toda corrente é fornecida para a carga, fazendo com que a tensão nesse capacitor permaneça constante durante este período. A tensão do capacitor C_b é mantida no nível desejado através do enrolamento terciário do transformador. O diodo D_1 e os demais interruptores permanecem desativados durante o período. Esse modo de operação (1a) é apresentado na Figura 53.

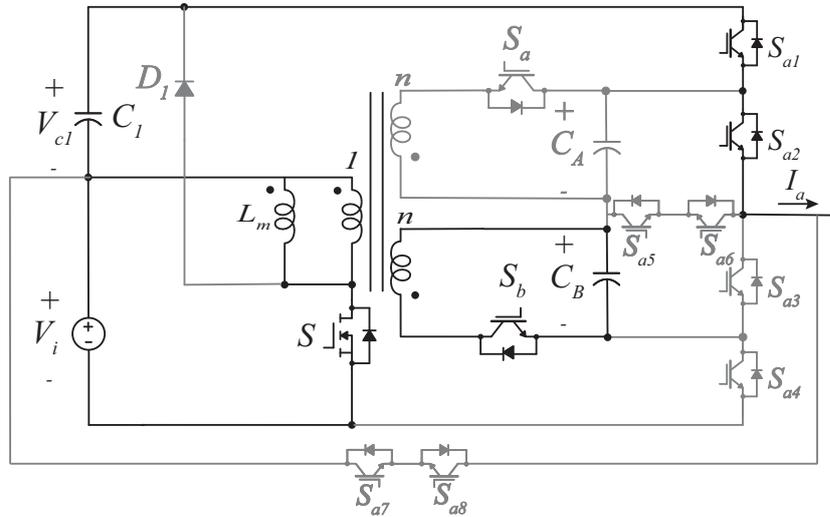


Figura 53 – Modo 1a.

Determina-se a variação de corrente na indutância de magnetização L_m através da Equação (3.1). A I_{min} representa a corrente mínima que a indutância magnetizante atinge durante o período de desmagnetização, estágio B.

$$i_{L_m}(t) = \frac{V_i}{L_m} \times t + I_{min} \quad (3.1)$$

A variação da tensão no capacitor C_1 é dada através da Equação (3.7). A $v_{C_{1i}}$ representa a tensão atingida durante o período de carregamento, estágio B.

$$v_{C_1}(t) = \frac{-i_a}{C_1} \times t + v_{C_{1i}} \quad (3.2)$$

A variação da tensão no capacitor C_b é dada através da Equação (3.3).

$$v_{C_b}(t) = \frac{i_{L_m}}{C_b} \times t + v_{C_{bi}} \quad (3.3)$$

A tensão de saída é igual a tensão do capacitor C_1 .

$$V_a = V_{C_1} \quad (3.4)$$

A corrente que passa nos interruptores S_{a1} e S_{a2} é igual a corrente de carga.

$$I_{S_{a1}} = I_{S_{a2}} = I_o \quad (3.5)$$

A tensão de bloqueio do interruptor S_a é igual a soma da tensão do secundário do transformador com a tensão no capacitor C_a , além disso, a tensão de bloqueio do diodo D_1 é dada pela soma da tensão da fonte de entrada V_i com a tensão no capacitor C_1 .

$$V_{S_a} = \frac{V_i}{n} + V_{C_a} \quad (3.6)$$

$$V_{D_1} = V_i + V_{C_1} \quad (3.7)$$

No estágio B do modo de operação 1, O interruptor S e o diodo D_1 passam a conduzir, S_{a1} e S_{a2} estão ativados, ocorre transferência de energia da indutância de magnetização para o capacitor C_1 , carregando-o. Nesse estágio, não tem corrente fluindo pelo capacitor C_b , toda corrente é fornecida para a carga, fazendo com que a tensão nesse capacitor permaneça constante durante este período. A tensão do capacitor C_a é mantida no nível desejado através do enrolamento secundário do transformador. Esse modo de operação é apresentado na Figura 54.

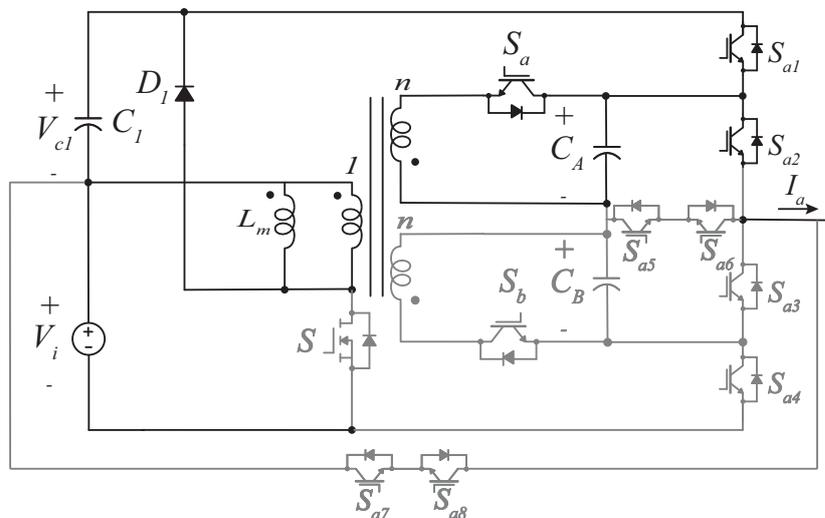


Figura 54 – Modo 1b.

A variação de corrente na indutância de magnetização L_m é dada através da Equação (3.8). A I_{min} representa a corrente mínima que a indutância magnetizante atinge durante o período de magnetização, estágio A.

$$i_{L_m}(t) = \frac{-V_i}{L_m} \times t + I_{min} \quad (3.8)$$

A variação da tensão no capacitor C_1 é dada através da Equação (3.9). A v_{C_1} representa a tensão atingida durante o período de descarga, estágio A.

$$v_{C_1}(t) = \frac{I_{L_m} - i_a}{C_1} \times t + v_{C_1} \quad (3.9)$$

A corrente que flui pelo diodo D_1 é igual a corrente da indutância de magnetização e a tensão de bloqueio do interruptor S é igual a soma da tensão de entrada V_i com a tensão do capacitor C_1 .

No segundo modo de operação, para obtenção do segundo nível de tensão desejado, os interruptores S_{a_5} e S_{a_6} devem ser ativados, a desativação do interruptor S_{a_2} é necessária tanto para obter o nível de tensão desejado quanto para evitar curto no capacitor C_a . O capacitor C_1 descarrega fornecendo energia para os capacitores C_a e C_b . Esse modo de operação é apresentado na Figura 55.

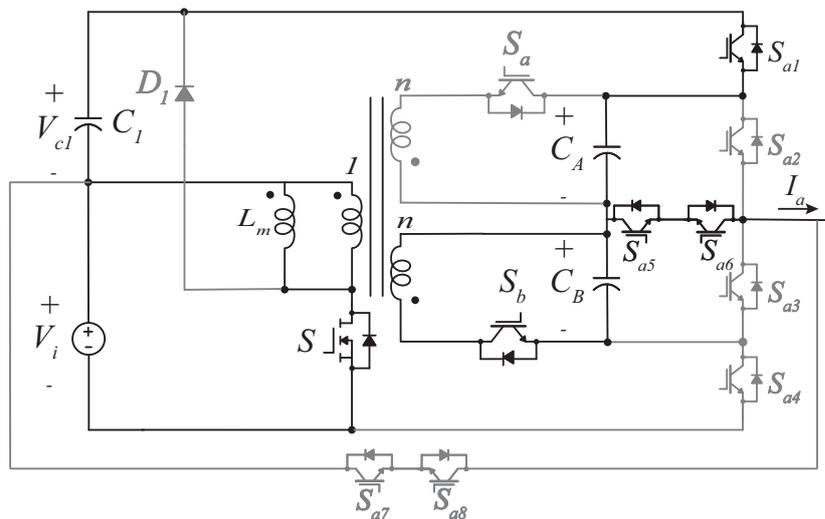


Figura 55 – Modo 2a.

A variação de corrente na indutância de magnetização L_m é determinada da mesma forma que o modo 1 através da Equação (3.1). As variações de tensão nos capacitores C_a e C_b é dada pelas Equações (3.10) e (3.11).

$$v_{C_a}(t) = \frac{i_a}{C_a} \times t + v_{C_{a_i}} \quad (3.10)$$

$$v_{C_b}(t) = \frac{i_{L_m}}{C_b} \times t + v_{C_{b_i}} \quad (3.11)$$

A tensão de saída será dada pela subtração da tensão no capacitor C_1 e a tensão no capacitor C_a , apresentada na Equação (3.12).

$$V_a = V_{C_1} - V_{C_a} \quad (3.12)$$

Já no estágio B do segundo modo de operação, o interruptor S e o diodo D_1 passam a conduzir, S_{a_1} , S_{a_5} e S_{a_6} estão ativados, ocorre transferência de energia da indutância de magnetização para o capacitor C_1 , carregando-o. Nesse estágio, não tem corrente fluindo pelo capacitor C_b , toda corrente é fornecida para a carga, fazendo com que a tensão nesse capacitor permaneça constante durante este período. Esse modo de operação é apresentado na Figura 56.

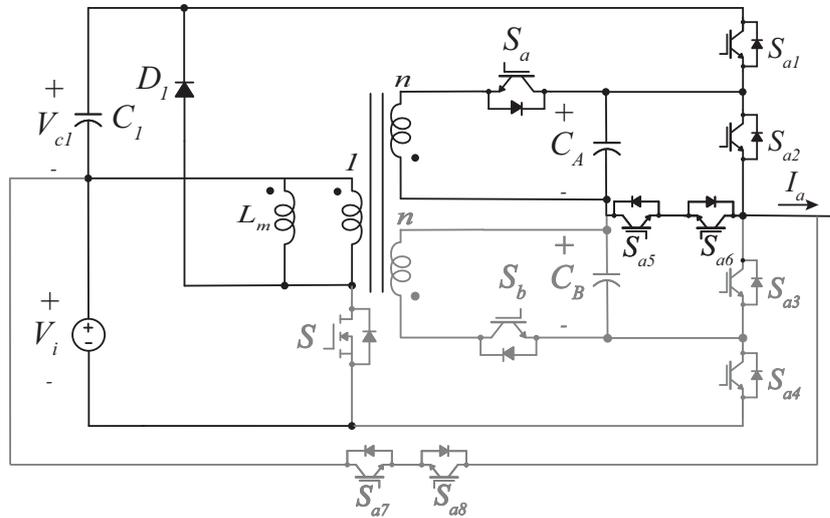


Figura 56 – Modo 2b.

A variação de tensão no capacitor C_a é apresentada através da Equação (3.13).

$$v_{C_a}(t) = \frac{I_{L_m} + i_a}{C_a} \times t + v_{C_{a_i}} \quad (3.13)$$

Para o terceiro modo de operação, o terceiro nível de tensão é obtido com a ativação do interruptor S_{a_3} e desativação dos interruptores S_{a_5} e S_{a_6} . O capacitor C_1 descarrega

fornecendo energia para os capacitores C_a e C_b . Esse modo de operação é apresentado na Figura 57.

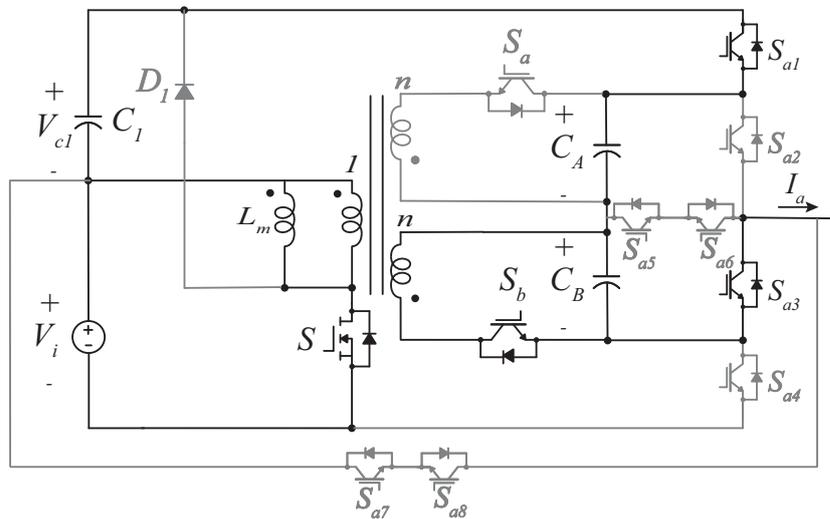


Figura 57 – Modo 3a.

O comportamento da variação de corrente na indutância magnetizante é semelhante aos anteriores. A variação de tensão nos capacitores C_a e C_b são dadas pelas Equações (3.14) e (3.15).

$$v_{C_a}(t) = \frac{i_a}{C_a} \times t + v_{C_{a_i}} \quad (3.14)$$

$$v_{C_b}(t) = \frac{\frac{I_{L_m}}{n} + i_a}{C_b} \times t + v_{C_{b_i}} \quad (3.15)$$

A tensão de saída será dada pela subtração da tensão no capacitor C_1 e a tensão nos capacitores C_a e C_b , apresentada na Equação (3.16).

$$V_a = V_{C_1} - V_{C_a} - V_{C_b} \quad (3.16)$$

Para o estágio B, O funcionamento do conversor CC-CC é o mesmo que os demais. As Equações que representam o comportamento da variação de tensão nos capacitores flutuantes nesse período são:

$$v_{C_a}(t) = \frac{\frac{I_{L_m}}{n} + i_a}{C_a} \times t + v_{C_{a_i}} \quad (3.17)$$

$$v_{C_b}(t) = \frac{i_a}{C_b} \times t + v_{C_{b_i}} \quad (3.18)$$

Esse modo de operação é apresentado na Figura 58.

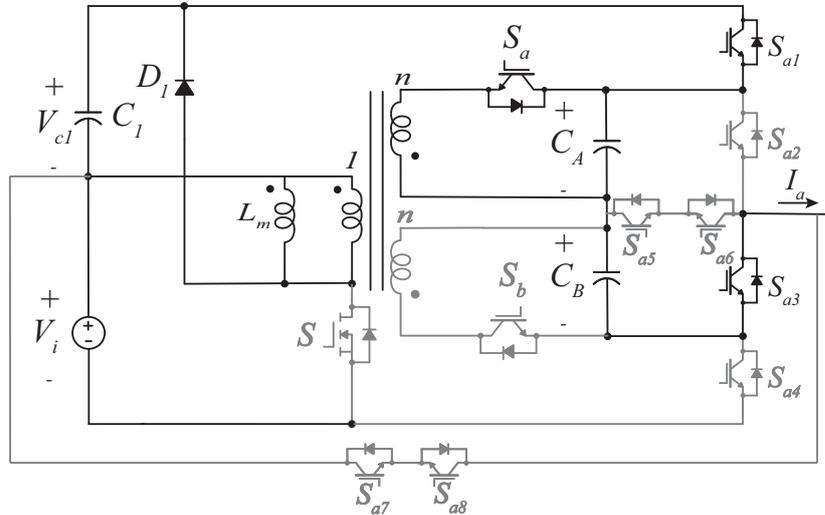


Figura 58 – Modo 3b.

No quarto modo de operação Nesse modo de operação, o nível zero de tensão é obtido com a ativação do interruptor bidirecional (S_{a7} e S_{a8}). O capacitor C_a permanece com a tensão constante. Esse modo de operação é apresentado na Figura 59.

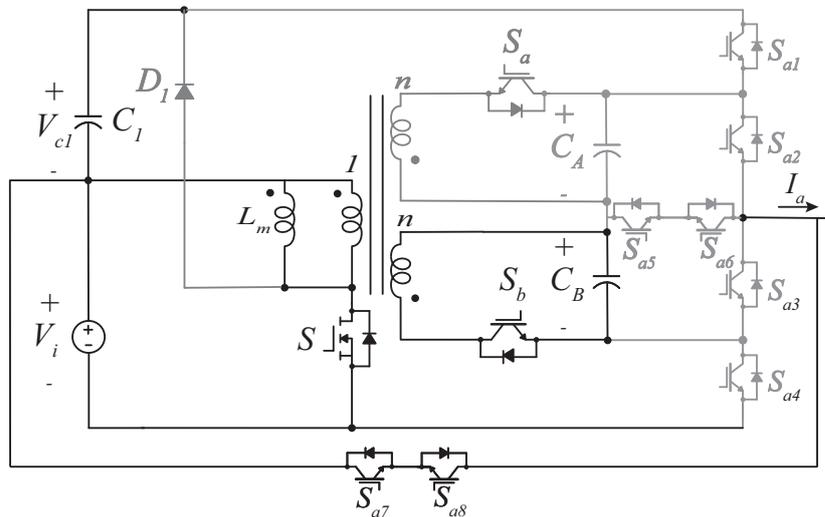


Figura 59 – Modo 4a.

A variação de tensão no capacitor C_b é apresentada na Equação (3.19).

$$v_{C_b}(t) = \frac{i_{L_m}}{C_b} \times t + v_{C_{b_i}} \quad (3.19)$$

No estágio B, tensão do capacitor C_b é mantida constante, enquanto que a variação de tensão no capacitor C_a é dada pela Equação (3.20).

$$v_{C_a}(t) = \frac{i_{L_m}}{C_a} \times t + v_{C_{a_i}} \quad (3.20)$$

Esse modo de operação é apresentado na Figura 60.

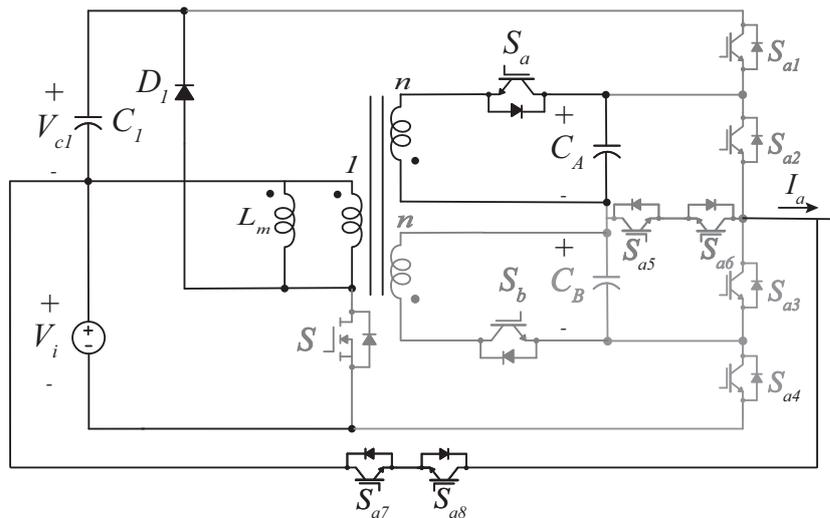


Figura 60 – Modo 4b.

Durante o modo de operação 5, o nível de tensão é obtido com a ativação dos interruptores S_{a2} e S_{a4} . Esse modo de operação é apresentado na Figura 61.

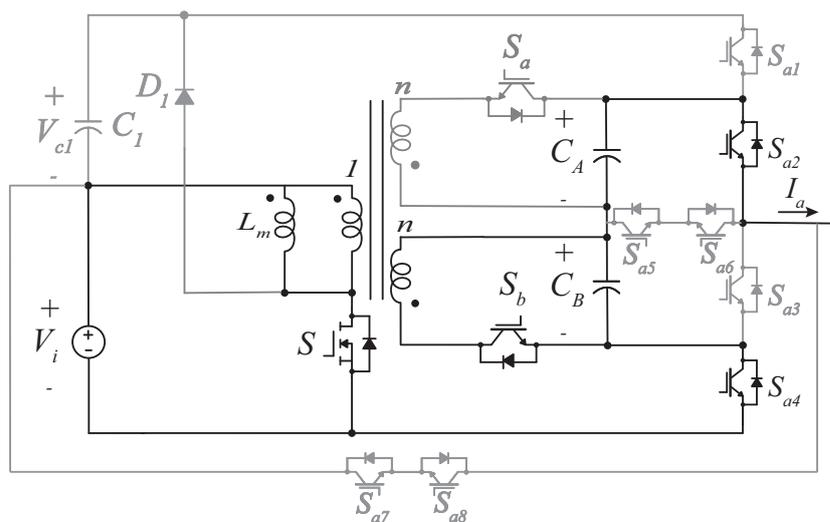


Figura 61 – Modo 5a.

A variação de tensão nos capacitores C_a e C_b são apresentadas na Equação (3.21) e (3.22).

$$v_{C_a}(t) = \frac{-I_a}{C_a} \times t + v_{C_{a_i}} \quad (3.21)$$

$$v_{C_b}(t) = \frac{\frac{i_{L_m}}{n} - I_a}{C_b} \times t + v_{C_{b_i}} \quad (3.22)$$

A tensão de saída será dada pela subtração da tensão da fonte de entrada V_i e a tensão nos capacitores C_a e C_b , apresentada na Equação (3.23).

$$V_a = -V_i + V_{C_a} + V_{C_b} \quad (3.23)$$

Enquanto que no estágio B deste modo de operação, a variação de tensão nos capacitores C_a e C_b são apresentadas na Equação (3.24) e (3.25).

$$v_{C_a}(t) = \frac{\frac{i_{L_m}}{n} - I_a}{C_b} \times t + v_{C_{a_i}} \quad (3.24)$$

$$v_{C_b}(t) = \frac{-I_a}{C_b} \times t + v_{C_{b_i}} \quad (3.25)$$

Esse modo de operação é apresentado na Figura 62.

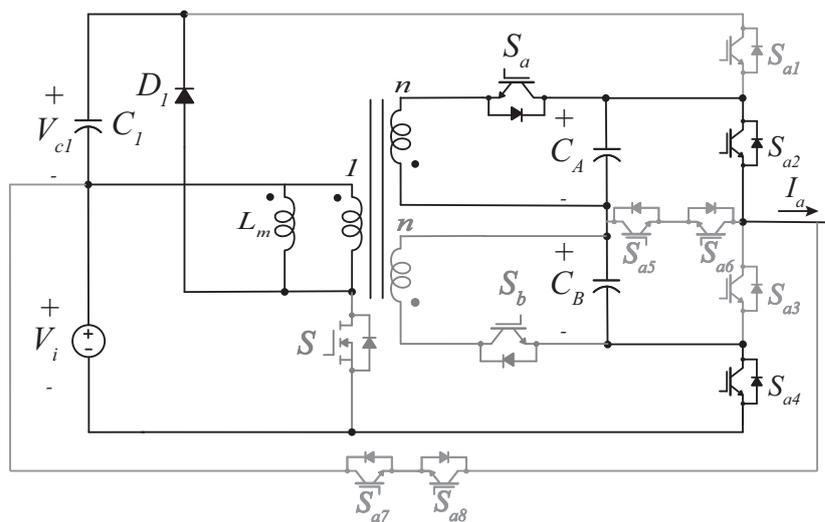


Figura 62 – Modo 5b.

O modo de operação 6, o nível de tensão é obtido com a ativação dos interruptores S_{a4} , S_{a5} e S_{a6} . Esse modo de operação é apresentado na Figura 63.

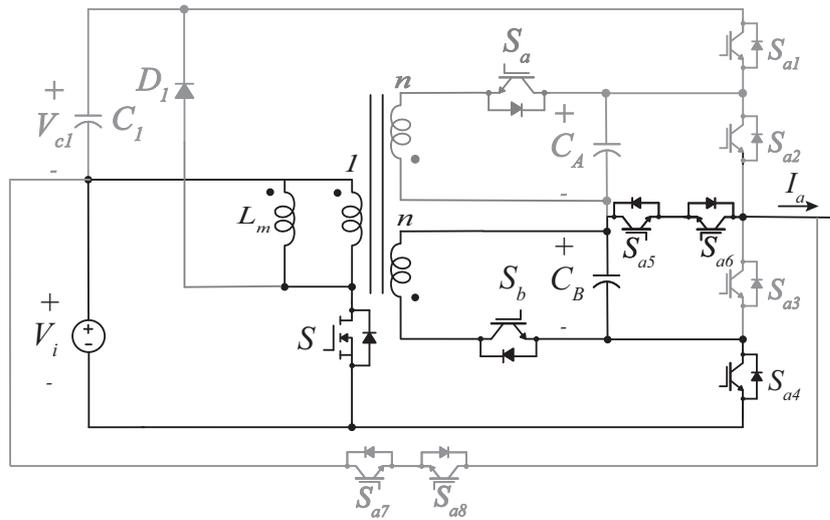


Figura 63 – Modo 6a.

A tensão no capacitor C_a durante este período permanece constante. A variação de tensão no capacitor C_b são apresentadas na Equação (3.30).

$$v_{C_b}(t) = \frac{i_{L_m} - I_a}{C_b} \times t + v_{C_{b_i}} \quad (3.26)$$

A tensão de saída será dada pela subtração da tensão da fonte de entrada V_i e a tensão no capacitor C_b , apresentada na Equação (3.31).

$$V_a = -V_i + V_{C_b} \quad (3.27)$$

Já o estágio B, a variação de tensão nos capacitores C_a e C_b são apresentadas na Equação (3.28) e (3.29).

$$v_{C_a}(t) = \frac{i_{L_m}}{C_a} \times t + v_{C_{a_i}} \quad (3.28)$$

$$v_{C_b}(t) = \frac{-I_a}{C_b} \times t + v_{C_{b_i}} \quad (3.29)$$

Esse modo de operação é apresentado na Figura 64.

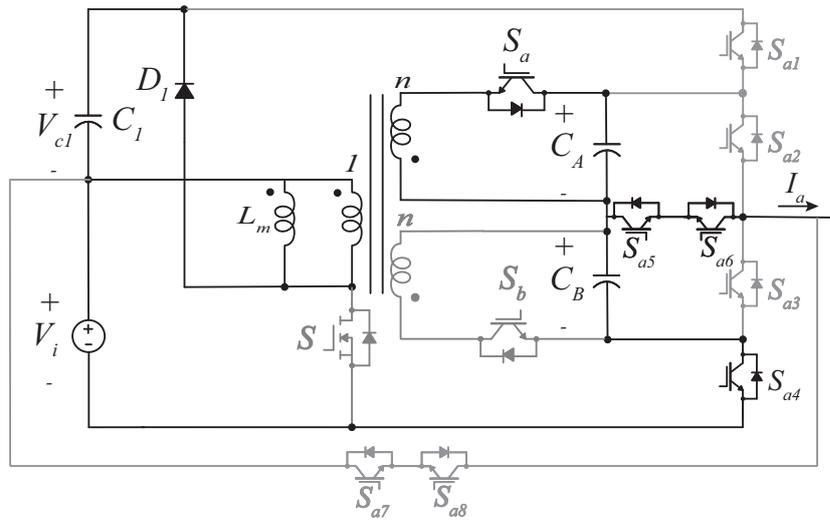


Figura 64 – Modo 6b.

Por fim, no modo de operação 7, o nível de tensão é obtido com a ativação dos interruptores S_{a3} e S_{a4} . Esse modo de operação é apresentado na Figura 65.

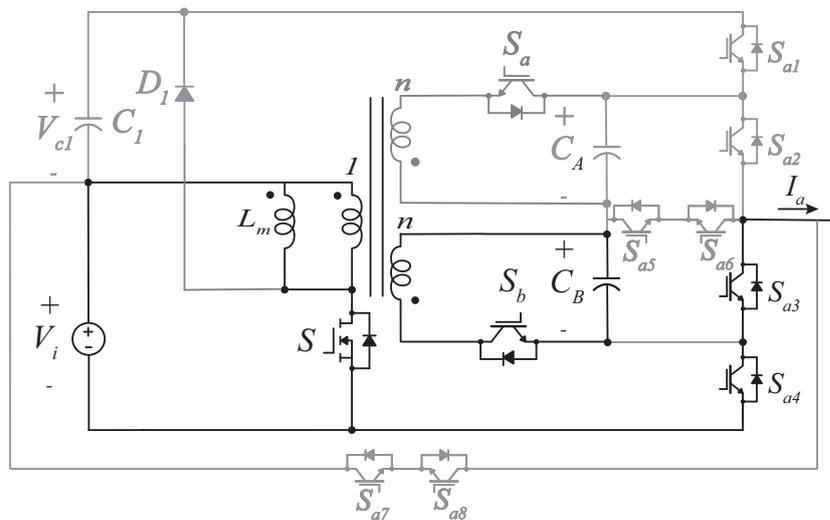


Figura 65 – Modo 7a.

A tensão no capacitor C_a durante este período permanece constante. A variação de tensão no capacitor C_b são apresentadas na Equação (3.30).

$$v_{C_b}(t) = \frac{i_{L_m}}{C_b} \times t + v_{C_{b_i}} \quad (3.30)$$

A tensão de saída será igual a tensão da fonte de entrada V_i , apresentada na Equação (3.31).

$$V_a = -V_i \quad (3.31)$$

No estágio B , a tensão no capacitor C_b permanece constante nesse período. A variação de tensão no capacitor C_a é apresentada na Equação (3.32).

$$v_{C_a}(t) = \frac{i_{L_m}}{C_a} \times t + v_{C_{a_i}} \quad (3.32)$$

Esse modo de operação é apresentado na Figura 66.

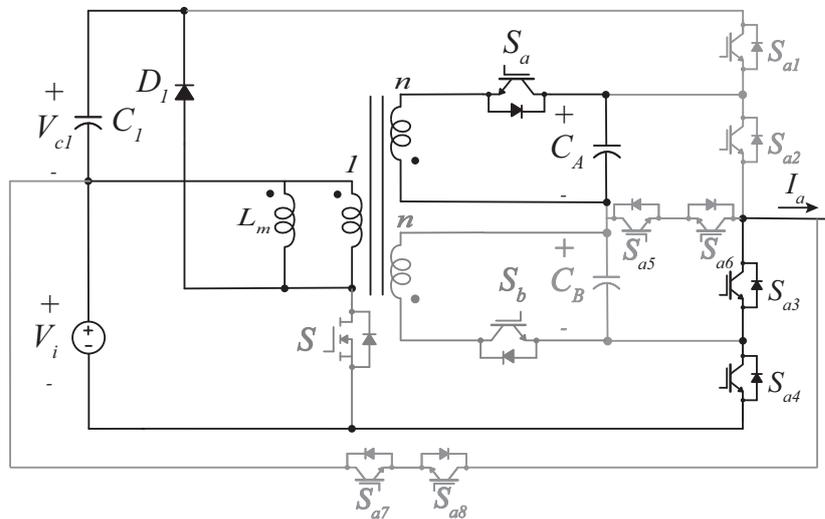


Figura 66 – Modo 7b.

3.3 Combinação 7L - SMC - 2S

Esta combinação tem o mesmo princípio de funcionamento que a combinação mostrada anteriormente, é feito o acoplamento do sistema CC-ca com o conversor boost-flyback com o objetivo de manter as tensões nos capacitores flutuantes no nível desejado. O valor da tensão nesses capacitores também é igual a um terço da tensão da fonte de entrada V_i . Um diferencial desta combinação é que permite o aumento do número de níveis para nove sem que seja necessário o acréscimo de chaves, apenas com modificação na modulação. A combinação é apresentada na Figura 67.

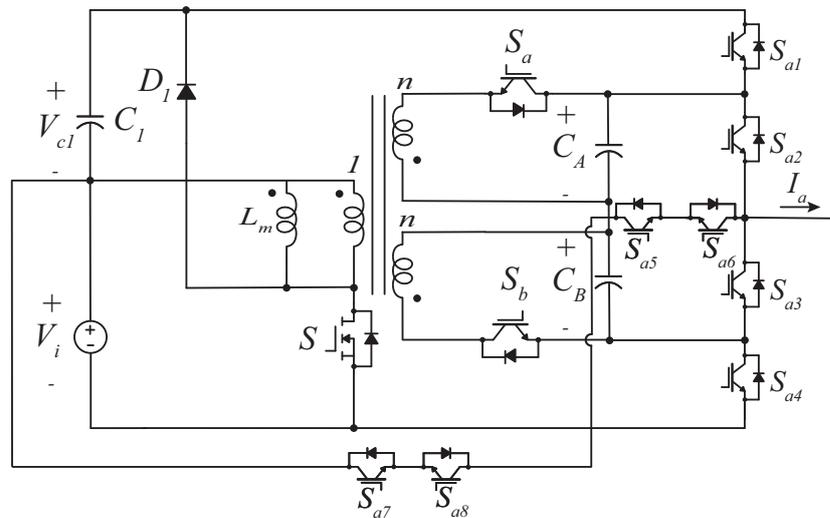


Figura 67 – Combinação SMC.

O lado CC-CC consiste de dois estágios de funcionamento, estágio A e estágio B, enquanto o inversor possui 7 modos de operação, cada modo de operação do inversor contém os dois estágios de funcionamento do conversor CC-CC, com isso, o sistema integrado também possui 14 modos de operação ao todo.

O funcionamento dos modos de operação com cada um dos seus respectivos estágios é semelhante ao apresentado na combinação anterior. Dessa forma, os modos serão apresentados apenas graficamente na Figura 69.

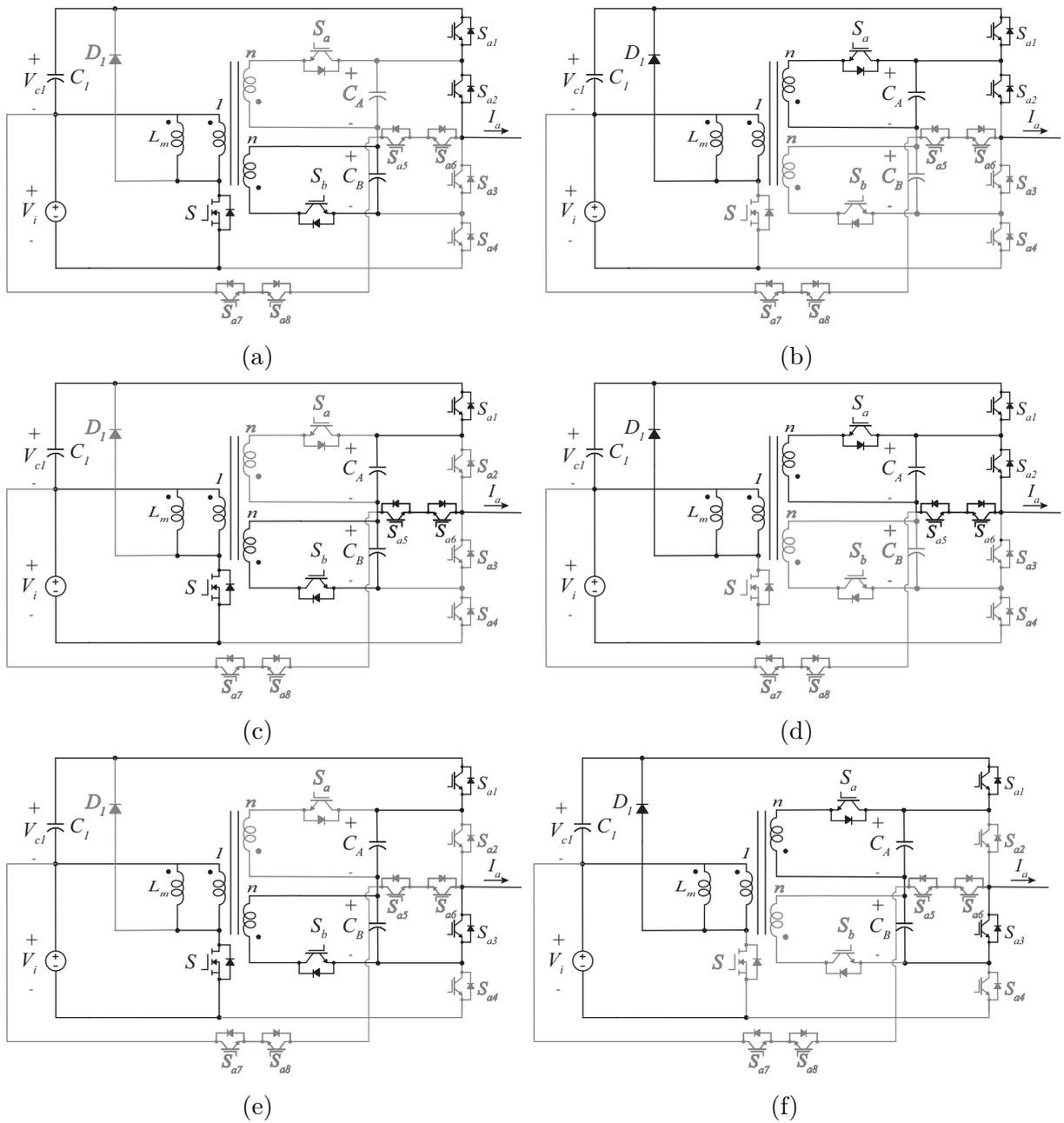


Figura 68 – Modos: (a) Modo 1a. (b) Modo 1b. (c) Modo 2a. (d) Modo 2b. (e) Modo 3a. (f) Modo 3b.

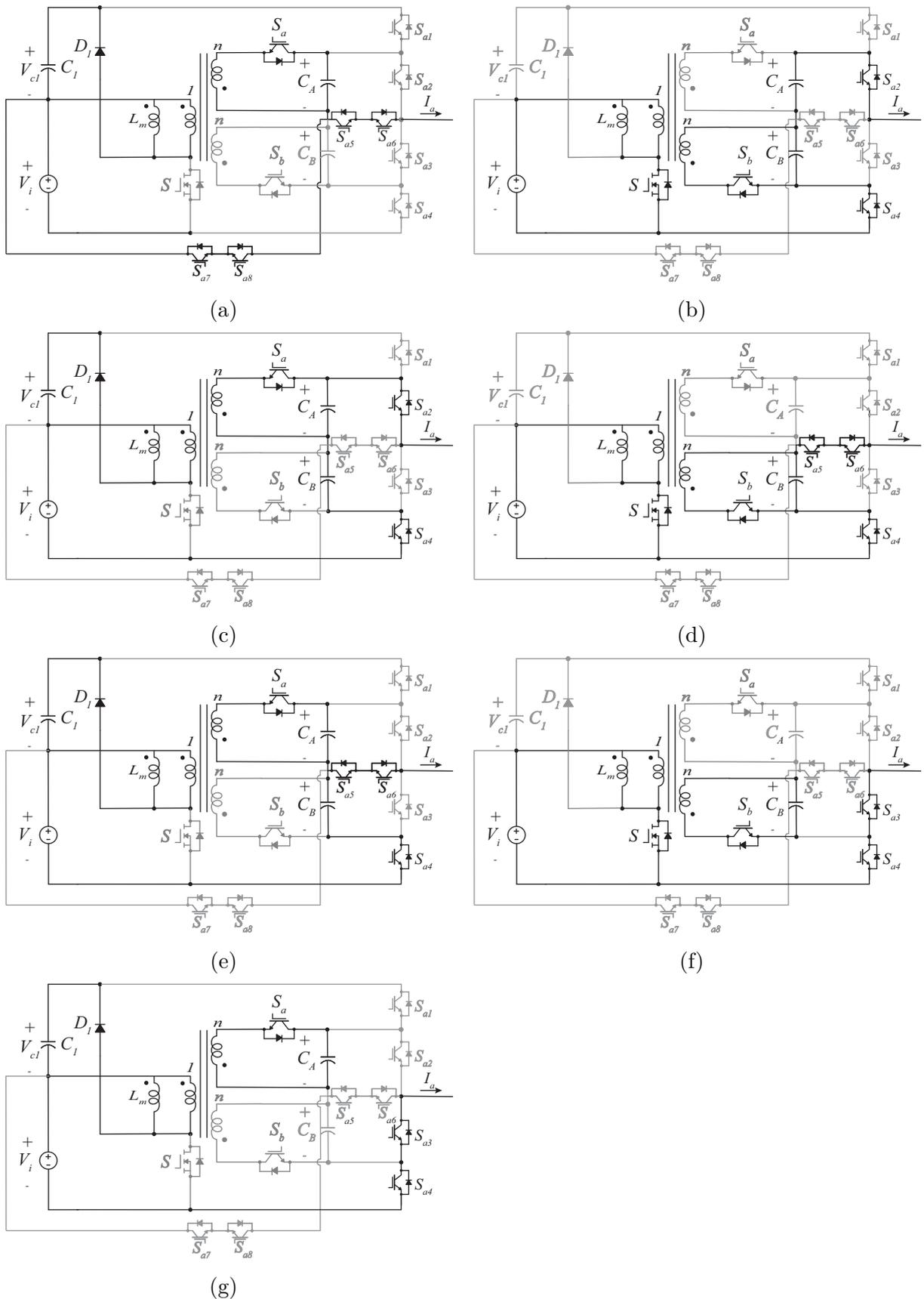


Figura 69 – Modos: (a) Modo 4a. (b) Modo 4b. (c) Modo 5a. (d) Modo 5b. (e) Modo 6a. (f) Modo 6b. (g) Modo 7a. (h) Modo 7b.

3.3.1 Combinação 7L - DCF - 1S

Um outro tipo de combinação que é verificada como uma possibilidade de sistema é a combinação dos inversores com o conversor CC-CC boost-flyback de 1 enrolamento, conforme utilizado em (LACERDA, 2019). Nessa combinação proposta são utilizados dois capacitores flutuantes ao invés de 1, a tensão fornecida pelo enrolamento secundário do transformador é distribuída entre os capacitores C_a e C_b com um desbalanço de 4% entre os dois. Este tipo de combinação é estudada para verificar uma possível redução nas perdas do sistema, tendo em vista um número menor de enrolamentos e um interruptor a menos no conversor CC-CC. A combinação é apresentada na Figura 70.

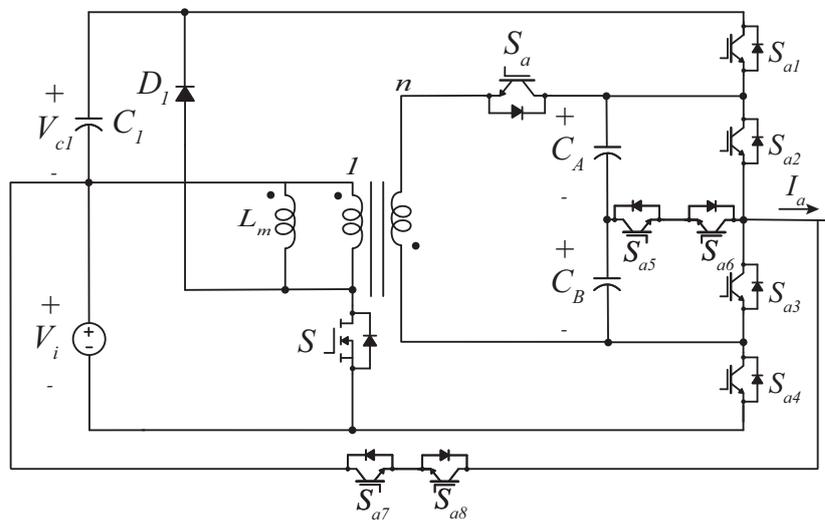


Figura 70 – Combinação com inversor novo e 1 enrolamento no transformador.

Esta combinação, da mesma forma que as demais, conta com os dois estágios de funcionamento do conversor CC-CC e os 7 modos de operação do inversor, totalizando 14 modos de operação para o sistema integrado. O funcionamento é semelhante, diante disto, as equações para cada um dos modos de operação segue o mesmo princípio e não serão descritas nesse momento.

3.3.1.1 Combinação 7L - SMC - 1S

Da mesma forma que para as combinações de 2 enrolamentos, também é realizado a combinação com o inversor SMC com o conversor com transformador de 1 enrolamento. Essa proposta tem o mesmo objetivo de fazer a verificação de uma possível redução nas perdas do sistema, essas comparações são apresentadas no capítulo seguinte. A distribuição da tensão fornecida pelo secundário do transformador também é realizada entre os capacitores C_a e C_b com um desbalanço de 4%. A combinação é apresentada na Figura 71.

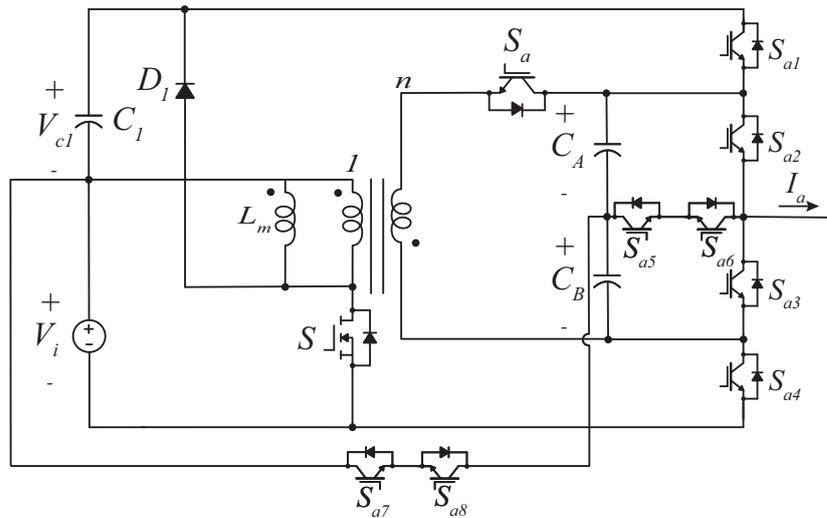


Figura 71 – Combinação com inversor SMC e 1 enrolamento no transformador.

Com relação ao funcionamento, a combinação segue o mesmo comportamento das demais, não sendo detalhado cada uma desses modos de operação nesse momento.

3.4 Análise Comparativa

Neste capítulo serão descritas as análises comparativas entre as topologias propostas e as presentes na literatura, essa comparação será feita com base nas: perdas, estresse de tensão nos interruptores, estresse térmico, THD e WTHD. As simulações foram realizadas com os seguintes parâmetros: $R_o = 16 \text{ Ohms}$, $L_o = 14\text{mH}$, $f_{sc} = 40 \text{ kHz}$ (Frequência do conversor CC-CC), $f_s = 10\text{kHz}$ (Frequência do Inversor), $V_i = 150 \text{ V}$. O esquema de modulação utilizado para o inversor segue o mesmo padrão utilizado para o inversor de 5 níveis, sendo utilizado a modulação Level shift, neste caso com 6 portadoras triangulares comparada a uma modulante senoidal.

Vale salientar que para realização destas comparações, foi utilizado o mesmo princípio anterior, fazendo uso de um conversor boost para alimentar o barramento CC das topologias já existentes na literatura, enquanto é usado um conversor boost-flyback para alimentar o barramento CC das topologias propostas e dos capacitores flutuantes.

O resultado dos sinais de saída via simulação são apresentados na Figura 72

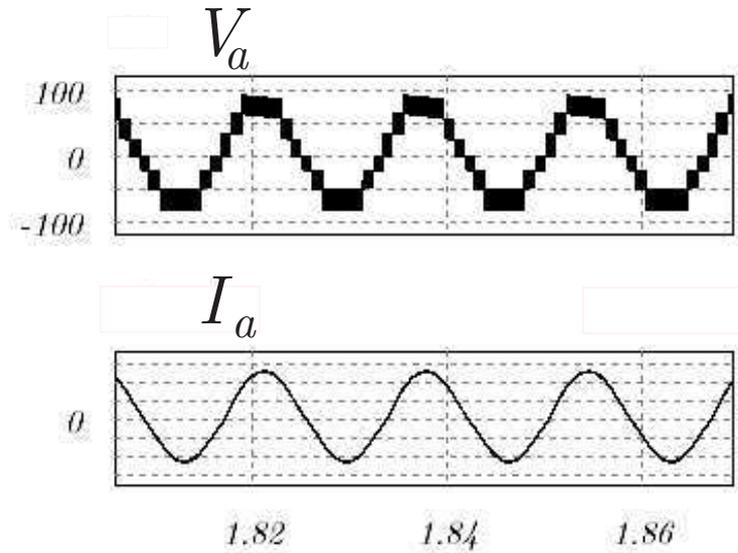


Figura 72 – Sinais de saída do DCF-7L.

Enquanto que os sinais que apresentam as tensões sobre os dispositivos são apresentados na Figura 73.

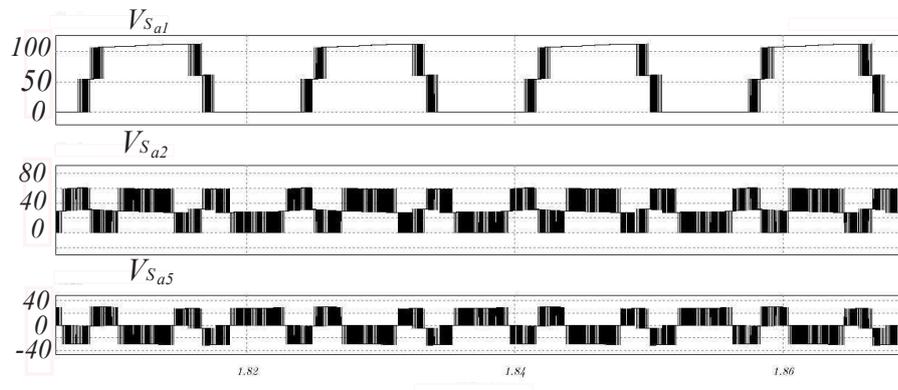


Figura 73 – Tensões nos Dispositivos do DCF-7L.

A Tabela 12 apresenta os valores de stress de tensão sobre os interruptores para cada uma das topologias, em que DCF1S e SMC1S trata da topologia proposta e adaptada (GATEAU,2001) com apenas um enrolamento no secundário do transformador, já as topologias DCF2S e SMC2S contam com dois enrolamentos no secundário, sendo possível observar que a topologia apresentada em (SIWAKOTI et al., 2019) tem um estresse de tensão maior; isso se dá também pelo fato da tensão de saída dessa topologia apresentar um nível máximo de tensão igual a $2V_i$, a topologia apresentada em (BAHRAMI et al., 2019) tem o menor estresse, porém, os níveis ficam próximos aos valores apresentados pelas topologias propostas.

Tabela 8 – Estresse de tensão nos interruptores.

Topologia	s_{a1}	s_{a2}	s_{a3}	s_{a4}	s_{a5}	s_{a6}	s_{a7}	s_{a8}
DCF1S	$1.33V_i$	$0.66V_i$	$0.66V_i$	$1.33V_i$	$0.33V_i$	$0.33V_i$	V_i	V_i
SMC1S	$1.33V_i$	$0.66V_i$	$0.66V_i$	$1.33V_i$	$0.33V_i$	$0.33V_i$	$0.66V_i$	$0.66V_i$
DCF2S	$1.33V_i$	$0.66V_i$	$0.66V_i$	$1.33V_i$	$0.33V_i$	$0.33V_i$	V_i	V_i
SMC2S	$1.33V_i$	$0.66V_i$	$0.66V_i$	$1.33V_i$	$0.33V_i$	$0.33V_i$	$0.66V_i$	$0.66V_i$
BAHRAMI	$0.66V_i$	$0.66V_i$	$0.66V_i$	$0.66V_i$	$0.66V_i$	$0.66V_i$	$0.33V_i$	$0.33V_i$
SIWAKOTTI	$2V_i$	$2V_i$	V_i	V_i	$0.5V_i$	$0.5V_i$	$1.5V_i$	V_i

A Figura 74 apresenta a comparação das perdas das topologias em porcentagem, mostrando as perdas totais, assim como as perdas de condução e perdas de chaveamento de cada uma delas. É possível observar que a topologia apresentada em (BAHRAMI et al., 2019) apresenta uma perda menor se comparada as propostas, isso devido a técnica de modulação utilizada que permite uma otimização das perdas. A topologia com 2 enrolamentos apresentou perdas relativamente menores que a topologia de 1 enrolamento, o desbalanço de tensão nos capacitores flutuantes é um fator que contribui para esse pequeno aumento. A topologia apresentada por (SIWAKOTI et al., 2019) apresenta maiores perdas por ter a necessidade de balanceamento de dois capacitores.

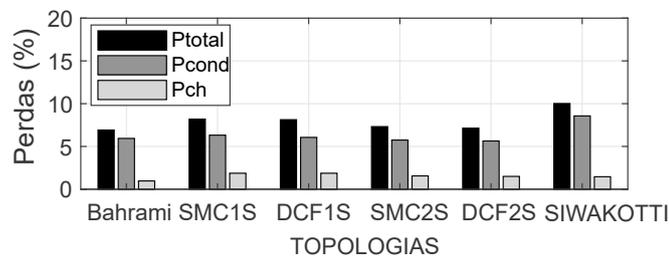


Figura 74 – Comparação Perdas.

Para verificação do nível de confiabilidade do conversor também utiliza-se o estresse térmico nos interruptores, este fator é um dos que possuem maior porcentagem no que diz respeito a causas de falhas em sistemas de potência. A Figura 75 apresenta a comparação dos estresses térmicos nos interruptores para cada uma das topologias. O estresse térmico sobre os interruptores da topologia apresentada em (SIWAKOTI et al., 2019) é maior devido a tensão que ele trabalha ser maior. As topologias propostas apresentam valores próximos entre si, como esperado, e valores menores ou equivalente que as demais topologias, melhorando a sua confiabilidade.

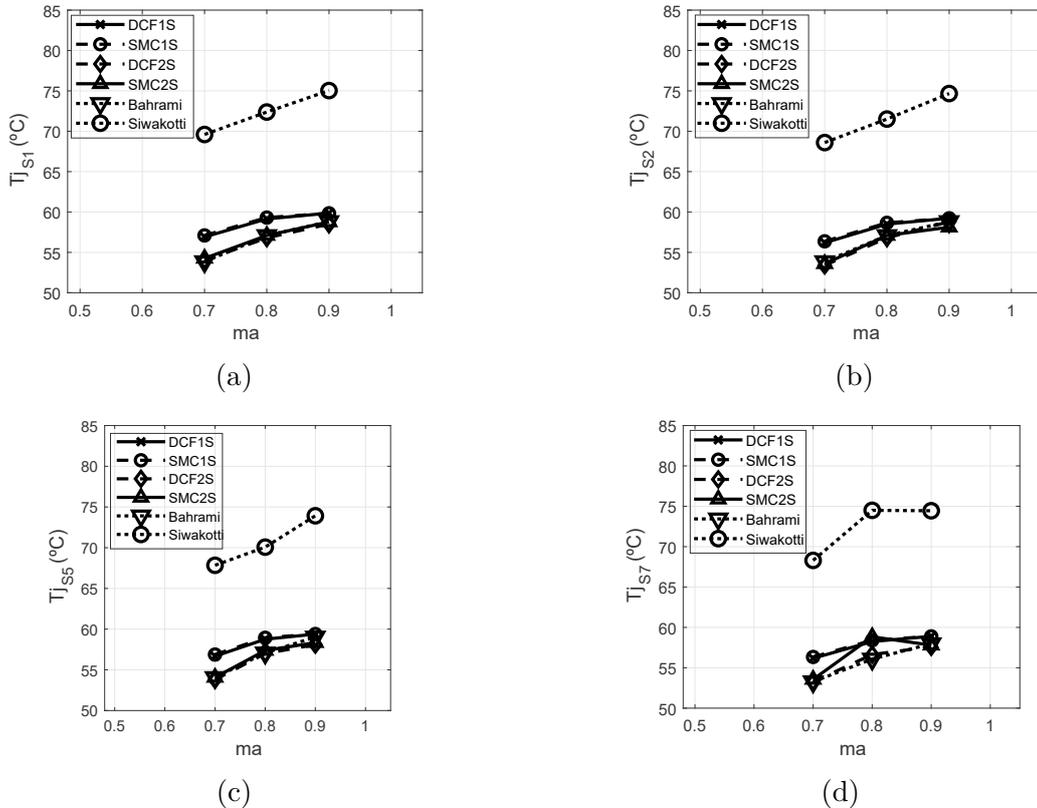


Figura 75 – Estresse Térmico: (a) S_1 . (b) S_2 . (c) S_5 . (d) S_7 .

A Figura 76 apresenta as comparações das distorções dos sinais de saída para cada uma das topologias. É possível observar que as distorções das topologias propostas apresentam valores bem próximos entre si e valores melhores que as topologias já presentes na literatura. A topologia de (BAHRAMI et al., 2019) apesar de possuir uma modulação que permite uma redução nas perdas, para realização do controle da tensão dos capacitores flutuantes nos níveis desejados faz com que o conversor procure o melhor estado de comutação que permita esse controle para cada instante, essa permanência em determinados estados, conseqüentemente, redução do chaveamento, faz com que a distorção aumente. Já a topologia apresentada em (SIWAKOTI et al., 2019) apresenta valores maior por ter a necessidade de controle de dois capacitores flutuantes com uma técnica de modulação.

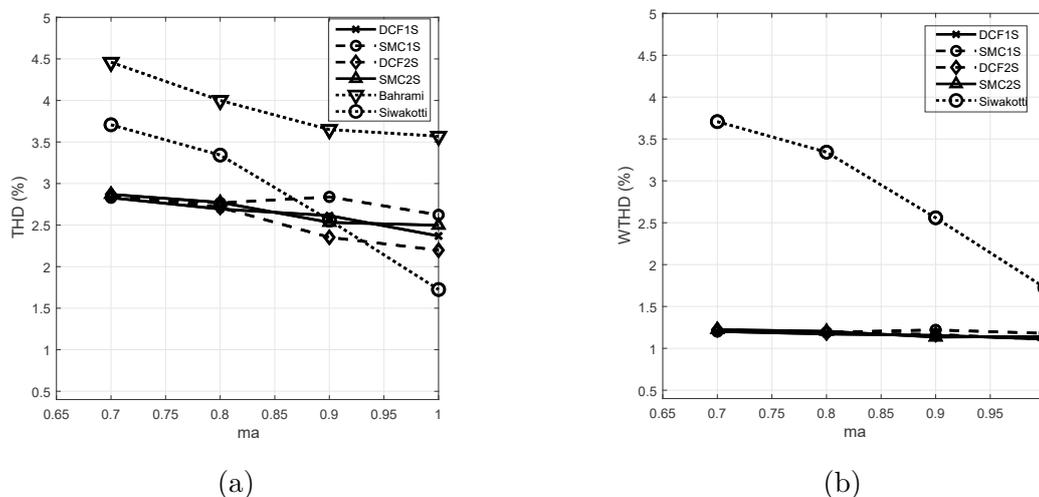


Figura 76 – Resultados de Simulação: (a) Distorção Harmônica. (b) Distorção Harmônica Ponderada (WTHD).

3.5 Resultados Experimentais

Para obtenção dos resultados das topologias de 7 níveis é adicionado mais um módulo de chave bidirecional, para o 7 níveis, o módulo adicional será acrescentado em paralelo a carga, sendo utilizada para obtenção do nível zero na saída, no momento em que ela estiver conduzindo, para isso, são soldados os pontos de conexão da nova chave para interconexão com os dois pontos da carga. Este acréscimo é apresentado na Figura 77. Neste caso, também foi utilizado uma carga de 7ohms e 7mH , com uma tensão de entrada igual a 75volts e frequência de chaveamento igual a 10kHz .



Figura 77 – Atualização da montagem.

Neste caso, as conexões também são realizadas levando em consideração os pontos físicos mencionados anteriormente, sendo montado conforme apresentado na Figura 78.

As conexões feitas anteriormente entre os módulos de chaves IGBTs e também o módulo bidirecional permanecem conectada da forma que se encontrava anteriormente.

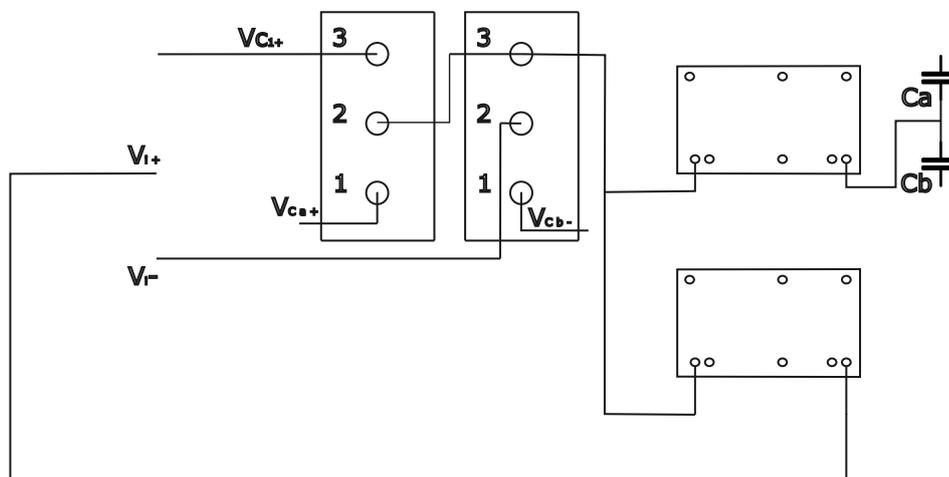


Figura 78 – Conexão física da topologia de 7 níveis nas chaves.

As tensões de saída juntamente com a corrente, a fim de se ter a certeza de que a topologia estava funcionando corretamente, os sinais de saída são apresentados através da Figura 79. Observa-se que os 7 níveis são tidos de acordo com o desejado, sendo bem definidos e sem picos consideráveis entre os chaveamentos. A corrente com formato senoidal demonstra resultado coerente com o desejado e esperado para a topologia. Note que a disposição e interação dos níveis de tensão com as tensões nos capacitores flutuantes do barramento menor e do barramento externo acontece pelo LSPWM (*Level-Shift PWM*), mesmo sem a utilização de um controle mais robusto do PWM das chaves, a integração do transformador pelo uso do conversor CC-CC permite obter os resultados de forma desejada, com ripples de tensão satisfatórios, obtendo um perfil de tensão

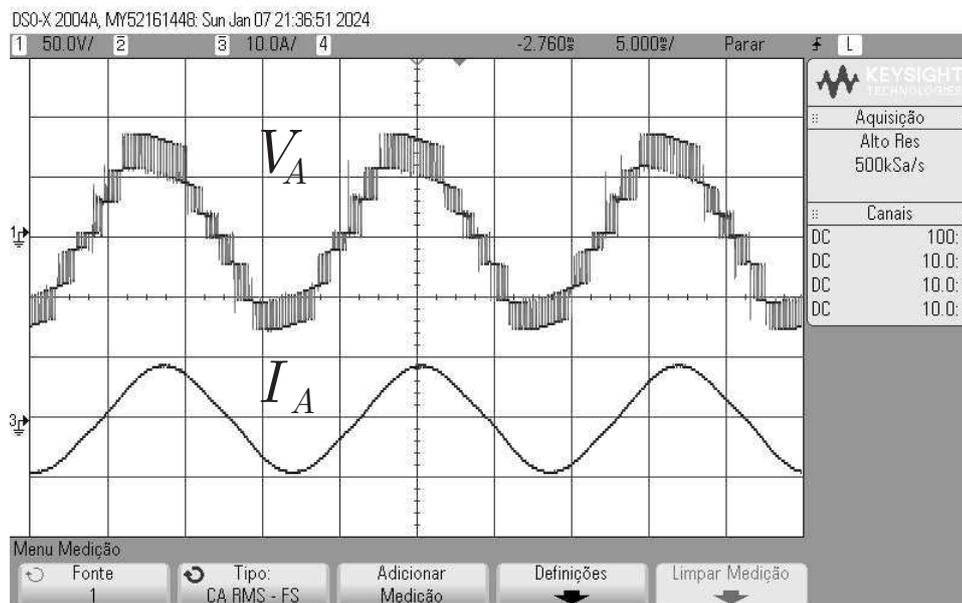


Figura 79 – Resultado da saída do inversor de 7 níveis (50V/div vert., 10A/div vert., 5ms/div hor.).

A obtenção dos resultados para os demais componentes da topologia, se fazendo necessário a obtenção das tensões sobre os interruptores, para verificação dos estresses de tensão em cada uma delas e também a conferência de funcionamento correto, as tensões nas chaves são apresentadas na Figura 80, em que a tensão máxima na chave S_{a1} é igual a soma da tensão do capacitor C_1 com a tensão do capacitor C_a , enquanto que a tensão sobre a chave S_{a2} é igual a tensão do capacitor C_a em determinados momentos e em outros períodos, a tensão é igual a soma das tensões do capacitor C_a e C_b . O mesmo comportamento da chave S_{a2} é replicado para a chave S_{a3} .

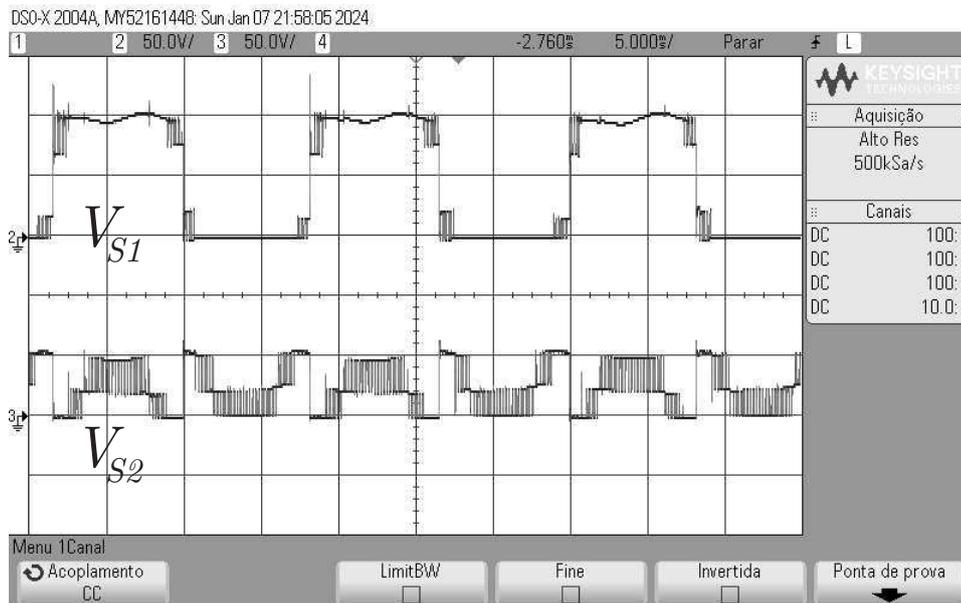


Figura 80 – Vs1,Vs2. 50 V/div vert., 5ms/div hor.

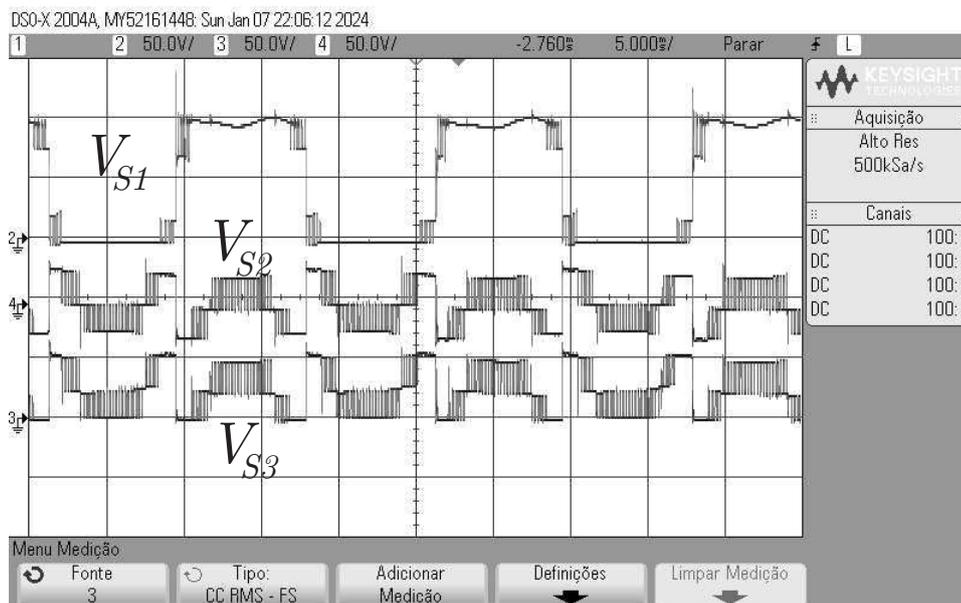


Figura 81 – Vs1,Vs2,vs3. 50 V/div vert., 5ms/div hor.

É feito a obtenção em conjunto dos sinais das chaves S_2 e S_3 , estas chaves não podem conduzir em conjunto enquanto a bidirecional se encontrar desligada, para que não se tenha um curto no barramento menor dos capacitores C_a e C_b . Essas chaves são utilizadas para dos diferentes níveis de tensão, através da chave bidirecional é possível obter as tensões a partir da subtração da tensão do capacitor C_1 e dos capacitores C_a e C_b , enquanto a chave S_3 é utilizada para obtenção do nível de tensão zero no momento em que está conduzindo em conjunto com a chave S_1 para o semiciclo positivo, enquanto a chave

S_2 e a chave S_4 forma o nível zero durante o semiciclo negativo. Pela Figura 83 é visto que a corrente das chaves possuem um formato com a envoltoria da corrente de carga, tendo suas variações nos momentos de chaveamento de cada uma.

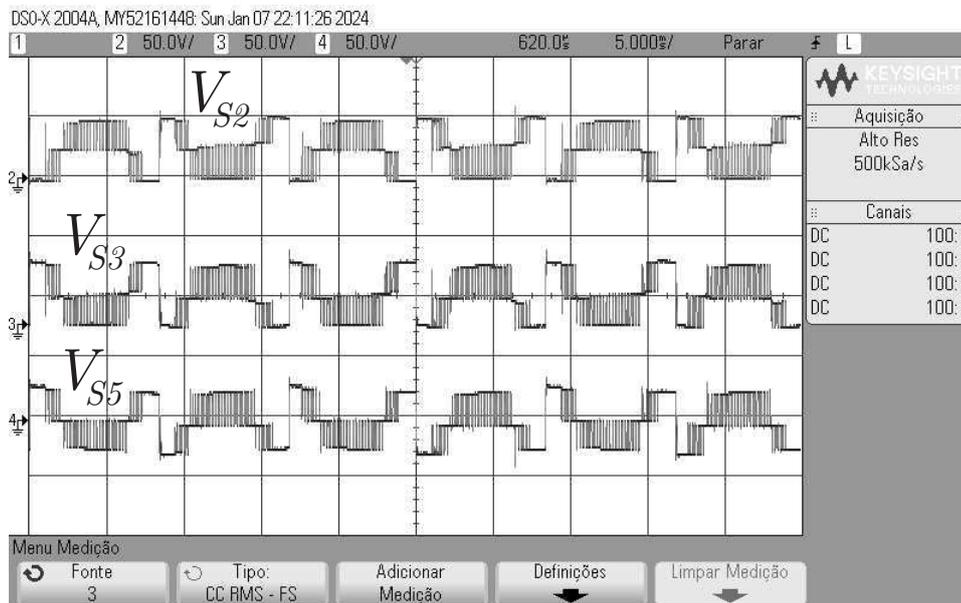


Figura 82 – V_{s2}, V_{s3}, V_{s5} . 50 V/div vert., 5ms/div hor.

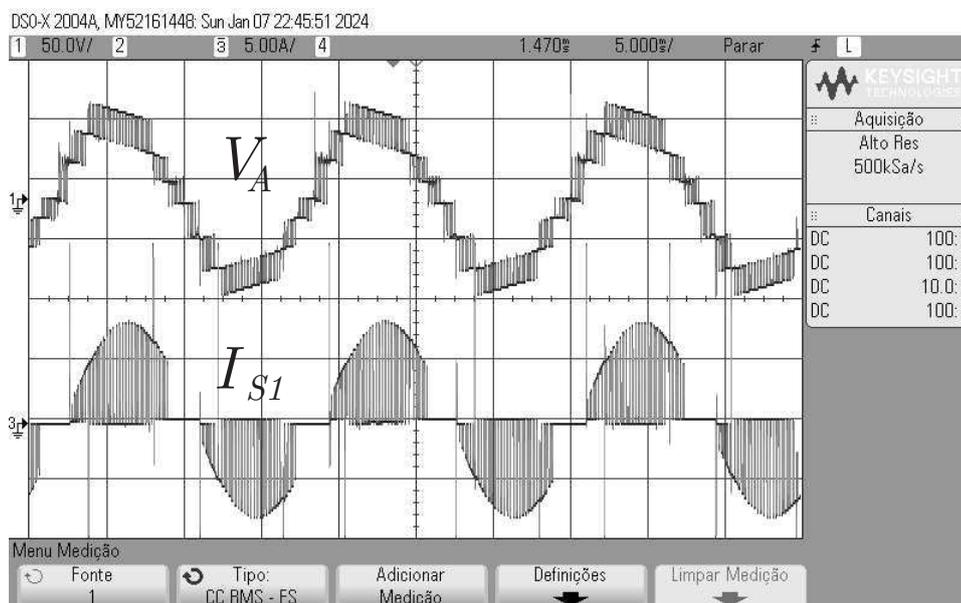


Figura 83 – V_a, I_{s1} . 50 V/div vert., 5ms/div hor.

Com o conversor CC-CC do tipo flyback com duplo enrolamento no secundário do transformador, deste modo, foi obtido os níveis de tensões desejados de 1/3 a tensão de entrada nos capacitores flutuantes, ou seja, para uma tensão de 80 volts, a tensão nos capacitores será próxima de 26 volts, conforme mostrado na Figura 84

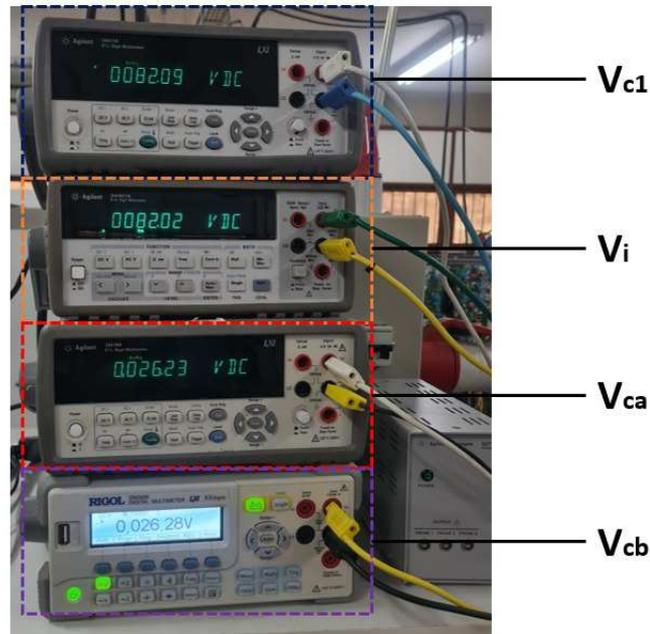


Figura 84 – Resultado dos níveis de tensão dos capacitores com solução integrada.

Os resultados podem ser observados ainda através do osciloscópio com os canais conectados em cada um deles, sendo possível observar suas proporcionalidades e igualdades melhores, conforme é apresentado na Figura 85.

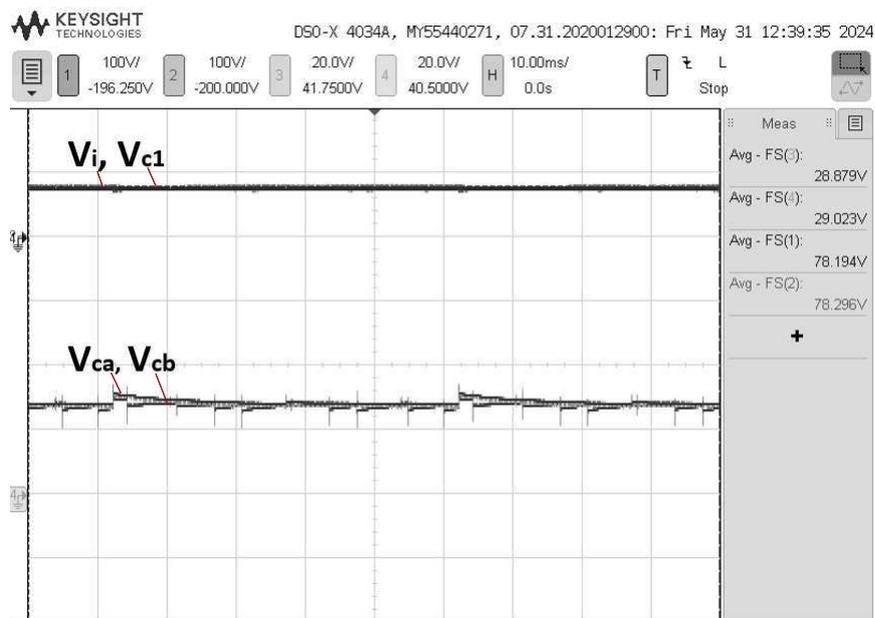


Figura 85 – Resultado dos níveis de tensão dos capacitores da solução pelo osciloscópio (100 V/div vert., 100V/ div, 20 V/div vert., 20V/div vert.).

As tensões de bloqueio das chaves do secundário do transformador S_a e S_b atuam

de forma como esperado, tendo suas formas atuando em complementaridade e com tensão de bloqueio igual a soma da tensão do secundário ou terciário do transformador e dos capacitores C_a e C_b , tendo um valor final pouco superior a 50 volts, conforme mostrado na Figura 86

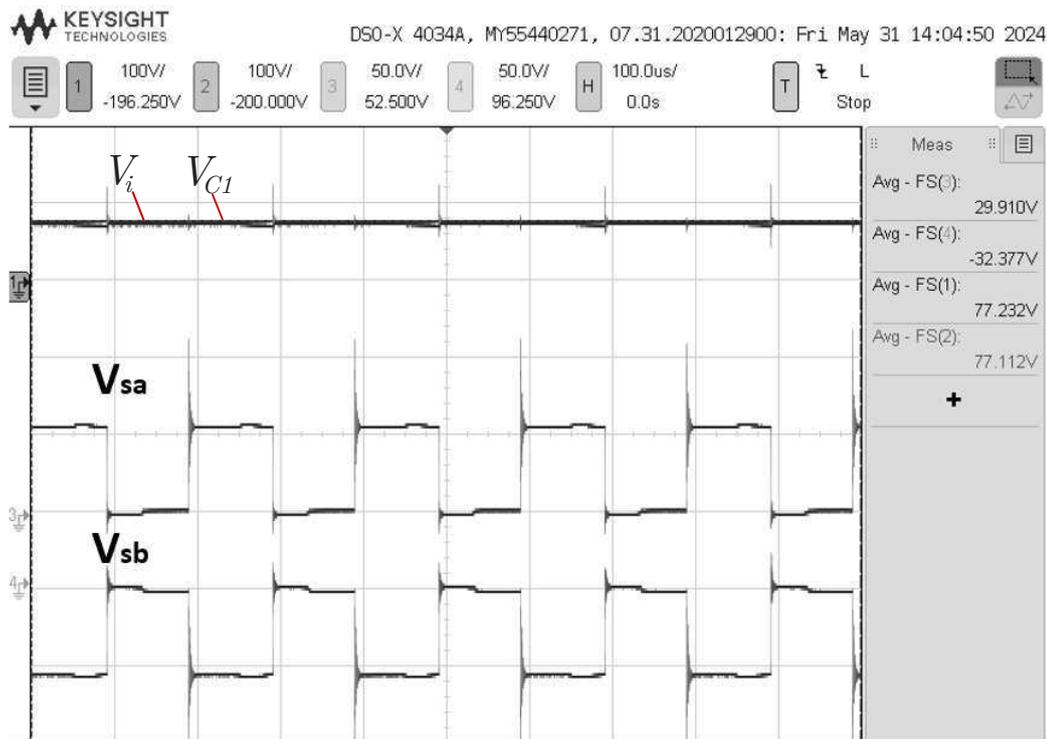


Figura 86 – Tensões nas chaves do secundário S_a e S_b (100 V/div vert., 100V/ div, 50 V/div vert., 50V/div vert.).

O mesmo também é observado para as tensões vistas do lado do primário do transformador, que é o caso para a chave S e para o diodo D_1 , sendo dispositivos que atuam em complementaridade e que nos momentos de bloqueio possuem tensão igual a soma das tensões de entrada V_i e da tensão do capacitor C_1 que é igual a tensão de entrada para o duty cycle de 0.5 no conversor. Este comportamento é observado através da Figura 87.

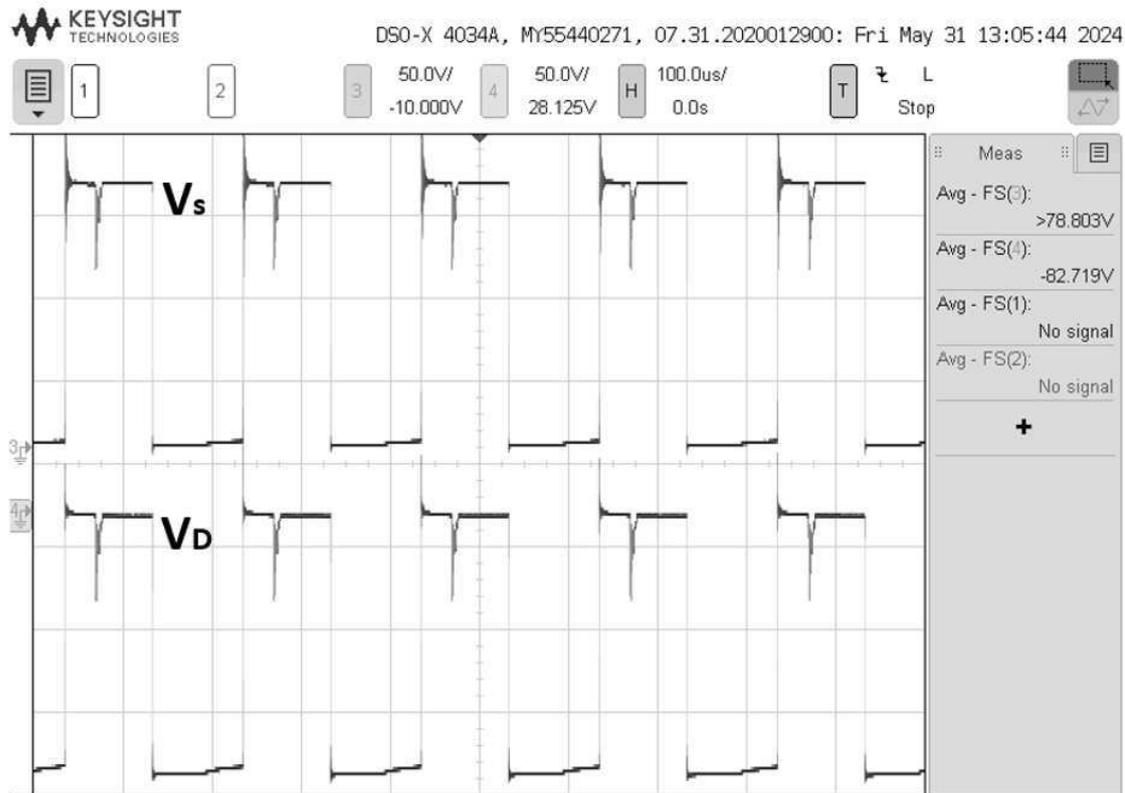


Figura 87 – Tensões no lado primário do transformador (50 V/div vert.).

Para que se obtenha os resultados desejados, é necessário que os capacitores armazenem os níveis de tensões desejadas, tendo que os capacitores do barramento menor C_a e C_b armazenem tensões iguais a metade da tensão do capacitor C_1 , cada um deles. Assim, é feita a aquisição dos sinais destes capacitores, do barramento maior e do barramento menor, a fim de mostrar que se encontram nos níveis desejados, sendo o barramento menor igual a metade do barramento maior. Estas tensões são apresentadas através da Figura 88.

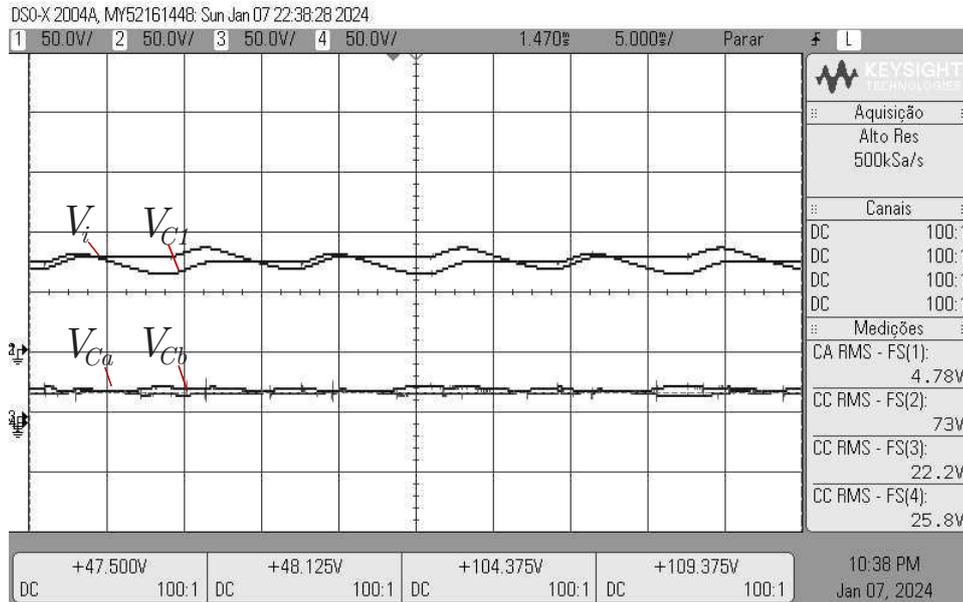


Figura 88 – $V_{Ca}, V_{Cb}, V_{C1}, V_i$. 50 V/div vert., 5ms/div hor.

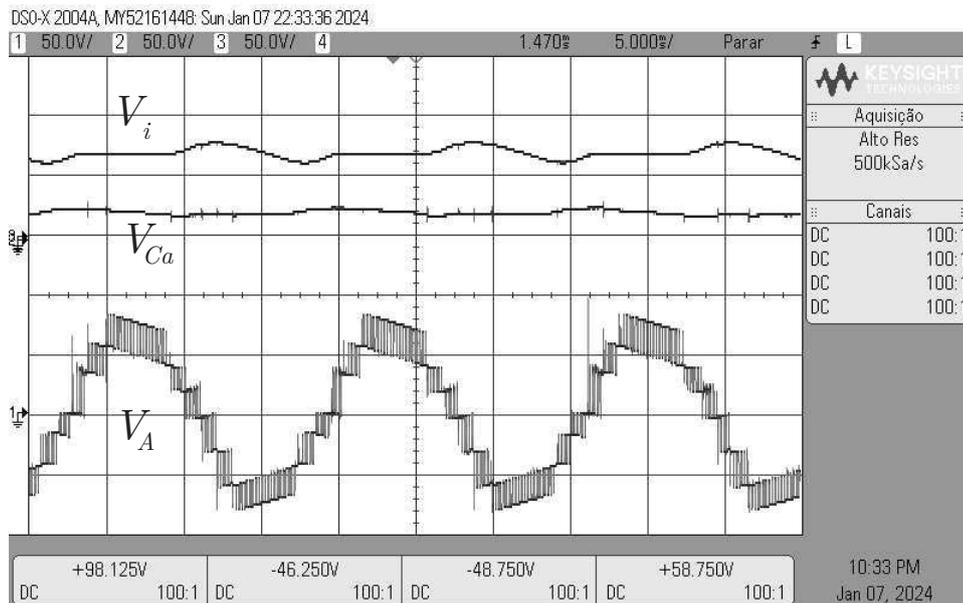


Figura 89 – V_{Ca}, V_i, V_a . 50 V/div vert., 5ms/div hor.

3.6 Conclusões

Neste capítulo o inversor DCF foi modificado para permitir a obtenção de sete níveis na saída. Ao mesmo tempo, o SMC, originalmente inventado para operar com cinco níveis, foi examinado, confirmando sua possibilidade de trabalhar com sete níveis. Além disso, foram investigadas as opções de realizar a integração com um conversor boost/flyback com um ou dois enrolamentos secundários. Esses quatro conversores inéditos foram comparados

dois outros inversores existentes na literatura técnica, quanto às perdas, aos estresses térmico, de tensão e de corrente e às distorções de tensão e de corrente. Observou-se dos resultados que os valores das perdas nas quatro configurações propostas estão próximos, com vantagem para as topologias utilizando dois enrolamentos secundários, DCF-2S e SMC – 2S. Essas perdas são levemente maiores do que aquelas da topologia em (BAHRAMI et al., 2019), apesar de este inversor realizar a regulação das tensões dos capacitores flutuante através de uma técnica de controle, no caso, o controle preditivo. Uma possível justificativa é o fato de a técnica de controle utilizada ser de otimização. Com relação ao estresse térmico o desempenho é semelhante para as topologias de Barahmi, SMC – 2S e DCF – 2S. O uso das duas topologias SMC – 2S e DCF – 2 é mais vantajoso com relação às distorções na tensão de saída. Apesar de desempenhos semelhantes, a escolha SMC – 2S ou DCF – 2S, em detrimento das outras, é o fato de elas terem um nível de complexidade menor no controle das tensões. A escolha entre o SMC – 2S e o DCF – 2S, para sete níveis é indiferente. Entretanto, o SMC – 2S apresenta a possibilidade de operar com nove níveis, sem mudança da estrutura, enquanto que isto não é possível com a utilização do DCF – 2S. Isto significa uma pequena melhoria na distorção harmônica, utilizando a mesma estrutura. Por esta razão, a operação do SMC – 2S com nove níveis será examinado no próximo capítulo.

4 | SMC - 9L

Na tentativa de aumentar o número de níveis, várias novas topologias foram concebidas. No caso de obtenção de nove níveis, a maioria desses conversores utiliza um grande número de componentes, o que acarreta aumento de perdas, reduzindo a eficiência do conversor (CHAUDHURI et al., 2007), (GATEAU; MEYNARD; FOCH, 2001), (GHIAS; POU; AGELIDIS, 2016), (NAIR; RAHUL; KAARTHIK, 2017), (WANG, 2017). Outros inversores, adequados para baixa tensão, possuem um número menor componentes, mas necessitam de um maior número de fontes (SANDEEP; YARAGATTI, 2018), (LEE; LEE, 2019). Recentemente, entretanto, foi inventada uma topologia denominada T2 -ANPC-9L, que possui um número menor de componentes e uma única fonte (ZHANG et al., 2019). Em particular, o aumento de níveis da topologia SMC de duas células flutuantes, umas das quais com duplo capacitor (originalmente para cinco níveis) foi inicialmente concebido pelo empilhamento e embricamento dessas células (GATEAU; MEYNARD; FOCH, 2001). Mas, como visto no capítulo anterior, a modificação da relação das tensões nos capacitores (em vez de seu empilhamento e embricamento) permite que o SMC de duas células opere com sete níveis. Os estudos realizados mostraram que tanto o inversor TFC como o inversor SMC, ambos empregando apenas duas células, cada um integrado a um conversor CC-CC boost/flyback, possuem desempenho satisfatório semelhante, em suas versões de sete níveis. Esse desempenho melhora quando são utilizados dois enrolamentos no secundário do conversor CC-CC. Como a estrutura do TFC não permite modificações para operação com nove níveis, este capítulo examina a operação do SMC com duas células, para este caso, integrando o conversor ao mesmo conversor CC-CC utilizado nos capítulos anteriores. Isto significa obtenção de nove níveis com a mesma estrutura utilizada para cinco níveis. O conversor T2-ANPC-9L (ZHANG et al., 2019) é usado como referência para a comparação de desempenho.

4.1 Topologia SMC-9L

O inversor investigado, proposto por (GATEAU; MEYNARD; FOCH, 2001) mas adaptado na integração com o conversor CC-CC, consiste na mesma topologia utilizada para sete níveis, mas com valores diferentes das tensões dos capacitores duplos e um chaveamento adequado dos interruptores. A configuração do inversor proposto, com a indicação das novas tensões no capacitor duplo, é apresentada na Figura 90.

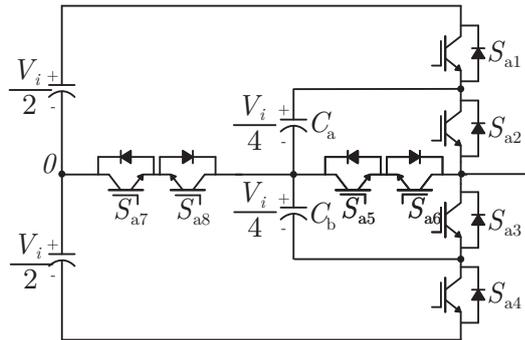


Figura 90 – Inversor 9 níveis proposto.

Os estados topológicos do inversor proposto são apresentados na Tabela 9.

Tabela 9 – Estados chaveamento inversor 9 níveis

Estado	s_{a1}	s_{a2}	s_{a3}	s_{a4}	s_{a5}	s_{a6}	s_{a7}	s_{a8}	V_a
A	1	1	0	0	0	0	0	0	V_i
B	1	0	0	0	1	1	0	0	$\frac{3}{4} V_i$
C	1	0	1	0	0	0	0	0	$\frac{1}{2} V_i$
D	0	1	0	0	0	0	1	1	$\frac{1}{4} V_i$
E	0	0	0	0	0	1	1	1	0
F	0	0	1	0	0	0	1	1	$-\frac{1}{4} V_i$
G	0	1	0	1	1	0	0	0	$-\frac{1}{2} V_i$
H	0	0	0	1	1	1	0	0	$-\frac{3}{4} V_i$
I	0	0	1	1	1	0	0	0	$-V_i$

Para funcionamento adequado do inversor proposto é utilizado um conversor CC-CC do tipo boost-flyback com duplo enrolamento que faz a adequação do valor de tensão de entrada para as tensões de saída que serão utilizadas para manter o controle da tensão nos capacitores flutuantes. Graficamente, podemos analisar os estados topologicos a partir da Figura 93, nota-se que os interruptores S_{a5} e S_{a6} são complementares aos interruptores S_{a2} ou S_{a3} , de forma que sejam evitados curto-circuitos nos capacitores flutuantes C_a e C_b . O nível 0 é obtido através da ativação dos interruptores S_{a5} , S_{a6} , S_{a7} e S_{a8} .

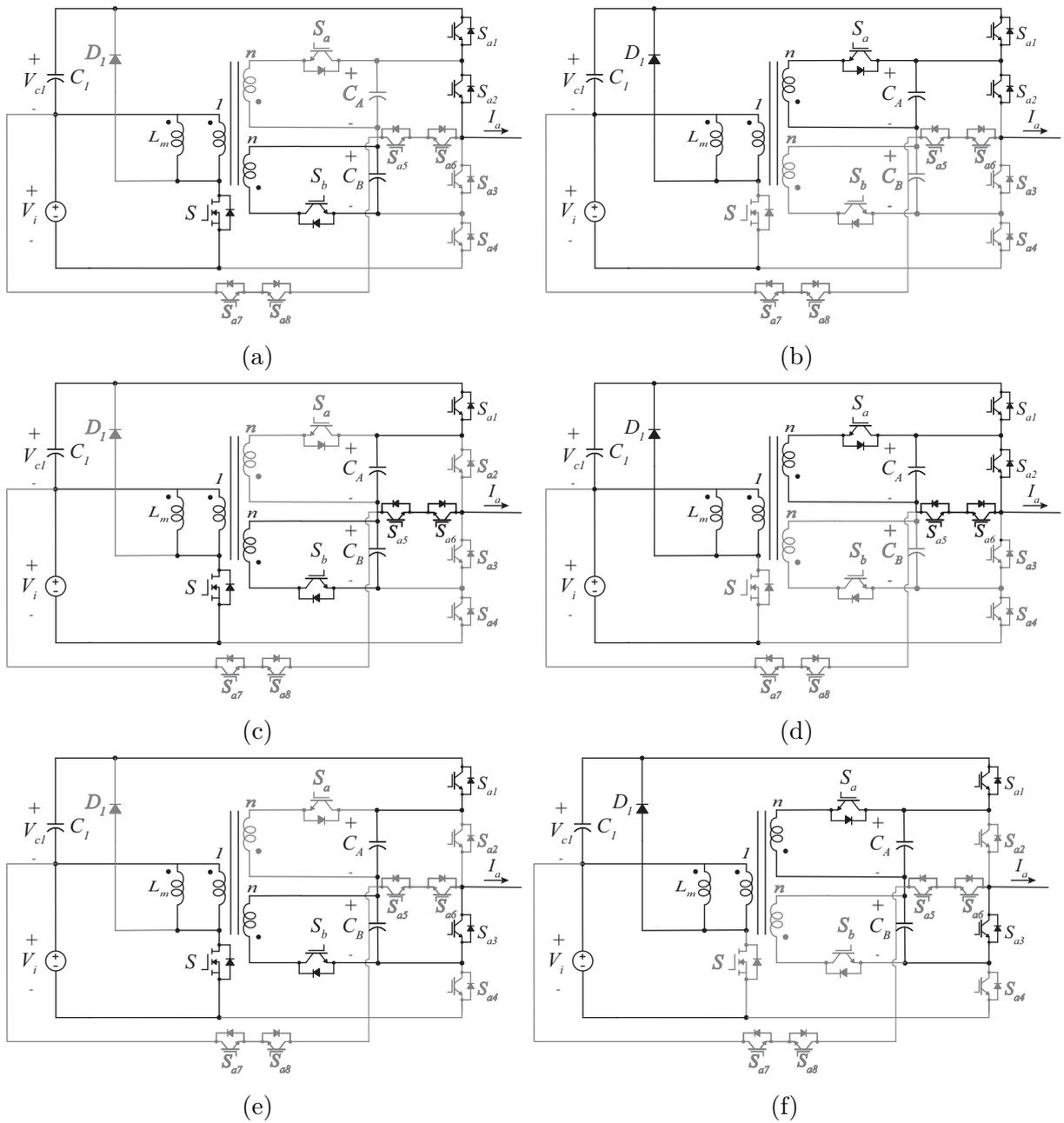


Figura 91 – Modos Inversor SMC: (a) Modo 1a. (b) Modo 1b. (c) Modo 2a. (d) Modo 2b. (e) Modo 3a. (f) Modo 3b.

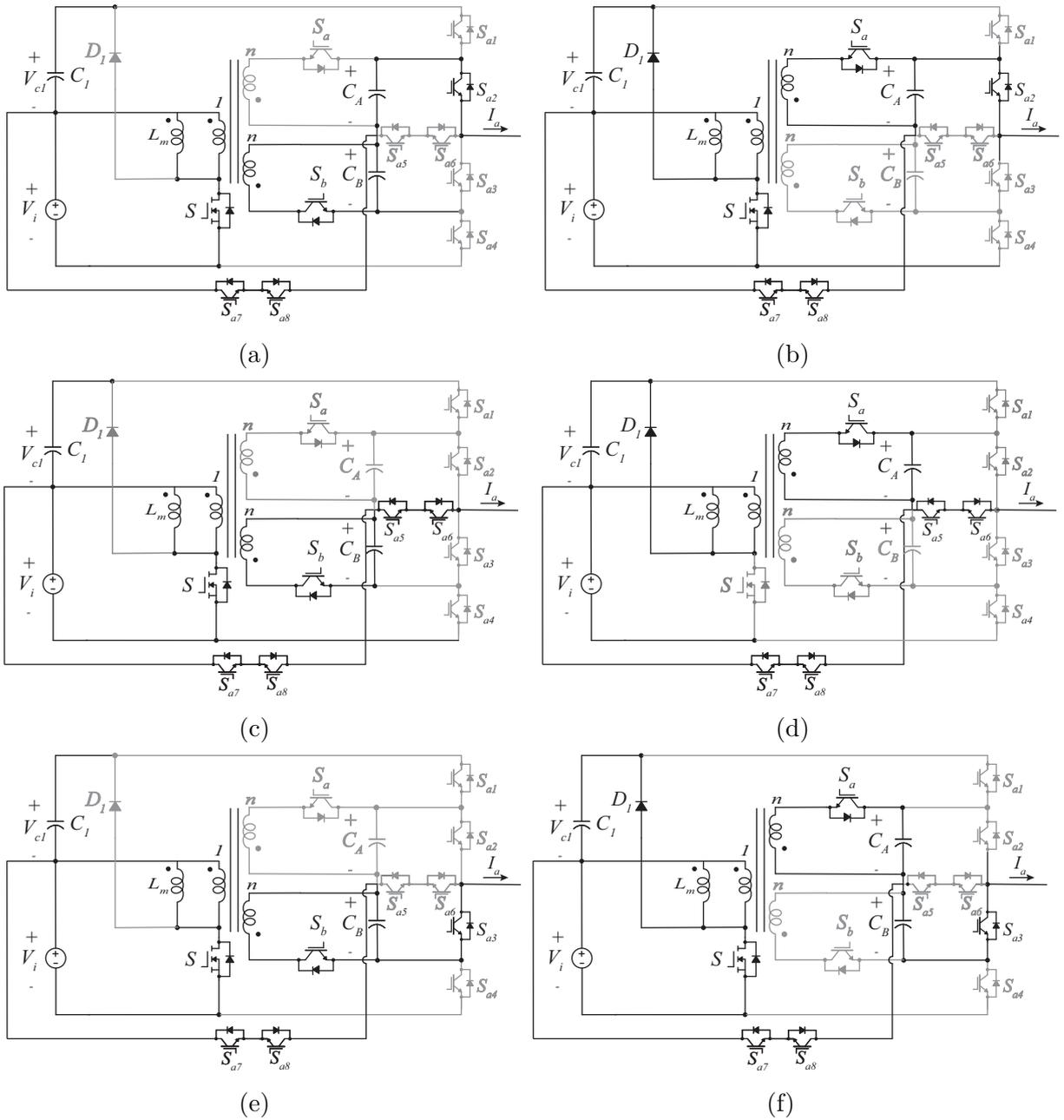


Figura 92 – Modos Inversor SMC: (a) Modo 4a. (b) Modo 4b. (c) Modo 5a. (d) Modo 5b. (e) Modo 6a. (f) Modo 6b.

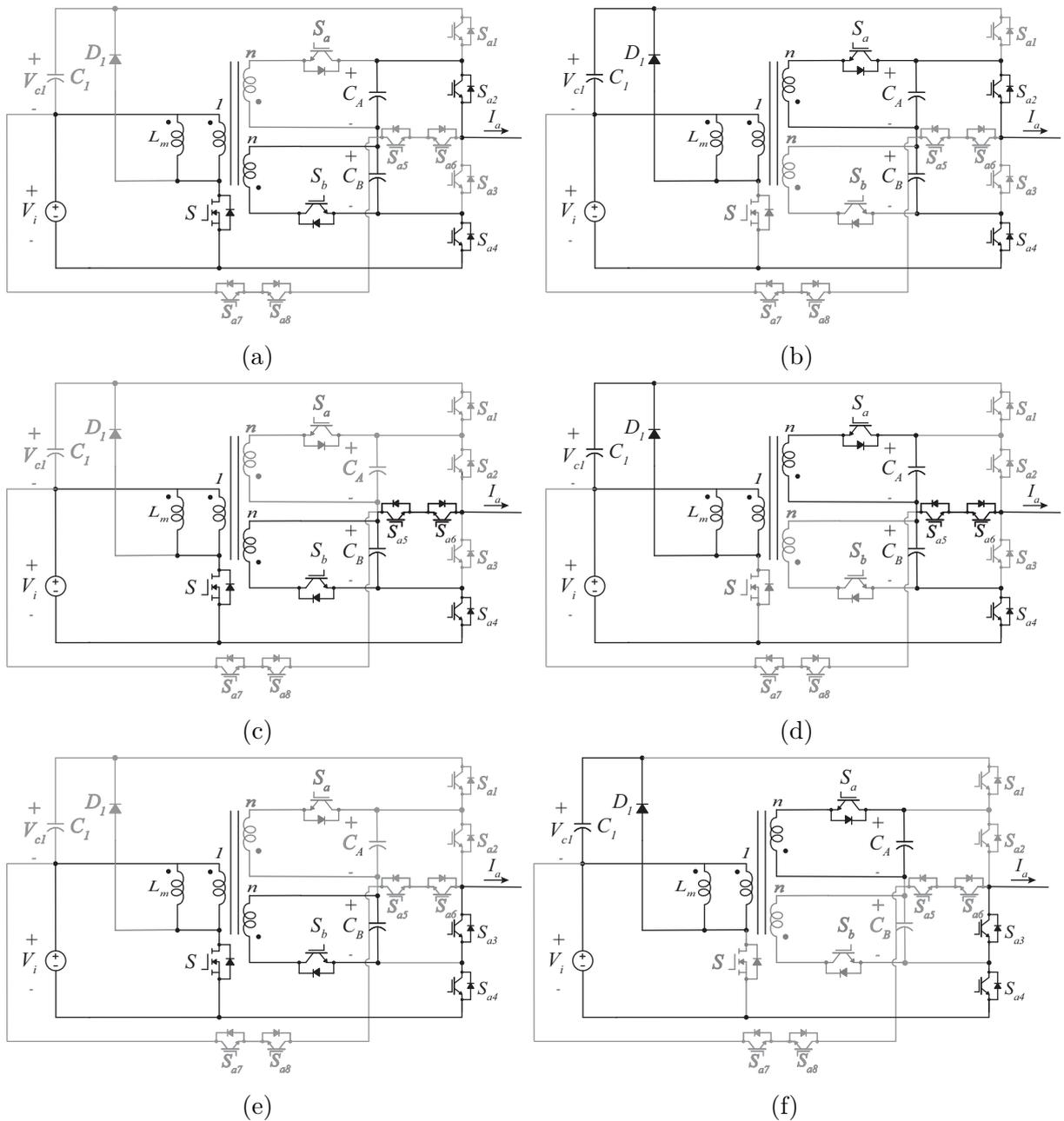


Figura 93 – Modos Inversor SMC: (a) Modo 7a. (b) Modo 7b. (c) Modo 8a. (d) Modo 8b. (e) Modo 9a. (f) Modo 9b.

Para obtenção dos 9 níveis, é necessário que a tensão mantida nos capacitores flutuantes sejam iguais a $\frac{V_i}{4}$.

4.2 Resultados de simulação

Os resultados de simulação foram obtidos com o software PSIM, sendo levado os dados para o software matlab para manipulação dos gráficos. Os parâmetros utilizados para

aquisição dos resultados estão apresentados na Tabela 10. Para realização do chaveamento dos interruptores também é utilizado uma modulação do tipo PDPWM, fazendo uso de 8 portadoras triangulares e 1 modulante senoidal.

Tabela 10 – Parâmetros de simulação.

Parâmetro	Valor
Tensão de entrada	150 V
Tensão do Barramento CC	$v_{C01} = v_i = 300$ V
Capacitores	$C_a = C_b = 2200$ μ F
Carga RL	$R = 16.0$ Ω , $L = 7.0$ mH
Frequência de Chaveamento	$f_s = 10$ kHz

Os sinais de saída são apresentados na Figura 94, é possível notar que a tensão obteve os 9 níveis de tensão desejadas e como diferencial apresenta uma taxa de distorção igual a 17%. A corrente apresenta formato senoidal e com taxa de distorção igual a 2,05%, dentro dos valores exigidos por norma.

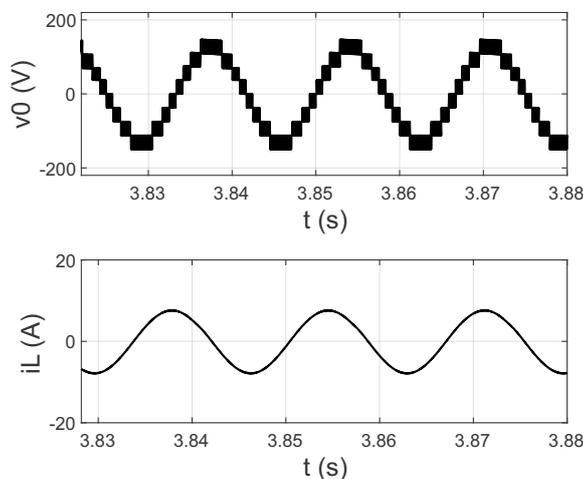


Figura 94 – Sinais de saída: (a) Tensão de saída v_o e Corrente de saída i_o .

As tensões de bloqueio nos dispositivos são apresentadas na Figura 95, enquanto que as correntes são apresentadas na Figura 96. Percebe-se que os sinais não apresentam distorções consideráveis e com isso o sistema está apresentando funcionamento como esperado.

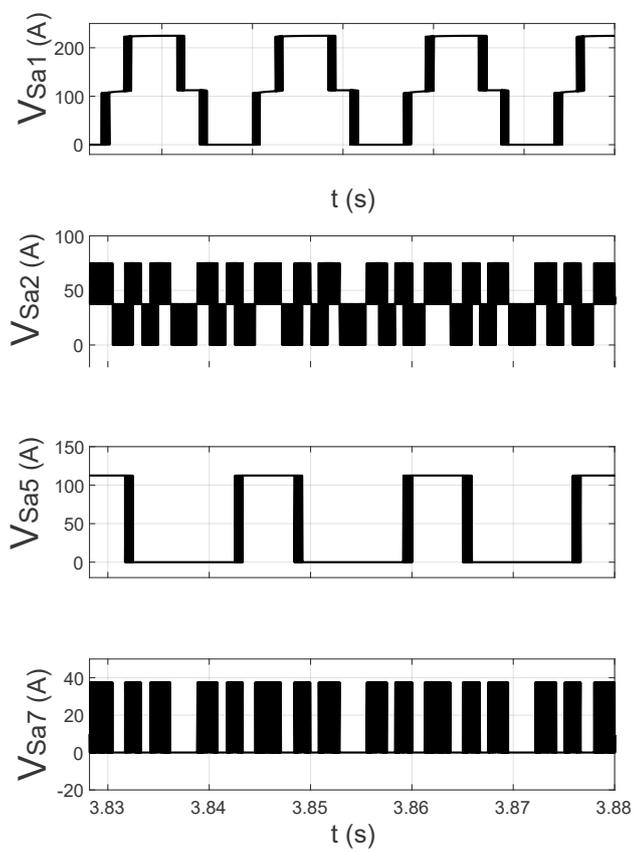


Figura 95 – Tensões nos dispositivos.

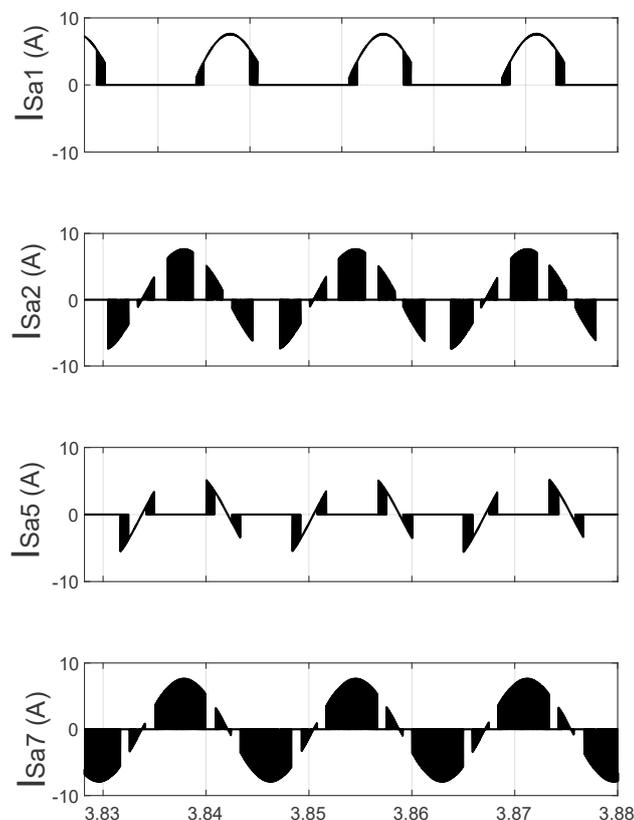


Figura 96 – Correntes nos dispositivos.

4.3 Análise Comparativa

A análise comparativa da topologia proposta de 9 níveis (DBFC-9L) será realizada com relação a apresentada em (ZHANG et al., 2019), uma vantagem já observada de modo imediato é no número de interruptores, enquanto que a topologia da literatura apresenta 10 interruptores.

Alguns critérios são usados na comparação entre as topologias, primeiramente, é feita a comparação com relação ao estresse de tensão nos interruptores, essa comparação faz com que seja possível ajudar na escolha dos interruptores que poderão ser utilizados na montagem do sistema, dando ênfase para dispositivos na faixa de operação do que é esperado. Pela Tabela 11 é possível observar que as topologias apresentam estresses de tensão semelhantes nos interruptores, porém dois deles da topologia já existente possuem estresses maiores se comparados com a nova.

Tabela 11 – Estresse de tensão nos interruptores.

Topologia	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_8	q_9	q_{10}
Proposta	1.5E	0.5E	0.5E	1.5E	0.75E	0.75E	0.25E	0.25E	-	-
Zhang	1.5E	0.5E	E	E	0.5E	1.5E	0.5E	0.5E	0.25E	0.25E

Da mesma forma que o estresse de tensão no interruptores, também é importante verificar o estresse de corrente, também servirá no processo de escolha do dispositivo que será utilizado na montagem. A Tabela 12 apresenta a comparação das duas topologias. É visto que a topologia da literatura apresenta valores relativamente mais baixos que a proposta, entretanto isto é compensado com a diferença dos estresses de tensão e quantidade de interruptores.

Tabela 12 – Estresse de corrente nos interruptores.

Topologia	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_8	q_9	q_{10}
Proposta	0.71Io	0.44Io	0.44Io	0.71Io	0.23Io	0.23Io	0.78Io	0.78Io	-	-
Zhang	0.35Io	0.17Io	0.17Io	0.74Io	0.74Io	0.35Io	0.17Io	0.17Io	0.26Io	0.26Io

A comparação das perdas é apresentada na Figura 97, é observado que a topologia existente apresenta perdas relativamente maiores que a nova devido a necessidade de um chaveamento maior para controle da tensão dos capacitores flutuantes.

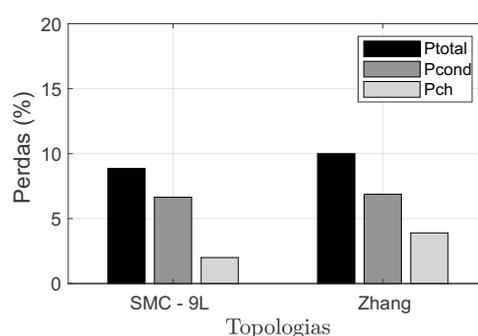


Figura 97 – Comparação das perdas.

Com relação a qualidade dos sinais de saída, são analisadas a taxa de distorção harmônica total da corrente de saída e a taxa de distorção ponderada da tensão de saída. A Figura 98 apresenta a comparação destas duas taxas para as duas topologias, é possível observar que a topologia nova apresenta uma vantagem relativa a existente na literatura, tendo THD menor, assim como a WTHD.

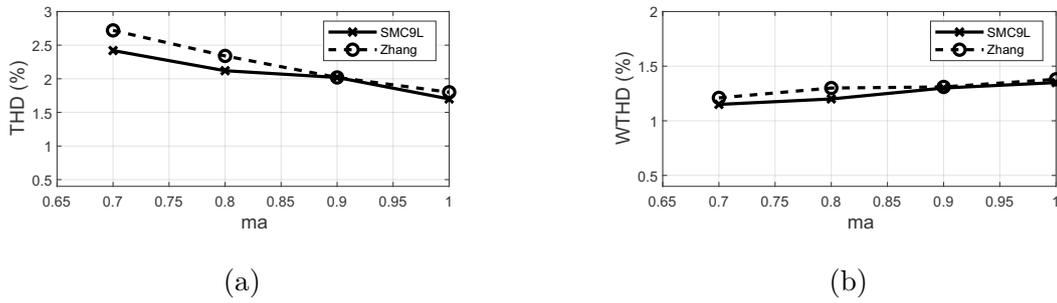


Figura 98 – (a) THD. (b) WTHD.

Para obtenção do estresse térmico, figura de mérito que diz respeito a temperatura que os interruptores atingem aproximadamente durante a operação, para comparação, são feitas aquisições de dados de temperatura fazendo variações dos índices de modulação. Esta evolução para cada uma das topologias é comparada na forma de gráfico fazendo a plotagem dos pontos de temperatura para cada um dos índices. Essa comparação é apresentada na Figura 99, verificando que a topologia proposta apresenta temperatura relativamente menor que a apresentada por Zhang.

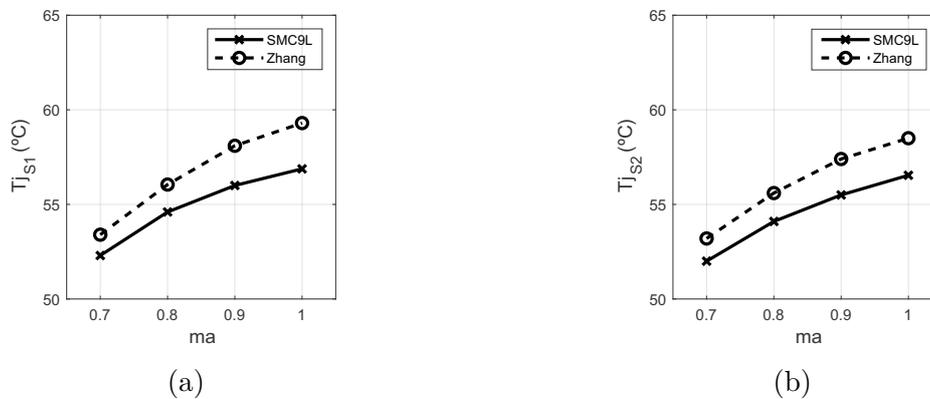


Figura 99 – (a) Temperatura S_1 . (b) Temperatura S_2 .

4.4 Resultados Experimentais

Para obtenção dos resultados das topologias de 9 níveis, é adicionado mais um módulo de chave bidirecional. Neste caso, também foi utilizado uma carga de 70Ω e $7mH$, com uma tensão de entrada igual a $75volts$ e frequência de chaveamento igual a $10kHz$.

Durante o decorrer da obtenção dos resultados experimentais, foram vencidos alguns problemas referente a estrutura utilizada. Um deles trata-se da tensão proveniente das fontes chaveadas de $15volts$ que alimentam os drivers e sensores da bancada, foi verificado

que essa tensão estava ficando abaixo do limite mínimo estipulado pelo fornecedor dos drivers, e que por sua vez, fazia com que ele não conseguisse operar. Desta forma, foi feita a utilização de fonte CC para substituir essa alimentação, neste modo, foi inserido um valor um pouco maior que 15 V, para que assim, mesmo após as quedas de tensões dos circuitos, a tensão no ponto de entrega ficasse dentro do desejado. A fonte utilizada para essa alimentação é apresentada na Figura 100.



Figura 100 – Fonte inserida para alimentação dos drivers e sensores da bancada.

Para obtenção do resultado experimental de 9 níveis, a chave bidirecional é modificada de ponto de acoplamento, sendo inserida entre o ponto central do barramento de entrada e o ponto central do barramento menor. Observa-se que os 9 níveis são gerados de acordo com o desejado, que mesmo que se tenha a ausência de controle para manutenção da tensão nos valores definidos da tensão dos capacitores flutuantes. A utilização do transformador também foi feita de forma satisfatória, garantindo que as tensões ficassem em $1/4$ da tensão de entrada V_i , sendo bem definidos os níveis de tensão da saída, com pequenas ondulações devido aos ripples. A corrente com formato senoidal e também demonstra resultado coerente com o desejado e esperado para a topologia.

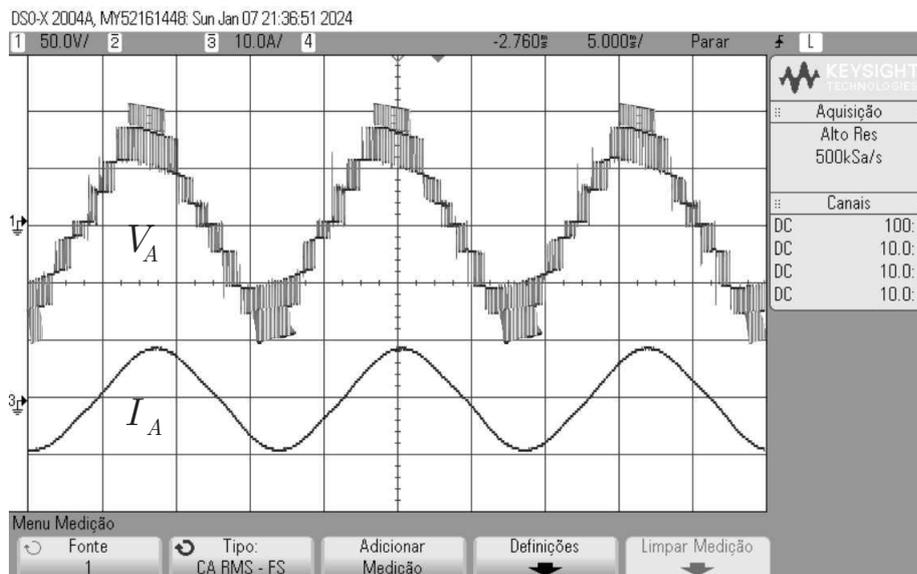


Figura 101 – Resultado da saída do inversor de 9 níveis (50V/div vert., 10A/div vert., 5ms/div hor.).

4.5 Conclusões

Neste capítulo, foi introduzido um inversor do tipo SMC, integrado a um conversor boost/flyback. Seguindo o mesmo padrão dos capítulos anteriores, são mostradas as análises dos modos de operação do inversor, assim como o estudo de suas características. Sua comparação com o inversor T 2 -ANPC-9L (ZHANG et al., 2019), recentemente introduzido na literatura técnica, mostrou que o inversor proposto possui melhor desempenho quanto as perdas, estresse térmico e distorção harmônica, o que o torna um ótimo candidato para a produção de nove níveis. Nota-se que a utilização do conversor CC-CC para manutenção da tensão dos capacitores flutuantes possibilitou uma fácil implementação para obtenção de nove níveis. E isto, utilizando a mesma estrutura utilizada para produzir cinco e sete níveis, o que representa uma vantagem considerável, além de possibilitar uma redução da complexidade de controle quando comparada às topologias já existentes.

5 | Conclusões gerais e trabalhos futuros

5.1 Conclusões gerais

Após revisar as tecnologias de inversores multiníveis existentes, este trabalho investigou o comportamento de um inversor, o DCF-5, de cinco níveis do tipo duplo capacitor flutuante duplo (DCF), alimentado por um conversor boost/flyback utilizando um transformador de alta frequência. O conversor boost/flyback, além de alimentar o barramento CC, impõe as tensões nos capacitores flutuantes. Isto leva à não necessidade de regulação da tensão dos capacitores flutuantes através de controle usando a modulação de largura de pulsos, ou de outro tipo. O DCF-5 apresentou perdas e estresses térmicos menores do que aqueles encontrados em topologias de cinco níveis, inclusive os compostos de apenas seis interruptores, já existentes na literatura técnica. Isto se deve ao fato de que não há necessidade de controle da tensão dos capacitores flutuante através de modulação, com conseqüente redução nas perdas de chaveamento. A integração com o elevador de tensão permite aumentar a tensão de entrada por um fator de dois, reduzindo o requisito de tensão do barramento CC em 50%. A imposição de uma tensão fixa nos capacitores flutuantes, emulando os inversores a “fontes flutuantes”, permite a operação do conversor tanto com carga ativa como reativa. Na seqüência, foi examinada a modificação necessária para operação com sete níveis. Esta modificação elevou de seis para oito o número de interruptores, resultando em uma topologia inédita, o DCF-7L, na qual a saída é conectada ao ponto central do barramento CC. tipo d uma outra já existente, o SMC, originalmente inventado para operar com cinco níveis. Os sete níveis foram obtidos através da modificação da relação entre a tensão de barramento e as tensões nos terminais dos capacitores flutuantes, que passa a ser de $1/3$ em vez de $1/4$ usado no inversor de cinco níveis. A mesma relação de $1/3$ permite a operação do SMC em sete níveis. Foram investigadas a integração utilizando um conversor boost/flyback com um ou dois enrolamentos no secundário de um transformador de alta frequência. As estruturas com

dois enrolamentos no secundário, DCF-2S e SMC – 2S, se mostraram mais performantes do que aquelas com um enrolamento. Os estudos também mostraram que essas duas estruturas possuem desempenho semelhante, no tocante às perdas, aos estresses térmicos e às distorções de tensão e de corrente, e superiores, ou levemente inferiores, aos de outros inversores de sete níveis encontrados na literatura técnica. A escolha entre o SMC – 2S e o DCF – 2S, para sete níveis, é indiferente. Entretanto, somente o SMC permite operação com nove níveis. O SMC-9L mostrou possuir melhor desempenho do um conversor de 9 níveis, recentemente apresentado na literatura, quanto as perdas, estresse térmico e distorção harmônica. Isto o torna um ótimo candidato para a produção de nove níveis. O trabalho mostrou que a utilização do conversor cc-cc para manutenção da tensão dos capacitores flutuantes possibilitou uma fácil implementação para obtenção de cinco a nove níveis. Isto foi possível, inclusive, com a utilização de uma mesma estrutura, também, utilizada para produzir cinco e sete níveis, o SMC.

Resultados de simulação, utilizando o PSIM, e experimentais, utilizando uma bancada já existente no laboratório, permitiram validar o estudos teóricos. A seguir são salientados alguns pontos resultantes do estudo.

1. São propostos dois novos inversores multiníveis híbridos do tipo capacitor flutuante duplo inversor com grameamento ativo do ponto neutro (ANPC), integrados, cada qual, a um conversor CC-CC; tal integração permite a imposição da tensão nos capacitores flutuantes evitando a necessidade de um controle complexo para regulação dessas tensões. Isto permite utilizar apenas uma única fonte de alimentação de baixo valor. Um dos conversores é chamado de DCF, com o melhor desempenho entre os de cinco níveis.; ou outro existente na literatura, é chamado pela sigla SMC. A mesma estrutura SMC para cinco níveis permite operação em sete e nove níveis. Isto é uma grande vantagem em relação ao custo da estrutura.

2. A modificação do conversor DCF permite chegar a sete níveis, enquanto o SMC pode chegar a nove níveis, exatamente com a mesma estrutura do caso de cinco níveis, apenas mudando as relações das tensões nos terminais dos capacitores.

3. Ainda, foi concebida uma topologia inversora de cinco níveis com capacidade de elevação da tensão de saída, sem a utilização de conversores cc-cc elevadores de tensão. Por suas características, esse inversor parece ser uma alternativa multinível interessante para aplicações em sistemas fotovoltaicos ou como utilidade de energia renovável.

4. Resultados experimentais confirmam os resultados da simulação de alguns dos inversores, validando o princípio de operação dos mesmos.

5. Os inversores propostos podem ser aplicados em sistemas de baixa e média

tensão, mas não houve comparação direta de todos.

5.2 Trabalhos futuros

Como trabalhos futuros, poderão ser realizadas análises com outros tipos de modulações de chaveamento para os interruptores da topologia do inversor, sendo verificado o ganho com relação a utilizada atualmente. Além disso, poderão ser analisados outros tipos de conversores CC-CC que possam ser integrados ao inversor, trazendo vantagens com relação a sua aplicação e melhoria da qualidade dos sinais de saída.

Referências

- ANDRADE, A. S.; SILVA, E. R. da. DC-link control of a three-level NPC inverter fed by shaded photovoltaic system. In: *13th Brazilian Power Electronics Conference and 1st Southern Power Electronics Conference (COBEP/SPEC)*. [S.l.: s.n.], 2015. p. 1–5. Citado 2 vezes nas páginas 7 e 8.
- BAHRAMI, A.; NARIMANI, M. A new five-level t-type nested neutral point clamped (t-nnpc) converter. *IEEE Transactions on Power Electronics*, IEEE, v. 34, n. 11, p. 10534–10545, 2019. Citado na página 20.
- BAHRAMI, A. et al. Current control of a seven-level voltage source inverter. *IEEE Transactions on Power Electronics*, IEEE, v. 35, n. 3, p. 2308–2316, 2019. Citado 4 vezes nas páginas 13, 67, 68 e 69.
- BAKER, R. H. *High-voltage converter circuit*. 1980. US Patent 4,203,151. Citado na página 2.
- BAKER, R. H.; BANNISTER, L. H. *Electric power converter*. 1975. US Patent 3,867,643. Citado na página 3.
- BHAGWAT, P. M.; STEFANOVIC, V. Generalized structure of a multilevel pwm inverter. *IEEE Transactions on Industry Applications*, IEEE, n. 6, p. 1057–1069, 1983. Citado na página 5.
- BRUCKNER, T. Loss balancing in three-level voltage source inverters applying active npc switches. In: IEEE. *2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No. 01CH37230)*. [S.l.], 2001. v. 2, p. 1135–1140. Citado na página 5.
- CHAUDHURI, T. et al. Cross-connected intermediate level (ccil) voltage source inverter. In: IEEE. *2007 IEEE Power Electronics Specialists Conference*. [S.l.], 2007. p. 490–496. Citado 2 vezes nas páginas 9 e 80.
- COOLEY, J. Switched capacitor dc/dc marx converter loss models. *Advanced Power Electronics Final Project, Massachusetts Institute of Technology*, 2008. Citado na página 7.
- CORZINE, K. A.; MAJEETHIA, S. K. Analysis of a novel four-level dc/dc boost converter. *IEEE Transactions on Industry Applications*, IEEE, v. 36, n. 5, p. 1342–1350, 2000. Citado 2 vezes nas páginas 7 e 8.
- GATEAU, G.; MEYNARD, T.; FOCH, H. Stacked multicell converter (smc): Properties and design. In: IEEE. *2001 IEEE 32nd Annual Power Electronics Specialists Conference (IEEE Cat. No. 01CH37230)*. [S.l.], 2001. v. 3, p. 1583–1588. Citado 4 vezes nas páginas 9, 47, 80 e 81.

HUANG, J.; CORZINE, K. A. Extended operation of flying capacitor multilevel inverters. *IEEE Transactions on power electronics*, IEEE, v. 21, n. 1, p. 140–147, 2006. Citado na página 7.

KESHMIRI, N.; NARIMANI, M. A new 7-level voltage source converter for medium-voltage application. In: IEEE. *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.]. p. 3649–3654. Citado na página 13.

KOU, X.; CORZINE, K. A.; FAMILIANT, Y. L. Full binary combination schema for floating voltage source multi-level inverters. In: IEEE. *Conference Record of the 2002 IEEE Industry Applications Conference. 37th IAS Annual Meeting (Cat. No. 02CH37344)*. [S.l.], 2002. v. 4, p. 2398–2404. Citado na página 6.

KOURO, S. et al. Npc multilevel multistring topology for large scale grid connected photovoltaic systems. In: IEEE. *The 2nd International Symposium on Power Electronics for Distributed Generation Systems*. [S.l.], 2010. p. 400–405. Citado na página 8.

LACERDA, A. *Novo inversor híbrido de cinco níveis alimentado por conversor cc-cc do tipo boost/flyback*. Dissertação de mestrado — Universidade Federal da Paraíba (UFPB), Joao Pessoa, 2019. Citado na página 65.

LACERDA, A. V. d. M. et al. Use of a boost-forward dc-dc voltage source to feed a four-level flying capacitor inverter. Citado na página 8.

LACERDA, A. V. d. M. et al. New five-level flying capacitor inverter fed by a boost-flyback dc-dc voltage source. In: IEEE. *2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*. [S.l.], 2019. p. 1–6. Citado na página 11.

LACERDA, A. V. d. M. et al. New five-level flying capacitor inverter fed by a boost-flyback dc-dc voltage source. In: IEEE. *2019 IEEE 15th Brazilian Power Electronics Conference and 5th IEEE Southern Power Electronics Conference (COBEP/SPEC)*. [S.l.], 2019. p. 1–6. Citado na página 46.

LEE D.-Y, C. I.; HYUN, D. A new pwm dc/dc converter with isolated dual output using single power stage. *Proc. of IEEE Industry Applications Conference (IAS)*, p. 1889–1895, 2001. Citado na página 14.

LEE, S. S.; LEE, K.-B. Dual-t-type seven-level boost active-neutral-point-clamped inverter. *IEEE Transactions on Power Electronics*, IEEE, v. 34, n. 7, p. 6031–6035, 2019. Citado 2 vezes nas páginas 13 e 80.

MANJREKAR, M. D.; LIPO, T. A. A hybrid multilevel inverter topology for drive applications. In: IEEE. *APEC'98 Thirteenth Annual Applied Power Electronics Conference and Exposition*. [S.l.], 1998. v. 2, p. 523–529. Citado na página 6.

MANJREKAR M.D, S. P.; LIPO, T. Hybrid multilevel power conversion system: a competitive solution for high-power applications. *IEEE Trans. on Industry Appl.*, v. 36, n. 3, 2000. Citado na página 4.

- MARCHESONI, M.; MAZZUCHELLI, M.; TENCONI, S. A non conventional power converter for plasma stabilization. *Proc. of PESC'88*, p. 212–219, 1988. Citado na página 3.
- MARQUARDT, R. A new modular voltage source inverter topology. In: *Conf. Rec. EPE 2003*. [S.l.: s.n.], 2003. Citado na página 5.
- MENENDEZ, S. *Aportacion al control del convertidor CC/CA de tres niveles*. Tesis Doctoral — Universitat Politècnica de Catalunya, Catalunya, 2004. Citado 2 vezes nas páginas 3 e 4.
- MEYNARD, T.; FOCH, H. Multi-level conversion: high voltage choppers and voltage-source inverters. *Power Electronics Specialists Conference. PESC'92*, p. 397–403, 1992. Citado na página 2.
- NABAE, A.; TAKAHASHI, I.; AKAGI, H. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17, n. 5, p. 518–523, 1981. Citado 2 vezes nas páginas 2 e 5.
- PULIKANTI, S. R.; KONSTANTINOU, G.; AGELIDIS, V. G. Hybrid seven-level cascaded active neutral-point-clamped-based multilevel converter under she-pwm. *IEEE Transactions on Industrial Electronics*, IEEE, v. 60, n. 11, p. 4794–4804, 2012. Citado na página 9.
- SANTOS, E. C. dos et al. Nested multilevel configurations. In: IEEE. *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.], 2012. p. 324–329. Citado na página 5.
- SIWAKOTI, Y. et al. A novel seven-level active neutral point clamped converter with reduced active switching devices and dc-link voltage. *IEEE Transactions on Power Electronics*, IEEE, 2019. Citado 4 vezes nas páginas 12, 67, 68 e 69.
- SUGIMOTO, H. *Unexamined patent publication, laid open patent*. 1982. 80260 (Japan). Citado na página 2.
- VITORINO, M. A. et al. Compensation of dc-link oscillation in single-phase-to-single-phase vsc/csc and power density comparison. *IEEE Transactions on Industry Applications*, IEEE, v. 50, n. 3, p. 2021–2028, 2013. Citado na página 1.
- WANG, H.; LIU, Y.-F.; SEN, P. C. A neutral point clamped multilevel topology flow graph and space npc multilevel topology. In: IEEE. *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.], 2015. p. 3615–3621. Citado na página 6.
- WANG, H. e. a. A new six-switch five-level active neutral point clamped inverter for pv applications. *IEEE Trans. Power Electron*, v. 32, n. 9, p. 6700 – 6715, 2017. Citado 2 vezes nas páginas 34 e 80.
- XIAO, D.; NARIMANI, M. Current control of a new five-level nested t-type converter with model predictive control. In: IEEE. *2019 IEEE Energy Conversion Congress and Exposition (ECCE)*. [S.l.]. p. 6352–6356. Citado na página 12.

ZHANG, Y. et al. A nine-level inverter for low-voltage applications. *IEEE Transactions on Power Electronics*, IEEE, v. 35, n. 2, p. 1659–1671, 2019. Citado 2 vezes nas páginas 80 e 87.

6 | Apêndice

6.1 Apresentação da Bancada

A bancada utilizada faz parte do Laboratório de Eletrônica Industrial e Acionamento de Máquinas (LEIAM) e é composta por um kit de desenvolvimento ezDSP F28335, desenvolvido pela Spectrum Digital, e é baseado no DSP TMS320F28335. Esse kit de desenvolvimento é conectado via porta USB ao computador. Há uma placa de interface que faz a conexão desse kit de desenvolvimento aos drivers e placas de condicionamento de sinal. As placas de condicionamento de sinal estão localizadas na parte posterior da estrutura. A comunicação entre o DSP e os drivers de acionamento das chaves é realizada através de cabos de fibra ótica. Ainda na parte posterior é possível observar os disjuntores trifásicos, utilizados para a alimentação da parte de potência da bancada, que é proveniente do varivolt. Também é possível observar o disjuntor monofásico das fontes de alimentação dos drivers e sensores. Essas fontes fornecem saídas de ± 15 e 5 V. Foram utilizados módulos de chaves IGBT modelo SKM100GB12T4 para os braços com dois dispositivos, já para a chave bidirecional, foi utilizado o modelo SK30GB123/SK40GB123. As chaves foram ativadas e desativadas pelos drivers através da imposição de níveis de tensão de 15V e -7V, respectivamente, entre os terminais porta e emissor (Vge).

Deste modo, para obtenção dos resultados, foi utilizada alimentação de 15 volts para os drivers. Deve ser levado em consideração ainda, que para a verificação do correto funcionamento de cada um deles, foi feito a verificação dos sinais 'Vge', sendo visto se os sinais de -7 volts (desativado) e 15 volts (ativado) eram vistos pelo osciloscópio. Esses testes se fizeram necessários por muitas vezes em que não eram observados os sinais desejados na saída, para verificação o correto funcionamento do chaveamento. Assim como, se fez necessário algumas vezes testes nos cabos flats que eram conectados das placas de condicionamento para as os drivers, identificando alguns casos de cabos danificados.

Durante a aquisição dos resultados, foi feito uso de quatro multímetros digitais, cada um conectado aos capacitores do barramento maior e aos capacitores do barramento

menor, desta forma, foi possível ter o controle das tensões que eram armazenadas neles. Ainda, é notado uma pequena diferença entre as tensões que eram desejadas, ficando em torno de 5% apenas, estando dentro de um valor aceitável.

No algoritmo de chaveamento das chaves dos inversores, é adicionado uma variável com nome '*adj*' que é responsável por realizar o ajuste necessário no ciclo de trabalho das chaves para redução dos picos de tensão no momento do chaveamento, esses ajustes foram realizados manualmente, sendo verificado os valores ideais para cada região de operação dos inversores. Esses ajustes foram essenciais para melhoria da qualidade do sinal que era observado, além de diminuir a possibilidade de acionamento da proteção dos drivers. Neste contexto, é criado a referência que será entrada para a função dos PWMs, a fim de disponibilizar o sinal que será utilizado para as chaves.

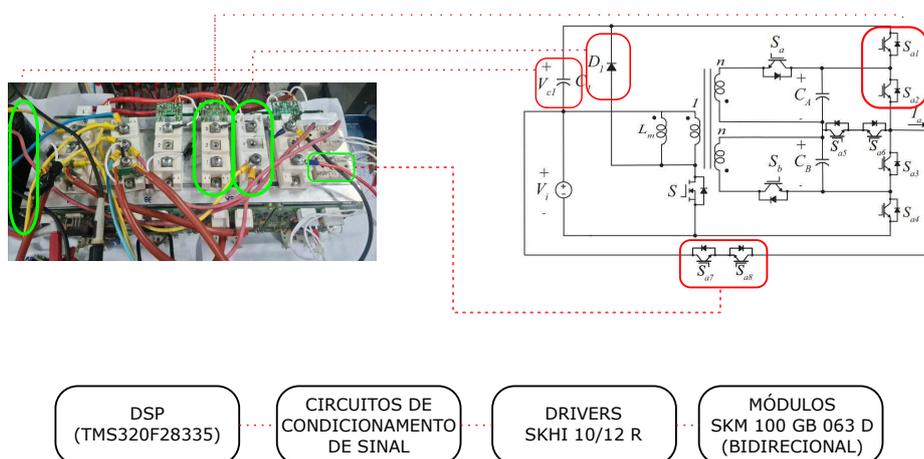


Figura 102 – Descrição da Montagem da Bancada.

Ao realizar a montagem da topologia, foi levado em consideração a configuração dos módulos do fornecedor, em que é necessário se ter um cuidado devido a distribuição dos pontos de conexão do braço de IGBT de forma diferente do que é observado na parte física da chave. Com relação a bidirecional, foi possível realizar uma conexão dos comandos para as duas chaves, uma vez que as duas são acionadas ao mesmo tempo, esta característica permitiu uma conexão mais direta e a redução de um driver.

Deste modo, a montagem do circuito segue sendo montado conforme apresentado na Figura 103. Deve ser realizada a conexão com cuidado, uma vez que os pontos de acoplamento dos módulos do fornecedor da chave não seguem a numeração lógica, sendo o número '1' do módulo, o ponto intermediário do braço com duas chaves conectadas em série. Os módulos das chaves contam ainda com a inserção de uma placa de condicionamento dos sinais de comando, para evitar picos de tensão em que esta placa fica inserida próxima ao ponto do terminal '3', ponto superior do braço dos IGBTs.

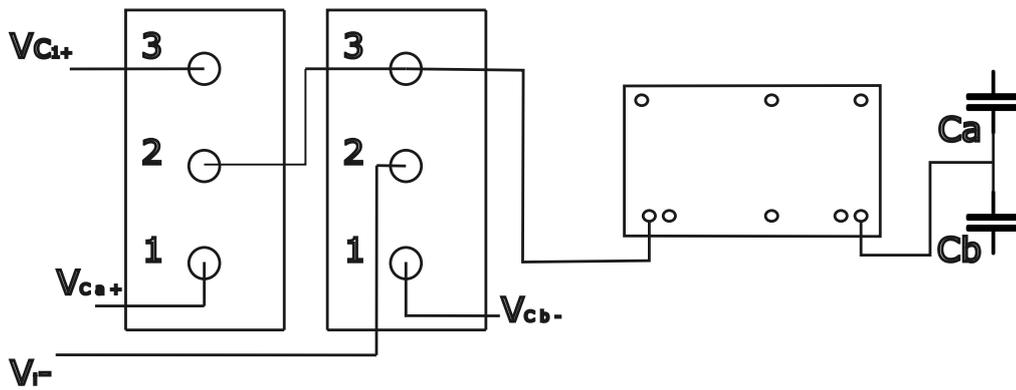


Figura 103 – Conexão física da topologia de 5 níveis nas chaves.

Um ponto relevante a ser levado em consideração, é que os drivers presentes nas bancadas eram constituídos de sinal duplo de saída, com sinal enviado pelo DSP e sinal complementar, conforme mostrado na Figura 105. Deste modo, como em alguns casos, não se tinha a complementaridade das chaves, a exemplo das chaves Sa2 e Sa3, foi necessário a utilização de dois drivers separados para cada uma delas, além de ser preciso fazer a desativação do outro sinal complementar do driver, a fim de evitar que a proteção do driver fosse acionada. Esta configuração também é apresentada na Figura 105. A tensão de alimentação dos drivers é igual a $+15V$



Figura 104 – Configuração dos drivers utilizados.

Ainda, foi optado por realizar a montagem em um dissipador a parte que foi inserido em uma bancada para obtenção dos testes, isso foi feito devido a possibilidade de se ter um melhor acesso aos componentes que seriam utilizados para a topologia, mas que também trouxe alguns desafios no que diz respeito ao tamanho dos cabos necessários para conexão entre os componentes. Um ponto relevante a ser levado em consideração é que o tamanho dos cabos utilizados influencia com indutâncias parasitas, afetando no controle do chaveamento e na qualidade dos sinais observados.

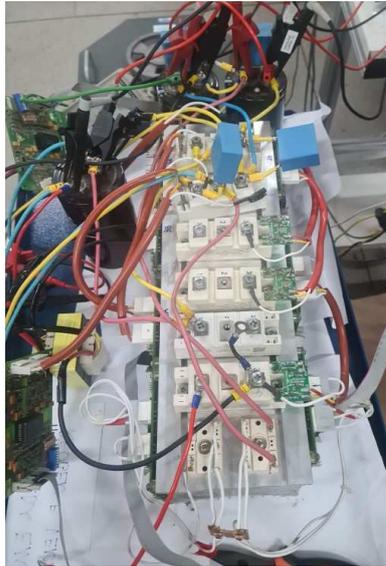


Figura 105 – Montagem final da topologia de 5 níveis.

6.1.1 O transformador

Nesta seção serão apresentados os cálculos realizados para dimensionamento do transformador que é utilizado, assim como dos semicondutores do inversor.

Indutância própria do enrolamento primário e secundário

Para um sistema com a fonte de alimentação com tensão senoidal, sendo definida pela equação (6.1).

$$v_i(t) = V_i \sqrt{2} \text{sen}(2\pi f_r t) \quad (6.1)$$

Porém, para alimentação do conversor cc-cc será realizada a retificação do sinal da fonte, ou seja, a tensão aplicada no enrolamento primário do conversor será igual ao módulo da tensão da fonte. Dessa forma, é possível encontrar a corrente que passa no enrolamento primário do transformador, sendo dada pela equação (6.2).

$$i_p(t) = \frac{|v_i(t)|}{L_p} t \quad (6.2)$$

Sendo L_p a indutância própria do enrolamento primário do transformador e t o intervalo de tempo. O valor máximo da corrente que passa no primário é dada através da equação (6.3).

$$i_{p\text{pico}}(t) = \frac{V_i \sqrt{2}}{L_p} DT_s \quad (6.3)$$

É possível ainda calcular a corrente média que flui durante um período de comutação através da equação de valor médio de um sinal, resultando na equação (6.4).

$$i_{pmed}(t) = \frac{v_i(t)D^2T_s}{2L_p} \quad (6.4)$$

Já para o enrolamento secundário, a corrente de pico é calculada através da relação entre a corrente de pico no primário e a razão do número de espiras entre os enrolamentos secundário e primário, pela equação (6.5).

$$i_{spico}(t) = \frac{i_{ppico}(t) \cdot \eta}{n} \quad (6.5)$$

Diante disto, a corrente no enrolamento secundário é definida conforme a equação (6.6).

$$i_s(t) = i_{spico}(t) - \frac{V_o}{L_s}t \quad (6.6)$$

Sabendo que a relação entre as indutâncias próprias dos enrolamentos primário e secundário são dadas através da equação (6.7).

$$n^2 = \frac{L_s}{L_p} \quad (6.7)$$

Fazendo a manipulação da equação, é obtida a equação que fornece a indutância própria do secundário, mostrada na equação (6.8).

$$L_s = L_p n^2 \quad (6.8)$$

6.1.1.1 Valor Eficaz e Médio das correntes nos enrolamentos

A partir da equação (6.2), o cálculo da corrente eficaz no enrolamento primário do transformador é dada através da equação (6.9), fazendo uso da equação de valor eficaz de um sinal.

$$i_{prms}(t) = \sqrt{\frac{1}{T_s} \int_0^{T_{on}} i_p(t)^2 dt} = I_{ppico} \text{sen}(2\pi f_r t) \sqrt{\frac{D}{3}} \quad (6.9)$$

Mas, tendo que ocorre a retificação do sinal da fonte de alimentação, o valor eficaz é calculado conforme equação (6.10).

$$I_{prms} = I_{ppico} \sqrt{\frac{D}{6}} \quad (6.10)$$

Mesmo procedimento ocorre para cálculo da corrente média no enrolamento primário para um período. Apresentado na equação (6.11).

$$I_{pmed} = I_{ppico} \frac{D}{\pi} \quad (6.11)$$

Da mesma forma, o valor eficaz da corrente no secundário é obtido através da equação de valor eficaz de um sinal, obtendo a equação (6.12).

$$I_{s_{rms}} = I_{s_{pico}} \sqrt{\frac{4}{9\pi} \frac{V_i \sqrt{2} n D}{V_o}} \quad (6.12)$$

Por fim, realizando a manipulação para obtenção do valor médio da corrente no secundário, obtém-se a equação (6.13).

$$I_{s_{rms}} = \frac{I_{s_{pico}} V_i \sqrt{2} n D}{4V_o} \quad (6.13)$$

6.1.2 Tensão e Corrente no dispositivo do secundário

Para dimensionamento do dispositivo do secundário do transformador do conversor deve ser levado em consideração os critérios de tensão e corrente. Com relação aos critérios de corrente, devem ser analisados os seguintes itens.

- Valor máximo repetitivo da corrente;
- Valor médio da corrente.

Já com relação aos critérios de tensão, é levado em consideração o valor máximo de tensão reversa aplicada ao dispositivo, que é definida pela Equação (6.14).

$$V_{D_s} = V_i n \sqrt{2} + V_o \quad (6.14)$$

6.1.2.1 Dimensionamento do capacitor de saída (Co)

O capacitor de saída é calculado com base na Equação (6.15) definida nos trabalhos N.Semiconductor (2010, p.11) e Vieira (2009, p.113). Em que, f_s é a frequência de comutação do conversor, V_o é o valor médio da tensão na carga, ΔV_r é o valor da ondulação da tensão no capacitor e D é a razão cíclica do conversor.

$$C_o = \frac{I_{s_{pico}} D}{f_s V_o \Delta V_r} \quad (6.15)$$

Deve ser levado em consideração ainda que as componentes alternadas que passam pelo capacitor de saída ocasionam ondulação da tensão de saída devido à resistência série do capacitor (RSE). Diante disso, um outro parâmetro que deve ser levado em consideração para a escolha do capacitor é o valor da sua RSE. A Equação (6.16) pode ser usada em conjunto com as demais para dimensionamento do capacitor. (Ayres e Souza, s.d).

$$RSE < \frac{\Delta V_r}{I_{spico}} \quad (6.16)$$

A RSE pode variar ainda de acordo com o tipo de capacitor que é escolhido para utilização, no caso de capacitores eletrolíticos, apresentam valores elevados em altas frequências. Caso a escolha do capacitor de saída seja por do tipo de poliéster, polipropileno, etc, estes possuem valor de RSE reduzido. Mas, para realização dessa troca de capacitores, para substituição de um único capacitor eletrolítico, é preciso associação de varios capacitores.

6.1.3 O Flyback

Uma peça fundamental para o funcionamento do conversor cc-cc isolado do tipo flyback é o transformador. A frequência de operação deste elemento pode ter seu valor elevado visando a redução nas dimensões, peso e também custo dos materiais que envolvidos.

Sabendo-se que as correntes do conversor são de natureza não senoidal, tendo então componentes harmônicas, a compreensão dos efeitos da alta frequência no elemento magnético é importante.

6.1.3.1 Formas de onda da corrente

Levando em consideração um circuito em que o conversor cc-cc do tipo flyback é alimentado por uma fonte cc, é realizado o equacionamento das correntes que circulam no primário e no secundário do transformador, sendo estas definidas através das Equações (6.17) e (6.18).

$$i_p(t) = \frac{V_{cc}}{L_p} t (0 \leq t \leq DT_s) \quad (6.17)$$

$$i_s(t) = \frac{V_{cc}DT_s}{nL_p} t - \frac{V_o}{L_s} t (DT_s \leq t \leq T_s) \quad (6.18)$$

Neste caso, os símbolos " V_{cc} " é o valor médio da fonte de entrada, " L_p " e " L_s " são as indutâncias próprias dos enrolamentos primário e secundário. Já " V_o " é o valor médio da tensão de saída, " D " é ciclo de trabalho do conversor, " T_s " é o período de comutação, e por fim, " n " é a razão entre o número de espiras do secundário e do primário.

6.1.3.2 Projeto Físico do elemento magnético

É necessário inicialmente que seja definida a frequência de comutação (f_s) do conversor, em que esta é inversamente proporcional ao período de comutação (T_s).

6.1.3.3 Cálculo da indutância de magnetização

A indutância de magnetização (L_m) é responsável por realizar o armazenamento da energia. Mas, deve ser levado em consideração ainda a indutância de dispersão (L_d), que é promove uma perda intrínseca ao transformador, de forma semelhante que as perdas no ferro (P_f) e as perdas resistivas dos enrolamentos (P_e). Tendo que o valor da indutância total (L_t) será referida como a soma da indutância de magnetização mais a indutância de dispersão (L_d). Essa forma é apresentada na Equação (6.19).

$$L_t = L_m + L_d = \frac{V_i^2 D_{max}^2 \eta}{2f_s P_o} \quad (6.19)$$

A corrente total será determinada através da Equação (6.20), em que, V_i é a tensão que é aplicada ao enrolamento de maior tensão, L_t é a indutância total referida ao enrolamento de maior tensão.

$$I_L(t) = \frac{V_i}{L_t} t \quad (6.20)$$

A corrente eficaz que é aplicada ao indutor é possível ser calculada através da Equação (6.21), em que, D_{max} é o valor máximo da razão cíclica de trabalho do conversor cc-cc.

$$I_{PRMS}^2 = \frac{1}{T_s} \int_0^{D_{max} T_s} \left(\frac{V_i}{L_t} t \right)^2 dt \quad (6.21)$$

A corrente eficaz nos enrolamentos sendo então dadas através das equações a seguir.

$$I_{1RMS} = \frac{V_i}{f_s L_t} \sqrt{\frac{D_{max}^3}{3}} \quad (6.22)$$

$$I_{2RMS} = I_{1RMS} \frac{N_1}{N_2} \quad (6.23)$$

$$I_{3RMS} = I_{1RMS} \frac{N_1}{N_3} \quad (6.24)$$

Com relação a corrente média no indutor de magnetização, esta é dada através da Equação (6.25).

$$I_{L_m} = \frac{V_i D_{max}^2}{2f L_t} \quad (6.25)$$

6.1.3.4 Tipo de material do núcleo

O tipo de núcleo mais utilizado para operação em alta frequência são de material chamado de ferrite ou ferrita. O ferrite é um material cerâmico que é fabricado por

sinterização da mistura de óxido de ferro com óxido de carbono, manganês, zinco ou zinco e níquel (DIXON JR, 2000).

O núcleo armazena uma quantidade de energia que é definida pela área entre o eixo vertical da curva B-H característica do núcleo. O valor da densidade de fluxo (ΔB) é caracterizado dentro da região linear da curva B-H. A Figura 106 apresenta uma curva B-H característica para um tipo de núcleo.

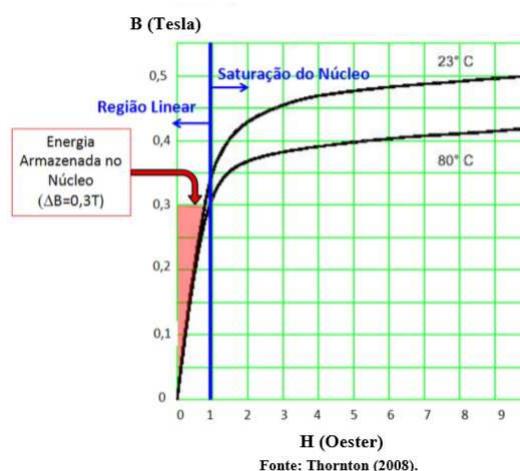


Figura 106 – Curva característica B-H do núcleo tipo quadrado.

Para transformadores do tipo *flyback*, adiciona-se um espaço, também chamado de entreferro (do inglês, *gap*). Esta adição é feita com o objetivo de causar uma modificação na curva B-H do núcleo, fazendo com que o núcleo tem uma capacidade de armazenamento maior de energia, sem ocorra a saturação. No que se diz respeito as perdas, os dois tipos de perdas que aparecem no núcleo são as perdas por histerese e as perdas por corrente parasita. As curvas de perdas para cada tipo de material são fornecidas pelos fabricantes.

6.1.3.5 Parâmetros e equacionamento para projeto

Inicialmente é necessário definir alguns parâmetros importantes para dar sequência ao dimensionamento do elemento magnético, esses parâmetros são denominados de "Dados de Entrada", estão inclusos nesses dados: densidade de fluxo máximo (B), fator de ocupação do primário (K_p), fator de ocupação do primário (K_w), rendimento da estrutura (η), queda de tensão, razão cíclica máxima (D_{max}) e a permeabilidade no vácuo (μ_o).

- Cálculo da corrente de pico no primário:

A corrente de pico para projeto pode ser equacionada com base na potência de saída (P_o), o rendimento (η), tensão mínima de entrada do conversor ($V_{i_{min}}$) e razão cíclica máxima (D_{max}).

$$I_p = \frac{2P_o}{\eta V_{imin} D_{max}} \quad (6.26)$$

- Escolha do núcleo:

A escolha do tipo do núcleo é feito conforme as condições já especificadas. Com relação ao equacionamento da área, esta é feita com base na densidade de fluxo (ΔB), potência de saída, fator de ocupação do primário (K_p), frequência de comutação (F_s) e densidade de corrente (J).

$$AeAw = \frac{1,1P_o10^4}{K_w K_p J F_s \Delta B} \quad (6.27)$$

- Cálculo do entreferro:

Para os transformadores do tipo flyback, é adicionado o entreferro para que se tenha a mudança na curva B-H do núcleo e ter aumento da capacidade do armazenamento de energia. O equacionamento para encontro desse *gap* é feito conforme a seguir:

$$\Delta W = \frac{P_o}{\eta F_s} \quad (6.28)$$

$$\delta = \frac{2\mu_o \Delta W}{\Delta B^2 A_e} \quad (6.29)$$

Por fim,

$$lg = \frac{\delta}{2} \quad (6.30)$$

- Cálculo do número de espiras:

Para cálculo do número de espiras, é seguido uma sequência em que se calculo inicialmente o número de espiras do primário, posteriormente a relação n entre o número do secundário e do primário, e por fim, o número de espiras do secundário.

$$N_p = \frac{\Delta B \delta}{\mu_o I_p} \quad (6.31)$$

$$\frac{N_s}{N_p} = n = \frac{V_{out} + V_d}{V_{inmin}} \frac{1 - D_{max}}{D_{max}} \quad (6.32)$$

Por fim,

$$N_s = n N_p \quad (6.33)$$

- Perdas no núcleo:

Importante ainda se ter uma base do quanto de perdas ocorre no núcleo do transformador, sendo feito conforme Equação (6.34).

$$P_{nucleo} = \Delta B^{(2,4)}(K_h F_s + K_e F_s^2) V_e \quad (6.34)$$

- Escolha da seção dos condutores (Primário):

Fazer a verificação da seção dos condutores dos enrolamentos também é necessário, isso é feito com o objetivo de se escolher qual fio será utilizado na construção. O dimensionamento é feito da seguinte forma.

$$I_{p_{ef}} = I_p \sqrt{\frac{D_{max}}{3}} \quad (6.35)$$

$$S_p = \frac{I_{p_{ef}}}{J} \quad (6.36)$$

- Escolha da seção dos condutores (Secundário):

Já para o secundário, o seguinte procedimento é realizado.

$$I_s = I_p \frac{N_p}{N_s} \quad (6.37)$$

$$I_{s_{ef}} = I_s \sqrt{\frac{1 - D_{max}}{3}} \quad (6.38)$$

$$S_s = \frac{I_{s_{ef}}}{J} \quad (6.39)$$

- Cálculo da resistência do fio:

$$R_{fio_p} = N_p \frac{\rho_{23}}{N_{fios_p}} l_t \quad (6.40)$$

$$R_{fio_s} = N_s \frac{\rho_{22}}{N_{fios_s}} l_t \quad (6.41)$$

- Perdas no cobre:

$$P_{cobre} = R_{fio_p} I_{p_{ef}}^2 + R_{fio_s} I_{s_{ef}}^2 \quad (6.42)$$

- Perdas totais:

$$P_{totais} = P_{nucleo} + P_{cobre} \quad (6.43)$$

6.2 Análise Quantitativa dos Componentes da Topologia

Uma análise do comportamento do inversor integrado monofásico é feita a fim de obter os parâmetros que determinam o dimensionamento dos componentes da topologia, sendo descrito o transformador flyback, o inversor e o projeto dos capacitores. Estas definições podem ser observadas nas subseções a seguir.

6.2.0.1 Dimensionamento dos Semicondutores

O dimensionamento dos semicondutores é realizado através do cálculo das tensões máximas a que estes dispositivos serão submetidos, assim como, a corrente máxima que irá fluir por estes, este procedimento faz com que a escolha do modelo dos dispositivos seja feita de forma adequada, diminuindo a chance de problemas na parte prática.

A tensão no diodo ou interruptor do secundário do transformador é dada através da Equação (6.44). Em que " n " é o valor da relação de espiras do secundário e do primário, V_i tensão de entrada e V_o tensão no capacitor de saída.

$$V_{D_s} = V_i n + V_o \quad (6.44)$$

Já a corrente que flui por esses dispositivos já foram apresentadas seus cálculos, é igual a corrente do secundário do transformador.

A tensão sobre o diodo D_1 no caso do conversor boost-flyback é dada pela Equação (6.45), sendo igual a soma da tensão de entrada mais a tensão armazenada no capacitor C_1 .

$$V_{D_1} = V_i + V_{C_1} \quad (6.45)$$

6.2.1 Projeto dos Capacitores

O dimensionamento dos capacitores do barramento CC (C_{cc}) inversor é feito a partir da análise das ondulações de tensão observadas nestes componentes. Neste caso, a corrente da carga é dividida de forma igual entre os capacitores, com isso, através da tensão de pico é possível montar o equacionamento para determinação dos valores dos capacitores do barramento.

$$\Delta V_{C_{cc}} = 2V_{C_{ccp}} \quad (6.46)$$

Sabendo que a corrente que fluirá pelos capacitores têm um comportamento senoidal, é possível ainda fazer a descrição da ondulação da tensão dos capacitores da seguinte forma:

$$\Delta V_{C_{cc}} = \frac{i_{op}}{2\omega C_{cc}} \quad (6.47)$$

Tendo que i_{op} é a corrente de pico da carga, $\omega = 2\pi f_o$, em que f_o é a frequência fundamental. Neste caso, as capacitâncias do barramento deverão ser iguais, sendo $C_{cc} = C_1 = C_2$.

Durante o semi-ciclo positivo, a corrente flui pelo capacitor flutuante no sentido de carregamento, enquanto no semi-ciclo negativo, a corrente que flui pelo capacitor, segue o sentido de descarregamento. Em determinados estados de chaveamento, a energia que está sendo armazenada no capacitor flutuante é transferida para a carga, sendo então, sua corrente de descarga definida pela corrente de carga.

A partir das definições elétricas das características do capacitor, sua carga elétrica pode ser definida pela integração do período de carga do capacitor flutuante, sendo:

$$\Delta Q_{C_f} = \frac{1}{\omega} \int_{\theta_1}^{\pi-\theta_1} i_{op} \sin(\omega t - \phi) d\omega t \quad (6.48)$$

Nos casos em que a carga tem comportamento resistivo, a corrente de carga no primeiro e segundo nível de tensão são dadas pela Equação (6.49) e Equação (6.50)

$$\frac{1V_{cc}}{2R_o}, \theta_2 \leq \theta \leq \pi - \theta_2 \quad (6.49)$$

$$\frac{1V_{cc}}{4R_o}, \theta_1 \leq \theta \leq \theta_2 \text{ e } \pi - \theta_2 \leq \theta \leq \pi - \theta_1 \quad (6.50)$$

Chega-se, então, realizando as substituições necessárias, a equação que define o cálculo da ondulação da tensão do capacitor flutuante.

$$\Delta V_{C_f} = \frac{1}{\omega C_f} \left(\int_{\theta_2}^{\pi-\theta_2} \frac{1V_{cc}}{2R_o} d\omega t \right) + 2 \times \left(\int_{\theta_1}^{\theta_2} \frac{1V_{cc}}{4R_o} d\omega t \right) \quad (6.51)$$

Resolvendo a equação e reajustando, chega-se a determinada equação:

$$\Delta V_{C_f} = \frac{V_{cc}}{\omega R_o C_f} \left(\frac{3\pi}{2} - 2\theta_1 - \theta_2 \right) \quad (6.52)$$

Por fim, pode-se fazer a determinação da taxa da corrente de carregamento, através da relação da Equação (6.54).

$$\delta = \frac{C_f}{C_{cc}} \quad (6.53)$$

Desta forma, pode-se fazer a determinação da corrente máxima que fluirá pelo capacitor flutuante através da relação entre índice de modulação e a relação dos capacitores do barramento e flutuante, tendo então que:

$$i_{C_{fmax}} = \frac{m_i}{1 - m_i} \frac{1 + \delta}{1 + 2\delta} i_{op} \quad (6.54)$$

Onde, m_i é o índice de modulação utilizado na topologia.

A escolha da frequência de operação do conversor CC-CC é baseada na relação entre a redução do volume e o ônus do aumento das perdas, uma vez que ambos são inversamente proporcionais, tendo como objetivo encontrar um ponto ótimo entre as duas curvas para determinação da frequência. A Fig. 107(a) mostra a redução do volume do núcleo com o aumento da frequência de comutação, a Fig. 107(b) mostra as perdas com o aumento da frequência de comutação. A tensão de corrente e tensão dos dispositivos BFC é mostrada na Fig. 31, a tensão sobre a chave S é igual à soma da tensão de entrada e a tensão armazenada no capacitor C_1 , o mesmo ocorre para o diodo D_1 , a tensão sobre as chaves S_a e S_b é igual à tensão do secundário e terciário somada à tensão armazenada nos capacitores C_a e C_b .

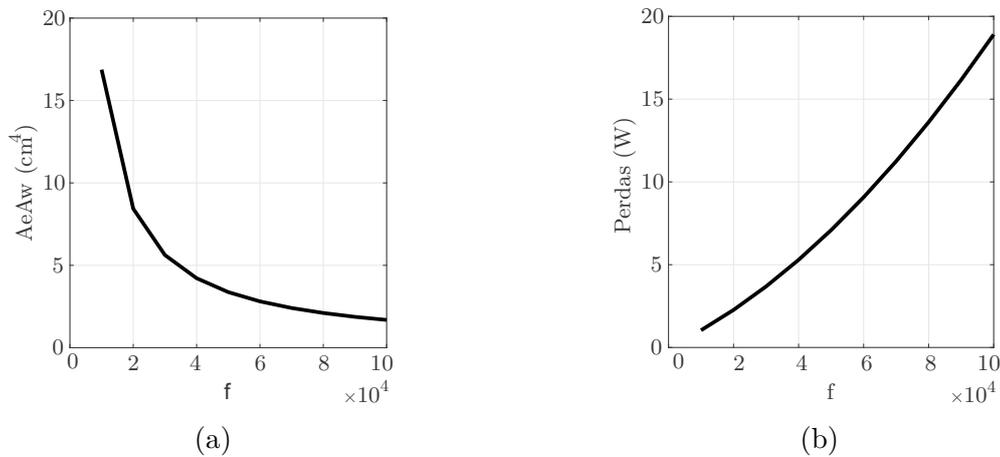


Figura 107 – Resultados de Simulação: (a) Volume do núcleo do transformador. (b) Perdas no núcleo do transformador.