



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Unidade Acadêmica de Engenharia Elétrica

Julia Thais Batista Gomes

Projeto de Oscilador de Anel Baseado em Inversores com Tecnologia de Nós Avançados

Campina Grande - PB, Brasil
16 de abril de 2024

Julia Thais Batista Gomes

Projeto de Oscilador de Anel Baseado em Inversores com Tecnologia de Nós Avançados

Projeto de Conclusão de Curso submetido à Coordenação de Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, Campus Campina Grande, como parte dos requisitos necessários para obtenção do título de Graduada em Engenharia Elétrica.

Área de Concentração: Eletrônica

Orientador: Prof. Marcos Ricardo Alcântara Morais, Dr.

Campina Grande - PB, Brasil

16 de abril de 2024

Julia Thais Batista Gomes

Projeto de Oscilador de Anel Baseado em Inversores com Tecnologia de Nós Avançados

Projeto de Conclusão de Curso submetido à
Coordenação de Graduação em Engenharia
Elétrica da Universidade Federal de Campina
Grande, Campus Campina Grande, como
parte dos requisitos necessários para obten-
ção do título de Graduada em Engenharia
Elétrica.

Aprovado em: 12 de abril de 2024

**Prof. Marcos Ricardo Alcântara
Morais, Dr.**
Orientador

**Prof. Gutemberg Gonçalves dos
Santos Júnior, Dr.**
Avaliador

Campina Grande - PB, Brasil
16 de abril de 2024

Agradecimentos

À minha mãe, Edileide, pelo apoio e confiança, sua presença e influência positiva em minha vida foram fundamentais não apenas para que eu alcançasse a graduação, mas também para diversas outras conquistas. Mesmo diante de adversidades, ela se revela uma pessoa extraordinária. Agradeço por escolher, todos os dias, ser minha mãe.

Ao meu irmão, Italo, pela parceria e confiança de sempre e por ser um exemplo diário de integridade e caráter. Ao meu pai, Tenistocle, pela constante presença em minha vida mesmo diante de uma diferente existência.

As minhas famílias: Batista e Gomes, em nome dos meus avós: Socorro e Eurípedes Gomes (em memória), Edileusa e Luizinho Batista. O incentivo de vocês para seguirmos o caminho da educação e buscarmos a mudança de nossas realidades foram essenciais para a minha escolha e contínua persistência nessa trajetória.

Aos meus amigos do curso: Ygor, Analice, Talita e Neta pelo companheirismo para enfrentarmos os desafios da graduação e tantos momentos especiais que vivemos, assim como todas as pessoas que participaram da minha caminhada nessa trajetória.

Ao meu gerente de estágio, Felipe Murcia, pela ajuda com leiaute e métodos mais eficientes para trabalhar com projeto analógico. Ao engenheiro Heiner Cubas pelo suporte com esquemático e simulação.

Também mencionar e agradecer pela oportunidade de participar como aluna PDI no VIRTUS - UFCG, sendo orientada pelo engenheiro Antonio Agripino da Costa Filho, que me introduziu a essa imensidão que é a área de analógico.

Ao meu orientador, Doutor Marcos Ricardo Alcântara Moraes, pela orientação neste trabalho, por me apresentar diversas possibilidades de desenvolvimento, além das conversas construtivas que influenciaram nas decisões que pretendo seguir com a área de analógico. Suas contribuições foram fundamentais para o meu crescimento profissional e acadêmico.

"Quando o homem decidir reformar a sua consciência, o mundo tomará outro roteiro."

(Carolina Maria de Jesus; **Provérbios**, 1963)

Resumo

A demanda crescente por osciladores de alta velocidade para geração de sinais de referência tem impulsionado a popularidade dos osciladores de anel. Neste contexto, este trabalho propõe o projeto de um oscilador de anel utilizando tecnologia de nós avançados, com base em um GPDK disponibilizado pela Cadence. Ferramentas de desenvolvimento de circuitos integrados analógicos, tal como Virtuoso da empresa Cadence, foram empregadas para conceber tanto o esquemático quanto o leiaute do oscilador, bem como para a verificação do projeto e simulação para validar o circuito. Os resultados de simulação demonstram que o oscilador apresenta uma frequência em torno de $2,4\text{ GHz}$ e *jitter* determinístico em 88 ps considerando processo típico e temperatura de 25° . Conclui-se que este oscilador pode ser empregado como um gerador de *clock* em aplicações que demandam altas frequências, mas que a precisão do sinal não seja tão crítica.

Palavras-chaves: Mosfet, FinFET, Inversor CMOS, Oscilador em Anel, Projeto de Circuito Integrado Analógico, Cadence Virtuoso, Nós Avançados, *Jitter*, Frequência, Clock

Abstract

The increasing demand for high-speed oscillators for generating reference signals has driven the popularity of ring oscillators. In this context, this work proposes the design of a ring oscillator using advanced node technology, based on a GPDK made available by Cadence. Analog integrated circuit development tools, such as Virtuoso from Cadence, were used to design both the schematic and layout of the oscillator, as well as for design verification and simulation to validate the circuit. The simulation results demonstrate that the oscillator has a frequency of around 2.4 GHz and a deterministic jitter of 88 ps considering a typical process and temperature of 25° . It is concluded that this oscillator can be used as a clock generator in applications that demand high frequencies, but where signal accuracy is not so critical.

Key-words: Mosfet, Inverter CMOS, Ring Oscillator, Analog Integrated Circuit Design, Cadence Virtuoso, Advanced Node, Jitter, Frequency, Clock

Lista de ilustrações

Figura 1 – Símbolos do transistor MOS	4
Figura 2 – Estrutura física do dispositivo MOS	5
Figura 3 – (a) Dispositivo PMOS com substrato conectado à fonte mais positiva do sistema (b) Substrato do NMOS conectado à fonte mais negativa do sistema e PMOS inserido em um n-well	5
Figura 4 – (a) Mosfet acionado por V_g (b) Formação da região de depleção (c) Início da Inversão (d) Formação da camada de inversão	6
Figura 5 – Corrente de dreno versus tensão de dreno-fonte na região de triodo	7
Figura 6 – Corrente de dreno versus tensão de dreno-fonte na região de triodo profundo	8
Figura 7 – Corrente de dreno na região de saturação	8
Figura 8 – Visão geral do <i>pinch-off</i>	9
Figura 9 – (a) Estrutura do FinFET e (b) Vista superior	10
Figura 10 – FinFET com múltiplos fins	10
Figura 11 – Leiaute de transistores de único e duplo fn	10
Figura 12 – Esquemático e símbolo do inversor CMOS	13
Figura 13 – Os dois modos de operação do inversor	13
Figura 14 – Evolução do sistema oscilatório com o tempo	15
Figura 15 – Oscilador em anel de 3 estágios	16
Figura 16 – Formas de onda do oscilador em anel de 3 estágios	18
Figura 17 – Polos do oscilador em anel de 3 estágios para diferentes valores de ganho	18
Figura 18 – (a) Oscilador em anel baseado em inversor de 3 estágios, (b) Formas de onda em estado estacionário dos nós, (c) Forma do sinal realista, (d) Forma de onda para um oscilador em anel de 5 estágios	19
Figura 19 – Formas de onda do oscilador em anel quando um nó é inicializado em V_{DD}	20
Figura 20 – Oscilador em anel de 5 estágios	23
Figura 21 – Oscilador em anel com capacitor entre os estágios	23
Figura 22 – Oscilador em anel com <i>buffer</i> entre os estágios	23
Figura 23 – Oscilador em anel de <i>delay skewed</i> negativo entre os estágios	24
Figura 24 – Oscilador em anel com saída em quadratura	24
Figura 25 – Inversor digital CMOS	25
Figura 26 – Circuito de teste para simulação de oscilador em anel	25
Figura 27 – Vista de leiaute do inversor CMOS usado para rodar DRC	28
Figura 28 – Vista de leiaute do inversor CMOS usado para rodar LVS	29
Figura 29 – Layout do RO baseado em inversor	31

Figura 30 – Saída do esquemático e leiaute do oscilador TT @ 25°C	33
Figura 31 – Atraso do porta de cada estágio do oscilador leiaute TT @ 25°C . . .	34
Figura 32 – Diagrama de olho da saída Out3 do oscilador leiaute TT @ 25°	38

Lista de tabelas

Tabela 1 – Frequência de operação PVT dos estágios do oscilador em anel	34
Tabela 2 – Ciclo de trabalho PVT dos estágios do oscilador de anel	35
Tabela 3 – Tempo de transição PVT dos estágios do oscilador de anel	36
Tabela 4 – <i>Jitter</i> determinístico e probabilístico do oscilador variando PVT	37
Tabela 5 – Consumo do oscilador com variação PVT	38
Tabela 6 – Comparação de parâmetros de diferentes osciladores	38

Lista de abreviaturas e siglas

DEE	Departamento de Engenharia Elétrica
CEEI	Centro de Engenharia Elétrica e Informática
FinFET	Fin Field-Effect Transistor
UFMG	Universidade Federal de Campina Grande
IC	Integrated Circuit
RAK	kIt de adaptação rápida
GPDK	Generic Process Design Kit
DRC	Design rule check
LVS	Layout versus schematic
DSP	Digital Signal Processor
PLL	Phase-Locked Loop
CMOS	Complementary Metal-Oxide Semiconductor
ADC	Analog-to-Digital Converter
DAC	Digital-to-Analog Converter
PVT	Process Voltage Temperature
QRC	Quick Reference Guide
PVS	Physical Verification System
MOS	Metal-Oxide-Semiconductor Field-Effect Transistor
pcell	Parametric Cell
svdb	Silicon Verification DataBase
VLSI	Very Large-Scale Integration
VCO	Voltage-Controlled Oscillator
IC	Integrated Circui

CPU	Central Processing Unit
PLL	Phase-Locked Loop
VCO	Voltage-Controlled Oscillator
LC	Inductor-Capacitor

Sumário

1	INTRODUÇÃO	1
1.1	Justificativa	1
1.2	Objetivos	1
1.2.1	Objetivo Geral	1
1.2.2	Objetivos Específicos	2
1.3	Metodologia	2
1.4	Organização do documento	3
2	DISPOSITIVO MOS	4
2.1	Estrutura	4
2.2	Tensão de Limiar	5
2.3	Derivação de I/V	6
2.4	Transcondutância	8
2.5	FinFET	9
2.6	Considerações Finais	11
3	CMOS	12
3.1	Inversor Lógico Digital	12
3.1.1	Operação do Circuito	13
3.1.2	Inversores em Cascata	13
3.1.3	Características Dinâmicas	14
3.2	Considerações Finais	14
4	FUNDAMENTOS DO OSCILADOR	15
4.1	Sistema de Realimentação Oscilatório	15
4.2	Desafios	16
4.3	Oscilador de Anel Básico	16
4.3.1	Amplitude da Oscilação	17
4.4	Oscilador de Anel Baseado em Inversores	19
4.4.1	Algumas Propriedades	20
4.5	Considerações Finais	21
5	PROJETO DE OSCILADOR DE ANEL	22
5.1	Tecnologia	22
5.2	Esquemático	22
5.3	Circuito de Teste	25

5.4	Leiaute do Inversor do Oscilador	26
5.4.1	DRC	27
5.4.2	LVS	28
5.4.3	Extração de Parasitas	30
5.5	Leiaute do Oscilador	30
5.5.1	Sign-off	30
5.6	Considerações Finais	30
6	RESULTADOS	33
6.1	Saída do Oscilador de Anel	33
6.2	Frequência de Oscilação	34
6.3	Ciclo de Trabalho e Tempo de Transição	35
6.4	<i>Jitter</i>	36
6.5	Potência	37
6.6	Comparação de Referências	38
6.7	Considerações Finais	38
7	CONCLUSÕES	40
7.1	Trabalhos Futuros	40
	REFERÊNCIAS	42

1 Introdução

Este capítulo traz a problemática abordada no projeto, bem como os objetivos definidos para realizá-lo. Por fim, é feita uma breve descrição dos capítulos presentes.

1.1 Justificativa

A microeletrônica moderna demanda por osciladores de alta velocidade e baixo custo para a geração de sinais periódicos em uma variedade de aplicações [9]. Os osciladores são parte integral de muitos sistemas físicos, principalmente eletrônico e óptico.

Em rádio frequência (RF) e *lightwave*, osciladores são utilizados como translação de frequência dos sinais de informação e seleção de canal [7]. Em sistemas eletrônicos, os sinais de *clock* gerados pelos osciladores são usados em microprocessadores para síntese de portadora em telefones celulares [8].

Os osciladores de anel surgem como uma escolha popular devido à sua ampla faixa de sintonia, leiaute compacto e a possibilidade de geração de múltiplas fases. No entanto, enfrentam desafios como ruído de fase e *jitter* [9].

Neste contexto, surge a necessidade de desenvolver osciladores monolíticos de baixo custo e alta velocidade [7] que sejam capazes de gerar sinais periódicos de alta frequência, mantendo níveis aceitáveis de *jitter*. Com o propósito de atender essa demanda, este projeto visa desenvolver um circuito integrado analógico de oscilador de anel CMOS (do inglês, *complementary metal-oxide-semiconductor*, utilizando tecnologia de nós avançados.

Ao concentrar-se no design e otimização desse tipo de oscilador, pretende-se contribuir para avanços na microeletrônica e em aplicações que exigem precisão e estabilidade de *clock*. A seguir, serão apresentados os principais conceitos teóricos e metodologias utilizadas neste projeto, bem como os objetivos a serem alcançados e a estrutura do documento.

1.2 Objetivos

Nesta seção serão descritos o objetivo geral e os objetivos específicos deste trabalho.

1.2.1 Objetivo Geral

O objetivo geral do presente trabalho é projetar o circuito integrado analógico de um oscilador de anel que produza sinais de referência com níveis de frequência na

faixa de GHz e *jitter* na faixa de ps para aplicações em sistemas de comunicação de alta velocidade.

1.2.2 Objetivos Específicos

- Projetar o esquemático do oscilador, realizando dimensionamento adequado de transistores, cargas capacitivas e fonte de alimentação.
- Projetar o leiaute do oscilador a partir da tecnologia de nós avançados e buscando a otimização do projeto.
- Verificar a compatibilidade do leiaute com o esquemático e as regras de projeto da tecnologia.
- Simular os parâmetros de desempenho do oscilador para verificar sua qualidade e conformidade com as especificações de aplicações em um cenário de sistemas de comunicação.
- Desenvolver fundamentação teórica abordando os conceitos de transistores, inversores e osciladores para entendimento da implementação do projeto de um oscilador de anel.

1.3 Metodologia

Este trabalho busca desenvolver e testar o funcionamento do circuito oscilador de anel, coletando dados quantitativos que apoiem sua teoria. A abordagem utilizada nesse projeto foi pesquisa experimental, pois determina a relação causal entre variáveis, controlando as condições do estudo.

A tecnologia proposta a ser utilizada para o projeto do circuito integrado do oscilador foi *Advanced Nodes GPDK cds_ff_mpt*, que é um GPDK (do inglês, Generic Process Design Kit) de nó avançado FinFET equivalente a 18 nm e disponibilizado pela Cadence.

O projeto e as simulações do oscilador de anel foram realizados no *software Cadence Virtuoso*. As ferramentas *Virtuoso Schematic Editor* e *Virtuoso Layout Suite XL* foram utilizadas para o desenvolvimento do esquemático e leiaute, respectivamente.

Para *sign-off* do leiaute, incluindo *Design Rule Check* (DRC) para a sua verificação física e *Layout vs Schematic* (LVS) para averiguação de sua compatibilidade com o esquemático, foi utilizada a ferramenta *Physical Verification System* (PVS). Para geração do arquivo de *netlist* do projeto foi utilizado Quantus Extraction.

As simulações aconteceram a partir de um circuito de teste desenvolvido na ferramenta *Virtuoso Schematic Editor* e foram realizadas em *ADE Assembler*. Os resultados

foram analisados tanto de forma qualitativa, utilizando *Visualization & Analysis*, quanto de forma quantitativa, por meio do uso do *Calculator* da plataforma *Cadence Virtuoso*.

1.4 Organização do documento

1. Introdução: Esta seção oferece uma visão geral do trabalho, incluindo sua justificativa, objetivos, metodologia e estrutura do documento.
2. Fundamentação Teórica: Dividida em três partes, esta seção apresenta o conhecimento geral para entender o funcionamento de um oscilador de anel:
 - Estrutura e Característica do MOSFET e FinFET: Descrição dos fundamentos dos transistores MOSFET convencionais e do FinFET, utilizado em tecnologias avançadas.
 - Tecnologia CMOS e Inversor Digital: Explicação do funcionamento da tecnologia CMOS, com foco no inversor digital, um dos seus circuitos mais básicos.
 - Critérios para Oscilação e Oscilador em Anel Baseado em Inversor: Fundamentação sobre os critérios necessários para que um sistema oscile, além do detalhamento do funcionamento do oscilador de anel baseado em inversor.
3. Implementação: Nesta seção, é descrito o projeto do circuito integrado analógico de um oscilador de anel, desde a concepção do esquemático até a estruturação e validação do leiaute, utilizando tecnologia de nós avançados.
4. Resultados: Aqui são apresentados os resultados das simulações do oscilador, considerando variações de PVT e parâmetros que analisam e validam seu desempenho.
5. Considerações Finais: Este capítulo oferece conclusões sobre o projeto desenvolvido, além de propor ideias para trabalhos futuros.
6. Referências: Na seção de Referências são listadas todas as fontes e recursos utilizados ao longo do documento.

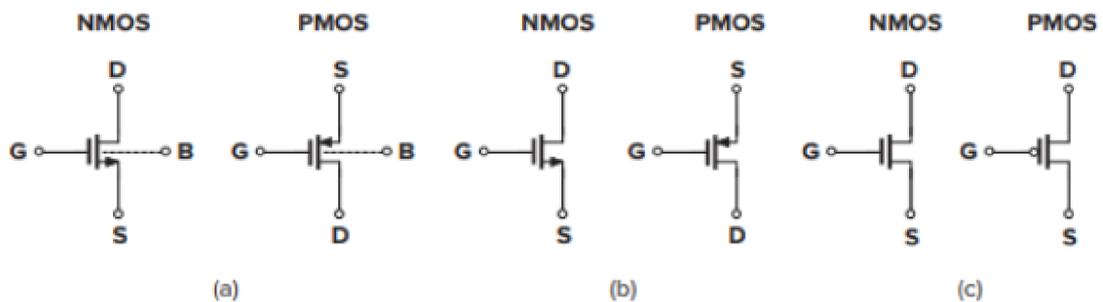
2 Dispositivo MOS

Esta seção aborda o transistor metal-óxido-semicondutor (MOS). Primeiro, explicando sobre a estrutura e características gerais do transistor convencional planar. Em seguida, abordando sobre um tipo mais atual de transistor, o FinFET (do inglês *Fin Field-Effect Transistor*).

2.1 Estrutura

O MOSFET é um dispositivo eletrônico que consiste de quatro terminais: fonte (*source* - S), dreno (*drain* - D), porta (porta - G) e substrato (*bulk* - B). Observa-se na Figura 1 os três símbolos que representam a estrutura do transistor MOS. O símbolo representado na Figura 1(b) é o mais comum de ser usado no ambiente analógico, devido a separação entre os terminais da fonte e do dreno [8].

Figura 1 – Símbolos do transistor MOS



Fonte: [8]

O Mosfet pode funcionar como uma chave. No caso do Nmos, quando a tensão na porta está em nível alto, há uma conexão entre os terminais S e D. Quando V_g está em nível baixo, esses terminais são isolados [8].

A ação útil do dispositivo ocorre na região do substrato sob o óxido de porta [8]. A Figura 2 representa a estrutura física do transistor, onde é possível visualizar a região do substrato e seu comprimento efetivo que é dado por

$$L_{eff} = L_{drawn} - 2L_D \quad (2.1)$$

em que L_{drawn} é o comprimento total do transistor e L_D é o valor de difusão lateral. Essas dimensões são visualizadas na Figura 2.

Figura 2 – Estrutura física do dispositivo MOS

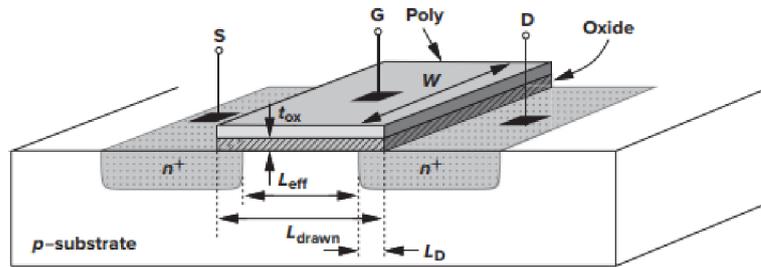
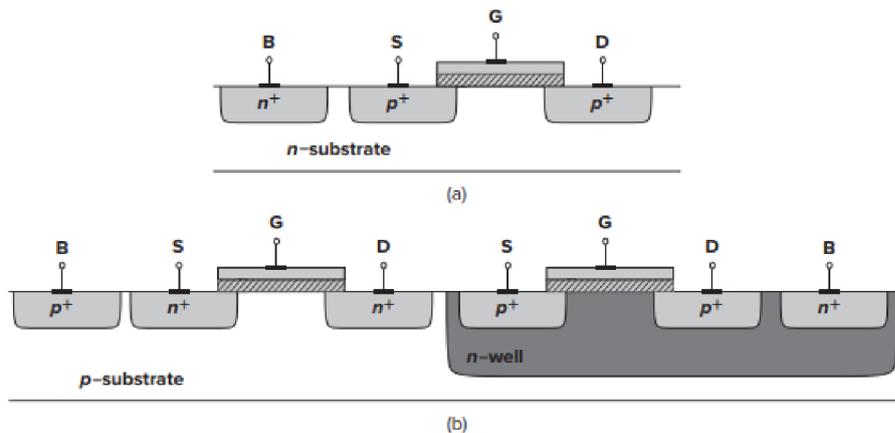


Figure 2.2 Structure of a MOS device.

Fonte: [8]

Como os diodos de junção S/D devem ser polarizados reversamente na operação MOS típica, ou seja, a tensão aplicada a esses diodos deve ser negativa com relação ao substrato para que não conduzam corrente, é assumido que o substrato dos transistores NMOS está conectado à fonte mais negativa do sistema, como visualizado na Figura 3 (b). Dispositivos NMOS e PMOS devem ser fabricados no mesmo *wafers*. Como eles têm substratos diferentes, basta inserir um tipo de dispositivo em um “substrato local” [8] [Fig. 3 (b)].

Figura 3 – (a) Dispositivo PMOS com substrato conectado à fonte mais positiva do sistema (b) Substrato do NMOS conectado à fonte mais negativa do sistema e PMOS inserido em um n-well



Fonte: [8]

2.2 Tensão de Limiar

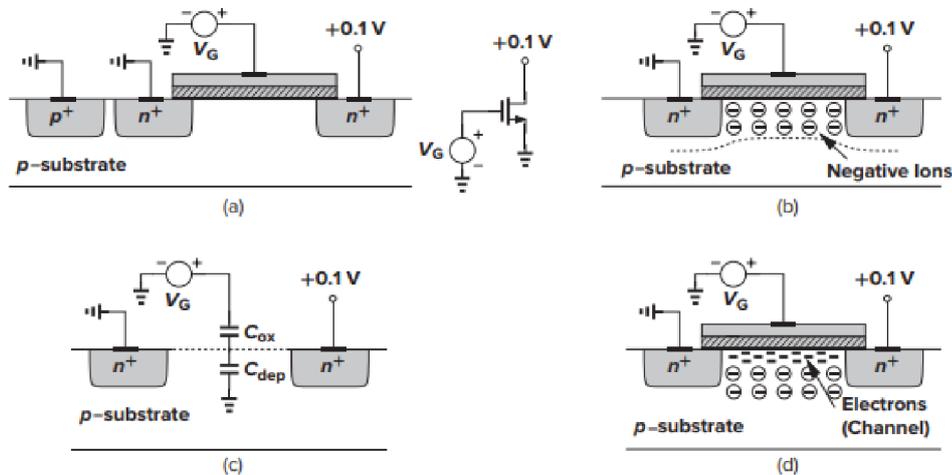
Com o objetivo de analisar a geração e transporte de carga no Mosfet como uma função de tensão de terminal, observa-se a Figura 4. Com o aumento da tensão inserida no terminal de porta do transistor [Fig. 4(a)], uma região de depleção é criada [Fig. 4 (b)],

pois os elétrons são atraídos para a área da porta. Sob esta condição, nenhuma corrente flui porque não há portadores de carga disponíveis [8].

A medida que o V_G vai crescendo, a largura da região de depleção vai se expandindo e o potencial na interface óxido-silício também vai aumentando. De certa forma, a estrutura se assemelha a um divisor de tensão que consiste em dois capacitores em série: o capacitor porta-óxido e o capacitor da região de depleção [8] [Fig. 4(c)].

Quando o potencial da interface atinge um valor suficientemente positivo, os elétrons fluem da fonte para a interface e eventualmente para o dreno. Assim, um “canal” de portadores de carga é formado sob o óxido da porta entre S e D, e o transistor está “ligado”. Por essa razão, o canal também é chamado de “camada de inversão” [Fig. 4(d)]. O valor de V_G para o qual isso ocorre é chamado de “tensão de limiar”, V_{TH} . Se V_G subir ainda mais, a carga na região de depleção permanece relativamente constante enquanto a densidade de carga do canal continua a aumentar, proporcionando uma corrente maior de S para D [8].

Figura 4 – (a) Mosfet acionado por V_g (b) Formação da região de depleção (c) Início da Inversão (d) Formação da camada de inversão



Fonte: [8]

A tensão de limiar é normalmente ajustada pela implantação de dopantes na área do canal durante a fabricação do dispositivo, alterando essencialmente o nível de dopagem do substrato próximo à interface do óxido [8].

2.3 Derivação de I/V

O Mosfet pode assumir três modos de operação: corte, triodo e saturação. Essas regiões são atingidas a partir do comportamento das grandezas elétricas que o transistor está apresentando.

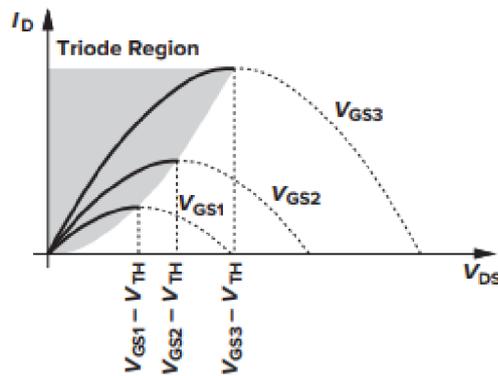
A região de corte ocorre quando $V_{GS} < V_{TH}$ e V_{DS} é muito pequeno, resultando em uma corrente de dreno próxima a zero. O transistor atua como circuito aberto nessa região.

A região de triodo do transistor [Fig. 5] ocorre quando $V_{DS} < V_{GS} - V_{TH}$, com a corrente de dreno sendo dada por:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2 \right] \quad (2.2)$$

onde, μ_n é a mobilidade dos portadores de carga (elétrons) na região do canal, C_{ox} é a capacitância por unidade de área da camada de óxido de porta, W é a largura do transistor, L é o comprimento do transistor, V_{GS} é a diferença de potencial entre porta e fonte, V_{DS} é a diferença de potencial entre dreno e fonte e V_{TH} é a tensão de limiar do transistor.

Figura 5 – Corrente de dreno versus tensão de dreno-fonte na região de triodo



Fonte: [8]

Quando o transistor apresenta a condição que $V_{DS} < 2(V_{GS} - V_{TH})$ [Fig. 6], o transistor assume um comportamento quase linear na sua relação de corrente e tensão. Assim, temos:

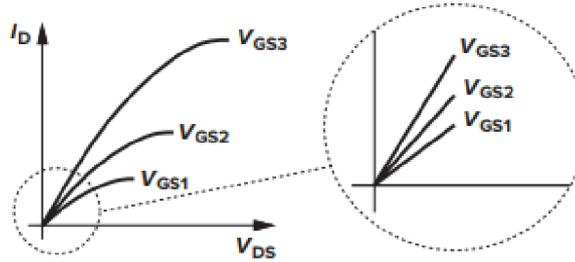
$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})V_{DS} \quad (2.3)$$

Essa relação linear implica que o caminho da fonte ao dreno pode ser representado por um resistor linear igual a

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (2.4)$$

Se $V_{DS} \geq V_{GS} - V_{TH}$, o transistor ocupa a região de saturação [Fig.7]. Então, a corrente de dreno será dada por:

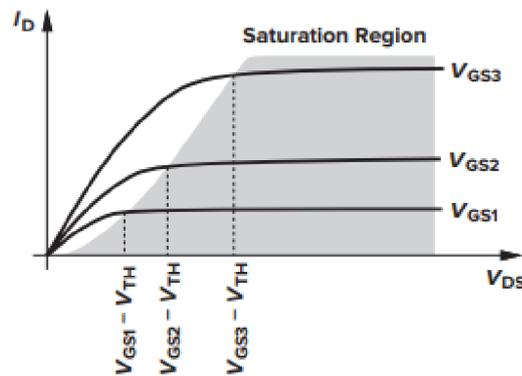
Figura 6 – Corrente de dreno versus tensão de dreno-fonte na região de triodo profundo



Fonte: [8]

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.5)$$

Figura 7 – Corrente de dreno na região de saturação



Fonte: [8]

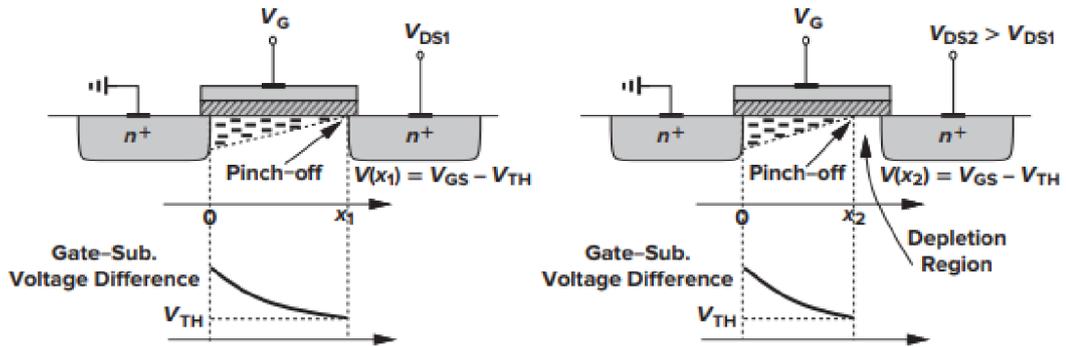
Na região de saturação, a camada de inversão para em $x \leq L$ [Fig. 8], e o canal fica comprimido. A medida que V_{DS} vai aumentando, o ponto em que Q_d é igual a zero move-se gradualmente em direção à fonte. Assim, em algum ponto ao longo do canal, a diferença de potencial local entre a porta e a interface óxido-silício não é suficiente para suportar uma camada de inversão.

2.4 Transcondutância

Transcondutância é uma figura de mérito que determina quão bem um dispositivo converte uma mudança de tensão em uma variação de corrente [8]. Ela é expressa em *siemens* (S), pode ser determinada na região de saturação do transistor e representada da seguinte maneira:

$$g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) \quad (2.6)$$

Figura 8 – Visão geral do *pinch-off*



Fonte: [8]

g_m é igual a o inverso de R_{on} na região do triodo profundo. Dessa forma, g_m também pode ser representada por:

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})} \quad (2.7)$$

2.5 FinFET

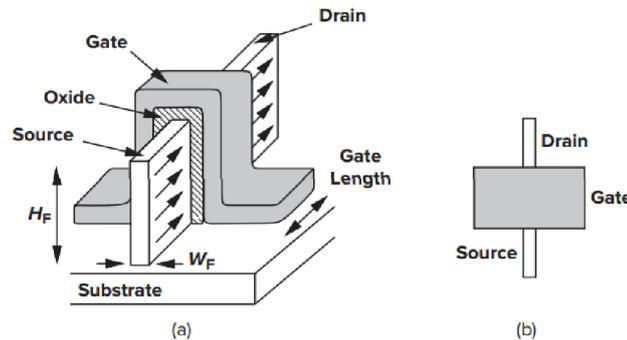
FinFET é uma estrutura tridimensional do transistor. As novas gerações de tecnologia CMOS têm migrado da estrutura bidimensional do transistor para esse novo tipo de geometria. O FinFET apresenta desempenho superior à medida que os comprimentos dos canais caem abaixo de aproximadamente 20 nm . Além disso, suas características I/V estão mais próximas de comportamento quadrático, tornando o modo simples de grandes sinais relevante novamente [8].

Visto na Figura 9 (a), o FinFET consiste em uma “*fin*” vertical de silício, uma camada dielétrica (óxido) depositado sobre o *fin* e uma porta de polissilício ou metal criada sobre a camada dielétrica. Controlado pela tensão da porta, a corrente flui de uma extremidade do *fin* para a outra. A vista superior é semelhante à de um MOSFET plano [8] [Fig. 9 (b)].

Conforme ilustrado na Figura 9 (a), o comprimento da porta pode ser facilmente identificado, mas a largura da porta equivalente do canal é igual à soma da largura do *fin*, W_F , e duas vezes sua altura, H_F : $W = W_F + 2H_F$. Normalmente, $W_F \approx 6 \text{ nm}$ e $H_F \approx 50 \text{ nm}$ [8].

Como o H_F não está sob o controle do projetista do circuito, parece que o W_F pode ser escolhido de modo que $W_F + 2H_F$ produz a largura desejada do transistor. No entanto, o W_F afeta imperfeições do dispositivo, como resistência em série de fonte e dreno, modulação de comprimento de canal, condução sublimiar. Por essa razão, a

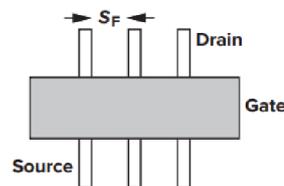
Figura 9 – (a) Estrutura do FinFET e (b) Vista superior



Fonte: [8]

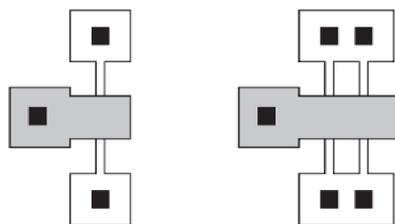
largura do *fin* também é fixa, ditando valores discretos para a largura do transistor. Por exemplo, se $W_F + 2H_F = 100 \text{ nm}$, então transistores mais largos podem ser obtidos apenas aumentando o número de fins e apenas em incrementos de 100 nm [Fig. 10]. O espaçamento entre os fins, S_F , também apresenta um papel significativo no desempenho e é normalmente corrigido [8].

Figura 10 – FinFET com múltiplos fins



Fonte: [8]

Devido às pequenas dimensões do FinFET intrínseco, a porta e os contatos S/D devem ser afastados do núcleo do dispositivo. A Figura 11 representa os detalhes de uma estrutura de *fin* simples e dupla.

Figura 11 – Leiaute de transistores de único e duplo *fin*

Fonte: [8]

2.6 Considerações Finais

O transistor MOS é um dispositivo eletrônico de quatro terminais, capaz de operar em três modos distintos: corte, triodo e saturação. Estes modos são determinados pelos valores das tensões dreno-fonte, em relação à tensão porta-fonte e à tensão de limiar. Em cada um desses modos, a corrente de dreno segue uma expressão específica.

O transistor FinFET representa uma evolução tridimensional significativa do transistor convencional, oferecendo um desempenho superior para os circuitos integrados. No entanto, sua implementação apresenta desafios adicionais no que diz respeito ao projeto de layout, especialmente devido aos menores comprimentos de canal envolvidos.

3 CMOS

CMOS é a união de transistor tipo-p e tipo-n no mesmo circuito. Essa ideia foi introduzida em 1960 e promoveu uma revolução na indústria de semicondutores [8].

O cenário digital foi o primeiro a capturar a tecnologia CMOS porque as portas lógicas dissipavam energia apenas na comutação e exigiam menos dispositivos. Além disso, foi descoberto que os transistores MOS poderiam ser facilmente reduzidos em comparação com outros tipos de transistores [8].

O próximo passo foi a aplicação da tecnologia CMOS no projeto analógico. O baixo custo de fabricação e a possibilidade de colocar circuitos analógicos e digitais no mesmo chip para melhorar o desempenho geral e reduzir o custo do encapsulamento tornaram a tecnologia CMOS atraente. Além do dimensionamento do dispositivo porque continuou a melhorar a velocidade dos MOSFETs [8].

Na tecnologia atual, os circuitos CMOS podem funcionar com fontes de tensão na grandeza de décimos de mV . As fontes mais baixas permitiram um menor consumo de energia para aplicações complexas de circuitos integrados [8].

A tecnologia CMOS oferece muitas vantagens, incluindo baixo consumo de energia, alta densidade de integração e compatibilidade com processos de fabricação de semicondutores modernos, tornando-a uma escolha popular para a implementação de circuitos digitais e analógicos em uma ampla variedade de aplicações.

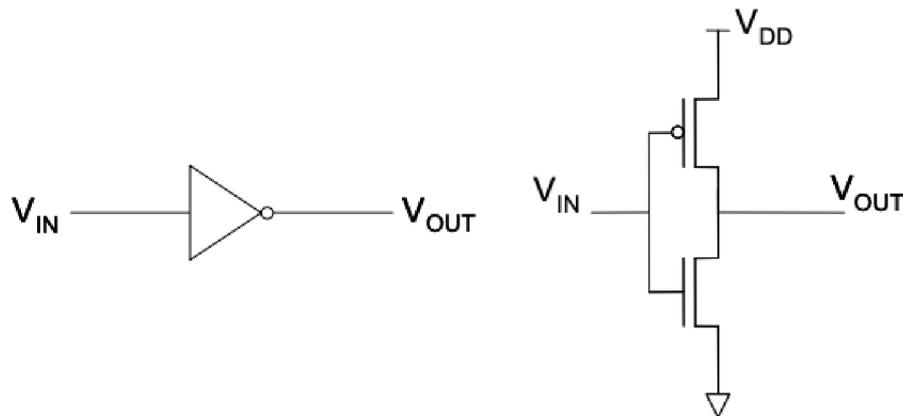
3.1 Inversor Lógico Digital

O inversor digital é um dos blocos de construção mais básicos na tecnologia CMOS. Ele é composto por um par de transistores MOSFET, um transistor de canal p (pMOS) e um transistor de canal n (nMOS), que estão interconectados para realizar a função de inversão de sinal [11].

O transistor NMOS do inversor atua como transistor de comando (driver) e o PMOS como transistor de carga. Entretanto, como o inversor é simétrico, o pressuposto contrário também conduziria a resultados idênticos [11].

O inversor é um elemento básico em qualquer tecnologia de fabricação de circuitos integrados digitais: portas lógicas, flip-flops, registradores e processadores completos. Como também são necessários na construção de alguns circuitos analógicos, como osciladores, amplificadores e *buffers*. Além disso, é no cenário analógico que os inversores são desenvolvidos. O esquemático e símbolo desse dispositivo podem ser visto na Figura 12.

Figura 12 – Esquemático e símbolo do inversor CMOS



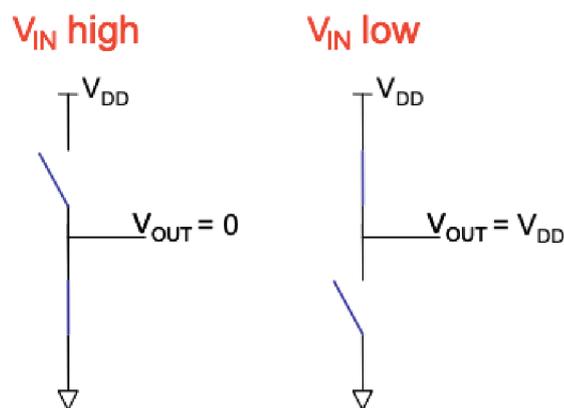
Fonte: [6]

3.1.1 Operação do Circuito

Quando a entrada do inversor está em nível lógico baixo, ou seja, com o terminal de porta dos transistores com tensão 0, o transistor tipo P conduz e o transistor tipo N comporta-se como uma chave aberta. Dessa forma, a saída, que é a tensão do terminal dreno, ficará em nível lógico alto [11].

Se for aplicada uma tensão em nível lógico alto à entrada do inversor, o oposto ocorre. O transistor tipo P abrirá, funcionando como uma chave aberta, e o transistor tipo N conduzirá. Daí, a saída assumirá nível lógico alto. Observa-se esse comportamento na Figura 13 [11].

Figura 13 – Os dois modos de operação do inversor



Fonte: [6]

3.1.2 Inversores em Cascata

Para um inversor ideal, a resistência de entrada é infinita porque $I_g = 0$. Então, a carga de um inversor ser uma quantidade arbitrária de inversores similares não implicará

em perda do nível do sinal de saída, mas a adição de cada inversor vai aumentar a capacitância de carga e diminuir a velocidade de operação [11].

3.1.3 Características Dinâmicas

O inversor CMOS é projetado para ter as tensões de limiar iguais tanto para PMOS quanto para NMOS, assim como o comprimento do canal deve ser o mesmo para ambos. Como a mobilidade das lacunas (μ_p) é diferente da mobilidade dos elétrons (μ_n), tal que aproximadamente $\mu_n \approx 2,5\mu_p$, o comprimento do transistor tipo P deve ser aproximadamente 2,5x maior que o comprimento do transistor N em busca de uma simetria nas características de transferência de tensão e capacidade de fornecer correntes idênticas em ambos os sentidos [11].

A velocidade de operação de um sistema digital está relacionada aos atrasos de propagação das portas lógicas que compõem esse sistema [11]. Assumindo um inversor simétrico, com tempos de transição de subida e descida iguais, seu atraso de propagação seria dado por

$$t_P = \frac{0,8C}{V_{DD}} \left(\frac{1}{k'_n(W/L)_n} + \frac{1}{k'_p(W/L)_p} \right) \quad (3.1)$$

A Equação 3.1 calcula a média entre as parcelas de tempo de atraso do inversor quando assume o processo de nível lógico alto e baixo. O termo C representa o capacitor de carga, k'_n e k'_p são os parâmetro de transcondutância do processo para o transistor tipo N e P, respectivamente, e VDD é associado a alimentação.

Para obter um menor atraso de propagação e portanto maior velocidade, o capacitor da carga do inversor deve ser minimizado, o que implica na utilização de um valor elevado para o parâmetro de transcondutância do processo, assim como as dimensões do transistor e a tensão de alimentação deveriam ser aumentadas. Entretanto, há compromissos de projeto e limites físicos em todas essas escolhas [11].

3.2 Considerações Finais

A tecnologia CMOS utiliza MOSFETs tipo P e N em um mesmo circuito integrado. O inversor digital é o circuito mais simples dessa tecnologia. Ele atua como um inversor de sinal, então quando sua entrada está em nível lógico alto, a saída resultante será nível lógico baixo. Esse circuito digital é utilizado tanto em aplicações de sistemas digitais quanto em aplicações analógicas (osciladores). Seu parâmetro de atraso de propagação é fundamental na caracterização da tecnologia de fabricação de circuito integrado.

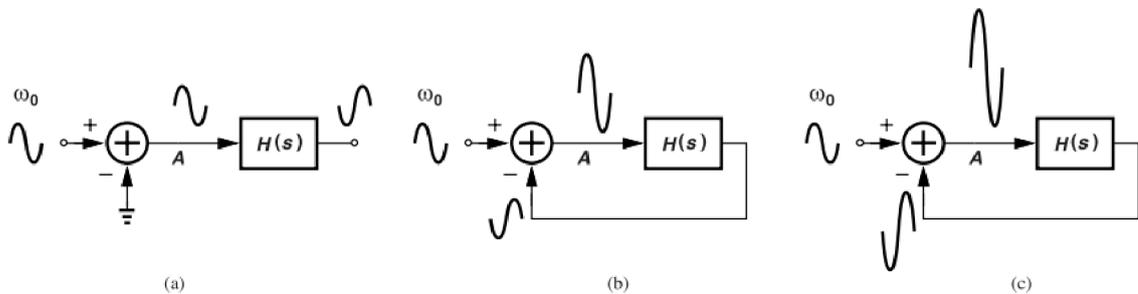
4 Fundamentos do Oscilador

Esta seção abordará sobre osciladores de anel, que são osciladores formados por ganhos em cascata. Iniciando com as condições necessárias para que ocorra oscilação, especificando em que contextos os osciladores são necessários e finalizando com descrição da estrutura e funcionamento do oscilador de anel baseado em inversores.

4.1 Sistema de Realimentação Oscilatório

Um sistema de realimentação negativa pode se tornar instável, e essa propriedade é utilizada para construir osciladores [10]. Fazendo uma análise no domínio do tempo, o arranjo da Figura 14(a), com $H(j\omega_0) = -1$, terá a saída igual à entrada, mas deslocada em 180° . Se a malha está fechada [Fig. 14(b)], a saída é subtraída da entrada, produzindo uma oscilação maior em A . Este sinal é novamente invertido e subtraído da entrada, levando a um crescimento indefinido da amplitude [Fig. 14(c)].

Figura 14 – Evolução do sistema oscilatório com o tempo



Fonte: [8]

Os dois critérios de Barkhausen devem ser obedecidos na mesma frequência para que ocorra oscilação em um circuito de realimentação negativa. Precisamente, os critérios são cumpridos quando esse circuito passa por mudança de fase em altas frequências, tornando a realimentação negativa em positiva [8]. As expressões matemáticas abaixo representam esse comportamento:

$$|H(j\omega_o)| \geq 1 \quad (4.1)$$

$$\angle H(j\omega_o) = 180^\circ \quad (4.2)$$

Para garantir a oscilação em variação de temperatura e processo, o ganho deve ser maior que 1. Assim como a fase de realimentação em torno da malha deve ser 360° ou um múltiplo para que as fases dos sinais de entrada e realimentação sejam as mesmas, garantindo uma regeneração positiva [8].

4.2 Desafios

O desenvolvimento de transceptores em circuitos integrados tem impulsionado a necessidade de osciladores monolíticos que sejam economicamente viáveis e consumam pouca energia. No entanto, esses osciladores enfrentam desafios inerentes aos sistemas físicos, como ruídos, que podem causar respostas não lineares e gerar sinais não completamente periódicos [7].

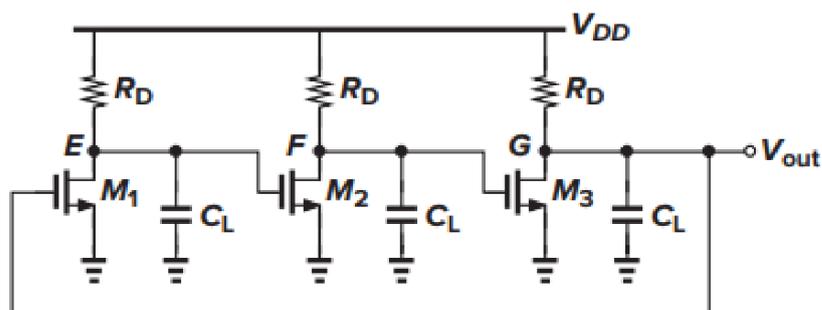
Os osciladores CMOS têm sido implementados como oscilador de anel ou LC (em inglês, Inductor-Capacitor). O projeto de oscilador em anel usando estágios de atraso no circuito integrado tem se encaixado nas exigências atuais, principalmente porque cientistas têm buscado melhorar seu desempenho em ruído e velocidade de operação para o sucesso da sua aplicação em sistemas de comunicação [7].

4.3 Oscilador de Anel Básico

Oscilador de anel é uma cascata de atrasos conectado em uma malha fechada. Esse tipo de oscilador tem gerado interesse devido suas características: facilidade no projeto CMOS, gerar oscilações com altas frequências a partir de baixa dissipação de potência, ser sintonizado eletricamente e ter a capacidade de gerar múltiplas fases [7].

A Figura 15 representa um tipo de oscilador em anel que oscila devido a mudança de fase da frequência dependente, ϕ , ter um valor de -180° quando $\omega < \infty$ e o ganho de malha ser suficiente [8].

Figura 15 – Oscilador em anel de 3 estágios



Fonte: [8]

Para calcular o ganho de tensão mínimo necessário para a oscilação, negligenciando a capacitância de *overlap* de porta-dreno e considerando a função de transferência para cada estágio sendo $-A_o/(1 + s/\omega_0)$, tem-se para o ganho de malha

$$H(s) = -\frac{A_0^3}{\left(1 + \frac{s}{\omega_0}\right)^3} \quad (4.3)$$

Neste caso, A_0 indica o ganho CC de cada célula de atraso, ω_0 denota a largura de banda e o expoente 3 está associado ao número de estágios do oscilador [3].

O circuito oscila apenas se o deslocamento de fase dependente da frequência for igual a -180° , ou seja, se cada estágio de oscilador em anel contribuir com -60° . Considerando o critério de Barkhausen, a partir de 4.3 a frequência de oscilação do sistema (ω_0) pode ser modelada através de 4.4, em que o valor de 60° foi obtido a partir de $\frac{\pi}{N}$, com N igual a quantidade de estágios.

$$\tan^{-1} \frac{\omega_{osc}}{\omega_0} = 60^\circ \quad (4.4)$$

Assim, a frequência do oscilador de anel é

$$\omega_{osc} = \sqrt{3}\omega_o \quad (4.5)$$

O ganho mínimo de tensão por estágio deve ser tal que a magnitude do ganho do circuito em ω_{osc} seja igual a 1:

$$\frac{A_0^3}{\left[\sqrt{1 + \left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right]^3} = 1 \quad (4.6)$$

$$A_0 = 2 \quad (4.7)$$

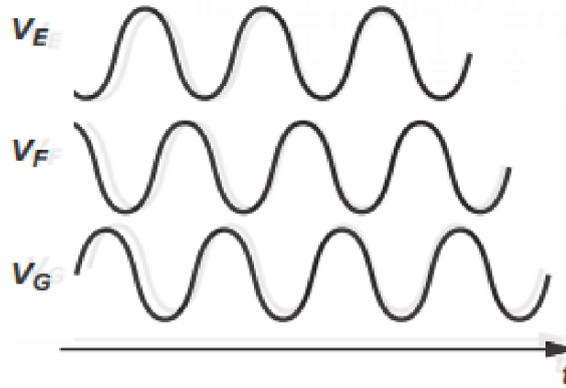
Portanto, um oscilador de anel de três estágios requer um ganho de baixa frequência de 2 por estágio e uma frequência de $\sqrt{3}\omega_o$, onde ω_o é a largura de banda de $3dB$ de cada estágio [8].

A Figura 16 representa as formas de onda nos três nós do oscilador da Figura 15. Já que cada etapa contribui com uma mudança de fase dependente da frequência de 60° , bem como uma inversão do sinal de baixa frequência, a forma de onda em cada nó está 120° fora de fase em relação aos nós vizinhos [8].

4.3.1 Amplitude da Oscilação

Mesmo que o ganho assuma um valor bem maior do que o necessário para começar a oscilação, o caminho dos sinais dos estágios experimentam uma não linearidade e even-

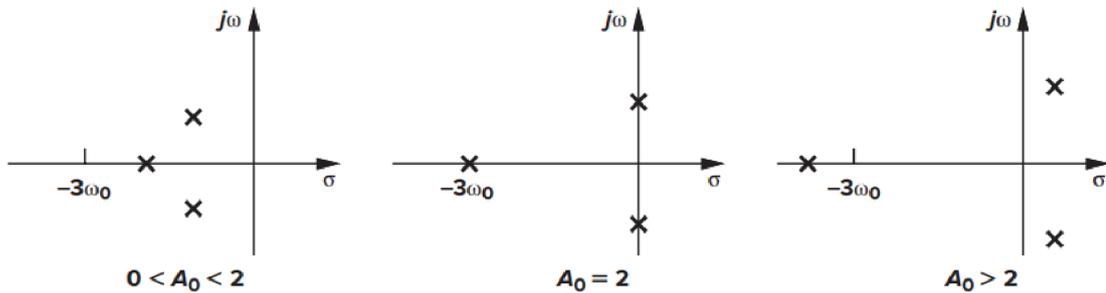
Figura 16 – Formas de onda do oscilador em anel de 3 estágios



Fonte: [8]

tualmente "saturação". Logo, há um limite na amplitude das saídas do oscilador. A Figura 17 representa a disposição dos polos do oscilador em anel de três estágios de acordo com a variação do ganho [8].

Figura 17 – Polos do oscilador em anel de 3 estágios para diferentes valores de ganho



Fonte: [8]

Essa quantidade de polos foi obtida considerando a função de transferência em malha fechada para o sistema de realimentação linear da Figura 15:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{\frac{-A_0^3}{(1+s/\omega_0)^3}}{1 + \frac{A_0^3}{(1+s/\omega_0)^3}} \quad (4.8)$$

$$= \frac{-A_0^3}{(1 + s/\omega_0)^3 + A_0^3} \quad (4.9)$$

O denominador da Equação 4.9 pode ser expandido como

$$\left(1 + \frac{s}{\omega_0}\right)^3 + A_0^3 = \left(1 + \frac{s}{\omega_0} + A_0\right) \left[\left(1 + \frac{s}{\omega_0}\right)^2 - \left(1 + \frac{s}{\omega_0}\right)A_0 + A_0^2\right] \quad (4.10)$$

Então, o sistema de malha fechada exibe três polos:

$$s_1 = (-A_0 - 1)\omega_0 \quad (4.11)$$

$$s_{2,3} = \left[\frac{(A_0(1 \pm j\sqrt{3}))}{2} - 1 \right] \omega_0 \quad (4.12)$$

Negligenciando os efeitos de s_1 , a saída da forma de onda do oscilador é

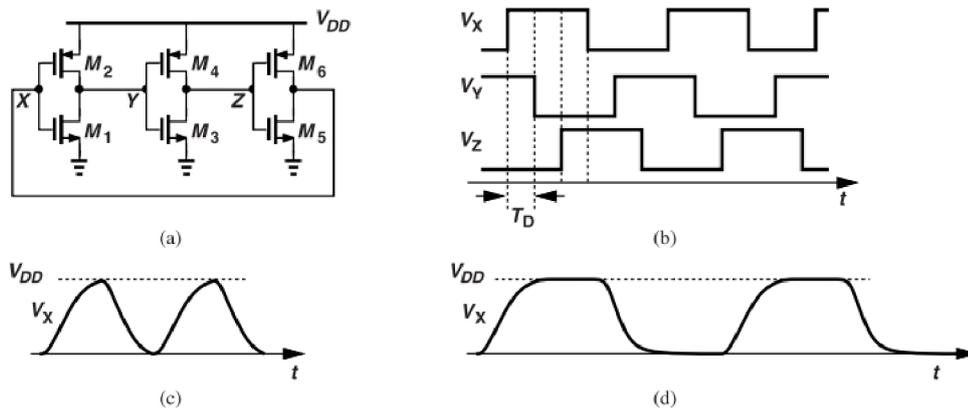
$$V_{out}(t) = a \exp\left(\frac{A_0 - 2}{2}\omega_0 t\right) \cos\left(\frac{A_0\sqrt{3}}{2}\omega_0 t\right) \quad (4.13)$$

Portanto, se $A_0 > 2$, a exponencial crescerá até o infinito.

4.4 Oscilador de Anel Baseado em Inversores

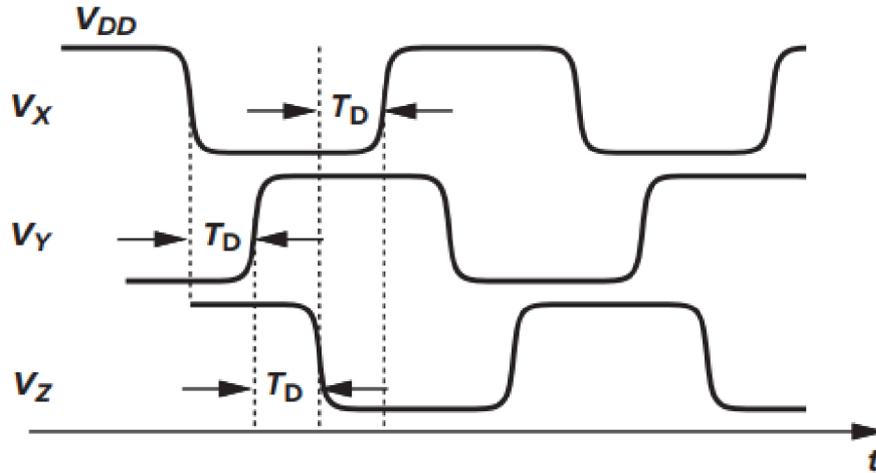
Uma implementação comum de oscilador de anel utiliza inversores CMOS como estágio de ganho, ao invés de amplificadores de fonte comum resistivos, como visto na Figura 18. Com estágios idênticos e sem ruído nos dispositivos, o circuito permaneceria neste estado indefinidamente após uma tensão de disparo inicial no nó. Mas os componentes de ruído perturbam a tensão de cada nó, produzindo uma forma de onda crescente [8].

Figura 18 – (a) Oscilador em anel baseado em inversor de 3 estágios, (b) Formas de onda em estado estacionário dos nós, (c) Forma do sinal realista, (d) Forma de onda para um oscilador em anel de 5 estágios



Fonte: [10]

Considerando que o circuito da Figura 18 comece com $V_X = V_{DD}$ (Fig. 19), então, $V_Y = 0$ e $V_Z = V_{DD}$. Assim, quando o circuito é liberado, V_X começa a cair para zero porque o primeiro inversor detecta uma entrada alta, forçando V_Y subir para V_{DD} após um atraso do inversor, T_D , e V_Z cair para zero após outro atraso do inversor [8]. Logo, uma transição em um nó causa outro no próximo nó após um atraso de porta, T_D . O período total de oscilação é, portanto, igual a $6T_D$ [10].

Figura 19 – Formas de onda do oscilador em anel quando um nó é inicializado em V_{DD} 

Fonte: [10]

Na análise de pequenos sinais, a frequência de oscilação é dada por $A_0\sqrt{3}\frac{\omega_0}{2}$ [da Eq. (4.13)] e o valor em grandes sinais é $1/(6T_D)$. Os valores dessas equações não necessariamente serão iguais pois ω_0 é determinada pela resistência de saída de pequenos sinais e capacitância de cada inversor próximo ao ponto de disparo, enquanto T_D resulta do acionamento de corrente não linear e capacitâncias de cada estágio. Portanto, quando o circuito é liberado com todos os inversores em seu ponto de disparo, a oscilação começa com uma frequência de $A_0\sqrt{3}\frac{\omega_0}{2}$, mas, à medida que a amplitude aumenta e o circuito se torna não linear, a frequência muda para $1/(6T_D)$, que é um valor mais baixo [8].

4.4.1 Algumas Propriedades

As formas de onda reais da Figura 18(c) do oscilador de anel de três estágios anterior são menos nítidas do que as ondas quadradas na Figura 18(b), mas não tão graduais quanto uma senoide. O sinal muda sua direção assim que atinge V_{DD} ou terra devido ao pequeno atraso ao redor da malha. Por comparação, um oscilador de anel de cinco estágios fornece um período de oscilação de $10T_D$, permitindo algum tempo de “relaxamento” para os níveis altos e baixos de V_X [Fig. 18(d)] [10].

O número de estágios de um oscilador de anel é determinado por vários requisitos, incluindo velocidade, potência, dissipação e imunidade a ruído. Mas, o número total de inversões na malha deve ser ímpar para que não ocorra problema de *latch-up* no circuito. [8].

Alguns princípios de projeto digital revelam outras propriedades dos osciladores de oscilador em anel. Primeiro, já que o atraso de um inversor cai à medida que o V_{DD} aumenta, a frequência de oscilação é inversamente proporcional à tensão de alimentação. A sensibilidade de alimentação desse tipo de oscilador mostra-se problemática na maioria das

aplicações. Em segundo lugar, cada inversor consome uma potência média de $f_0 C_L V_{DD}^2$, levando a um consumo total de energia de $N f_0 C_L V_{DD}^2$ para um oscilador de anel de N estágios, em que f_0 é a frequência de oscilação e C_L denota a capacitância total vista de cada nó ao terra [10].

4.5 Considerações Finais

A partir de um sistema de realimentação negativo, seguindo os critérios de Barkhausen, é possível desenvolver osciladores, que são dispositivos importantes em cenários eletrônicos, RF e ópticos. No entanto, a demanda por osciladores de baixo custo e baixa dissipação de potência apresenta desafios significativos devido suas limitações práticas, como o comportamento não ideal das formas de onda.

No contexto de desenvolvimento de circuito integrado CMOS atual, o oscilador em anel baseado em inversores é um tipo de oscilador bastante utilizado. Ele apresenta uma estrutura simples e tem a capacidade de gerar muitas fases. A influência de fatores como velocidade, potência, ruído e quantidade de estágios são fundamentais nas considerações de seu projeto e para evitar problemas de travamento.

5 Projeto de Oscilador de Anel

Esta seção aborda o desenvolvimento do circuito integrado analógico de um oscilador de anel de 5 estágios, baseado em inversores, utilizando o GPDK FinFET de 18nm. O processo de desenvolvimento compreende desde a fase inicial de análise de topologia e projeto até a verificação do circuito e a simulação de diversos parâmetros para avaliar o seu desempenho.

5.1 Tecnologia

A tecnologia utilizada no projeto do oscilador foi o GPDK de nós avançados *cds_ff_mpt*, disponibilizado pela Cadence. Esse kit é capaz de simular o comportamento de um nó avançado, embora não seja viável para fabricação de circuitos.

Nó é um elemento do processo de fabricação dos semicondutores, principalmente associado as dimensões dos transistores e à eficiência energética [4]. Quanto mais avançado o nó, menor é o tamanho do transistor.

FinFET é o tipo de transistor mais utilizado em nós avançados [4], cujas dimensões são menores que 20nm. O termo "ff" no GPDK *cds_ff_mpt* está associado a esse tipo de transistor e "mpt" a *multi-patterning* [2]. *Multi-patterning* é um método que gera diversos padrões no projeto de IC para alcançar uma melhor resolução da litografia [12], pois com dimensões reduzidas e menores espaçamentos entre as camadas, tanto o projeto quanto a fabricação tornam-se mais complexos.

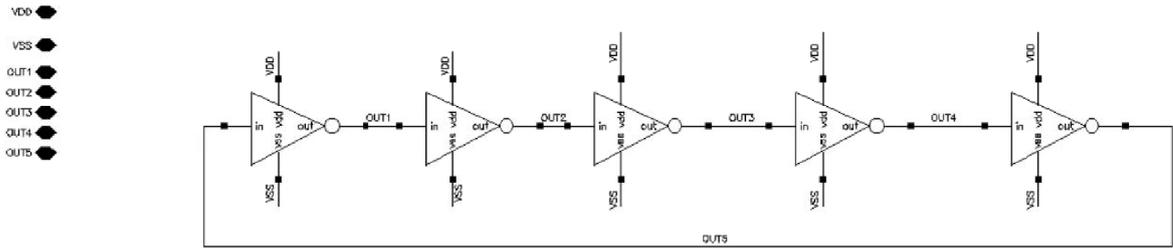
5.2 Esquemático

Cinco topologias de oscilador em anel de estágios baseados em inversor foram construídas para análise de desempenho. A primeira topologia implementada foi a ilustrada na Figura 20; outras duas também utilizaram a estrutura básica do oscilador de anel, mas uma considerou capacitores [Fig. 21] e a outra *buffers* entre os estágios [Fig. 22].

As duas últimas topologias foram de *delay skewed* negativo [Fig. 23] e acoplamento com saída em quadratura [Fig. 24], discutidas em [7]. A topologia de *delay skewed* negativo consiste de inversor CMOS com elemento de atraso conceitual negativo inserido em um ou dois transistores [7]. Embora essa estrutura tenha apresentado o menor *jitter* entre as topologias, a frequência foi menor em relação a primeira topologia.

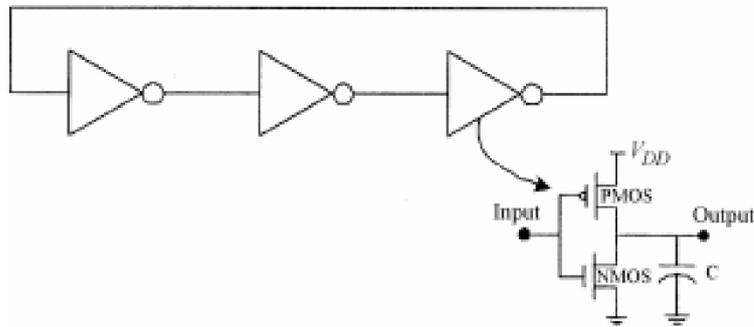
A topologia da Figura 20 obteve condições de frequência razoáveis para o cenário do projeto, além de ser uma das opções mais simples para a implementação física. Por

Figura 20 – Oscilador em anel de 5 estágios



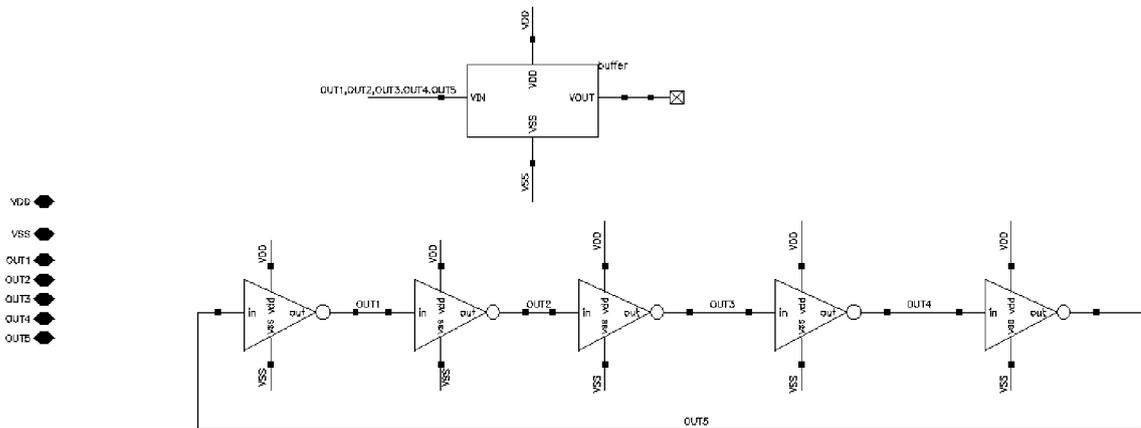
Fonte: Elaborado pelo autor (2024)

Figura 21 – Oscilador em anel com capacitor entre os estágios



Fonte: [7]

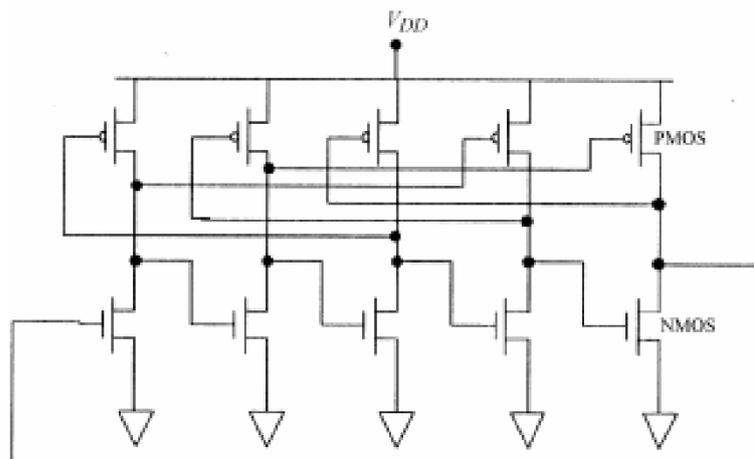
Figura 22 – Oscilador em anel com *buffer* entre os estágios



Fonte: Elaborado pelo autor (2024)

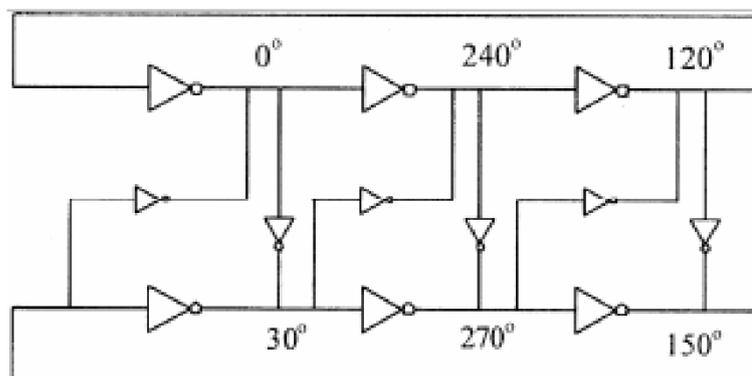
isso, foi a topologia escolhida.

Cada estágio foi representado por um inversor digital CMOS, conforme visualizado na Figura 25. Cada inversor contendo apenas um transistor tipo P e um transistor tipo N. Embora a capacidade de corrente de um transistor tipo P geralmente seja menor do que do transistor tipo N, e seu comprimento seja dimensionado para gerar um certo equilíbrio, não foi realizado isso nessa aplicação.

Figura 23 – Oscilador em anel de *delay skewed* negativo entre os estágios

Fonte: [7]

Figura 24 – Oscilador em anel com saída em quadratura

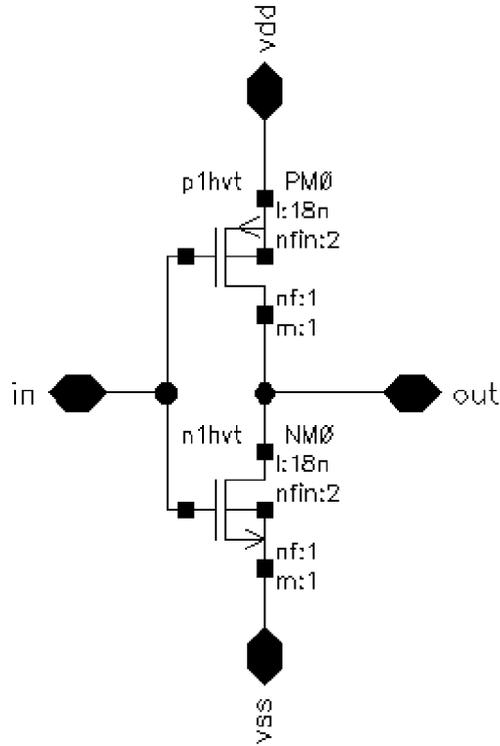


Fonte: [7]

Os transistores disponibilizados pelo GPDK tinham 18nm de comprimento, *fin pitch* de 48nm , que indica o comprimento do fin, número de fins por *finger* igual a 2, que significa que cada estrutura de leiaute do transistor tem 2 fins, número de *finger* igual a 1 e *multiplier* também igual 1. O dimensionamento dos transistores influencia no fornecimento de corrente necessária para carregar e descarregar a carga de saída do circuito.

O terminal de substrato do transistor tipo n foi conectado ao VSS e do tipo p ao VDD para garantir que os transistores estivessem polarizados corretamente em relação à fonte de alimentação. No processo CMOS, o substrato do NMOS é tipo P e o substrato do PMOS é tipo N. Isso significa que os terminais de corpo devem ser conectados às respectivas fontes de alimentação para garantir a polarização correta, evitando efeitos de tensão de substrato ou oscilações parasitas que podem degradar o desempenho do circuito.

Figura 25 – Inversor digital CMOS

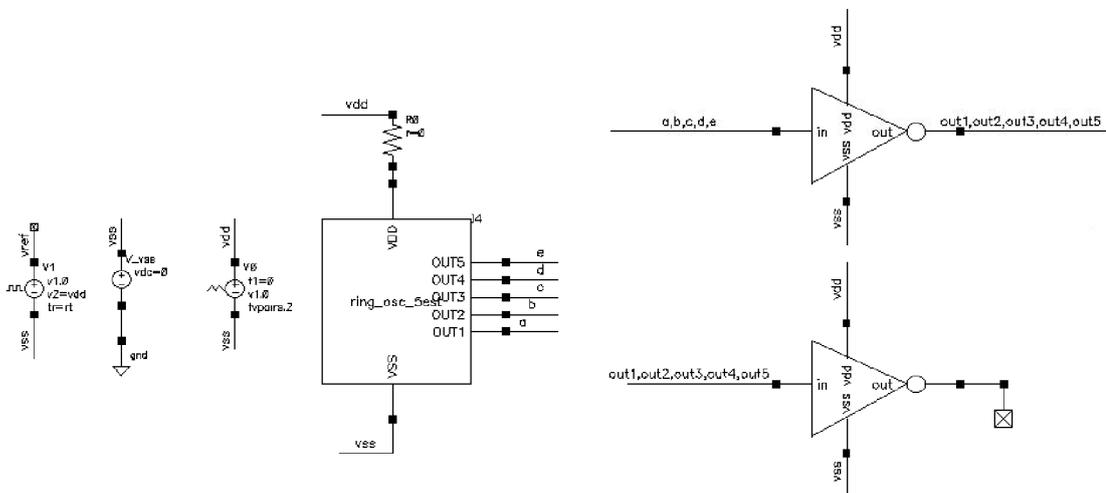


Fonte: Elaborado pelo autor (2024)

5.3 Circuito de Teste

A partir do esquemático do oscilador, foi gerado seu símbolo, contendo os pinos das fontes (VDD VSS) e cinco pinos (OUT1 a OUT5) representando a saída de cada inversor. O circuito de teste utilizado para simulação desse projeto está ilustrado na Figura 26.

Figura 26 – Circuito de teste para simulação de oscilador em anel



Fonte: Elaborado pelo autor (2024)

O circuito de teste deve ser projetado de forma a representar realisticamente a carga que será encontrada na saída do oscilador em anel. Nesse circuito de teste foi utilizado um inversor para isolar o sinal do oscilador em anel da carga e depois outro inversor para ser usado como carga, porque em circuitos digitais o que geralmente será visto é a capacitância da porta do inversor.

Para esta aplicação, a alimentação foi configurada em $0,8\text{ V}$, que é a tensão mínima compatível com o tipo de transistor escolhido. Esta tensão proporcionou uma comutação razoável entre os estados lógicos alto (VDD) e baixo (VSS) em baixas cargas de saída ($< 10fF$).

A simulação transiente teve duração de 100 ns , esse tempo foi utilizado para que o oscilador tivesse o tempo necessário para estabilizar. Foram consideradas duas temperaturas: 25°C e 95°C e cinco processos: *Typic Typic, Slow Slow, Slow Fast, Fast Slow e Fast Fast*.

No modelo de processo da tecnologia, as capacitâncias intrínsecas do transistor estão configuradas em zero no modelo TT, mas nos outros *corners* estão na escala de unidades de pF . Cada modelo representa variações nas condições de operação do circuito, permitindo uma análise abrangente de seu desempenho em diferentes ambientes. Os mesmos modelos foram utilizados nas simulações de esquemático e leiaute.

Os parâmetros analisados na simulação foram frequência, ciclo de trabalho, tempo de transição e *jitter*. Esses parâmetros são fundamentais para determinar se o oscilador está gerando um sinal de *clock* que atende às especificações de desempenho desejadas para aplicação em um sistema de comunicação. Todas essas variáveis foram medidas utilizando expressões na ferramenta *Calculator* do *ADE Assembler* do *software Cadence Virtuoso*.

5.4 Leiaute do Inversor do Oscilador

O processo de leiaute do oscilador teve início com o leiaute do inversor, onde primeiramente foram instanciadas as células parametrizáveis (pcell) dos transistores tipo P e tipo N do circuito.

Embora ambos os tipos de transistores compartilhem algumas camadas comuns, como o polissilício para a porta e a camada de difusão para o dreno e a fonte, uma distinção essencial existe. No transistor tipo P, uma camada adicional representa o substrato tipo N. Assim, em todo o leiaute, a região já é substrato tipo P, eliminando a necessidade de uma camada associada ao transistor tipo N.

O circuito foi desenvolvido com a opção DRD ativada no *Virtuoso Layout Suite XL* para a detecção das regras de DRC no momento de leiaute. A construção do inversor começou com a interconexão dos transistores, que envolveu a ligação dos drenos e portas

de ambos, responsáveis pela saída e entrada, respectivamente. Além disso, foi necessário conectar a fonte do transistor tipo P à alimentação e a do tipo N ao potencial zero.

Tanto a entrada quanto a saída do inversor foram localizadas na camada de metal 2, acessada atravessando as camadas intermediárias de difusão e polissilício, percorrendo a camada de metal 1 e, por fim, conectando-se à camada de metal 2 por meio de vias.

O leiaute do inversor foi desenvolvido com base em duas premissas fundamentais: 1) maximizar a otimização de espaço, priorizando a proximidade dos elementos no leiaute; e 2) minimizar a ocorrência de parasitas por meio da disposição paralela dos metais. No entanto, esses objetivos foram perseguidos enquanto se respeitavam as regras de projeto referentes às dimensões e espaçamentos das camadas, incluindo a padronização de cores para as camadas M1 a M3.

A conexão de VDD e VSS foi estabelecida na camada M1 nas fontes dos transistores tipo P e N, respectivamente. Após o roteamento das células pelas camadas, são necessários pinos e marcadores para a correta alimentação ou medição de sinal. Cada saída, entrada e fonte requer um pino e marcador associado. Embora um marcador seja principalmente usado para identificar o nome do pino, sua presença é essencial para a verificação de LVS.

5.4.1 DRC

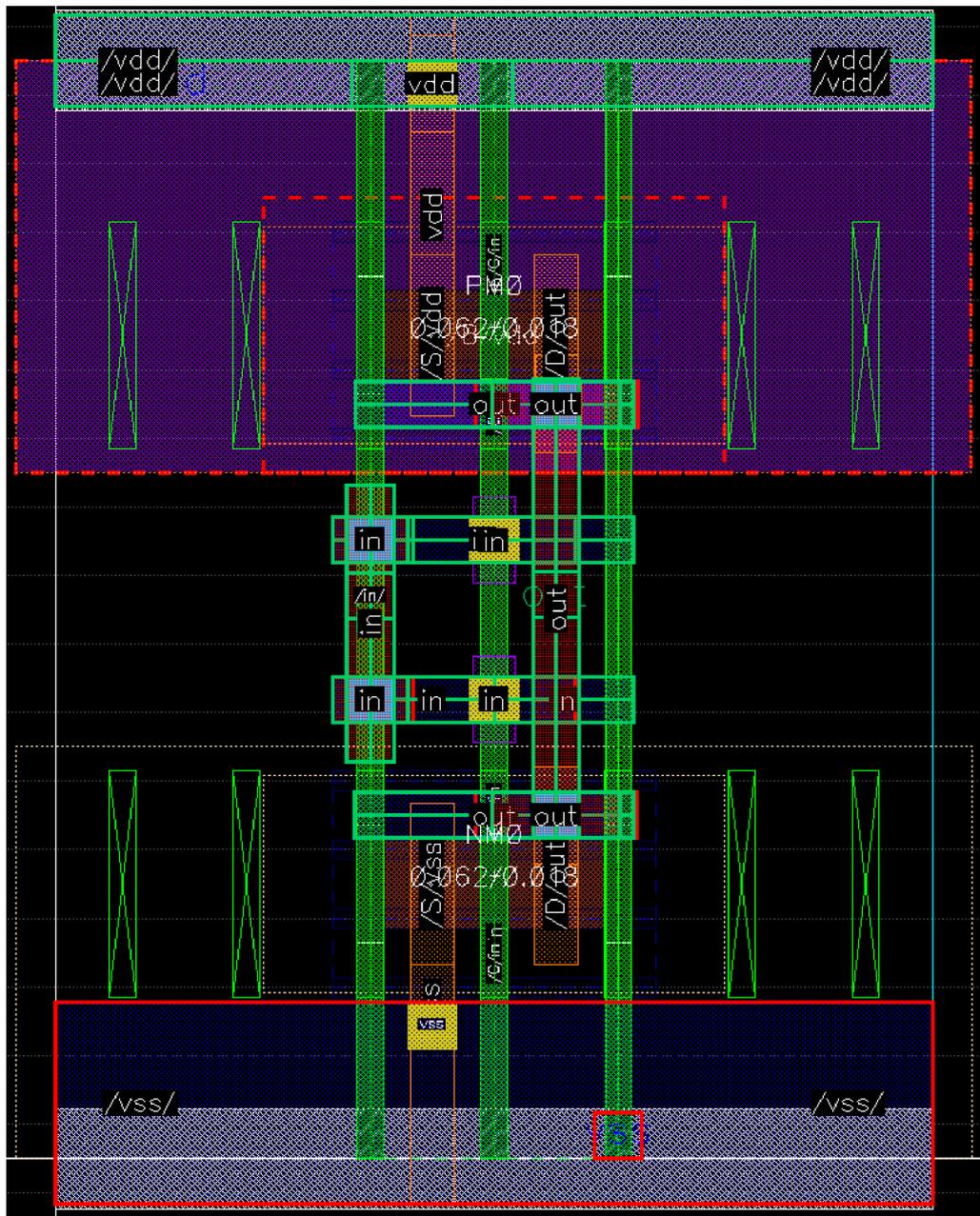
Depois que o leiaute é desenvolvido é necessário averiguar se as regras de projeto estão sendo cumpridas. Caso haja alguma violação, terão que ser corrigidas pois não é possível fabricar um chip que não obedeça DRC.

Essas regras envolvem dimensão da camada *boundary*, que é o delimitador do tamanho do projeto, dimensão e espaçamento entre as camadas, padronização das cores para os metais de roteamento mais baixos, simetria, já que disposição simétrica de componentes no leiaute elimina assimetrias na distribuição de tensão e corrente [3] e limite de vias que podem ficar uma em cima da outra. Portanto, o objetivo é fazer o projeto o menor possível para otimizar área, mas seguindo as regras de DRC e também tomando cuidado com o excesso de parasitas que podem estar sendo inseridos realizando o projeto dessa maneira.

Geralmente, no fluxo de projeto de circuito integrado analógico, depois que o projeto passa por um DRC inicial, vai para a etapa de LVS. Mas um DRC final também deve ser rodado. A Figura 27 representa como ficou o projeto do inversor para ser validado pelas regras do GPDK.

A ferramenta PVS - DRC foi utilizada para rodar o DRC desse circuito. Esse processo envolve a configuração da ferramenta com as informações do arquivo das regras de DRC e informações do projeto.

Figura 27 – Vista de leiaute do inversor CMOS usado para rodar DRC



Fonte: Elaborado pelo autor (2024)

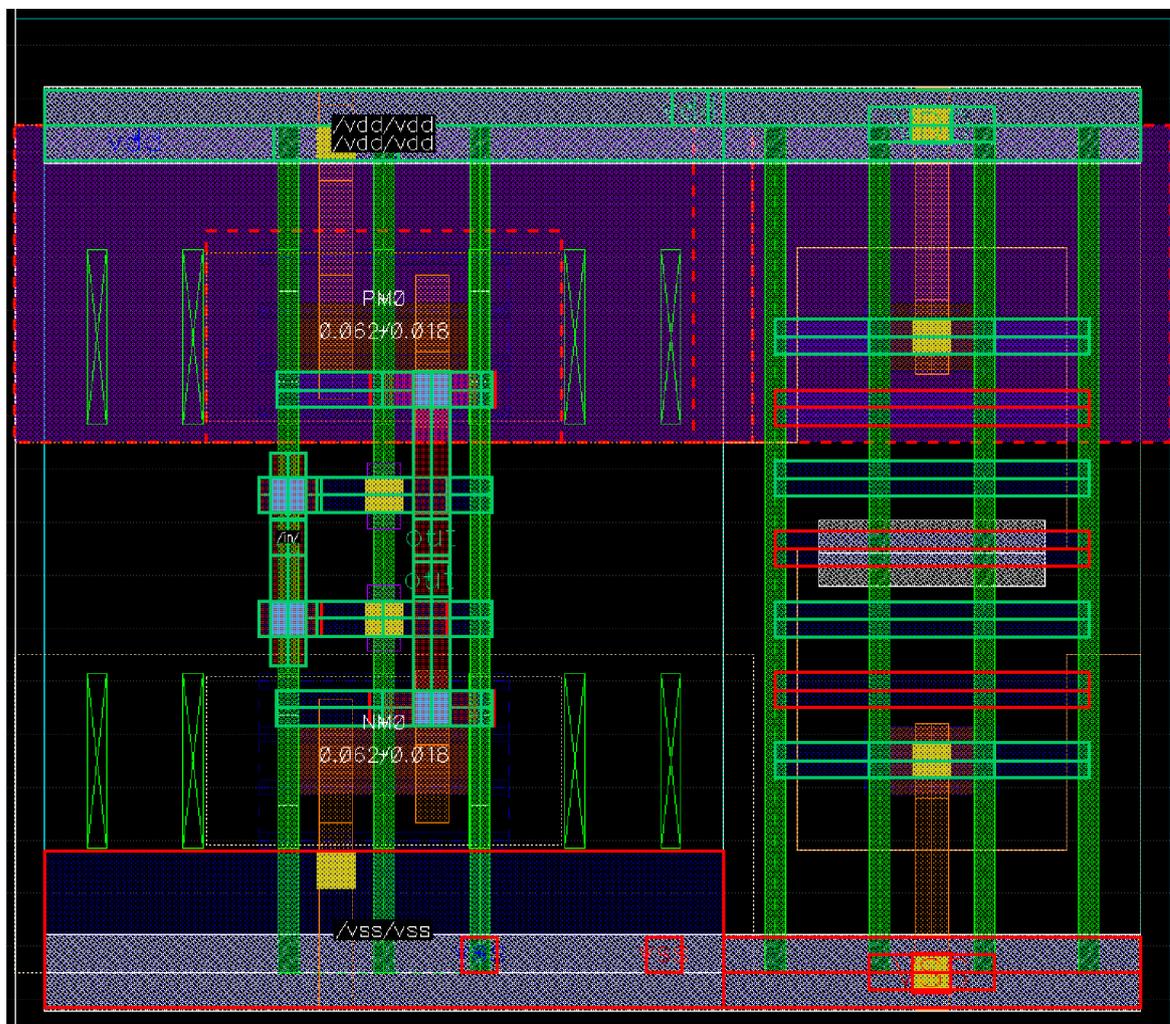
Após a execução de DRC, o PVS gerou um relatório que mostrou os resultados da verificação, identificando algumas violações de espaçamento e dimensão. Os problemas foram corrigidos e uma nova verificação de DRC resultou em um projeto sem erros.

5.4.2 LVS

A vista de leiaute utilizada para rodar LVS do projeto deve ter o cuidado de conectar os terminais de substrato dos transistores. Para isso, a célula TAP, que determina o pino do substrato e já é disponibilizada pela tecnologia, foi instanciada e adaptada para

se conectar ao leiaute do projeto, ligando os terminais de corpo do transistor tipo p e tipo n ao VDD e VSS, respectivamente. A Figura 28 representa como o projeto ficou para passar por essa verificação.

Figura 28 – Vistade leiaute do inversor CMOS usado para rodar LVS



Fonte: Elaborado pelo autor (2024)

A ferramenta PVS - LVS foi utilizada para comparar o leiaute do inversor com seu esquemático correspondente. Nessa ferramenta deve ser especificado o caminho do esquemático, leiaute e dos executáveis do PVS, além de também ser inserido os parâmetros e as configurações necessárias para a verificação.

Após a conclusão da verificação LVS, o PVS gerou um relatório com os resultados. Uma discrepância foi identificada: o terminal do corpo não estava conectado ao VDD devido a um espaçamento entre as camadas nwell do inversor e do TAP.

Depois de corrigido o problema, o LVS foi rodado novamente. Com LVS livre de erros, passa-se para a etapa de correção do leiaute de acordo com as regras da tecnologia novamente e, em seguida, a *netlist* do projeto pode ser extraída.

5.4.3 Extração de Parasitas

Quando o projeto está completamente limpo, passa-se para a etapa de extração do leiaute para obter a *netlist*, que é a representação textual do circuito eletrônico em relação aos seus componentes e conexões. Esse arquivo é utilizado como entrada para simulação de leiaute.

A ferramenta *Quantus* com a tecnologia PVS foi utilizada para a extração do inversor. Para que a extração ocorra corretamente, a ferramenta deve ser configurada com algumas informações: tipo de extração, nó de referência, inserção de arquivo Silicon Verification DataBase (svdb), que é obtido na simulação de LVS.

5.5 Leiaute do Oscilador

Para desenvolver o leiaute do oscilador de anel, o inversor que foi desenvolvido foi instanciado cinco vezes, correspondendo aos cinco estágios do oscilador, conforme especificado no esquemático. Depois, analisada maneiras de conectá-los. Inicialmente, foi pensado em deixar um inversor na frente do outro, como visto no esquemático.

Como o objetivo de manter a distância entre os estágios o mais próxima possível uns dos outros foi realizada a configuração de inserir os 3 primeiros inversores na parte superior e conectar com os 2 estágios invertidos na parte inferior. A Figura 29 apresenta o resultado final dessa estrutura que obteve área total de $3,71616 \text{ um}^2$.

O roteamento entre os inversores e a configuração do *power grid* foram realizados manualmente, utilizando as camadas de metal 1 a 4 disponibilizadas pelo GPDK. O uso de camadas mais baixas poderia ter facilitado o roteamento. Mas camadas mais baixas apresentam maior resistência, o que pode impactar em uma maior queda no *power grid*.

5.5.1 Sign-off

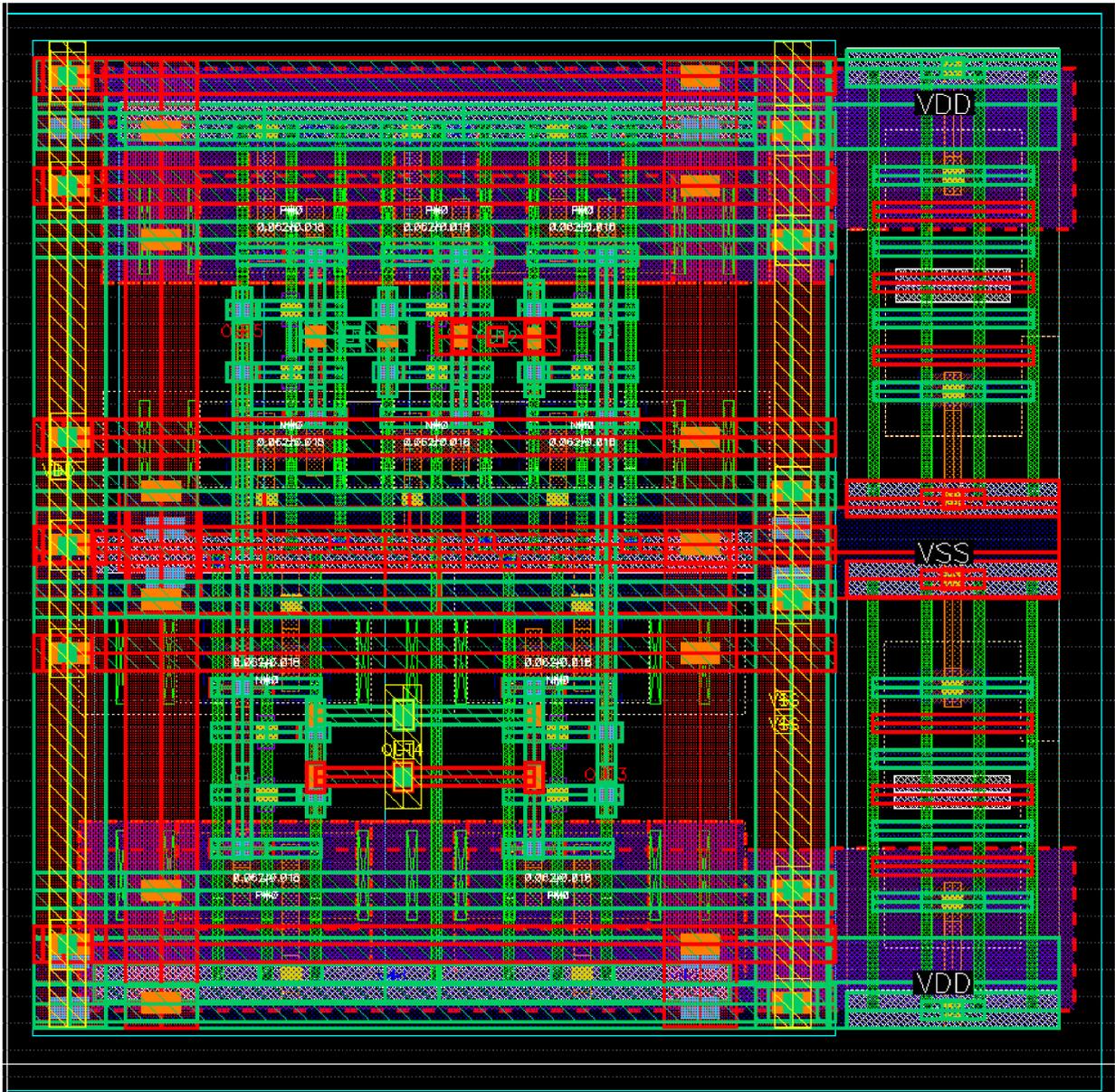
A etapa de *Sign-off* envolveu todas as etapas que ocorrem após o desenvolvimento do leiaute, como DRC, LVS e extração. O oscilador de anel passou por todo esse fluxo de verificação reportado para o inversor.

Os desafios de DRC foram maiores para o leiaute do oscilador porque os inversores estavam concatenados, então as camadas de seus transistores como poly, difusão, metais intermediários e vias estavam muito próximas.

5.6 Considerações Finais

A tecnologia adotada para o desenvolvimento do circuito integrado analógico do oscilador de anel de 5 estágios, o GPDK *cds_ff_mpt*, possibilitou simular o comporta-

Figura 29 – Layout do RO baseado em inversor



Fonte: Elaborado pelo autor (2024)

mento de um nó avançado. A utilização de transistores FinFET em nós avançados representou um desafio, dado seu tamanho reduzido e a necessidade de múltiplas camadas de roteamento para garantir o desempenho adequado do circuito.

No que diz respeito ao esquemático, diferentes topologias de oscilador de anel foram exploradas, considerando variações como *delay skewed* negativo e acoplamento com saída em quadratura. Após análise, optou-se por uma topologia de 5 estágios baseada em inversores, que ofereceu uma boa combinação de desempenho na frequência e simplicidade de implementação.

O leiaute do inversor e do oscilador apresentou desafios adicionais, especialmente

em relação às regras de DRC e LVS. Foi necessário garantir que o leiaute estivesse em conformidade com as regras de projeto da tecnologia utilizada, respeitando dimensões mínimas, espaçamentos e padrões de roteamento.

Durante o processo de DRC e LVS, foram identificadas várias violações e discrepâncias que exigiram correções detalhadas. O roteamento entre os estágios do oscilador de anel, bem como a configuração do *power grid*, demandaram um cuidadoso planejamento para otimizar a área e garantir a integridade do sinal. Por fim, após o processo de verificação e correção, o oscilador de anel passou pelo *sign-off*, estando pronto para a etapa simulações.

6 Resultados

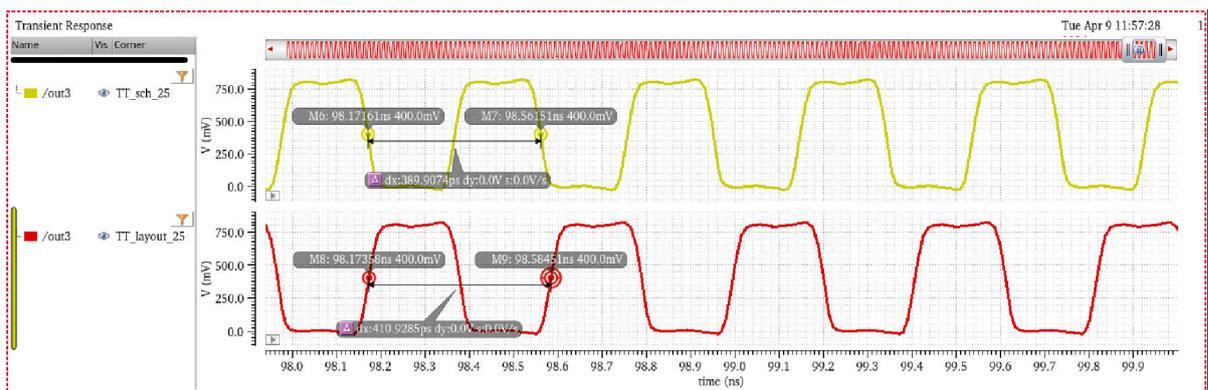
Esta seção apresenta os resultados de simulação transiente da frequência de operação, ciclo de trabalho, tempo de transição, atraso de porta e *jitter* dos sinais gerados pelo oscilador de anel, em diferentes *corners* para vista em leiaute. Também são analisados se esses resultados estão de acordo com as especificações necessárias para que esse oscilador seja aplicado em sistemas de comunicação como sinal de referência.

6.1 Saída do Oscilador de Anel

Teoricamente, a oscilação ocorre tanto porque o oscilador obedece ao Critério de Barkhausen quanto porque o ruído oscila. Entretanto, na prática, é necessário configurar um ponto de disparo em algum nó do oscilador. No processo de simulação transiente desse circuito, foi determinado um valor de 0,8 no nó 5. Esse valor foi escolhido porque é o mesmo da alimentação do sistema.

A Figura 30 representa a saída do estágio 3 do esquemático (amarelo) e leiaute (vermelho) do oscilador de anel no corner *typic typic*, a uma temperatura de $25^{\circ}C$. A frequência do sinal gerado no esquemático é $130,8\text{ MHz}$ maior do que a frequência no leiaute porque a vista de esquemático tende a ter um comportamento mais ideal, enquanto que a implementação física considera características parasitas do ambiente de fabricação, roteamento e impedâncias de linha, que podem afetar a integridade do sinal.

Figura 30 – Saída do esquemático e leiaute do oscilador | TT @ $25^{\circ}C$



Fonte: Elaborado pelo autor (2024)

A Figura 31 representa o atraso da porta (ou tempo de propagação), em torno de 40 ps , entre as saídas do oscilador, considerando o corner: Leiaute TT @ $25^{\circ}C$. Esse atraso é resultado da carga e descarga do capacitor da porta, juntamente com os efeitos

Tabela 1 – Frequência de operação PVT dos estágios do oscilador em anel

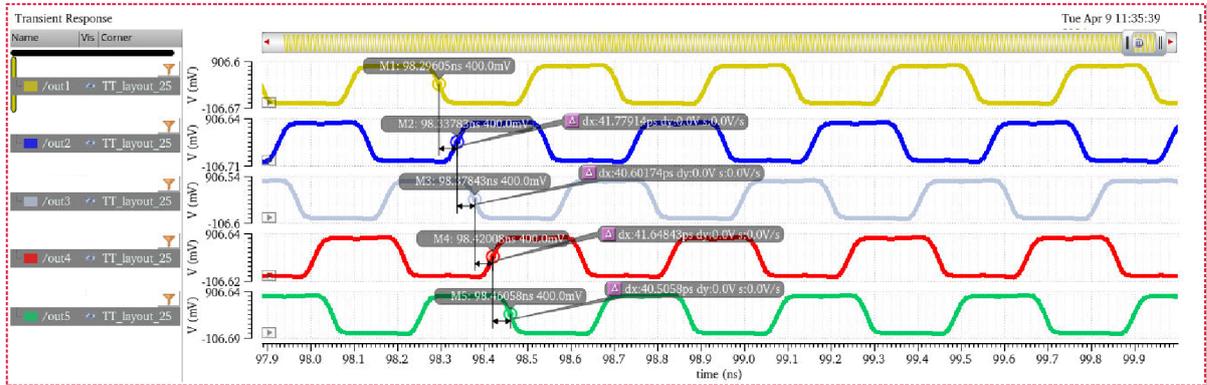
Modelo	TT		SS	
T [°C]	25	95	25	95
freq_out1 (GHz)	2,43337	2,21045	1,8896	1,72753
freq_out2 (GHz)	2,43338	2,21045	1,88961	1,72753
freq_out3 (GHz)	2,43338	2,21045	1,88961	1,72753
freq_out4 (GHz)	2,43338	2,21045	1,8896	1,72753
freq_out5 (GHz)	2,43338	2,21045	1,8896	1,72753

SF		FS		FF	
25	95	25	95	25	95
2,50043	2,28301	2,33678	2,11322	3,04321	2,74447
2,50043	2,28301	2,33678	2,11322	3,04321	2,74447
2,50043	2,283	2,33678	2,11323	3,04321	2,74447
2,50042	2,28301	2,33678	2,11322	3,04322	2,74448
2,50043	2,28301	2,33678	2,11322	3,04321	2,74447

Fonte: Elaborado pelo autor (2024)

de carga e descarga dos capacitores parasitas presentes no circuito. Ele contribui para atrasar o sinal de saída e é fundamental para sua geração.

Figura 31 – Atraso do porta de cada estágio do oscilador | leiaute TT @ 25°C



Fonte: Elaborado pelo autor (2024)

6.2 Frequência de Oscilação

Considerando a operação em regime permanente, a frequência de oscilação pode ser expressa como $1/(2NT_D)$, comentada na Fundamentação Teórica, com $N = 5$. Na Tabela 1 são visualizados os valores de frequência de oscilação do sistema considerando variações de processo e temperatura.

Analisando os valores da Tabela 1, é possível observar que o oscilador de anel gera sinais que são funções de PVT. A temperatura de 95° provoca uma diminuição da frequência em torno de 223,25 MHz com relação a temperatura de 25°. Também no

Tabela 2 – Ciclo de trabalho PVT dos estágios do oscilador de anel

Modelo	TT		SS	
T [°C]	25	95	25	95
dutycycle_out1 (%)	49,8734	49,8118	49,8811	49,8657
dutycycle_out2 (%)	49,8425	49,8287	49,8904	49,8562
dutycycle_out3 (%)	49,8204	49,8313	49,9405	49,8428
dutycycle_out4 (%)	49,8066	49,8078	49,9004	49,8926
dutycycle_out5 (%)	49,857	49,8346	49,8717	49,8606

SF		FS		FF	
25	95	25	95	25	95
50,1409	50,1167	49,487	49,4708	49,8243	49,7576
50,103	50,0991	49,4803	49,5022	49,7654	49,7648
50,1314	50,1047	49,5066	49,4648	49,7615	49,7549
50,0796	50,0668	49,4633	49,4575	49,7507	49,7812
50,1088	50,1049	49,5167	49,4924	49,7738	49,7745

Fonte: Elaborado pelo autor (2024)

modelo *slow slow* é encontrado o pior caso, em que a frequência é diminuída em mais de 544,1 *MHz* do valor encontrado no modelo *typic typic*.

Para verificar a adequação do valor máximo de frequência do oscilador de anel, obtido no processo fast fast a 25°C, de 3,04 *GHz*, às condições da tecnologia (FinFET 18 *nm*), realizou-se uma comparação com as descobertas da referência anterior [1]. O estudo [1] projetou osciladores de anel de cinco estágios em três tecnologias CMOS: 45 *nm*, 32 *nm*, 22 *nm*, que registraram frequências de 12,97 *GHz* em 45 *nm*, 8,25 *GHz* em 32 *nm* e 4,74 *GHz* em 22 *nm*.

A análise dessa referência ajudou na observação de que à medida que o nó tecnológico diminui, a frequência também diminui [1]. Além disso, essa comparação ofereceu informações sobre o desempenho do oscilador que está sendo desenvolvido em relação às tecnologias anteriores, ajudando a avaliar sua competitividade e adequação para as condições atuais da tecnologia FinFET de 18 *nm*.

6.3 Ciclo de Trabalho e Tempo de Transição

Além da frequência de oscilação, outros parâmetros devem ser analisados para qualificar a qualidade dos sinais gerados pelo oscilador. A Tabela 2 e 3 representam os resultados de simulação a nível de leiaute, com valores dos parâmetros de ciclo de trabalho e tempo de transição, respectivamente, para diferentes *corners* de processo e temperatura.

Ciclo de trabalho refere-se à proporção do período do sinal de *clock* durante o qual o sinal está em um nível lógico alto. Um ciclo de trabalho em torno de 49,87% indica que o sinal de *clock* está alto por 49,87% do período total e baixo por 50,13% do período

Tabela 3 – Tempo de transição PVT dos estágios do oscilador de anel

Modelo	TT		SS	
T [°C]	25	95	25	95
tt_out1 (ps)	22,9319	25,5013	27,8049	33,2975
tt_out2 (ps)	22,9594	26,3276	28,5849	33,5142
tt_out3 (ps)	22,9414	26,3679	28,2779	33,7085
tt_out4 (ps)	23,0702	26,2762	27,9774	33,929
tt_out5 (ps)	22,7427	26,3778	29,1989	32,4337

SF		FS		FF	
25	95	25	95	25	95
22,8936	25,894	23,7418	27,4064	18,8773	21,6452
22,7279	26,108	22,9108	27,3636	18,7256	21,7271
22,7176	25,8787	23,6724	26,9963	18,9469	21,7844
23,0495	26,283	23,7986	27,4778	18,8615	21,5829
23,4572	25,9442	23,6969	27,3061	18,8993	21,0727

Fonte: Elaborado pelo autor (2024)

total. Quanto mais próximo de 50% melhor.

Tempo de transição refere-se ao tempo que leva para o sinal de *clock* fazer a transição de um nível lógico para outro. Uma transição em torno de 22 *ps* significa que o sinal de *clock* leva esse tempo para mudar de estado. A velocidade do tempo de transição pode ser resultado da força motriz dos transistores.

6.4 Jitter

O *jitter* é uma medida da variação no tempo de chegada dos pulsos em relação a um *clock* ideal. Quanto menor o *jitter*, melhor será a qualidade do sinal de *clock*. Por isso, esse parâmetro é muito importante para averiguar a qualidade do oscilador. O *jitter* determinístico e probabilístico foram simulados para diferentes *corners*.

No circuito de teste da simulação do *jitter* determinístico foi inserida uma fonte senoidal ligada a fonte de alimentação, com amplitude de 5 *mV* e frequência de 20 *MHz*. Esses parâmetros representam um modelo de conversor dc-dc. A expressão utilizada foi a diferença entre a máxima e mínima diferença de fase do sinal com a referência.

O *Jitter* randômico foi calculado a partir do rms da diferença de fase do sinal e da referência com a média dessa diferença de fase. Uma frequência de ruído de 2 *MHz* foi inserida na configuração de *Transient Noise* do ADE Assembler para representar um ruído aleatório nessa simulação transiente.

A Tabela 4 representa os resultados das simulações. O *jitter* determinístico está na escala de dezenas de *ps* e o randômico na escala de unidades de *ps*. Em aplicações

Tabela 4 – *Jitter* determinístico e probabilístico do oscilador variando PVT

Modelo	TT		SS	
T [°C]	25	95	25	95
det_jitter_out1	88,8999 ps	81,5594 ps	103,112 ps	91,8139 ps
det_jitter_out1	88,8446 ps	81,6216 ps	102,993 ps	91,7577 ps
det_jitter_out1	88,4567 ps	80,9848 ps	102,298 ps	91,1946 ps
det_jitter_out1	88,9773 ps	81,6165 ps	103,084 ps	91,7026 ps
det_jitter_out1	88,8977 ps	81,5632 ps	103,103 ps	91,7276 ps
rms_jitter_out1	1,99123 ps	511,706 fs	1,21708 ps	1,14156 ps
rms_jitter_out2	2,00639 ps	512,778 fs	1,23606 ps	1,1481 ps
rms_jitter_out3	2,04612 ps	505,91 fs	1,23179 ps	1,10576 ps
rms_jitter_out4	2,01043 ps	511,245 fs	1,23564 ps	1,10701 ps
rms_jitter_out5	2,01128 ps	508,582 fs	1,2345 ps	1,18813 ps

SF		FS		FF	
25	95	25	95	25	95
89,6752 ps	80,6578 ps	90,8534 ps	83,2703 ps	77,1494 ps	69,6389 ps
89,7672 ps	80,5947 ps	90,8346 ps	83,3324 ps	77,1262 ps	69,5969 ps
89,1645 ps	80,1406 ps	90,3514 ps	82,6641 ps	76,7607 ps	69,2296 ps
89,6439 ps	80,6727 ps	90,8612 ps	83,2702 ps	77,1215 ps	69,6492 ps
89,6334 ps	80,6054 ps	90,7574 ps	83,2704 ps	77,0827 ps	69,6244 ps
1,49289 ps	2,74082 ps	1,41779 ps	342,926 fs	1,83278 ps	1,31818 ps
1,49421 ps	2,72775 ps	1,43587 ps	369,984 fs	1,84103 ps	1,31025 ps
1,50401 ps	2,76285 ps	1,4155 ps	381,54 fs	1,84042 ps	1,32035 ps
1,46879 ps	2,73732 ps	1,40694 ps	335,944 fs	1,84058 ps	1,31353 ps
1,50238 ps	2,75362 ps	1,40819 ps	378,671 fs	1,84073 ps	1,31477 ps

Fonte: Elaborado pelo autor (2024)

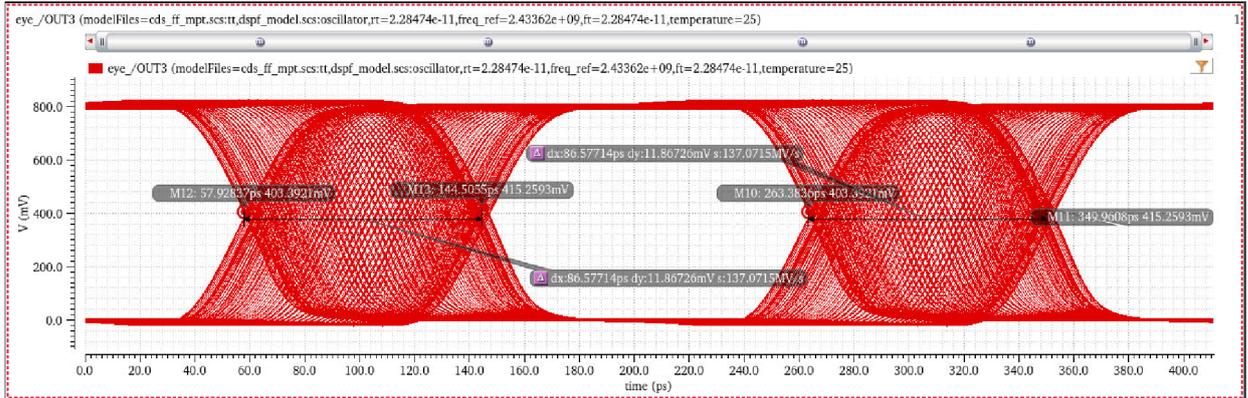
de sistemas de comunicação, que exigem precisão no sinal, esses resultados podem ser considerados altos.

A Figura 32 representa o diagrama de olho da saída do nó 3 do oscilador a nível de leiaute. Essa ferramenta gráfica de análise é usada em sistemas de comunicação para avaliar a qualidade do sinal transmitido, mostrando visualmente a sobreposição de múltiplos símbolos de dados recebidos. A partir do diagrama é possível medir o *jitter* determinístico.

6.5 Potência

O consumo de energia encontrado para o oscilador, em torno de 12,84 μW para o processo TT @ 25°, pode ser considerado relativamente baixo como o oscilador está operando com uma frequência razoavelmente alta. A Tabela 5 representa o consumo do oscilador para diferentes *corners*, assim como os valores de corrente do bloco.

Figura 32 – Diagrama de olho da saída Out3 do oscilador | leiaute TT @ 25°



Fonte: Elaborado pelo autor (2024)

Tabela 5 – Consumo do oscilador com variação PVT

Modelo	TT		SS	
T [°C]	25	95	25	95
Potência (W)	12,8372u	11,9957u	12,9207u	12,0535u
Corrente (A)	16,0465u	14,9946u	16,1509u	15,0669u

SF		FS		FF	
25	95	25	95	25	95
12,5905u	11,7888u	16,059u	14,894u	10,0375u	9,45323u
15,7382u	14,7361u	20,0738u	18,6175u	12,5468u	11,8165u

Fonte: Elaborado pelo autor (2024)

Tabela 6 – Comparação de parâmetros de diferentes osciladores

Caracterização	Trabalho Proposto	[3]	[5]	[13]
Tecnologia (nm)	18	-	180	350
freq (Hz)	2,4G	1,035G	940M	1,25G
Jitter (s)	87p (2p rms)	-	225,06	11p rms
Ruído de fase (dBC/Hz)	-	-107,8	83,37	-
Potência (W)	12,48u	10,8	-	-
Alimentação (V)	800m	-	-	3,3
Área (μm^2)	14u	-	9,621	

6.6 Comparação de Referências

Algumas Figuras de mérito analisadas nas simulações deste trabalho foram comparadas com outras referências. Na Tabela 6 é visualizada essa comparação.

6.7 Considerações Finais

O oscilador de anel de cinco estágios, projetado utilizando tecnologia de nós avançados, apresentou um consumo de energia de 12,84 μW , um *jitter* determinístico pouco

menor que 89 *ps* e um *jitter* randômico em torno de 2 *ps*, aliado a um ciclo de trabalho de 49,8% e um tempo de transição de aproximadamente 22,9 *ps*, além de operar em torno de 2,4 *GHz*.

Com base nos dados fornecidos, o oscilador de anel de cinco estágios demonstra resultados razoáveis. Esse oscilador poderia ser utilizado em aplicações de sistemas de comunicação, processadores de alta velocidade, circuitos integrados e medições de alta precisão. Entretanto, os resultados estão no limiar da especificação exigida para essas aplicações. Variações de PVT poderiam prejudicar o desempenho do oscilador e inviabilizar seu uso.

7 Conclusões

O transistor MOS é um componente crucial na fabricação de circuitos integrados, capaz de operar em diferentes modos de acordo com as tensões aplicadas em seus terminais. A evolução tridimensional representada pelo transistor FinFET oferece melhor desempenho em circuitos integrados, embora apresente desafios adicionais no projeto de leiaute.

O inversor digital, como o circuito mais simples na tecnologia CMOS, desempenha um papel fundamental na lógica digital e nas aplicações analógicas, como osciladores. Os osciladores, desenvolvidos a partir de sistemas de realimentação negativa, são importantes em uma variedade de cenários eletrônicos, RF e ópticos, embora apresentem desafios em termos de precisão e consumo de energia.

No contexto específico do desenvolvimento do oscilador de anel baseado em inversores, são enfrentados desafios significativos, desde a seleção da tecnologia adequada até o projeto de leiaute e a otimização do desempenho. A escolha da topologia de cinco estágios baseada em inversores demonstrou ser uma solução eficaz, equilibrando desempenho em frequência e simplicidade.

O leiaute do oscilador enfrenta dificuldades adicionais devido às regras de DRC, exigindo correções detalhadas para garantir a conformidade com os padrões de projeto. No entanto, após um processo rigoroso de verificação e correção, o oscilador de anel pode ser extraído para simulações.

O oscilador exibe características satisfatórias em termos de consumo de energia, *jitter* determinístico e randômico, ciclo de trabalho, tempo de transição e frequência de operação. Seu desempenho sugere aplicabilidade em sistemas de comunicação, processadores de alta velocidade, circuitos integrados e medições de alta precisão. No entanto, é importante ressaltar que os resultados alcançados estão próximos dos limites de especificação para essas aplicações, sendo sensíveis a variações de PVT que podem comprometer seu desempenho e inviabilizar sua utilização em cenários mais exigentes. Além disso, o oscilador apresenta limitações na condução de corrente, o que é refletido na baixa capacidade de suportar grandes cargas.

7.1 Trabalhos Futuros

Algumas opções de trabalhos futuros ou complementares para essa linha de pesquisa:

-
- Extração de parasitas para análise das resistências e capacitâncias parasitas do leiaute;
 - Análise de IR drop para averiguar a qualidade do *power grid*;
 - Simulação e análise de ruído de fase do oscilador;
 - Implementação de controlador para estabilização da frequência do oscilador;
 - Implementação de topologia de oscilador de anel diferencial para comparação de desempenho com a atual;
 - Aumento da capacidade de corrente do circuito inserindo *buffers* que iriam crescendo em cada estágio, revendo a quantidade de estágios, a tensão de alimentação, redimensionamento dos transistores ou adicionando *buffers* na saída, para que o circuito possa suportar maiores cargas.

Referências

- [1] Bharti, R., and Mittal, P. Frequency analysis of ring oscillator at different technology node. In *2021 International Conference on Simulation, Automation & Smart Manufacturing (SASM)* (2021), IEEE, pp. 1–5. 35
- [2] CADENCE. Cadence advanced node gpdk v1.1 released. Disponível em: https://community.cadence.com/cadence_blogs_8/b/can/posts/cadence-advanced-node-gpdk-v1-1-released. Acesso em: 11 fev. 2024. 22
- [3] Cohen, P. J. Projeto de oscilador em anel com técnicas de mitigação aos efeitos de tid. *Brazilian Technology Symposium 1* (2016), 2447–8326. 17, 27, 38
- [4] JHA, B. The evolution of semiconductor nodes: A journey of innovation and progress. Disponível em: <https://www.linkedin.com/pulse/evolution-semiconductor-nodes-journey-innovation-progress-bharat-jha/>. Acesso em: 20 mar. 2024. 22
- [5] Junior, A. d. M. P., and de Matos, A. *Oscilador Controlado por Tensão com Estrutura em Anel, com Critérios de Confiabilidade aos Efeitos da Radiação*. PhD thesis, [sn], 2017. 38
- [6] LibreTexts. Speed and power in cmos circuits. Disponível em: <https://eng.libretexts.org/>. Acesso em: 05 abr. 2024. 13
- [7] Mandal, M., and Sarkar, B. C. Ring oscillators: Characteristics and applications. 1, 16, 22, 23, 24
- [8] Razavi, B. *Design of Analog CMOS Integrated Circuits*. Oxford Series in Electrical and Computer Engineering. McGraw-Hill, 2017. 1, 4, 5, 6, 7, 8, 9, 10, 12, 15, 16, 17, 18, 19, 20
- [9] Razavi, B. The ring oscillator [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine* 11, 4 (2019), 10–81. 1
- [10] Razavi, B. *Design of CMOS Phase-Locked Loops*. Cambridge University Press, 2020. 15, 19, 20, 21
- [11] Sedra, A. S., and Smith, K. C. *Microeletrônica*. Pearson Universidades; 5ª ed., 2007. 12, 13, 14
- [12] SIEMENS. Introduction to multi-patterning. Disponível em: <https://resources.sw.siemens.com/pt-BR/white-paper-introduction-to-multi-patterning>. Acesso em: 10 mar. 2024. 22

-
- [13] Sun, L., and Kwasniewski, T. A. A 1.25-ghz 0.35- μ m monolithic cmos pll based on a multiphase ring oscillator. *IEEE JOURNAL OF SOLID-STATE CIRCUITS* 36, 6 (2001), 910–916. [38](#)