



Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Programa de Pós-Graduação em Engenharia Elétrica

Marlius Hudson de Aguiar

Retificador Zeta Monofásico com Desacoplamento de Potência

Campina Grande – PB, Brasil

Novembro de 2019

Retificador Zeta Monofásico com Desacoplamento de Potência

Dissertação de Mestrado apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande como parte dos requisitos necessários para obtenção do grau de Mestre em Engenharia Elétrica.

Área de Concentração: Processamento de Energia

Orientadores:

Maurício Beltrão de Rossiter Correa

Montiê Alves Vitorino

Campina Grande – PB, Brasil

Novembro de 2019

A282r

Aguiar, Marlius Hudson de.

Retificador *zeta* monofásico com desacoplamento de potência/
Marlius Hudson de Aguiar. – Campina Grande, 2019.

87 f. : il. color.

Dissertação (Mestrado em Engenharia Elétrica) – Universidade
Federal de Campina Grande, Centro de Engenharia Elétrica e Informática,
2019.

"Orientação: Prof. Dr. Maurício Beltrão de Rossiter Correa, Prof. Dr.
Montiê Alves Vitorino".

Referências.

1. Retificador Monofásico. 2. *Zeta*. 3. Desacoplamento de Potência.
4. Potência Oscilante. 5. 2ª Harmônica. 6. Qualidade de Energia. 7. Fator
de Potência. 8. Redução da Capacitância. I. Correa, Maurício Beltrão de
Rossiter. II. Vitorino, Montiê Alves III. Título.

CDU 621.314(043)

**RETIFICADOR ZETA MONOFÁSICO COM DESACOPLAMENTO DE
POTÊNCIA**

MARLIUS HUDSON DE AGUIAR

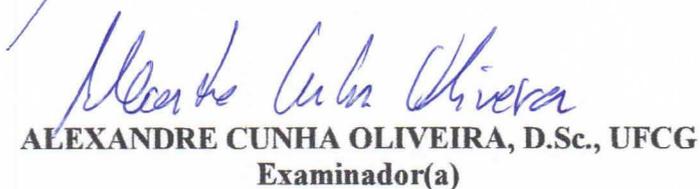
DISSERTAÇÃO APROVADA EM 29/11/2019



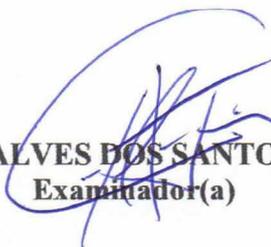
MAURÍCIO BELTRÃO DE ROSSITER CORRÊA, D.Sc., UFCG
Orientador(a)



MONTIÊ ALVES VITORINO, D.Sc, UFCG
Orientador(a)



ALEXANDRE CUNHA OLIVEIRA, D.Sc., UFCG
Examinador(a)



GUTEMBERG GONÇALVES DOS SANTOS JÚNIOR, Dr., UFCG
Examinador(a)

CAMPINA GRANDE - PB

Dedico este trabalho à minha família, amigos e irmãos de armas que estão sempre ao meu lado apoiando e ajudando no que for necessário.

Resumo

Neste trabalho é desenvolvida e analisada uma modificação da topologia do retificador *Zeta* convencional para implementar o desacoplamento de potência, buscando minimizar o valor da capacitância de filtro de saída e flexibilizar a manipulação das grandezas de saída e entrada, de forma a obter elevado fator de potência e qualidade de energia. Além disso, com a redução do valor da capacitância, é possível substituir o capacitor eletrolítico convencional por um capacitor de mica, filme, poliéster ou cerâmico, que são mais confiáveis e de maior vida útil, conferindo ao retificador maior densidade de potência e confiabilidade. Para isso, são analisadas as características da potência oscilante dos retificadores monofásicos, e desenvolvido uma forma de absorver essa oscilação com o indutor próprio da topologia, sendo necessário, então, o rearranjo de alguns componentes para a inserção de uma chave extra, que torna essa estratégia possível. Todas as etapas do funcionamento deste retificador modificado são descritas em detalhes, seguidas de simulação e experimentos num protótipo para comparação com o comportamento esperado na análise teórica.

Palavras-chave: Retificador monofásico, *zeta*, desacoplamento de potência, potência oscilante, 2^a harmônica, qualidade de energia, fator de potência, redução da capacitância.

Abstract

In this work, it is developed and analysed a modification of the conventional rectifier Zeta to implement power decoupling, looking for minimizing output filter capacitance and flexing the manipulation of output and input variables, in order to obtain high power factor and power quality. Furthermore, by reduction of capacitance value, it is possible substitute electrolytic capacitor for mica, film, polyester or ceramic capacitors, which are more reliable and longer lifespan, giving the rectifier greater power density and reliability. For this, the characteristics of the oscillating power of the single-phase rectifiers are analyzed, and a way of absorbing this oscillation by the inductor of the topology has been developed, being necessary to rearrange some components for the insertion of an extra switch, that turns possible this strategy. All steps of the operation of this modified rectifier are described in detail, followed by simulation and experiments in a prototype to compare with the behavior expected in the theoretical analysis.

keywords: Single-phase rectifier, zeta, power decoupling, oscillating power, 2nd harmonic, power quality, power factor, capacitor reduction.

Lista de Ilustrações

Figura 1.1 - Percentual de falhas nos conversores de potência.	15
Figura 2.1 - Composição da potência monofásica.....	18
Figura 2.2 – Desacoplamento de potência em (a) Paralelo e (b) Série.....	19
Figura 2.3 – Efeito do coeficiente marginal de armazenamento de energia k na tensão e corrente do indutor.....	20
Figura 2.4 – Retificador <i>Zeta</i> Convencional (a) Não-isolado (b) Isolado.....	21
Figura 2.5 – Principais formas de onda do <i>Zeta</i> convencional no MCC.....	22
Figura 2.6 – Principais formas de onda do <i>Zeta</i> convencional no MCD.....	23
Figura 2.7 – Diagrama de blocos da estrutura clássica do PLL.	24
Figura 3.1 - Fluxo de potência com o desacoplamento.	27
Figura 3.2 – Retificador proposto por Liu et al. (2017).	28
Figura 3.3 – Estágios de operação do retificador proposto por Liu et al. (2017).....	29
Figura 3.4 – Diagrama de blocos do controle do retificador proposto por Liu et al. (2017)....	29
Figura 3.5 – Retificador Sheppard-Taylor.	30
Figura 3.6 – Estágios de operação do retificador Sheppard-Taylor.....	31
Figura 3.7 – Diagrama de blocos do controle do retificador Sheppard-Taylor.	31
Figura 3.8 – Resultados experimentais do retificador Sheppard-Taylor.	32
Figura 3.9 – Retificador proposto por Tang et al. (2015).....	33
Figura 3.10 – Estágios de operação do retificador proposto por Tang et al. (2015).....	33
Figura 3.11 – Diagrama de blocos do controle do retificador proposto por Tang et al. (2015).	34
Figura 3.12 – Resultados experimentais de Tang et al. (2015) (a) com desacoplamento e (b) sem desacoplamento.	34
Figura 3.13 – Retificador proposto por Ohnuma e Itoh (2014).....	36
Figura 3.14 – Estágios de operação do retificador proposto por Ohnuma e Itoh (2014).	36
Figura 3.15 - Diagrama de blocos do controle do retificador proposto por Ohnuma e Itoh (2014).	37
Figura 3.16 – Formas de onda experimentais da (a) entrada e saída, e (b) entrada e tensão no capacitor de desacoplamento.	38

Figura 3.17 – Diagrama de blocos das estratégias de controle (a) direto e (b) automático do desacoplamento de potência.	40
Figura 3.18 – Modelo genérico de três portas.	41
Figura 4.1 – Diagrama do retificador <i>Zeta</i> com desacoplamento de potência.	43
Figura 4.2 – Diagrama do retificador <i>Zeta</i> para o instante <i>ton</i>	44
Figura 4.3 - Diagrama do retificador <i>Zeta</i> para o instante <i>toff</i>	44
Figura 4.4 - Diagrama do retificador <i>Zeta</i> para o instante <i>trl</i>	45
Figura 4.5 – Forma de onda da corrente no capacitor <i>Co</i>	48
Figura 4.6 – Formas de onda em um período de chaveamento para o retificador <i>Zeta</i> com desacoplamento de potência.	50
Figura 4.7 – Valores médios instantâneos durante um período da rede.	51
Figura 4.8 – Análise gráfica do fluxo de potência.	52
Figura 4.9 – Diagrama de blocos adotado no retificador <i>Zeta</i> com desacoplamento.	53
Figura 4.10 – Geração do sinal PWM.	54
Figura 6.1 – Esquema do circuito de potência da simulação do retificador <i>Zeta</i>	58
Figura 6.2 – Geração dos sinais de acionamento das chaves da simulação em MA.	59
Figura 6.3 – Expansão do bloco “d1”.	59
Figura 6.4 – Expansão do bloco “d2”.	60
Figura 6.5 – Forma de onda dos sinais d1, d2, d3 e PWM obtidos na simulação em MA.	60
Figura 6.6 – Sinais de tensão e corrente na fonte de entrada e no indutor L1, e tensão de saída obtidos na simulação em MA.	61
Figura 6.7 – Potências de entrada e saída obtidas na simulação em MA.	62
Figura 6.8 – Formas de onda de corrente obtidas da simulação em MA.	63
Figura 6.9 – Formas de onda da corrente nas chaves S1 e S2 obtidas na simulação em MA.	64
Figura 6.10 - Formas de onda da tensão nas chaves S1 e S2 obtidas na simulação em MA.	64
Figura 6.11 - Formas de onda de tensão obtidas da simulação em MA.	65
Figura 6.12 – Geração dos sinais de acionamento das chaves para a simulação em MF.	66
Figura 6.13 - Forma de onda dos sinais d1, d2 e d3 obtidos na simulação em MF.	66
Figura 6.14 - Sinais de tensão e corrente na fonte de entrada e no indutor L1, e tensão de saída obtidos na simulação em MF.	67
Figura 6.15 - Potências de entrada e saída obtidas na simulação em MF.	68
Figura 6.16 - Formas de onda de corrente obtidas da simulação em MF.	69

Figura 6.17 - Formas de onda da corrente nas chaves S1 e S2 obtidas na simulação em MF..	69
Figura 6.18 - Formas de onda da tensão nas chaves S1 e S2 obtidas na simulação em MF. ...	70
Figura 6.19 - Formas de onda de tensão obtidas da simulação em MF.	70
Figura 7.1 – Bancada de testes do protótipo.....	71
Figura 7.2 – Formas de onda para o teste com ciclos de trabalho $d1 = 0,6$ e $d2 = 0,3$	73
Figura 7.3 – Formas de onda para o teste com ciclos de trabalho $d1 = 0,4$ e $d2 = 0,4$	73
Figura 7.4 – Formas de onda para o teste com ciclos de trabalho $d1 = 0,5$ e $d2 = 0,3$	74
Figura 7.5 – Modelo do retificador Zeta com não idealidades.....	75
Figura 7.6 – Formas de onda dos sinais PWM no experimento com entrada CC.....	76
Figura 7.7 – Ciclos de trabalho dos MOSFET S ₁ e S ₂	77
Figura 7.8 – Formas de onda para o teste com entrada CA.....	77
Figura 7.9 – Resultados da simulação em MA com a inserção dos parâmetros não ideais.....	78
Figura 7.10 - Resultados da simulação em MF com a inserção dos parâmetros não ideais.....	79
Figura 7.11 - Potências de entrada e saída obtidas na simulação do modelo não ideal em MF.	80

Lista de Tabelas

Tabela 3.1 – Quantitativo de semicondutores.....	39
Tabela 5.1 – Parâmetros iniciais de projeto.....	55
Tabela 5.2 – Critérios de dimensionamento.	56
Tabela 5.3 – Valores dos componentes principais.	57
Tabela 5.4 – Valores dos ganhos dos controladores	57
Tabela 6.1 – Principais resultados da simulação em MA do retificador <i>Zeta</i>	62
Tabela 6.2 - Principais resultados da simulação em MF do retificador <i>Zeta</i>	67
Tabela 7.1 – Componentes do circuito de potência do protótipo.	72
Tabela 7.2 – Comparação dos resultados dos ensaios em malha aberta com o modelo.....	74
Tabela 7.3 – Comparação dos ensaios em malha aberta com o modelo com não idealidades.	75
Tabela 8.1 – Comparativo das topologias de retificadores com desacoplamento de potência.	82

Glossário

CC	–	Corrente Contínua
CA	–	Corrente Alternada
MA	–	Malha Aberta
MF	–	Malha Fechada
PCI	–	Placa de Circuito Impresso
ESR	–	Resistência Série Equivalente
MCC	–	Modo de Condução Contínua
MCD	–	Modo de Condução Descontínua
PWM	–	Modulação por Largura de Pulso
PLL	–	Laço de Intertravamento de Fase
LEIAM	–	Laboratório de Eletrônica Industrial e Acionamentos de Máquinas
MOSFET	–	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
IGBT	–	<i>Insulated Gate Bipolar Transistor</i>
GTO	–	<i>Gate Turn-Off Thyristor</i>
PFC	–	Correção de Fator de Potência
DHT	–	Distorção Harmônica Total
IEM	–	Interferência Eletromagnética
$v_{ca}(t)$	–	Tensão alternada instantânea genérica
$i_{ca}(t)$	–	Corrente alternada instantânea genérica
V_{ca}	–	Valor de pico da tensão alternada genérica
I_{ca}	–	Valor de pico da corrente alternada genérica
ω	–	Frequência angular
φ	–	Diferença de fase entre tensão e corrente alternadas
$p(t)$	–	Potência instantânea
P_{cc}	–	Parcela constante da potência instantânea
p_{osc}	–	Parcela oscilante da potência instantânea
p_{reat}	–	Potência de um elemento reativo
$p_L(t)$	–	Potência instantânea do indutor
$i_L(t)$	–	Corrente instantânea do indutor
$v_L(t)$	–	Tensão instantânea do indutor
$p_C(t)$	–	Potência instantânea do capacitor
$i_C(t)$	–	Corrente instantânea do capacitor
$v_C(t)$	–	Tensão instantânea do capacitor
k	–	Coefficiente Marginal de Armazenamento de Energia
V_o	–	Tensão de saída
d	–	Ciclo de trabalho da chave do <i>Zeta</i> convencional
v_i	–	Tensão após o filtro de entrada do retificador
t_{on}	–	Intervalo de tempo em que a chave principal conduz

d_1	–	Ciclo de trabalho da chave principal
T_s	–	Período de chaveamento
v_{L_1}	–	Tensão do indutor de desacoplamento L_1
v_{L_2}	–	Tensão do indutor de transferência L_2
v_{C_1}	–	Tensão do capacitor de transferência C_1
i_{L_1}	–	Corrente do indutor de desacoplamento L_1
i_{L_2}	–	Corrente do indutor de transferência L_2
i_{C_1}	–	Corrente do capacitor de transferência C_1
i_{C_o}	–	Corrente do capacitor de saída
I_o	–	Corrente média de saída
t_{off}	–	Intervalo de tempo em que as chaves ficam abertas
d_2	–	Parcela do período de chaveamento em que as chaves ficam abertas
t_{rl}	–	Intervalo de tempo em que a chave secundária conduz
d_3	–	Ciclo de trabalho da chave secundária ou ciclo de roda livre
$V_{L_1}(t)$	–	Tensão média instantânea no indutor de desacoplamento
V_i	–	Valor de pico da tensão v_i
$I_{i_{max}}$	–	Valor de pico da corrente de entrada do retificador
I_i	–	Valor médio instantâneo da corrente de entrada do retificador
Δi_{L_1+}	–	Varição positiva da corrente do indutor L_1
Δi_{L_1-}	–	Varição negativa da corrente do indutor L_1
Δi_{L_2+}	–	Varição positiva da corrente do indutor L_2
Δi_{L_2-}	–	Varição negativa da corrente do indutor L_2
Δv_{C_1+}	–	Varição positiva da tensão no capacitor C_1
Δv_{C_1-}	–	Varição negativa da tensão no capacitor C_1
f_i	–	Frequência da tensão de entrada
f_s	–	Frequência de chaveamento

Sumário

1	INTRODUÇÃO	13
1.1	MOTIVAÇÃO	14
1.2	ESTRUTURA DA DISSERTAÇÃO	15
2	CONCEITOS FUNDAMENTAIS	17
2.1	DESACOPLAMENTO DE POTÊNCIA	17
2.2	RETIFICADOR ZETA MONOFÁSICO CONVENCIONAL	21
2.3	LAÇO DE INTERTRAVAMENTO DE FASE (PLL)	24
3	REVISÃO BIBLIOGRÁFICA	26
3.1	RETIFICADORES MONOFÁSICOS COM DESACOPLAMENTO DE POTÊNCIA	27
3.1.1	<i>Retificador proposto por Liu et al. (2017)</i>	28
3.1.2	<i>Retificador Sheppard-Taylor</i>	30
3.1.3	<i>Retificador proposto por Tang et al. (2015)</i>	32
3.1.4	<i>Retificador proposto por Ohnuma e Itoh (2014)</i>	35
3.1.5	<i>Avaliação das topologias da revisão em relação ao retificador Zeta</i>	38
3.2	MÉTODOS DE CONTROLE	39
4	RETIFICADOR ZETA COM DESACOPLAMENTO DE POTÊNCIA	43
4.1	ETAPAS DE FUNCIONAMENTO	43
4.2	EQUAÇÕES PARA DIMENSIONAMENTO	47
4.3	FORMAS DE ONDA DO RETIFICADOR ZETA	50
4.4	ESTRATÉGIA DE CONTROLE	52
5	PROJETO DO RETIFICADOR ZETA	55
6	SIMULAÇÃO	58
6.1	SIMULAÇÃO COM CONTROLE EM MALHA ABERTA	58
6.2	SIMULAÇÃO COM CONTROLE EM MALHA FECHADA	65
7	RESULTADOS EXPERIMENTAIS	71
7.1	EXPERIMENTOS COM ENTRADA CC	72
7.2	EXPERIMENTOS COM ENTRADA CA	76
7.2.1	<i>Controle em Malha Aberta</i>	76
7.2.2	<i>Controle em Malha Fechada</i>	79
8	CONCLUSÃO	81
9	REFERÊNCIAS BIBLIOGRÁFICAS	82
	ANEXOS	86

1 INTRODUÇÃO

A grande maioria dos equipamentos eletrônicos precisam de correntes contínuas (CC) para poderem funcionar, porém na maioria das vezes a alimentação disponível é a rede elétrica de corrente alternada (CA). Diante disto, eles devem conter necessariamente um estágio para a retificação da tensão, que é a conversão da energia em CA para CC, e ajustar o nível de tensão CC para um valor adequado ao funcionamento dos circuitos internos. Este estágio, numa abrangência geral, é chamado de fonte de potência chaveada.

Outras aplicações importantes da corrente contínua estão nos processos industriais, tais como os de eletrólise, soldagem e galvanização, nos quais são utilizados retificadores de alta potência com semicondutores controláveis; no carregamento inicial de baterias recém-fabricadas, que demanda uma grande quantidade de potência CC; fontes de potência ininterruptas (*nobreak*); e servem também como interface para conexão de fontes de energia não convencionais, além do uso em equipamentos de teste e medição.

Todos os conversores de potência são dispositivos chaveados, o que significa que pelo menos um dos seus elementos constitutivos é um semicondutor, que vai operar como uma chave interruptora, podendo ser na ocorrência de uma mudança de polaridade da tensão e/ou corrente nos seus terminais, ou através de um sinal de controle que vai indicar quando ele deverá estar em estado de condução ou em estado de corte, ou não condução. A saída requerida é obtida variando-se o tempo de condução e o tempo de corte da chave. Esta peculiaridade faz dos conversores de potência sistemas conhecidos na literatura como sistemas híbridos (Garcia, 2007), ou seja, sistemas em cujo modelo coexistem variáveis contínuas (ex., tensão e corrente) e variáveis discretas (sinal de controle do tipo ON-OFF).

Nas situações em que se necessita de altos valores de capacitância para manter o barramento CC suficientemente invariável, devido à grande ondulação de tensão, geralmente são empregados capacitores eletrolíticos, os quais são volumosos, pesados, com baixa vida útil e têm uma característica intrínseca que é a alta Resistência Série Equivalente (ESR, do inglês *Equivalent Series Resistance*). Dito isto, a modificação do retificador *Zeta* apresentada nesta dissertação tem como objetivo utilizar a modulação por três estados, permitindo que o indutor próprio da topologia desenvolva tanto as funções comuns da topologia convencional quanto a função de armazenar energia para compensar a ondulação de potência na 2ª harmônica.

Por meio de um controle apropriado, baseado em uma modulação que utiliza três estados (carregamento, descarregamento e roda-livre), o indutor realiza o desacoplamento dos estágios de potência; tarefa esta que, na topologia convencional, é desempenhada pelo capacitor do barramento CC.

Com o indutor desempenhando a função de desacoplamento, o valor da capacitância no barramento CC diminui consideravelmente, uma vez que ele precisa somente filtrar a ondulação de tensão devida ao chaveamento em alta frequência, tornando possível, então, a utilização de capacitores de filme, cerâmicos, de mica ou de poliéster que apresentam, além de reduzida ESR e, conseqüentemente, menores perdas, maior vida útil que os capacitores eletrolíticos.

Assim, é notável que o aprimoramento desses equipamentos deve sempre ser buscado, uma vez que os processos industriais demandam cada vez mais eficiência, à medida que surgem novas aplicações e novas tecnologias de semicondutores, que abrem ainda mais o espaço para a inovação neste campo de estudo.

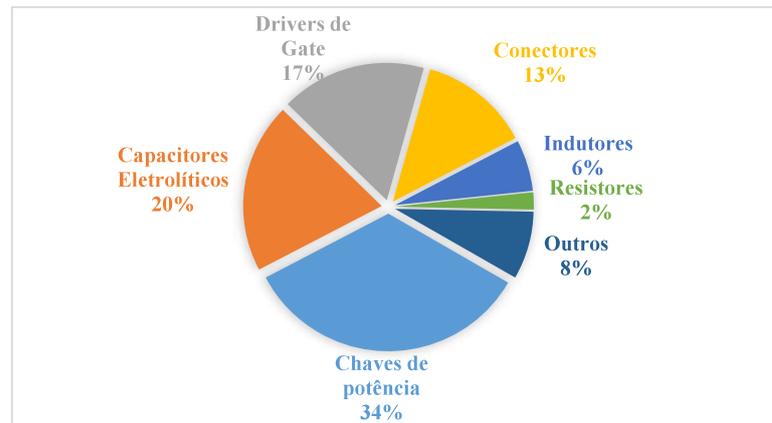
1.1 MOTIVAÇÃO

A fim de obter novas formas de processamento de energia que permitam aos sistemas operarem por elevados períodos de tempo sem a necessidade de realizar manutenção corretiva, conferindo-lhes confiabilidade, esta dissertação desenvolve o estudo teórico e a análise experimental de uma topologia de retificador baseada no retificador convencional *Zeta*.

Levando em conta que os capacitores eletrolíticos são elementos que influenciam fortemente na ocorrência de falhas dos conversores de potência (Yang, 2011), como pode ser visto na Figura 1.1, o desacoplamento de potência feito no retificador *Zeta* permite utilizar componentes com maior durabilidade que os retificadores comuns, dado que se emprega o próprio indutor da topologia para confinar a oscilação de potência no interior do retificador. Dessa forma, consegue-se aumentar a vida útil do equipamento.

Esta nova topologia apresenta modificações que a tornam especiais para o uso em aplicações que necessitem alto fator de potência combinado com baixa distorção harmônica, pois herda características importantes do retificador convencional *Zeta*, que lhe permite ser uma alternativa atraente frente a outros mais conhecidos que também utilizam o desacoplamento de potência.

Figura 1.1 - Percentual de falhas nos conversores de potência.



Fonte: Própria do autor.

1.2 ESTRUTURA DA DISSERTAÇÃO

A dissertação está organizada em oito capítulos, sendo o capítulo 1 destinado à introdução, que apresenta uma breve explicação da importância do estudo de melhorias para os retificadores, e a motivação para o desenvolvimento da topologia apresentada neste trabalho, diante das características das topologias mais convencionais.

No capítulo 2, são apresentados os conceitos fundamentais, abordando uma explicação sobre a potência oscilante característica dos sistemas monofásicos, e a solução empregada para o desacoplamento da potência de 2ª harmônica. Ainda neste capítulo é discutido sobre o retificador *Zeta* convencional, e dada uma breve explanação sobre o Laço de Intertravamento de Fase, conhecido como PLL.

O capítulo 3 traz uma revisão bibliográfica das diferentes soluções de retificadores com ponte retificadora não controlada, que empregam a técnica de desacoplamento para redução da capacitância do filtro de saída. Enquanto o capítulo 4 é dedicado à análise do funcionamento do retificador monofásico *Zeta* com desacoplamento de potência proposto nesta dissertação. Além do detalhamento das etapas de operação, são apresentadas as equações que descrevem seu comportamento, juntamente com expressões baseadas em valores máximos de corrente e tensão para o dimensionamento dos componentes, e as formas de onda dos principais componentes, tanto para um período de chaveamento quanto para um período da rede.

Como exemplo de projeto do retificador, o capítulo 5 elabora o dimensionamento dos componentes a partir da descrição de características desejadas para o retificador, mostrando os cálculos para uma primeira análise do modelo e sua simulação.

No capítulo 6, são utilizadas as informações obtidas no capítulo anterior para simular a operação do retificador, utilizando o método numérico de Tustin com passo de cálculo de 10^{-7} segundos. Nestas simulações são analisadas e comparadas as formas de onda de tensão e corrente com aquelas teóricas apresentadas no capítulo 4, tanto para o controle em malha aberta quanto em malha fechada.

Para avaliar a conformidade do modelo teórico, foi construído um protótipo e realizados testes com tensão de entrada CC e CA. Estes experimentos são abordados no capítulo 7, que analisa os pontos semelhantes e discrepantes entre o teórico, simulado e real.

Por fim, no capítulo 8 são apresentadas as conclusões e feita uma análise qualitativa dos resultados, apontando possíveis modificações e propostas para continuação e melhoria do trabalho.

2 CONCEITOS FUNDAMENTAIS

2.1 DESACOPLAMENTO DE POTÊNCIA

Tendo a rede elétrica como fonte de potência a ser processada pelo retificador para entregar energia à carga CC, a forma de onda da tensão de entrada fica definida pelos padrões da rede, que em geral é senoidal com frequência fixa. Deste modo, a corrente e, conseqüentemente, a potência absorvida da rede dependem do conjunto retificador-carga. Não obstante, deseja-se que esta corrente seja também senoidal, em vista de garantir a qualidade de energia e o máximo aproveitamento do sistema.

Para avaliar o comportamento da potência absorvida da rede em um sistema monofásico, assume-se que as formas de onda da tensão e da corrente instantâneas são dadas pelas Equações (2.1) e (2.2).

Ressalta-se que em todo o texto, as grandezas representadas por letras minúsculas fazem referência a valores instantâneos, enquanto letras maiúsculas representam valores médios ou amplitude máxima de sinais senoidais.

$$v_{ca}(t) = V_{ca} \sin(\omega t) \quad (2.1)$$

$$i_{ca}(t) = I_{ca} \sin(\omega t + \varphi) \quad (2.2)$$

onde ω é a frequência angular em rad/s, φ corresponde à diferença de fase entre v_{ca} e i_{ca} , V_{ca} é o valor de pico da tensão, e I_{ca} é o valor de pico da corrente.

Dado então que a potência instantânea absorvida da rede é o produto da tensão e corrente instantâneas, tem-se a Equação (2.3).

$$p(t) = V_{ca} \sin(\omega t) \times I_{ca} \sin(\omega t - \varphi) \quad (2.3)$$

Utilizando a identidade trigonométrica dada pela Equação (2.4), obtêm-se a Equação (2.5) que é composta por duas parcelas, nomeadas por P_{cc} e p_{osc} , como apresentado pela Equação (2.6).

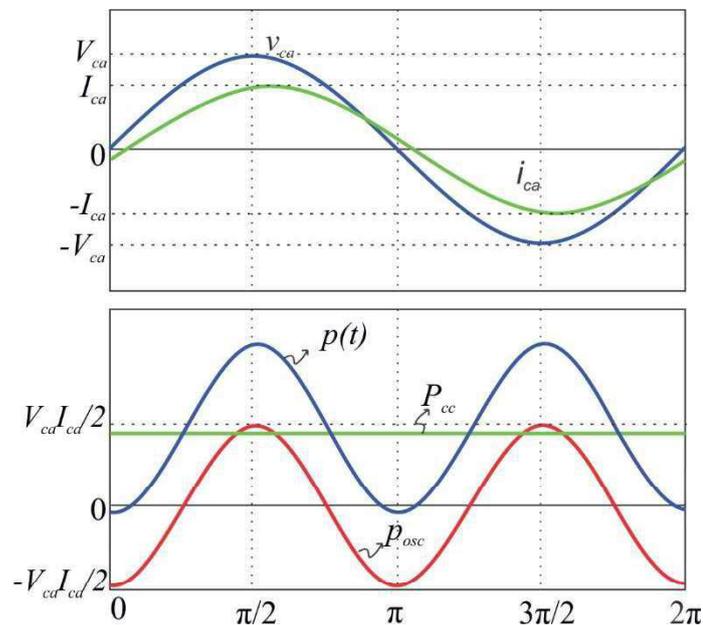
$$\sin(x) \sin(y) = \frac{\cos(x - y)}{2} - \frac{\cos(x + y)}{2} \quad (2.4)$$

$$p(t) = \frac{V_{ca}I_{ca}}{2} \cos(\varphi) - \frac{V_{ca}I_{ca}}{2} \cos(2\omega t - \varphi) \quad (2.5)$$

$$p(t) = P_{cc} + p_{osc} \quad (2.6)$$

Observando a Equação (2.5), nota-se que uma das parcelas varia com o dobro da frequência ω , enquanto que a outra parcela é constante e depende apenas das amplitudes máximas da tensão e da corrente, e da diferença de fase φ . Na Figura 2.1 é apresentada a composição da potência instantânea por suas parcelas contínua e variante, considerando uma diferença de fase $\varphi = 12^\circ$.

Figura 2.1 - Composição da potência monofásica.



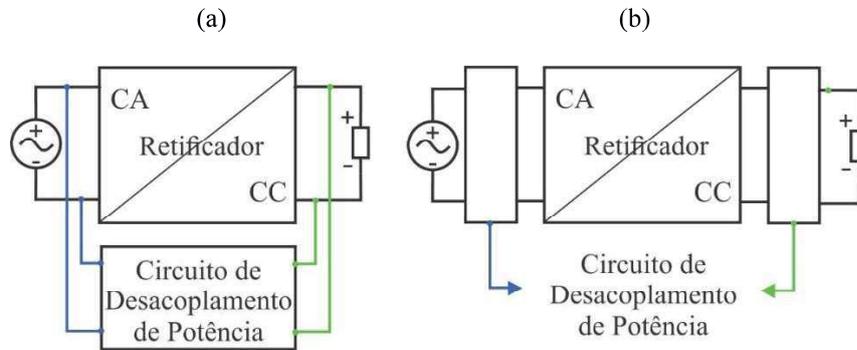
Fonte: Própria do autor.

O desacoplamento de potência consiste em empregar uma técnica de controle que evite a transferência da potência oscilante p_{osc} para a carga, ou seja, fazer com que a carga enxergue a alimentação apenas como uma fonte de potência CC de valor P_{cc} . Para tanto, empregam-se diferentes metodologias de desacoplamento, que dependem da topologia e são efetuadas de acordo com o objetivo do projetista, podendo ser implementada em série ou em paralelo em relação à entrada CA ou à saída CC, como mostra a Figura 2.2.

De modo geral, qualquer que seja a topologia utilizada, são necessários circuitos auxiliares ou, como no caso do retificador *Zeta* apresentado nesta dissertação, mudanças nos

valores padrão dos componentes dimensionados para comportar a função de desacoplamento da potência de 2ª harmônica.

Figura 2.2 – Desacoplamento de potência em (a) Paralelo e (b) Série.



Fonte: Própria do autor.

Para haver o desacoplamento, deve haver um balanço de potência no circuito, de tal forma que o somatório resulte em um fluxo de potência na saída que não varie ciclicamente, para que dessa forma a carga CC possa receber uma alimentação que atenda aos critérios de qualidade estabelecidos para ela. Assim, a Equação (2.7) estabelece o critério para o desacoplamento de potência, onde p_{reat} é a potência instantânea do elemento reativo responsável por absorver a oscilação.

$$p_{reat} = p_{osc} \quad (2.7)$$

A potência no elemento reativo é definida como mostrado nas Equações (2.8) e (2.9) para o indutor L , e (2.10) e (2.11) para o capacitor C .

$$p_L(t) = i_L(t) \times v_L(t) \quad (2.8)$$

$$p_L(t) = i_L(t) \times L \frac{di_L(t)}{dt} \quad (2.9)$$

$$p_C(t) = i_C(t) \times v_C(t) \quad (2.10)$$

$$p_C(t) = C \frac{dv_C(t)}{dt} \times v_C(t) \quad (2.11)$$

Para o caso específico da tensão e corrente serem como apresentado nas Equações (2.1) e (2.2), a corrente e, consequentemente, a tensão no indutor devem ser tais que correspondam às Equações (2.16) e (2.17).

$$p_L(t) = p_{osc} \quad (2.12)$$

$$i_L(t) \times L \frac{di_L(t)}{dt} = -\frac{V_{ca}I_{ca}}{2} \cos(2\omega t - \varphi) \quad (2.13)$$

$$L \int i_L(t) di_L(t) = \int -\frac{V_{ca}I_{ca}}{2} \cos(2\omega t - \varphi) dt \quad (2.14)$$

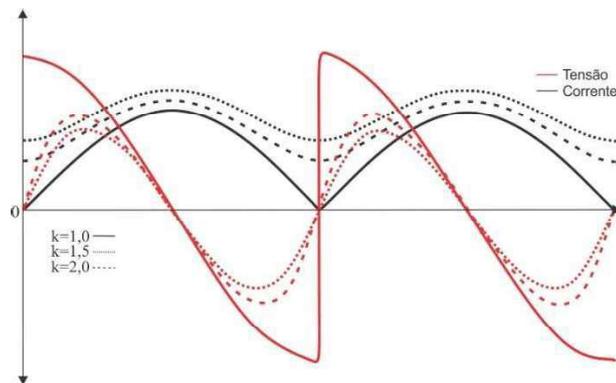
$$L \times [i_L(t)]^2 + C_1 = -\frac{V_{ca}I_{ca}}{2\omega} \sin(2\omega t - \varphi) + C_2 \quad (2.15)$$

$$i_L(t) = \sqrt{\frac{V_{ca}I_{ca}}{2\omega L} [k - \sin(2\omega t - \varphi)]} \quad (2.16)$$

$$v_L(t) = \frac{-\frac{V_{ca}I_{ca}}{2} \cos(2\omega t - \varphi)}{\sqrt{\frac{V_{ca}I_{ca}}{2\omega L} [k - \sin(2\omega t - \varphi)]}} \quad (2.17)$$

O coeficiente $k = C_2 - C_1$, é definido como Coeficiente Marginal de Armazenamento de Energia, e expressa o quanto de energia restará no indutor após um ciclo completo, ou seja, o nível CC do sinal. Para $k = 1$, o indutor descarrega-se totalmente, como pode ser visto na Figura 2.3.

Figura 2.3 – Efeito do coeficiente marginal de armazenamento de energia k na tensão e corrente do indutor.



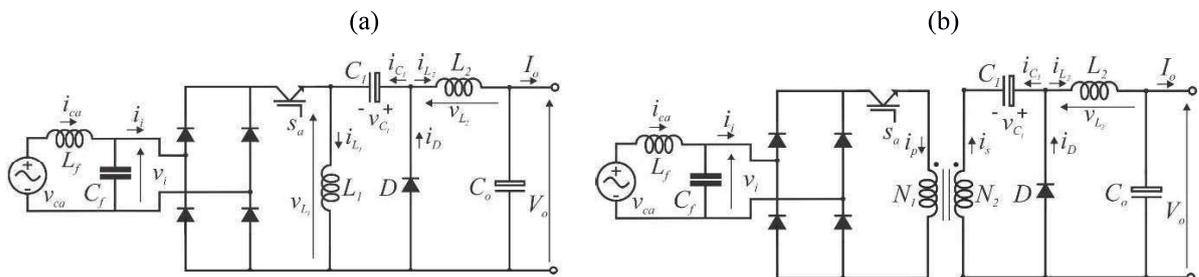
Fonte: Própria do autor.

Para o capacitor operando na compensação da oscilação de potência de 2ª harmônica, a análise é análoga.

2.2 RETIFICADOR ZETA MONOFÁSICO CONVENCIONAL

O retificador *Zeta* convencional apresenta duas versões básicas: o isolado e o não-isolado, como apresentado na Figura 2.4. Ambos podem operar como elevador ou abaixador de tensão, no modo de condução contínua (MCC) ou descontínua (MCD). No entanto, em aplicações de alta potência, a operação em modo descontínuo não é atrativa pois resulta em altos níveis de corrente RMS, o que causa um stress elevado nas chaves semicondutoras.

Figura 2.4 – Retificador *Zeta* Convencional (a) Não-isolado (b) Isolado.



Fonte: Própria do autor.

Esta topologia é usada principalmente para a correção de fator de potência, em aplicações que necessitam de mais recursos que aqueles disponíveis nas topologias mais usuais, tal como o retificador *Boost*, que não é abaixador-elevador e não se auto protege contra sobrecorrente e curto-circuito.

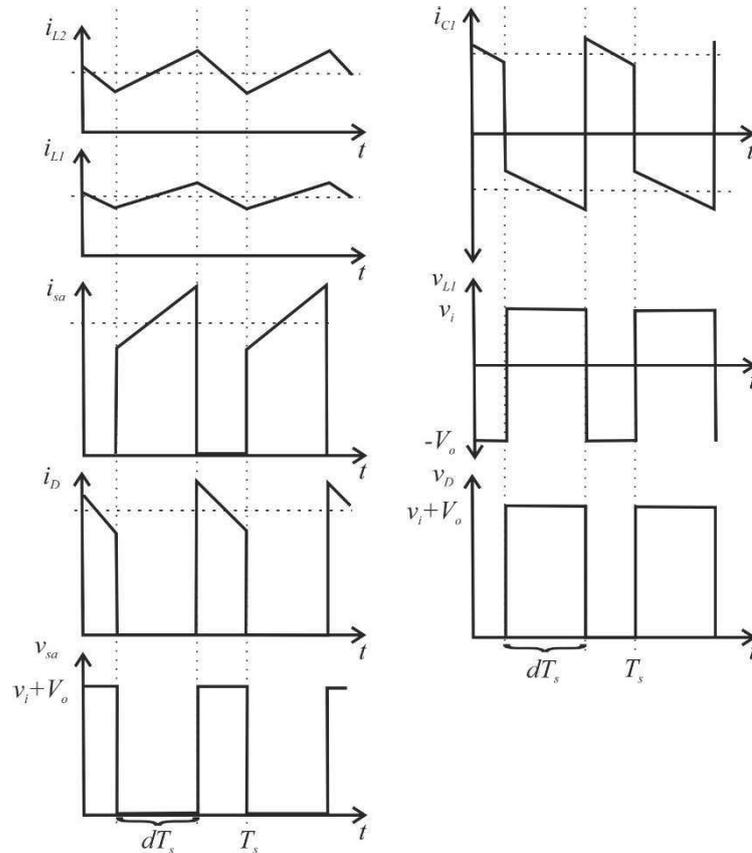
Para análise do funcionamento, pode-se representar o transformador por sua indutância de magnetização, tornando o circuito similar ao do não-isolado.

No **Modo de Condução Contínua**, a operação se dá em dois estágios:

- 1º estágio: A chave s_a conduz durante dT_s , onde d é o ciclo de trabalho e T_s é o período de chaveamento. A energia da fonte é repassada para o indutor L_1 , enquanto o capacitor C_1 supre energia para o indutor L_2 , pois o diodo D fica inversamente polarizado. Durante este intervalo de tempo as correntes nos dois indutores crescem linearmente. A tensão v_{C_1} é considerada constante e igual a V_o .
- 2º estágio: A chave s_a é aberta e o diodo D começa a conduzir. Até o fim do período de chaveamento, os indutores L_1 e L_2 transferem suas energias para os capacitores C_1 e C_o , respectivamente. Neste estágio não há circulação de energia na fonte de alimentação, o que garante que não tem distorção harmônica na corrente de linha.

As principais formas de onda do circuito no MCC são apresentadas na Figura 2.5.

Figura 2.5 – Principais formas de onda do *Zeta* convencional no MCC.



Fonte: Própria do autor.

A característica de ganho de tensão na saída é dada pela Equação (2.18), e para realizar a correção do fator de potência, o comportamento do ciclo de trabalho deve seguir a Equação (2.19), considerando a tensão de entrada sendo senoidal, como aquela da Equação (2.1).

$$V_o = \frac{v_i d}{1 - d} \quad (2.18)$$

$$d = \frac{1}{1 + \frac{V_{ca}}{V_o} \sin(\omega t)} \quad (2.19)$$

A operação no **Modo de Condução Descontínua** ocorre em três estágios:

- 1º estágio: similar à operação no MCC, este estágio caracteriza-se pela transferência de energia da fonte de alimentação para o indutor L_1 e do capacitor C_1 para o indutor L_2 durante o intervalo dT_s , no qual a chave s_a está conduzindo.

- 2º estágio: a chave é desligada e o diodo D começa a conduzir. A energia em L_1 e L_2 são repassadas para C_1 e C_o , respectivamente.
- 3º estágio: quando as correntes em L_1 e L_2 se igualam em valor, o diodo D novamente fica reversamente polarizado. Considerando que a tensão em C_1 é constante e igual a V_o , a tensão nos indutores é nula e, portanto, suas correntes se mantêm constantes até que o ciclo recomece no 1º estágio.

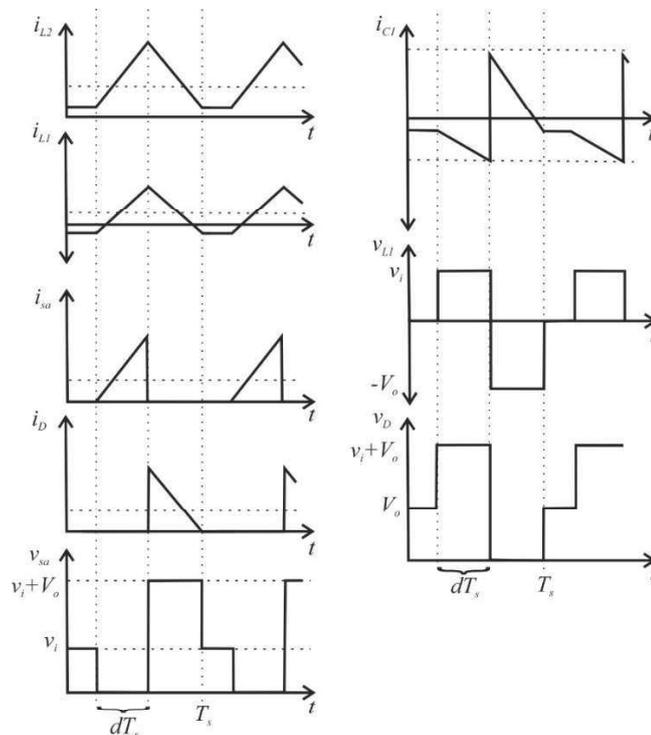
Operando no MCD, o conversor emula uma resistência que depende apenas do ciclo de trabalho. A característica de saída é descrita pela Equação (2.20), na qual R_o é a resistência de carga.

$$V_o = \frac{v_i d}{2} \sqrt{\frac{R_o T_s}{L}} \quad (2.20)$$

$$L = \frac{L_1 L_2}{L_1 + L_2} \quad (2.21)$$

Na Figura 2.6 são apresentadas as principais formas de onda do retificador *Zeta* no MCD.

Figura 2.6 – Principais formas de onda do *Zeta* convencional no MCD.



Fonte: Própria do autor.

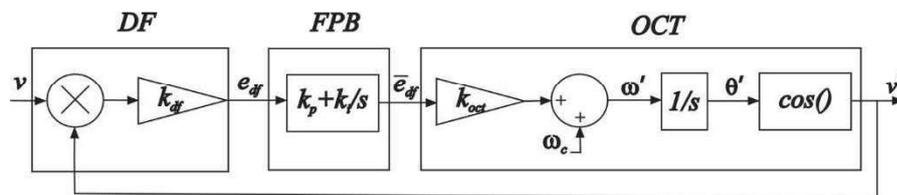
2.3 LAÇO DE INTERTRAVAMENTO DE FASE (PLL)

O laço de intertravamento de fase (do inglês *Phase-Locked Loop* – PLL) é uma ferramenta de grande importância e que tem sido utilizada em várias áreas da eletrônica de potência. Sua ideia principal é gerar um sinal cujo ângulo de fase encontra-se continuamente rastreando variações do ângulo de fase de um dado sinal. A estratégia normalmente utilizada nestes sistemas é estimar a diferença entre o ângulo de fase do sinal de entrada e do sinal gerado e levar este valor a zero por meio de uma malha de controle.

O diagrama de blocos com a representação da estrutura clássica do PLL é mostrado na Figura 2.7. A diferença de fase entre o sinal de entrada e o sinal de saída é medida através de um Detector de Fase (DF). O sinal de erro produzido é filtrado por um Filtro Passa Baixa (FPB). A saída do filtro aciona um Oscilador Controlador de Tensão (OCT), o qual gera o sinal de saída.

A filosofia do PLL é que a diferença de fase entre a rede e o ângulo de fase da tensão seja reduzida a zero com o uso de um controlador Proporcional-Integral (PI). A saída do controlador PI é a frequência da tensão de saída que é integrada para se obter a fase da tensão. Com o passar dos anos várias modificações foram feitas no sistema PLL, porém estas concentram-se no Detector de Fase.

Figura 2.7 – Diagrama de blocos da estrutura clássica do PLL.



Fonte: Própria do autor.

Inicialmente define-se que o sinal de entrada v tem a forma geral dada pela Equação (2.22).

$$v = V \sin(\theta) \quad (2.22)$$

onde

$$\theta = \omega t + \varphi \quad (2.23)$$

Por outro lado, o sinal gerado pelo oscilador pode ser definido como:

$$v' = V \cos(\theta') \quad (2.24)$$

onde

$$\theta' = \omega' t + \varphi' \quad (2.25)$$

O erro de fase obtido pela multiplicação dos sinais v e v' resulta em:

$$e_{df} = V k_{df} \sin(\omega t + \varphi) \cos(\omega' t + \varphi') \quad (2.26)$$

Por meio de propriedades trigonométricas, chega-se à Equação (2.27).

$$e_{df} = \frac{V k_{df}}{2} \sin((\omega - \omega')t + (\varphi - \varphi')) + \frac{V k_{df}}{2} \sin((\omega + \omega')t + (\varphi + \varphi')) \quad (2.27)$$

Levando-se em consideração que a parcela de maior frequência do erro será filtrada pelo filtro passa baixa, pode-se reescrever o erro como:

$$\bar{e}_{df} = \frac{V k_{df}}{2} \sin((\omega - \omega')t + (\varphi - \varphi')) \quad (2.28)$$

Ainda, pode-se assumir que a frequência do oscilador é idêntica à frequência do sinal de entrada, isto é, $\omega \approx \omega'$, portanto, $\omega - \omega' = 0$.

Então, a Equação (2.28) torna-se:

$$\bar{e}_{df} = \frac{V k_{df}}{2} \sin(\varphi - \varphi') \quad (2.29)$$

Considerando-se a propriedade trigonométrica da aproximação para ângulos pequenos, pode-se fazer $\sin(a) \approx a$, desde que $a < 15^\circ$. Portanto,

$$\bar{e}_{df} = \frac{V k_{df}}{2} (\varphi - \varphi') \quad (2.30)$$

Com a expressão da Equação (2.30), o oscilador consegue sintetizar um sinal que tem a mesma frequência do sinal de entrada e com a fase próxima, o que depende da eficiência do filtro passa baixa, uma vez que a realimentação consegue garantir erro nulo em regime permanente.

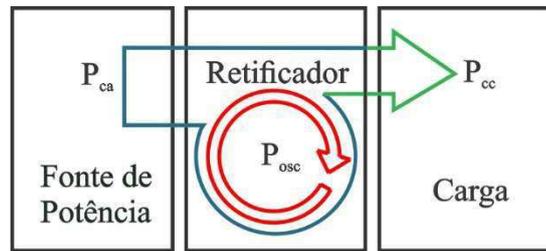
3 REVISÃO BIBLIOGRÁFICA

Uma boa parcela dos esforços na pesquisa de novas topologias de retificadores monofásicos está voltada para desenvolver formas eficazes de aumentar a eficiência na transferência de potência e melhorar a qualidade da energia que estes conversores entregam à carga. Várias técnicas já vêm sendo utilizadas para alcançar estes objetivos, com o uso de diferentes chaves semicondutoras, tais como o MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), IGBT (*Insulated Gate Bipolar Transistor*) e GTO (*Gate Turn-Off Thyristor*) em substituição dos diodos e tiristores comuns, permitindo a aplicação de técnicas mais arrojadas de modulação e a correção do fator de potência. Estes novos retificadores são chamados de Retificadores PWM (SINGH, 2003; ANDRADE, 2003).

O arranjo dos componentes também é um fator importante para se obter características que conferem maior confiabilidade e segurança na operação, evitando que a falha de um componente provoque curtos-circuitos ou sobretensões que façam danificar outros componentes. A topologia *Zeta* tem sido muito pouco empregado na correção de fator de potência em retificadores, também chamado PFC (do inglês *Power Factor Correction*), embora apresente vantagens naturais em relação a outros mais comuns nesta aplicação, tais como o *Boost*, *Cuk* e *Sepic* que não são capazes de se auto proteger contra sobrecarga de corrente e curto-circuito. (PEREZ, 1994; MARTINS, 1996; CALLEGARO, 2013).

Para impedir que a ondulação de potência na 2ª harmônica não seja visível para a carga, têm-se desenvolvido técnicas que combinam circuitos auxiliares com estratégias de controle, de forma a manter esta parcela oscilante circulando dentro do circuito auxiliar ou dissipá-la em um elemento resistivo adicional (VITORINO, 2016; OHNUMA, 2010, 2011 E 2014; TANG, 2015; GORLA, 2016; LIU, 2018; LI, 2013; ZHONG, 2012; SU, 2016; LIU, 2018; HARB, 2013; WANG, 2009 e 2010; ZHAO, 2012). Essa técnica baseia-se no uso de elementos reativos que compensam a variação da energia internamente ao conversor, carregando ou descarregando os elementos armazenadores, promovendo um fluxo de potência aproximadamente constante para a carga CC, como mostra a Figura 3.1.

Figura 3.1 - Fluxo de potência com o desacoplamento.



Fonte: Própria do autor.

3.1 RETIFICADORES MONOFÁSICOS COM DESACOPLAMENTO DE POTÊNCIA

O desacoplamento de potência tem sido bastante explorado nas pesquisas que buscam desenvolver equipamentos mais confiáveis, com maior durabilidade juntamente com uma alta densidade de potência. Assim, elas caminham na direção de alternativas que utilizem o mínimo de componentes, combinadas com técnicas de controle que proporcionem uma potência de saída constante, sem a necessidade de grandes capacitores ou indutores para tal.

Há alguns trabalhos na literatura que apresentam alternativas para explorar a técnica do desacoplamento de potência, sejam elas aplicadas em retificadores, inversores ou conversores bidirecionais; isolados ou não-isolados. Porém, num cenário mais restrito, há os trabalhos que focam nos retificadores monofásicos não-isolados, que utilizam em seu estágio inicial uma ponte retificadora composta por diodos.

Geralmente, retificador a ponte de diodos é a alternativa que traz o menor nível de complexidade para o esquema de controle, uma vez que esta ponte não precisa de estratégia para acionamento das chaves semicondutoras. Além disso, deve-se levar em conta que ela é uma alternativa mais barata que aquelas que utilizam chaves controladas. Para este tipo de topologia, há um padrão de composição do retificador, que é: filtro de entrada (normalmente um filtro LC), ponte retificadora, conversor CC-CC e, por vezes, há também um filtro de interferência eletromagnética.

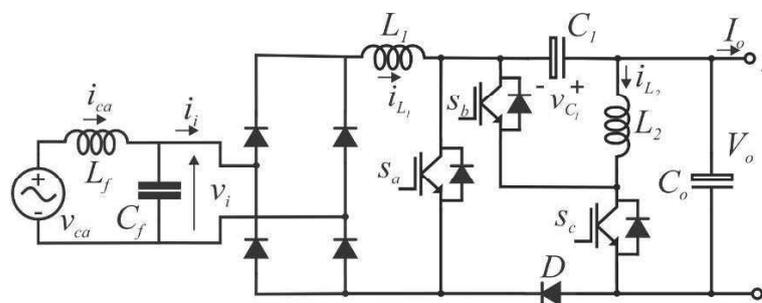
Em virtude do exposto, cabe aqui fazer um levantamento das soluções existentes que apresentam as características citadas, de forma a subsidiar uma avaliação analítica dos pontos positivos e negativos do retificador proposto neste trabalho. A seguir são apresentadas algumas propostas encontradas na literatura.

3.1.1 Retificador proposto por Liu et al. (2017)

Na Figura 3.2, é apresentado o retificador monofásico não-isolado proposto por Liu et al. (2017), que é composto por um circuito *boost* PFC, e um circuito regulador da tensão de saída, que permite uma ampla faixa de conversão, e baseia-se em quatro estados de operação. Na sua operação, as chaves S_b e S_c são complementares e dedicadas a amortecer a oscilação de potência, enquanto a chave S_a opera com independência para regular o fator de potência.

O retificador opera em Modo de Condução Contínua (MCC) em ambos os indutores de entrada (L_1) e saída (L_2).

Figura 3.2 – Retificador proposto por Liu et al. (2017).



Fonte: Própria do autor.

No primeiro estágio de operação, as chaves S_a e S_c estão abertas e S_b conduz. Desse modo, parte da energia da rede é repassada para a carga e outra para o indutor L_1 e capacitor C_1 . Ao desligar a chave S_b e ligar a chave S_c , dá-se início ao estágio 2, no qual o indutor L_2 repassa sua energia para a carga somando-se àquela provinda da rede.

Para o terceiro estágio, quando S_a é ligada, a corrente da rede carrega o indutor L_1 e o diodo D se polariza reversamente para evitar o curto-circuito, enquanto isso a energia acumulada em C_1 é repassada para L_2 . No quarto estágio, as chaves S_a e S_c conduzem, então acumula-se energia em L_1 e repassa-se energia de L_2 para a carga. As etapas de operação estão representadas na Figura 3.3.

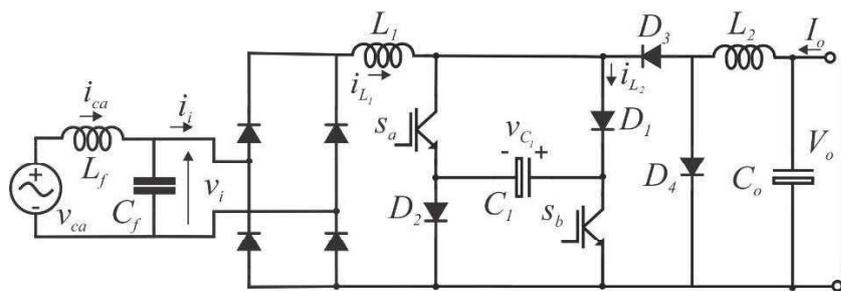
Este retificador contém três chaves semicondutoras, o que é uma desvantagem em relação a outras topologias que conseguem desempenhar as mesmas funções utilizando apenas duas chaves, permitindo reduzir as perdas no circuito, eliminar a circuitaria e diminuir seu custo, sem contar a influência no tamanho e peso do equipamento.

necessário para obter os mesmos resultados seria de 1,1 mF, o que demonstra que o retificador proposto por Liu foi efetivo em reduzir a densidade de potência, mantendo características essenciais que são o alto fator de potência (acima de 0,97) e a alta eficiência (cerca de 93%).

3.1.2 Retificador Sheppard-Taylor

Uma outra topologia, mostrada na Figura 3.5, nomeada retificador *Sheppard-Taylor*, foi estudada por Liu e Sun (2017), que propuseram um método de controle para reduzir a capacitância do filtro de saída. Ele tem a relevante característica da tensão de saída ser negativa, o que apropria seu uso para aplicações que tenham tal necessidade, além de permitir a correção do fator de potência.

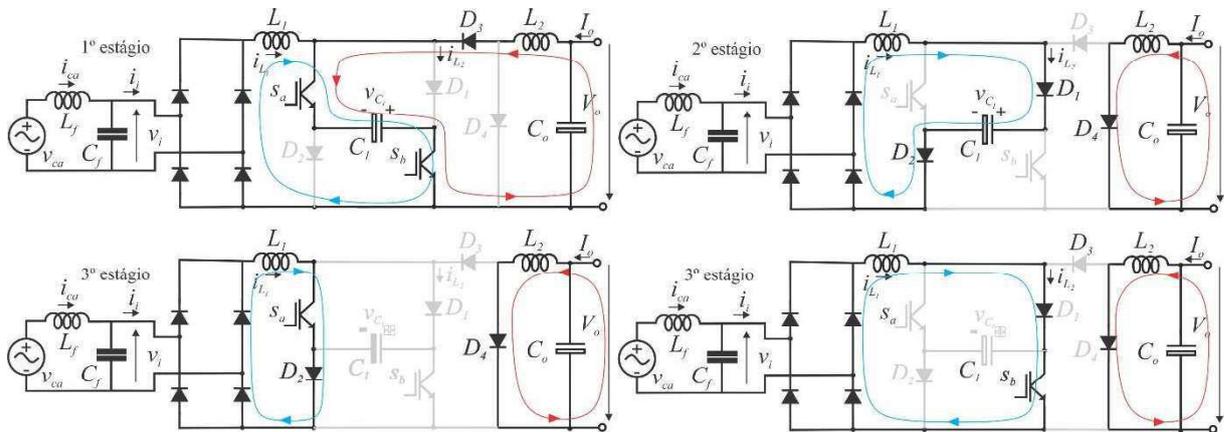
Figura 3.5 – Retificador Sheppard-Taylor.



Fonte: Própria do autor.

O método de operação proposto pelos autores prevê 3 estágios. No primeiro, as duas chaves S_a e S_b conduzem, fazendo com que o capacitor se descarregue, entregando energia ao barramento CC para compensar o *ripple* de potência. O indutor de transferência L_1 também se descarrega ao passar sua energia para o indutor L_2 , que por sua vez se carrega até o final deste estágio. No segundo, com as duas chaves abertas, o capacitor C_1 recebe energia do indutor L_1 , enquanto a saída é alimentada pela energia de L_2 . Já o terceiro estágio é o de roda livre, que foi o estágio proposto pelos autores para conceder um grau de liberdade a mais ao controle do retificador, sendo possível, além da correção do fator de potência e da regulação da tensão de saída, o desacoplamento de potência. Na roda livre, somente uma das chaves conduz, podendo ser tanto a chave S_a como a S_b , fazendo com que o indutor L_1 se carregue. A Figura 3.6 mostra os estágios de operação deste retificador.

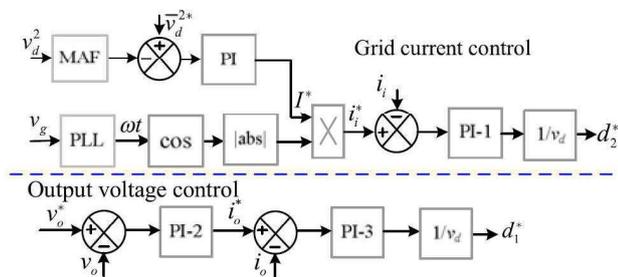
Figura 3.6 – Estágios de operação do retificador Sheppard-Taylor.



Fonte: Própria do autor.

O sistema de controle tem três objetivos a serem alcançados: tensão de saída desejada, correção de fator de potência e manter o nível da componente CC da tensão em C_1 . O primeiro é alcançado controlando-se a corrente em L_2 , já os dois últimos são efetuados fazendo-se a corrente de entrada seguir sua referência, conforme a Figura 3.7.

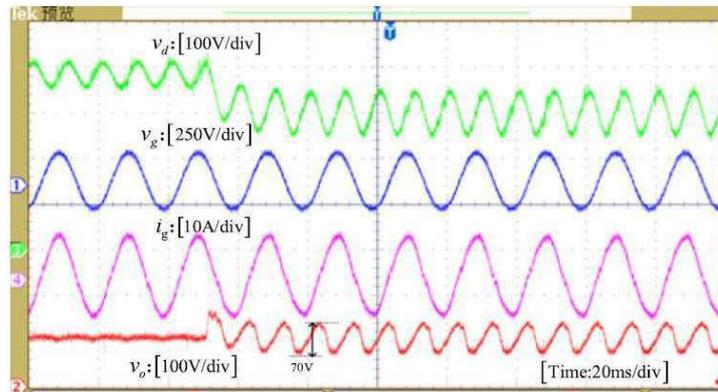
Figura 3.7 – Diagrama de blocos do controle do retificador Sheppard-Taylor.



Fonte: LIU, Y.; SUN, Y. SU, M.; LIU, F. Control method for the sheppard-taylor pfc rectifier to reduce capacitance requirements. 2017.

Para verificar a viabilidade do esquema de controle proposto, foi construído um protótipo de 500 W, com tensão de saída de 100 V, utilizando no barramento um capacitor de 20 μF , e como elemento de desacoplamento, um capacitor de 100 $\mu\text{F}/450$ V. Como pode ser visto na Figura 3.8, o *ripple* de tensão é reduzido consideravelmente com a utilização do esquema de controle para o desacoplamento de potência, assim como o fator de potência é praticamente unitário.

Figura 3.8 – Resultados experimentais do retificador Sheppard-Taylor.



Fonte: LIU, Y.; SUN, Y. SU, M.; LIU, F. Control method for the sheppard-taylor pfc rectifier to reduce capacitance requirements. 2017.

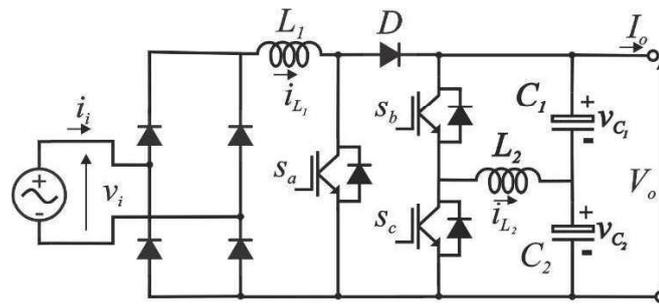
A eficiência do conversor registrada é de 90,7%, que é um ponto fraco do retificador, devido à utilização de muitos componentes semicondutores, que geram um nível elevado de perdas por comutação.

3.1.3 Retificador proposto por Tang et al. (2015)

Tang et al. propõem um circuito meia-ponte simétrico aplicado a um conversor monofásico PFC, como mostra a Figura 3.9, em que dois capacitores de filme, idênticos, são conectados em série para formar o barramento CC, sendo que as tensões $v_{C1}(t)$ e $v_{C2}(t)$ são controladas para serem senoidais, com um *offset* igual a metade da tensão do barramento CC, e amplitude e fase de acordo com a referência estabelecida, de modo que ocorra o desacoplamento de potência. Dessa forma, os sinais de tensão nos capacitores oscilam na frequência da segunda harmônica da rede.

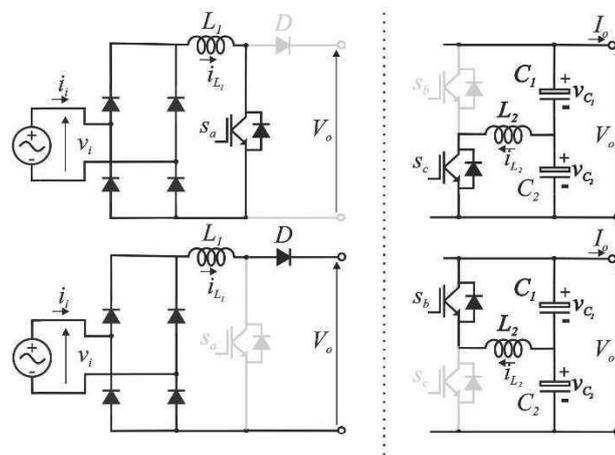
As duas partes do retificador operam independentemente. A primeira se trata de uma ponte retificadora não controlada, seguida por um circuito *boost* PFC para prover a regulação da tensão de saída V_o e controlar o fator de potência da entrada. Assim, o acionamento da chave S_a é realizado de forma a atender apenas esses dois objetivos. Já a segunda parte, formada pelas chaves S_b e S_c , operam complementarmente entre si, e sem nenhuma restrição em relação à operação da outra parte do retificador. A Figura 3.10 destaca essa operação independente das partes do retificador proposto.

Figura 3.9 – Retificador proposto por Tang et al. (2015).



Fonte: Própria do autor.

Figura 3.10 – Estágios de operação do retificador proposto por Tang et al. (2015).



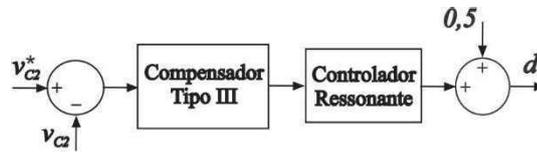
Fonte: Própria do autor.

Quanto ao sistema de controle, os autores discorrem apenas do *loop* usado para o controle da tensão nos capacitores C_1 e C_2 , dado que consideram controle do circuito *boost* facilmente encontrado na literatura. A ideia é projetar o controle da tensão no capacitor C_2 , e dessa forma, o controle da tensão em C_1 é automático. Para isso, propõe-se um compensador modificado tipo III combinado com um controlador ressonante para garantir erro nulo em regime permanente, como mostra a Figura 3.11.

Um protótipo de 1 kW foi construído para validar o modelo proposto, o qual tem seu barramento formado por duas associações de capacitores - dois conjuntos de três capacitores de filme de $30 \mu\text{F}$ ligados em paralelo, equivalendo cada um a $90 \mu\text{F}$, ligados em série e totalizando uma capacitância equivalente no barramento de $45 \mu\text{F}$ - para uma tensão de saída de 380 V. A Figura 3.12 mostra o comparativo dos resultados experimentais com e sem o desacoplamento

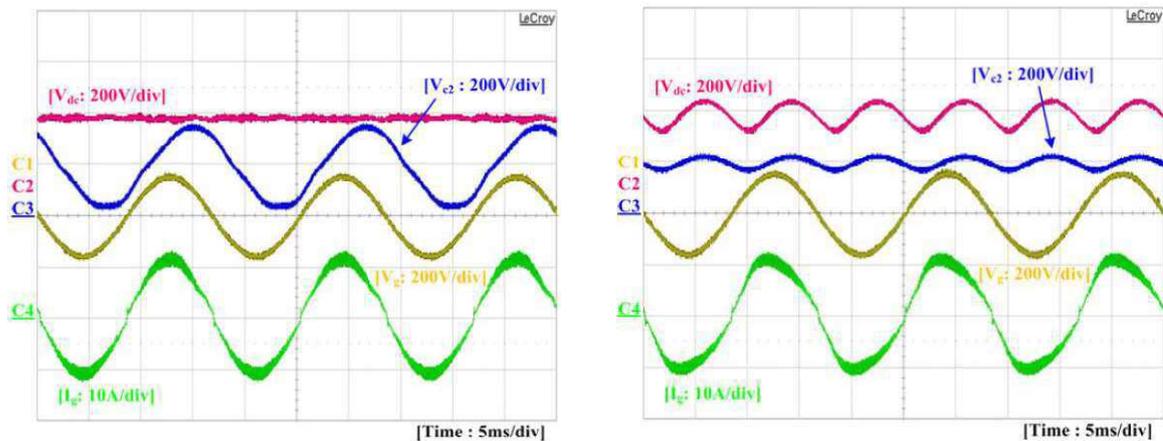
de potência, na qual destaca-se a redução do *ripple* na tensão de saída de 31,6% para 3% da tensão nominal do barramento.

Figura 3.11 – Diagrama de blocos do controle do retificador proposto por Tang et al. (2015).



Fonte: Própria do autor.

Figura 3.12 – Resultados experimentais de Tang et al. (2015) (a) com desacoplamento e (b) sem desacoplamento.



Fonte: TANG, Y.; et al. Decoupling of fluctuating power in single-phase systems through a symmetrical half-bridge circuit. 2015.

Como consequência da redução do *ripple* na tensão de barramento, a corrente drenada da rede também melhora significativamente, com uma redução da DHT de 9,1% para apenas 3,8%, o que cumpre com os limites de harmônicos estabelecidos pelo IEEE 519-1992. Além disso, o protótipo foi testado com cargas dinâmicas e apresentou transientes que revelaram uma variação de ± 100 V que converge para o valor nominal da tensão de barramento em cerca de cinco ciclos da entrada. Esse desempenho foi considerado aceitável pelos autores, dado a baixa capacitância equivalente do barramento CC.

Em termos de eficiência, o retificador proposto ficou em cerca de 92%, que é 2,3% menor que a eficiência do protótipo construído para comparação, o qual se utiliza das mesmas especificações de potência, tensão e corrente de entrada, e tensão de saída; no entanto tem

barramento formado por dois capacitores de 470 μF ligados em paralelo, e não utiliza a técnica de desacoplamento. Essa queda de eficiência é explicada pela inserção da terceira perna de semicondutores, aumentando as perdas por chaveamento.

Esta proposta promete uma redução prática no valor da capacitância de barramento de no mínimo 10 vezes daquele que seria necessário se não houvesse a estratégia de desacoplamento de potência. Porém, há uma deficiência no uso desses dois capacitores em série, pois apesar de terem um baixo valor de capacitância, eles precisam suportar, cada um, a tensão nominal do barramento, uma vez que, como já mencionado, o sinal de tensão deles tem forma senoidal e pode variar de zero até o valor da tensão do barramento. Sendo assim, como o tamanho dos capacitores depende também da tensão de trabalho em que eles operam, a densidade de potência é reduzida à medida que se eleva a tensão de barramento desejada.

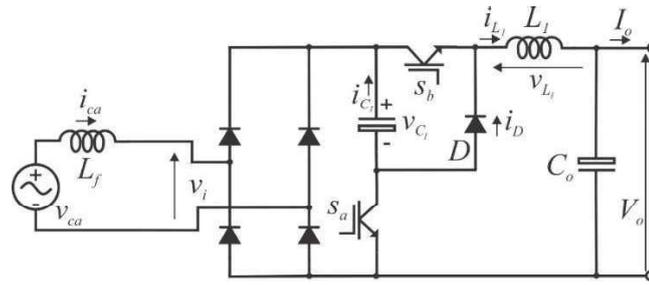
3.1.4 Retificador proposto por Ohnuma e Itoh (2014)

O retificador proposto por Ohnuma e Itoh (2014) é baseado em um conversor *buck* PFC, como mostra a Figura 3.13. Dessa forma, sua tensão de saída é sempre menor que a tensão de pico da entrada. Ele é uma alternativa para as aplicações de baixa tensão, pois permite o uso de chaves semicondutoras com tensões nominais menores, que pode reduzir significativamente o custo do retificador.

A operação deste retificador se dá em quatro estágios. No primeiro estágio, a chave S_b é acionada, e assim, a carga é alimentada diretamente pela fonte de entrada, bem como o indutor L_1 , de forma similar à operação do conversor *buck* convencional. Outro estágio que é equivalente à operação do convencional é o quarto estágio, no qual a chave S_a conduz para que seja criado o caminho para que o indutor repasse sua energia para a carga. Os outros dois estágios são o diferencial desta topologia, pois eles permitem o desacoplamento de potência entre entrada e saída.

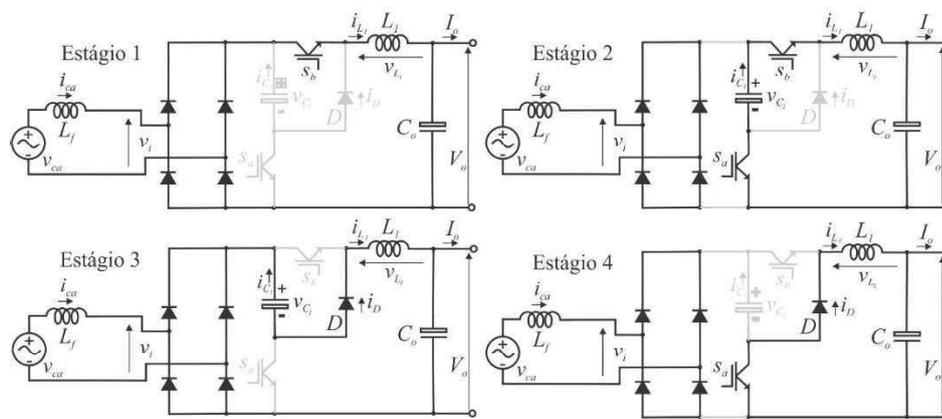
No segundo estágio, o capacitor C_1 é descarregado, suprindo a demanda da carga quando a potência de entrada está em seu semiciclo de baixa, enquanto no terceiro estágio, o capacitor se carrega para absorver a potência excedente, e assim não repassar a oscilação para a saída. Os quatro estágios são representados na Figura 3.14.

Figura 3.13 – Retificador proposto por Ohnuma e Itoh (2014).



Fonte: Própria do autor.

Figura 3.14 – Estágios de operação do retificador proposto por Ohnuma e Itoh (2014).

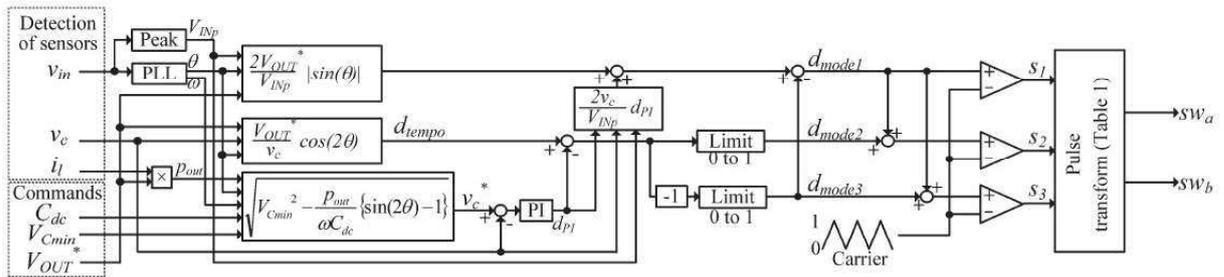


Fonte: Própria do autor.

A estratégia de controle utilizada pelos autores consiste em gerar um sinal senoidal de referência em fase com a tensão de entrada, com amplitude definida de acordo com o valor de tensão de saída desejado. Para isso, utiliza-se de um PLL para capturar a fase e também a frequência angular do sinal, a qual é utilizada para gerar o sinal de referência utilizado no desacoplamento de potência. O sinal de referência sincronizado com a entrada fará com que o fator de potência seja próximo ao unitário.

Para o desacoplamento de potência, é calculada a tensão desejada no capacitor, com base na análise teórica da compensação de potência oscilante, de modo que, utilizando-se de um controlador PI, seja possível garantir erro nulo em regime permanente, permitindo que o capacitor absorva energia e depois repasse para a carga nos momentos em que ocorrem picos e vales, como é previsto na forma de onda da potência monofásica. A Figura 3.15 apresenta o diagrama de blocos do controle aplicado neste retificador.

Figura 3.15 - Diagrama de blocos do controle do retificador proposto por Ohnuma e Itoh (2014).



Fonte: OHNUMA, Y.; ITOH, J. I. A novel single-phase buck pfc ac-dc converter with power decoupling capability using an active buffer. 2014.

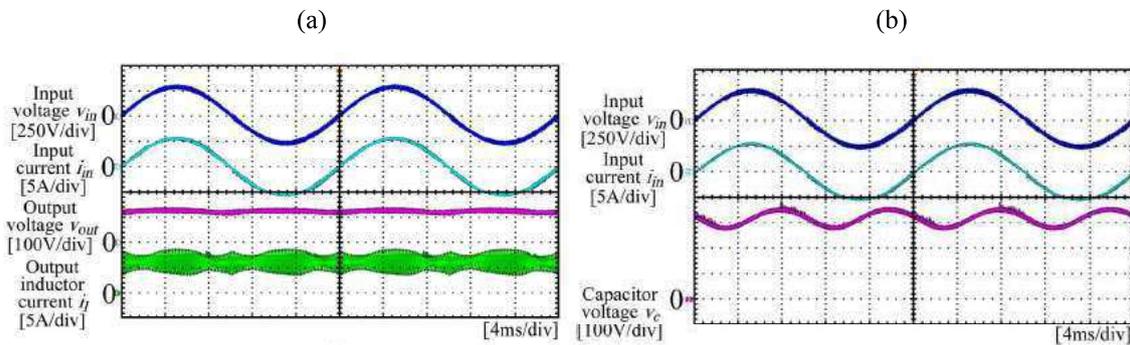
Segundo os autores, não foi utilizado um controlador otimizado para o circuito proposto. A decisão foi utilizar um controlador típico apenas para verificar os aspectos fundamentais da operação.

Conforme necessidade da aplicação, o valor do capacitor de desacoplamento pode ser reduzido controlando-se a sua variação de tensão, tornando possível o uso de pequenos capacitores, tais como o de filme e o de cerâmica. Esta é uma das principais características buscadas pelos projetistas que implementam a técnica de desacoplamento, pois com isso é possível conferir maior confiabilidade e vida útil aos equipamentos.

No protótipo de 750 W construído para validar o modelo, foram utilizados filtros LC na entrada e na saída com valores 1 mH e 3,3 μ F, e capacitor de filme de 100 μ F para o desacoplamento. É destacado pelos autores que, na topologia convencional, o valor do indutor de filtro seria bem maior, por volta de 350 mH.

Como pode ser visto na Figura 3.16 (a), o sistema de controle consegue alcançar um fator de potência quase unitário, cerca de 99,9%, e com pouca distorção na corrente de entrada, registrando DHT de apenas 1,91%. Outro ponto de destaque deste retificador é o ripple na tensão de saída, que foi menor que 10%, como é notado na parte (a) da Figura 3.16. Esses resultados dependem da variação de tensão admitida no capacitor de desacoplamento, que para o caso em questão, como observado na parte (b) da Figura 3.16, ficou aproximadamente em 80 V, com o mínimo sendo 280 V e o máximo 360 V.

Figura 3.16 – Formas de onda experimentais da (a) entrada e saída, e (b) entrada e tensão no capacitor de desacoplamento.



Fonte: OHNUMA, Y.; ITOH, J. I. A novel single-phase buck pfc ac–dc converter with power decoupling capability using an active buffer. 2014.

A eficiência do protótipo foi de 96,4%, que é um valor relativamente alto, demonstrando que os efeitos positivos esperados pelo uso da técnica de desacoplamento de potência se concretizaram.

Uma das limitações desta topologia de retificador é que o valor máximo da tensão de saída não ultrapassa a metade da amplitude de pico da tensão de entrada, tornando-o adequado apenas para aplicações específicas.

3.1.5 Avaliação das topologias da revisão em relação ao retificador Zeta

Diante das topologias apresentadas, verifica-se que a técnica de desacoplamento de potência tem sido explorada de um modo similar em todas as situações, que é através da inserção de um ou mais componentes reativos, associados a uma malha contendo componentes semicondutores, de modo a proporcionar um grau de liberdade extra para o controle do retificador.

O retificador *Zeta* com desacoplamento de potência apresentado neste trabalho consegue desempenhar as funções a ele impostas sem a necessidade de grandes alterações em sua topologia. Enquanto o *Zeta* convencional tem sua aplicação pouco explorada devido à presença de elementos reativos a mais que as topologias mais comuns (*boost*, *buck-boost* e *flyback*), na aplicação da técnica de desacoplamento ele se torna bastante adequado, pois é

possível utilizar o indutor próprio da topologia, necessitando-se apenas de uma chave extra, totalizando 2 chaves e 5 diodos, como mostra a Tabela 3.1.

Tabela 3.1 – Quantitativo de semicondutores.

	Liu et. al (2017)	Sheppard- Taylor	Tang et. al (2015)	Ohnuma e Itoh (2014)	Zeta com Desacoplamento
MOSFET ou IGBT	3	2	4	2	2
Diodo	5	8	5	5	5
Elemento reativo extra	1	0	1	1	0

Fonte: Própria do autor.

3.2 MÉTODOS DE CONTROLE

Genericamente, os retificadores monofásicos que utilizam a estratégia de desacoplamento de potência podem ser representados por um modelo de três portas: uma porta de entrada, uma porta de saída, e uma porta de amortecimento, onde é conectado o elemento responsável por desacoplar a potência oscilante do resto do sistema. Assim, considerando que as perdas internas e a energia residual nos elementos reativos internos são desprezíveis, pela Lei da Conservação de Energia, a potência em qualquer porta é inerentemente determinada pelas outras duas. Então, somente duas das três precisam ser controladas (Li et al., 2018).

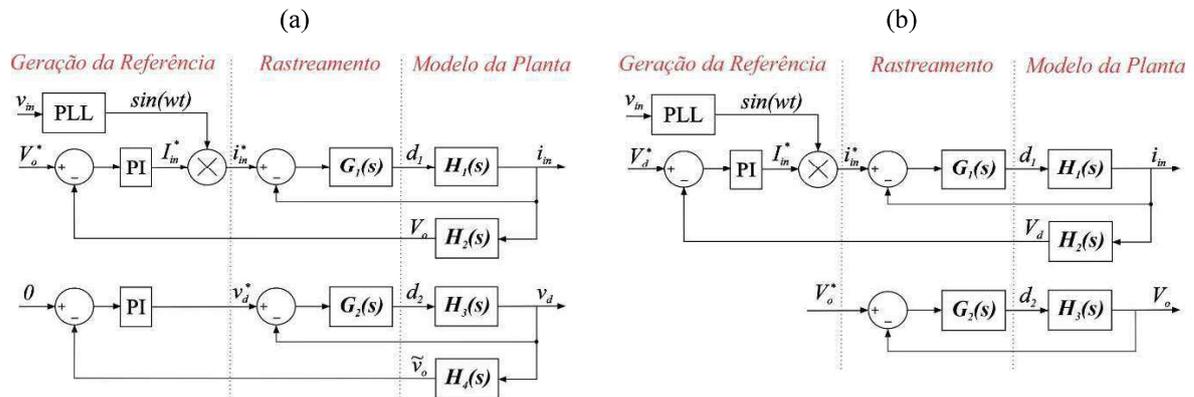
De acordo com o exposto, há três possíveis formas de se regular o sistema de três portas:

- Estratégia A – controle direto da potência das portas de entrada e de amortecimento;
- Estratégia B – controle direto da potência das portas de saída e de amortecimento;
- Estratégia C – controle direto da potência das portas de entrada e de saída.

As estratégias A e B são referenciadas como Controle Direto do Desacoplamento, justamente por atuarem diretamente na porta de amortecimento, responsável pelo desacoplamento de potência. Já a estratégia C é referenciada como Controle Automático do

Desacoplamento, pois não há um controle dedicado à porta de amortecimento. A Figura 3.17 mostra o digrama de blocos típico das estratégias A e C.

Figura 3.17 – Diagrama de blocos das estratégias de controle (a) direto e (b) automático do desacoplamento de potência.



Fonte: Própria do autor.

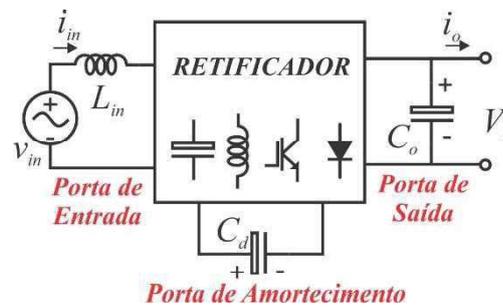
No controle direto, a potência de entrada e de amortecimento são controladas via controle da corrente de entrada e da tensão ou corrente (depende se é capacitor ou indutor, respectivamente) do elemento de desacoplamento, através dos ciclos de trabalho d_1 e d_2 . A amplitude de referência da corrente de entrada é gerada por um laço externo, resultado do controle da tensão CC de saída. No controle automático, o controle da corrente de entrada é similar ao anterior, porém a amplitude de referência é gerada pelo controle do nível CC da tensão ou corrente do elemento de desacoplamento. Para o controle da potência de saída, é empregado laço simples, uma vez que a referência da tensão de saída é, tipicamente, pré-determinada.

Teoricamente, qualquer uma das três estratégias são equivalentes e podem alcançar o mesmo desempenho em regime permanente e no transitório, se a referência associada a cada porta for gerada de forma precisa e em sincronia com as entradas variantes no tempo.

A forma real e precisa da potência oscilante que deve ser amortecida, normalmente é mais complexa que apenas um sinal senoidal com o dobro da frequência da entrada, devido às não idealidades e harmônicos no circuito. Assim, o controle direto baseado em laço fechado para a geração da referência é mais efetivo que o laço aberto.

Além da geração do sinal de referência, o rastreamento preciso da referência também é crucial para o desempenho do sistema monofásico. Para isso, é necessário conhecer a planta que se deseja controlar. Tomando como exemplo o modelo genérico de três portas da Figura 3.18, é feito, primeiramente, a análise da planta.

Figura 3.18 – Modelo genérico de três portas.



Fonte: Própria do autor.

O modelo médio em espaço de estados, como apresentado na Equação (3.1) e (3.2), permite que o projetista analise a forma precisa de geração dos sinais de referência.

$$\begin{bmatrix} L_{in} & 0 & 0 \\ 0 & C_o & 0 \\ 0 & 0 & C_d \end{bmatrix} \begin{bmatrix} i_{in} \\ v_o \\ v_d \end{bmatrix} = \begin{bmatrix} A_{11} & A_{12} & A_{13} \\ A_{21} & A_{22} & A_{23} \\ A_{31} & A_{32} & A_{33} \end{bmatrix} \begin{bmatrix} i_{in} \\ v_o \\ v_d \end{bmatrix} + \begin{bmatrix} B_{11} & B_{12} \\ B_{21} & B_{22} \\ B_{31} & B_{32} \end{bmatrix} \begin{bmatrix} v_{in} \\ i_o \end{bmatrix} \quad (3.1)$$

$$\mathbf{K}[\dot{\mathbf{x}}] = \mathbf{A}[\mathbf{x}] + \mathbf{B}[\mathbf{u}] \quad (3.2)$$

As matrizes \mathbf{A} e \mathbf{B} específicas de cada topologia de retificador, representam o efeito das entradas de controle (em geral os ciclos de trabalho das chaves), e não necessariamente são matrizes diagonais. Então, o sistema de três portas pode ser altamente acoplado, ou seja, ter interdependência entre as variáveis de estado e entre as entradas de controle, e também ser não linear.

Os controladores das malhas internas são projetados de acordo com específicos critérios de estabilidade e banda de passagem, sendo que existem dois grandes desafios para se executar isso:

1. O projeto do controlador e a derivação das funções de transferência da planta de sistemas não lineares são baseadas na análise de modelos de pequenos sinais e depende do modelo linearizado da planta, que é válido somente ao redor de um certo ponto de operação. Dessa forma, é necessária uma análise minuciosa do desempenho do sistema

em malha fechada, em relação a estabilidade e banda de passagem de todos os possíveis pontos de operação.

2. O acoplamento cruzado da dinâmica do sistema e das duas entradas de controle introduzem uma interferência cruzada para cada malha de controle, que pode substancialmente deteriorar o desempenho do rastreamento da referência e a estabilidade do sistema. É necessário, então, fazer que o controle tenha alta rejeição a distúrbios.

Devido as dificuldades acima citadas, poucos trabalhos relatam o método de projeto dos controladores para retificadores monofásicos com desacoplamento de potência, e apesar da maioria apresentar um diagrama de blocos do sistema de controle, é provável que a sintonia dos controladores tenha sido realizada de forma empírica.

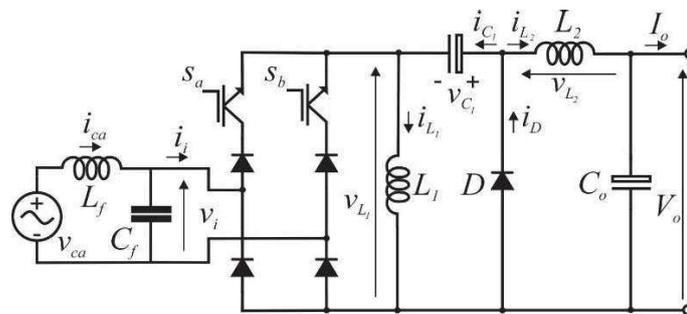
Os sistemas monofásicos que podem ser representados similarmente à forma geral apresentada na Equação (3.2), são aproximados por dois subsistemas desacoplados para o Controle Direto do Desacoplamento (estratégia A). Em geral, a dinâmica da tensão de saída é relacionada somente a porta de entrada, enquanto a dinâmica do *ripple* da tensão de saída é relacionada somente à porta de amortecimento. É esperado que tal aproximação possa suavizar os problemas de acoplamento cruzado da dinâmica do sistema.

4 RETIFICADOR ZETA COM DESACOPLAMENTO DE POTÊNCIA

4.1 ETAPAS DE FUNCIONAMENTO

Arranjado da forma apresentada na Figura 4.1, o retificador *Zeta* com desacoplamento de potência apresenta uma chave em cada perna da ponte retificadora, permitindo a inserção de um grau de liberdade no controle de sua operação. Com esse novo grau de liberdade é possível controlar, simultaneamente, a corrente absorvida da rede i_{ca} , alcançando um alto fator de potência com baixa distorção harmônica, e a tensão de saída V_o , ou seja, é possível desacoplar o controle da entrada e da saída, permitindo a compensação da potência oscilante.

Figura 4.1 – Diagrama do retificador *Zeta* com desacoplamento de potência.



Fonte: Própria do autor.

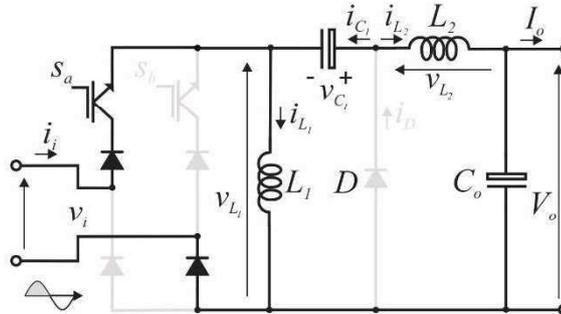
Antes de iniciar a análise do retificador, faz-se necessária a consideração inicial de que a tensão da rede é senoidal de frequência fixa, como apresentada na Equação (2.1).

O princípio de funcionamento do retificador estudado baseia-se em três estados de operação. Considerando que a tensão de alimentação v_{ca} é senoidal e está em seu semiciclo positivo, e também que a chave s_a está ligada, os diodos da ponte retificadora se polarizam como mostrado na Figura 4.2.

O primeiro estado de operação correspondente à $t_{on} = d_1 T_s$, onde d_1 é o ciclo de trabalho da chave que conecta a fonte ao restante do circuito em cada semiciclo, no caso do semiciclo positivo, é função da chave s_a ; e T_s é o período de chaveamento, que é bem menor que o período da senoide da tensão de alimentação. Neste instante, o indutor L_1 paralelo à ponte retificadora é carregado pela energia da fonte de tensão, e a energia presente no capacitor C_1 é

repassada para a carga e para o indutor L_2 , enquanto o diodo D é inversamente polarizado. Deste modo, extrai-se as Equações (4.1) a (4.4).

Figura 4.2 – Diagrama do retificador *Zeta* para o instante t_{on} .



Fonte: Própria do autor.

$$v_{L_1} = |v_i| \quad (4.1)$$

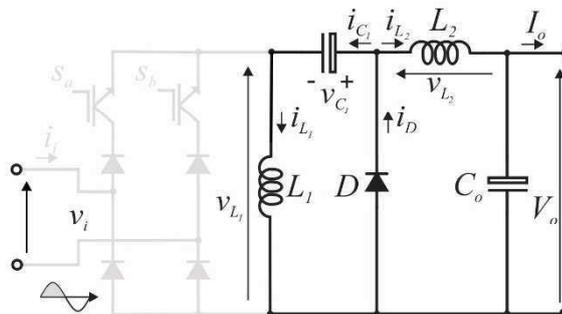
$$v_{L_2} = v_i + v_{C_1} - V_o \quad (4.2)$$

$$i_{C_1} = -i_{L_2} \quad (4.3)$$

$$i_{C_o} = i_{L_2} - I_o \quad (4.4)$$

Terminada a etapa de carregamento do indutor L_1 , inicia-se o segundo estado de operação, que ocorre durante o período de tempo determinado por $t_{off} = d_2 T_s$, cujo d_2 é a parcela do período de chaveamento em que ambas as chaves s_a e s_b estão abertas. Esta etapa consiste na transferência de energia do indutor L_1 para o capacitor C_1 , por meio da malha que contém o diodo D , que é polarizado diretamente pela tensão criada pelo indutor L_1 no nó do ânodo, produzida para evitar a interrupção brusca de sua corrente, como mostra o diagrama da Figura 4.3.

Figura 4.3 - Diagrama do retificador *Zeta* para o instante t_{off} .



Fonte: Própria do autor.

Também durante este intervalo de tempo, a energia que vai para a carga é fornecida pelo indutor L_2 e pelo capacitor C_o . As Equações (4.5) a (4.8) descrevem o comportamento do circuito para este intervalo.

$$v_{L_1} = -v_{C_1} \quad (4.5)$$

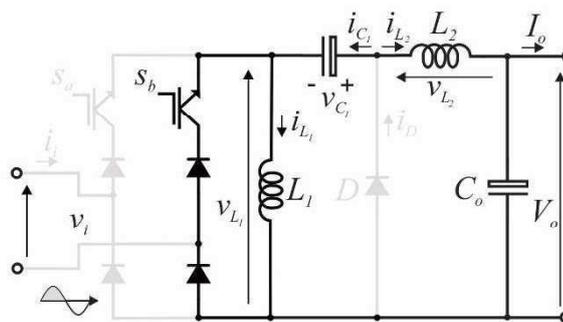
$$v_{L_2} = -V_o \quad (4.6)$$

$$i_{C_1} = i_{L_1} \quad (4.7)$$

$$i_{C_o} = i_{L_2} - I_o \quad (4.8)$$

O terceiro estado de operação é o de roda livre, no qual é imposto uma tensão nula no indutor L_1 durante o intervalo $t_{rl} = d_3 T_s$, onde d_3 é o ciclo de roda livre ou ciclo de trabalho da chave complementar que, para o caso do semiciclo positivo, é a chave s_b . Assim, a chave s_b fica ligada, permitindo que a corrente do indutor L_1 circule livremente, sem haver transferência de energia. De forma semelhante, a energia no indutor L_2 não sofre muita variação, pois devido ao capacitor C_1 ter sido carregado na etapa anterior, sua tensão é ligeiramente maior que a tensão de saída, o que resulta em um pequeno acréscimo na corrente do indutor L_2 . Como observado na Figura 4.4, o diodo D é polarizado inversamente durante esta etapa.

Figura 4.4 - Diagrama do retificador *Zeta* para o instante t_{rl} .



Fonte: Própria do autor.

Neste intervalo, o circuito é caracterizado pelas Equações (4.9) a (4.12), que explicitamente mostram que a tensão no indutor L_1 é zero.

$$v_{L_1} = 0 \quad (4.9)$$

$$v_{L_2} = v_{C_1} - V_o \quad (4.10)$$

$$i_{C_1} = -i_{L_2} \quad (4.11)$$

$$i_{C_o} = i_{L_2} - I_o \quad (4.12)$$

Depois de definidas as equações das malhas e dos nós de interesse, têm-se agora que analisar o comportamento desejado para os elementos reativos do circuito. Iniciando com o indutor L_1 , faz-se a importante consideração de que sua tensão média é aproximadamente constante durante um período de chaveamento T_s . Esta consideração é razoável, uma vez que a frequência de chaveamento é muito maior que a frequência da rede. Portanto, levando em conta que o comportamento desejado para a tensão média no indutor seja o da Equação (2.17), repetido aqui na Equação (4.16), para que ocorra o desacoplamento de potência, devem ser obedecidas as Equações (4.13) a (4.15).

$$|v_i|t_{on} - v_{C_1}t_{off} + (0)t_{rl} = V_{L_1}(t)T_s \quad (4.13)$$

$$|v_i|d_1T_s - v_{C_1}d_2T_s = V_{L_1}(t)T_s \quad (4.14)$$

$$v_{C_1} = \frac{1}{d_2} (|v_i|d_1 - V_{L_1}(t)) \quad (4.15)$$

$$V_{L_1}(t) = \frac{-\frac{V_i I_{i_{max}}}{2} \cos(2\omega t - \varphi)}{\sqrt{\frac{V_i I_{i_{max}}}{2\omega L_1} [k - \sin(2\omega t - \varphi)]}} \quad (4.16)$$

Vale salientar que o valor médio em um período de chaveamento T_s difere do valor médio em um período da tensão da rede T . Com isso, define-se a expressão “valor médio instantâneo” de uma grandeza como o sinal variante que representa o comportamento do valor médio em um período de chaveamento ao longo de um período da rede.

Para a operação em regime permanente, a tensão média sobre L_2 em um período de chaveamento deve ser nula. Assim, obtêm-se as Equações (4.17) a (4.19).

$$(|v_i| + v_{C_1} - V_o)t_{on} - V_o t_{off} + (v_{C_1} - V_o)t_{rl} = 0 \quad (4.17)$$

$$(|v_i| + v_{C_1} - V_o)d_1T_s - V_o d_2T_s + (v_{C_1} - V_o)d_3T_s = 0 \quad (4.18)$$

$$v_{C_1} = \frac{V_o - v_i d_1}{1 - d_2} \quad (4.19)$$

4.2 EQUAÇÕES PARA DIMENSIONAMENTO

- **Equação da Tensão de Saída V_o :**

Das Equações (4.15) e (4.19), têm-se a Equação (4.21) para a tensão de saída do retificador.

$$\frac{1}{d_2} (|v_i|d_1 - V_{L_1}(t)) = \frac{V_o - |v_i|d_1}{1 - d_2} \quad (4.20)$$

$$V_o = \frac{|v_i|d_1}{d_2} + \frac{V_{L_1}(t)(d_2 - 1)}{d_2} \quad (4.21)$$

- **Ciclo de Chaves Abertas d_2 :**

Rearranjando a Equação (4.21), chega-se à Equação (4.22).

$$d_2 = \frac{|v_i|d_1 - V_{L_1}(t)}{V_o - V_{L_1}(t)} \quad (4.22)$$

- **Indutor L_1 :**

A ondulação de corrente no indutor L_1 em um período de chaveamento é expressa pelas Equações (4.23) e (4.24).

$$\Delta i_{L_1+} = \frac{|v_i|}{L_1} d_1 T_s \quad (4.23)$$

$$\Delta i_{L_1-} = \frac{v_{C_1}}{L_1} d_2 T_s \quad (4.24)$$

No entanto, o dimensionamento do indutor L_1 deve ser realizado levando em conta que este componente deve ser capaz de absorver a ondulação de potência. Assim, baseado na Equação (2.16), considerando o valor máximo de corrente permitida no indutor e o valor máximo de k , definidos de acordo com a flexibilidade desejada, chega-se a Equação (4.25).

$$L_1 = \frac{V_i I_{i_{max}} (1 + k_{max})}{2\omega I_{L_1_{max}}^2} \quad (4.25)$$

- **Indutor L_2 :**

Para o indutor L_2 , têm-se as Equações (4.26) e (4.27).

$$\Delta i_{L_2+} = \frac{v_i + v_{C_1} - V_o}{L_2} d_1 T_s \quad (4.26)$$

$$\Delta i_{L_2-} = \frac{V_o}{L_2} d_2 T_s \quad (4.27)$$

Então, para dimensionar o indutor L_2 usa-se a relação dada na Equação (4.28).

$$L_2 = \frac{V_o}{\Delta i_{L_2} I_o} d_{2max} T_s \quad (4.28)$$

- **Capacitor C_1 :**

A variação de tensão no capacitor é dada pelas Equações (4.29) e (4.30).

$$\Delta v_{C_1+} = \frac{i_{L_1}}{C_1} d_2 T_s \quad (4.29)$$

$$\Delta v_{C_1-} = \frac{i_{L_2}}{C_1} (1 - d_2) T_s \quad (4.30)$$

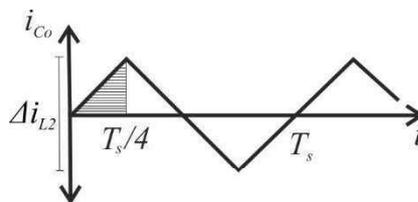
Dessa forma, para o dimensionamento de C_1 , emprega-se a Equação (4.31).

$$C_1 = \frac{I_o}{\Delta v_{C_1} V_o} (1 - d_{2min}) T_s \quad (4.31)$$

- **Capacitor C_o :**

Para o dimensionamento do capacitor C_o recorre-se a uma análise gráfica da forma de onda da corrente que passa por ele. Assim, de acordo com a Figura 4.5, considerando um valor máximo de ondulação na tensão devido ao chaveamento ($d_1 + d_2 = 1$), o valor de C_o pode ser calculado pela Equação (4.33).

Figura 4.5 – Forma de onda da corrente no capacitor C_o .



Fonte: Própria do autor.

$$C_o \Delta V_o V_o = \frac{\Delta i_{L_2} I_o}{2} \times \frac{T_s}{4} \quad (4.32)$$

$$C_o = \frac{\Delta i_{L_2} I_o T_s}{8 \Delta V_o V_o} \quad (4.33)$$

- **Ciclo de Trabalho da Chave Principal d_1 :**

O único estágio em que há demanda de corrente da rede na entrada do retificador é o que ocorre durante t_{on} . Assim a corrente neste intervalo é dada pela Equação (4.34).

$$i_i = i_{L_1} + i_{L_2} \quad (4.34)$$

Portanto, o valor médio da corrente de entrada em um período de chaveamento pode ser expresso pela Equação (4.36).

$$T_s I_i = (I_{L_1} + I_{L_2}) d_1 T_s \quad (4.35)$$

$$I_i = (I_{L_1} + I_{L_2}) d_1 \quad (4.36)$$

Considerando que se deseja controlar o valor médio instantâneo da corrente de entrada $I_i(t)$, de forma a alcançar alto fator de potência e qualidade de energia, e que a corrente média no capacitor C_o em regime permanente é nula, valem as Equações (4.37) e (4.38).

$$I_i(t) = |I_{i_{max}} \sin(\omega t - \varphi)| \quad (4.37)$$

$$I_{L_2} = I_o \quad (4.38)$$

Então, das Equações (2.16), (4.37) e (4.38), chega-se a expressão para o ciclo de trabalho da chave principal apresentada na Equação (4.39).

$$d_1 = \frac{|I_{i_{max}} \sin(\omega t - \varphi)|}{I_o + \sqrt{\frac{V_i I_{i_{max}}}{2\omega L_1} [k - \sin(2\omega t - \varphi)]}} \quad (4.39)$$

- **Valor mínimo do Coeficiente Marginal de Armazenamento de Energia k :**

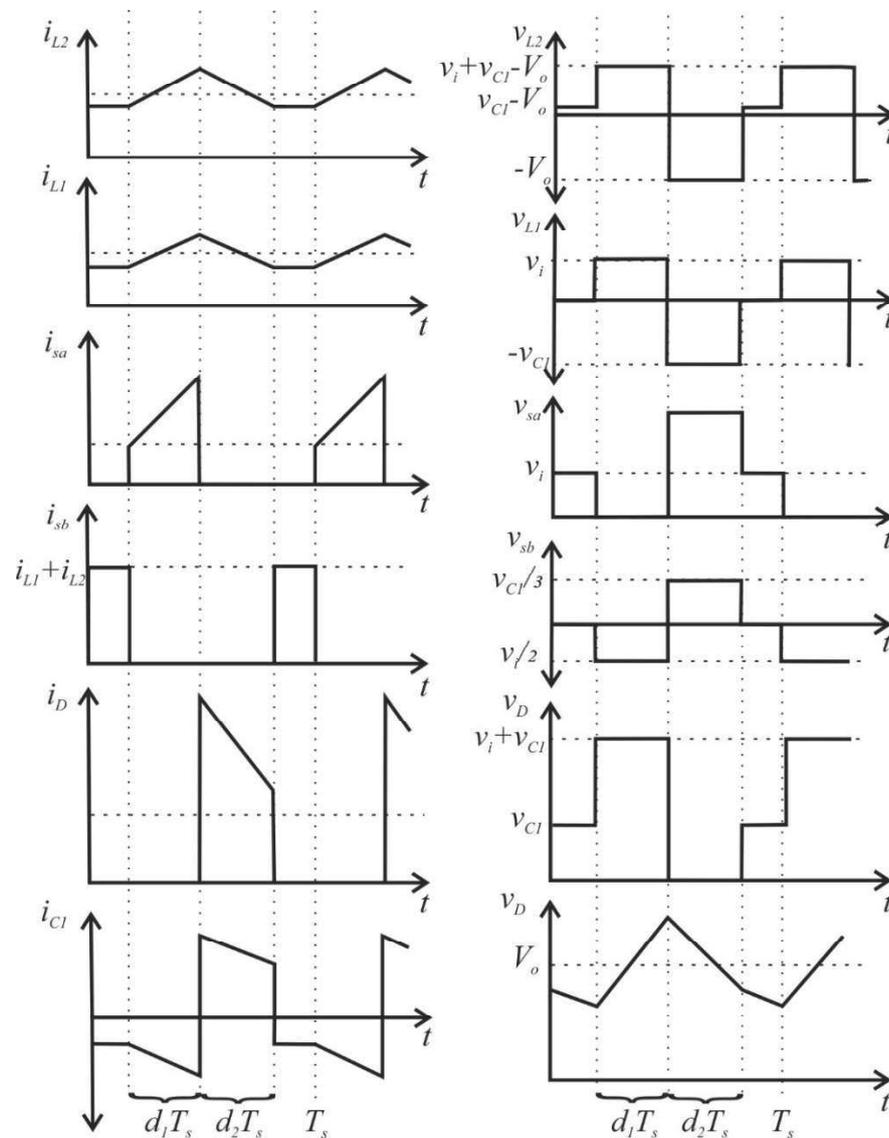
O valor mínimo de k pode ser calculado após se ter definido o valor de L_1 pela Equação (4.25). Para tanto, deve-se notar que o valor máximo de d_1 é a unidade e ocorre exatamente quando a corrente de entrada é igual a soma das correntes médias nos indutores L_1 e L_2 . Assim,

para evitar de elaborar uma solução explícita longa, utiliza-se a rotina presente em ANEXOS para obter a solução numérica para k_{min} .

4.3 FORMAS DE ONDA DO RETIFICADOR ZETA

Na Figura 4.6 são apresentadas as formas de onda de tensão e corrente nos principais componentes do circuito para um único período de chaveamento T_s .

Figura 4.6 – Formas de onda em um período de chaveamento para o retificador *Zeta* com desacoplamento de potência.

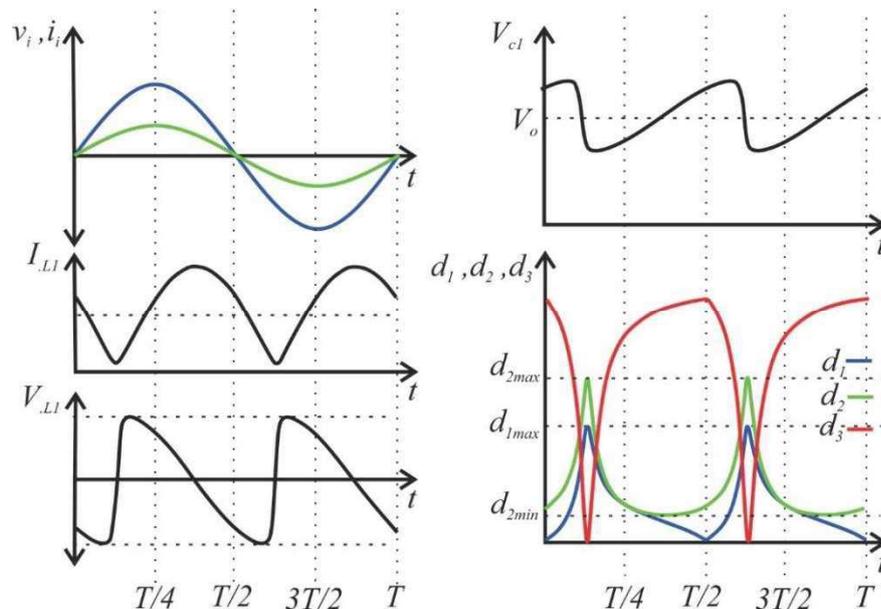


Fonte: Própria do autor.

Já na Figura 4.7, é mostrado o comportamento do valor médio instantâneo (calculado em cada período de chaveamento) de algumas dessas grandezas no intervalo de um período da rede T , além dos ciclos de trabalho d_1 , de chaves abertas d_2 e de roda livre d_3 .

Com a utilização dos ciclos d_1 , d_2 e d_3 como mostrados na Figura 4.7, e considerando fator de potência unitário, o resultado é o desacoplamento da potência oscilatória. Isso ocorre, como já explicado no capítulo 2, porque a potência no indutor segue exatamente o comportamento da parcela oscilante da potência de entrada. Dessa forma, como não há nenhuma outra fonte de energia além da entrada v_i , nem também qualquer outro elemento resistivo além da carga, que dissipe energia considerável para entrar nos cálculos, a potência repassada para a carga será o resultado da Equação (4.40), que é um valor constante.

Figura 4.7 – Valores médios instantâneos durante um período da rede.

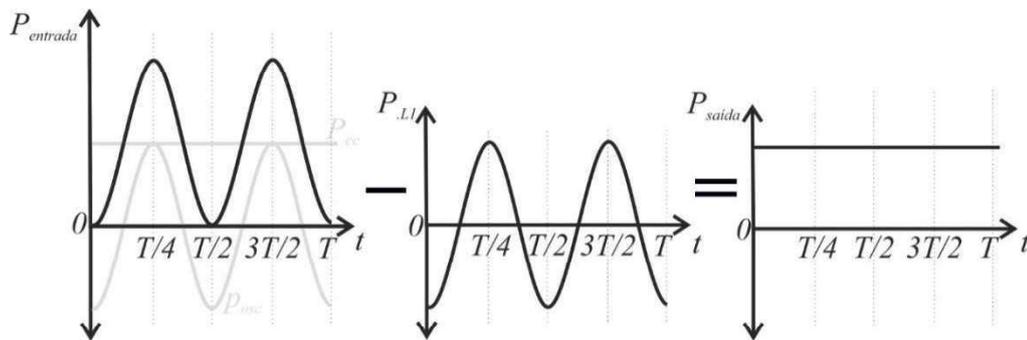


Fonte: Própria do autor.

$$P_{saída} = P_{entrada} + P_{L_1} = (p_{osc} + P_{cc}) - P_{L_1} = P_{cc} \quad (4.40)$$

Para melhor entendimento do processo descrito acima, a Figura 4.8 mostra graficamente este efeito, na qual observa-se o cancelamento da parcela oscilante da potência de entrada devido a oscilação de potência do elemento reativo, que pode ser controlada.

Figura 4.8 – Análise gráfica do fluxo de potência.



Fonte: Própria do autor.

4.4 ESTRATÉGIA DE CONTROLE

O conceito de modelo de um sistema é associado tradicionalmente com as equações diferenciais, derivadas das leis físicas que governam a dinâmica do sistema considerado. Conseqüentemente, a maioria das principais teorias de controle e ferramentas foram desenvolvidas para tais sistemas. Por outro lado, em muitas aplicações o sistema a ser controlado é constituído também por regras lógicas, interruptores tipo ON-OFF, seletores de velocidade, evoluções dependentes de regras tipo *if-then else*. Frequentemente, na prática, o controle destes sistemas é realizado utilizando esquemas baseados em regras heurísticas deduzidas da operação prática da planta.

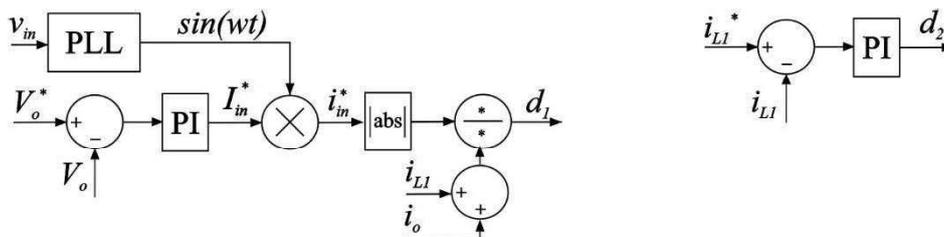
Na maioria dos casos encontrados na literatura, ambos os problemas: desenho do retificador e projeto do controle, são considerados de forma independente. Primeiramente o circuito é projetado, e então, logo após, o engenheiro escolhe a estratégia do controle e ajusta o controlador. Isto limita o desempenho atingível do sistema porque nenhum aspecto dinâmico do comportamento do dispositivo é feito durante a fase de projeto do sistema. Este método de projeto tradicional ignora a ideia de que as mudanças no projeto do processo podem fazer o sistema mais controlável ou fornecer mais graus de liberdade para aumentar o desempenho.

A idealização da modificação da topologia *Zeta*, apresentada neste trabalho, executa a integração da fase de projeto de controle à fase de projeto físico do retificador, pois a inserção de uma chave em cada perna da ponte retificadora provê um grau de liberdade a mais ao sistema, tornando possível o controle independente de mais variáveis do circuito.

Dado que o retificador *Zeta* com desacoplamento de potência apresenta dois graus de liberdade, é possível aplicar uma solução de controle para cada estágio do modelo, ou seja, regular a tensão de saída em um valor de referência pré-definido e controlar a potência no indutor de desacoplamento. Adicionalmente, por meio de um PLL, consegue-se fazer com que a corrente esteja em fase com a tensão de entrada, alcançando, portanto, um fator de potência próximo do unitário.

A estratégia utilizada neste trabalho é a de Controle Direto do Desacoplamento, pelo qual utilizam-se duas malhas de controle, uma para a regulação da tensão de saída por meio da modulação do ciclo de trabalho da chave principal, e outra para o controle da potência do indutor de desacoplamento, através da modulação do ciclo de trabalho da chave auxiliar ou do ciclo de chaves abertas. A Figura 4.9 apresenta o diagrama de blocos da estratégia a ser adotada.

Figura 4.9 – Diagrama de blocos adotado no retificador *Zeta* com desacoplamento.

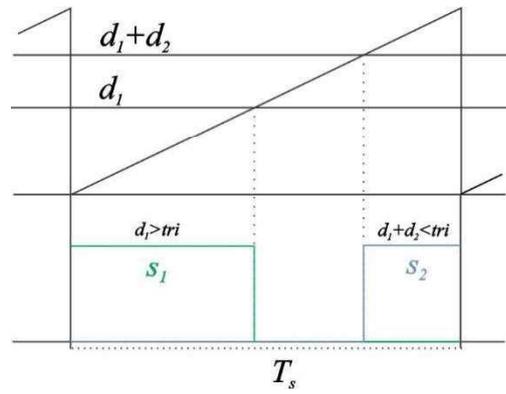


Fonte: Própria do autor.

A geração dos dois sinais PWM se dá pela comparação dos ciclos de trabalho d_1 e d_2 com uma portadora de alta frequência com forma de onda dente de serra. Esta última característica é crucial para a correta aplicação da estratégia de desacoplamento, pois as etapas de funcionamento devem ocorrer exatamente na ordem descrita em 4.1, então, desta forma, é possível fazer com que as chaves liguem ou desliguem no momento exato.

A Figura 4.10 mostra a lógica da geração dos sinais PWM. Nela é possível ver que o sinal da chave principal S_1 é resultado da comparação “se maior que” entre d_1 e a portadora, enquanto para o sinal da chave auxiliar S_2 , a comparação é “se menor que” entre a soma d_1+d_2 e a portadora.

Figura 4.10 – Geração do sinal PWM.



Fonte: Própria do autor.

5 PROJETO DO RETIFICADOR ZETA

Para o projeto do retificador *Zeta* com desacoplamento de potência são necessárias, basicamente, cinco informações iniciais para que se possa dimensionar os demais componentes conforme foi estabelecido no capítulo 4.

Neste primeiro modelo, são avaliados somente os componentes básicos do retificador, os quais são usados para executar uma simulação que aponta se os parâmetros utilizados realmente geram resultados satisfatórios.

As informações iniciais necessárias são, a saber: as características da fonte de potência de entrada (tensão e frequência), a frequência de chaveamento que se pretende utilizar, as características da tensão de saída (valor médio e ondulação máxima), o fator de potência desejado e a potência da carga acoplada na saída. Com essas informações, os demais parâmetros principais para executar a simulação podem ser calculados a partir das equações apresentadas em 4.2. Como exemplo de projeto, são consideradas as informações da Tabela 5.1.

Tabela 5.1 – Parâmetros iniciais de projeto.

Parâmetro	Símbolo	Valor
Tensão de Entrada	$V_i @ f_i$	100 V @ 60 Hz
Frequência de Chaveamento	f_s	20 kHz
Tensão de Saída	$V_o \pm \Delta V_{o\%}$	50 V \pm 10%
Fator de Potência	$\cos(\varphi)$	1,0
Potência da Carga	$P_o = \frac{V_i I_{i_{max}}}{2}$	87 W

Fonte: Própria do autor.

Com as Equações (4.25), (4.28), (4.31) e (4.33), e tomando por base critérios de dimensionamento apresentados na Tabela 5.2 (estes valores são escolhidos de forma que permitam uma flexibilidade razoável na operação do retificador), calculam-se os valores dos componentes básicos para a simulação do retificador, como apresentado nas Equações (5.1) a (5.4).

Tabela 5.2 – Critérios de dimensionamento.

Critério	Símbolo	Valor
Corrente máxima em L_1	I_{L_1max}	14 A
Valor máximo do Coeficiente Marginal de Armazenamento de Energia	k_{max}	1,2
Ondulação de corrente em L_2	Δi_{L_2}	25%
Ondulação de tensão em C_1	Δv_{C_1}	90%
Ciclo de trabalho mínimo da chave auxiliar	d_{2min}	0,115
Ciclo de trabalho máximo da chave auxiliar	d_{2max}	0,566

Fonte: Própria do autor.

Nota-se que, para o cálculo de L_2 e C_1 , necessita-se saber os valores máximo e mínimo de d_2 . Para isto, pode-se avaliar a Equação (4.22) e, através de uma análise gráfica, identificar estes valores. Nos ANEXOS encontra-se uma rotina para o cálculo dos valores máximo e mínimo de d_2 para este exemplo de projeto. Além destes, com esta rotina, calculou-se também o valor mínimo de k .

$$L_1 = \frac{V_i I_{i_{max}} (1 + k_{max})}{2 I_{L_1max}^2 * 2\pi f_i} = \frac{87 * (1 + 1,2)}{14^2 * 2 * \pi * 60} = 2,6 \text{ mH} \quad (5.1)$$

$$L_2 = \frac{V_o}{\Delta i_{L_2} I_o} d_{2max} T_s = \frac{50 * 0,566}{0,25 * 1,74 * 20000} = 3,4 \text{ mH} \quad (5.2)$$

$$C_1 = \frac{I_o}{\Delta v_{C_1} V_o} (1 - d_{2min}) T_s = \frac{1,74 * (1 - 0,115)}{0,9 * 50 * 20000} = 1,7 \mu F \quad (5.3)$$

$$C_o = \frac{\Delta i_{L_2} I_o T_s}{8 \Delta V_o V_o} = \frac{0,25 * 1,74}{8 * 0,1 * 50 * 20000} = 0,3 \mu F \quad (5.4)$$

Para a simulação, tentando aproximar ao máximo as condições que são implementadas no protótipo, aproximou-se os valores calculados acima para valores de componentes mais usuais de mercado, cujos valores estão listados na Tabela 5.3.

Tabela 5.3 – Valores dos componentes principais.

Componente	Símbolo	Valor
Indutor de desacoplamento	L_1	3,0 mH
Indutor secundário	L_2	3,9 mH
Capacitor de transferência de energia	C_1	2,2 μF
Capacitor do filtro de saída	C_o	2,2 μF
Valor mínimo do Coeficiente Marginal de Armazenamento de Energia	k	1,02

Fonte: Própria do autor.

Em relação ao sistema de controle, são usadas duas malhas de controle, cada uma delas com um controlador do tipo Proporcional-Integral (PI), sendo que seus ganhos foram determinados de forma heurística, por meio da simulação de vários valores, até que se chegasse em uma dinâmica com desempenho aceitável, tomando como principal meta a estabilidade do retificador, uma vez que o objetivo deste trabalho é verificar a funcionalidade do modelo, sem necessariamente entrar no mérito do desempenho mais adequada de sua dinâmica. A Tabela 5.4 apresenta os valores dos ganhos utilizados.

Tabela 5.4 – Valores dos ganhos dos controladores

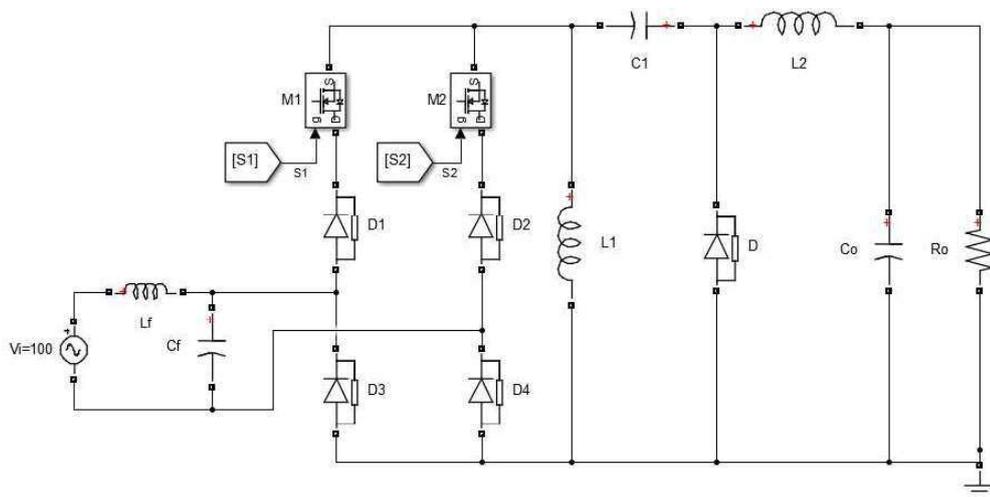
Malha	Ganho Proporcional	Ganho Integral
Regulação da tensão de saída V_o	0,001	5
Corrente do indutor de desacoplamento i_{L_1}	1,2	200

Fonte: Própria do autor.

6 SIMULAÇÃO

Para simular o retificador *Zeta* com desacoplamento de potência projetado no capítulo 5, e verificar as características básicas de seu funcionamento, utilizou-se o método numérico Tustin, com passo de cálculo de 10^{-7} segundos e tolerância de 10^{-3} como padrão para encerrar as iterações. Isto permite cobrir com boa precisão as frequências de interesse, bem como gerar uma visualização gráfica satisfatória para as formas de onda do circuito. A Figura 6.1 apresenta o esquema do circuito de potência do modelo utilizado para a simulação.

Figura 6.1 – Esquema do circuito de potência da simulação do retificador *Zeta*.



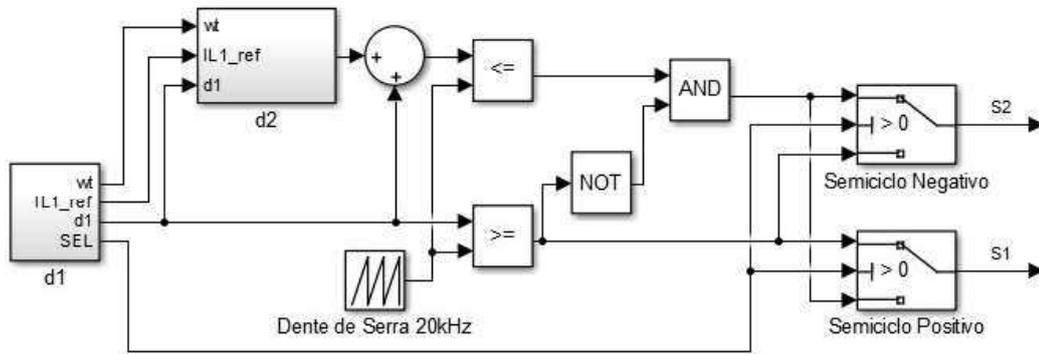
Fonte: Própria do autor.

O circuito necessita de dois sinais para controlar as chaves S1 e S2. Estes sinais são os responsáveis por realizar o controle do retificador e garantir que ocorra o desacoplamento de potência. Para comparar o alcance da estabilidade do retificador, foram realizadas simulações com o controle em malha aberta, ou seja, sem realimentação das variáveis controladas, e em malha fechada.

6.1 SIMULAÇÃO COM CONTROLE EM MALHA ABERTA

A Figura 6.2 mostra o esquema de geração dos sinais de acionamento das chaves para o controle em Malha Aberta (MA).

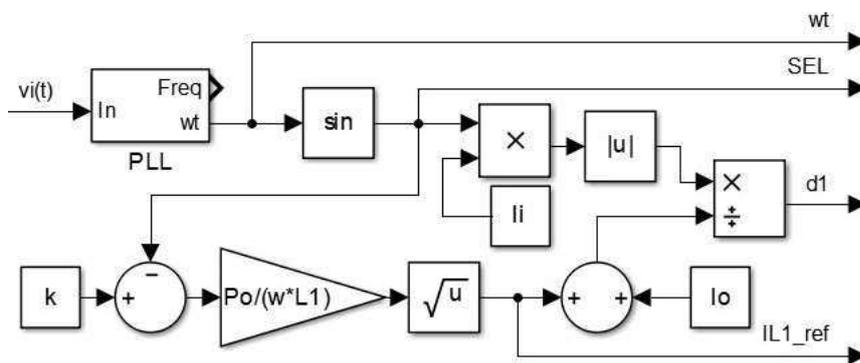
Figura 6.2 – Geração dos sinais de acionamento das chaves da simulação em MA.



Fonte: Própria do autor.

Para explicar a lógica da geração dos sinais de acionamento, primeiramente deve-se expandir os blocos “d1” e “d2”. Para o primeiro, apresentado na Figura 6.3, percebe-se que ele recebe o sinal de tensão de entrada e o processa no bloco PLL, para capturar a fase do sinal da fonte e realizar a sincronização dos sinais de referência que serão gerados internamente. Este sinal de sincronização alimenta o bloco da função trigonométrica “sin” que é multiplicado pela amplitude da corrente desejada. Além disso, a saída do bloco “sin” é utilizado para gerar o sinal de referência da corrente no indutor L1 e serve também como sinal de seleção “SEL” dos permutadores, que definem, em cada semiciclo da tensão alternada da fonte, qual chave será a principal e qual será a auxiliar.

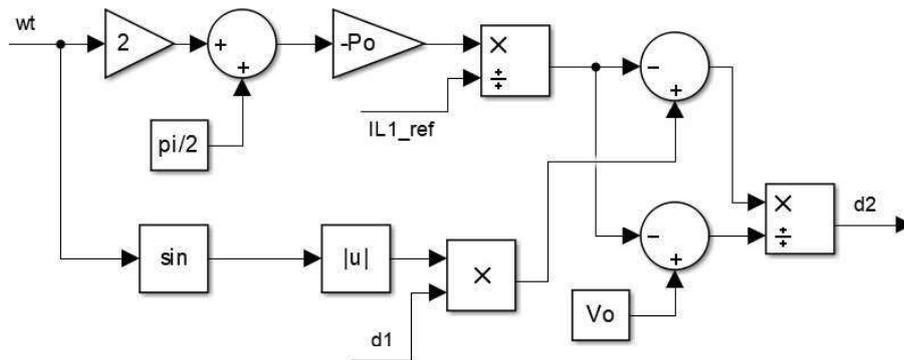
Figura 6.3 – Expansão do bloco “d1”.



Fonte: Própria do autor.

O bloco “d2” recebe três sinais do bloco “d1” (sinal de sincronização “wt”, corrente de referência do indutor L1 “IL1_ref”, e o ciclo de trabalho da chave principal “d1”) e computa o ciclo de chaves abertas “d2”, como apresentado na Figura 6.4.

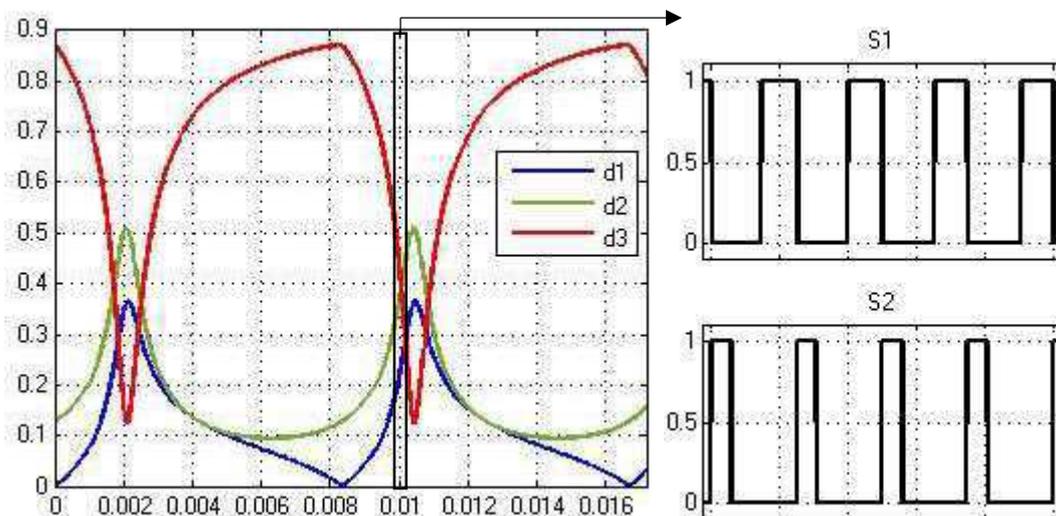
Figura 6.4 – Expansão do bloco “d2”.



Fonte: Própria do autor.

Os sinais “d1” e “d2” são processados e comparados com uma portadora dente de serra com frequência igual a frequência de chaveamento, para gerar os sinais PWM que comutam as chaves. Deste modo, os sinais gerados são tais que produzem um valor médio de corrente na entrada do retificador que segue uma senoide, e ao mesmo tempo geram o valor de corrente no indutor L1 definido pelo sinal de referência. A Figura 6.5 mostra os sinais “d1” e “d2”, e o PWM que aciona as chaves S1 e S2 para uma pequena faixa de tempo.

Figura 6.5 – Forma de onda dos sinais d1, d2, d3 e PWM obtidos na simulação em MA.

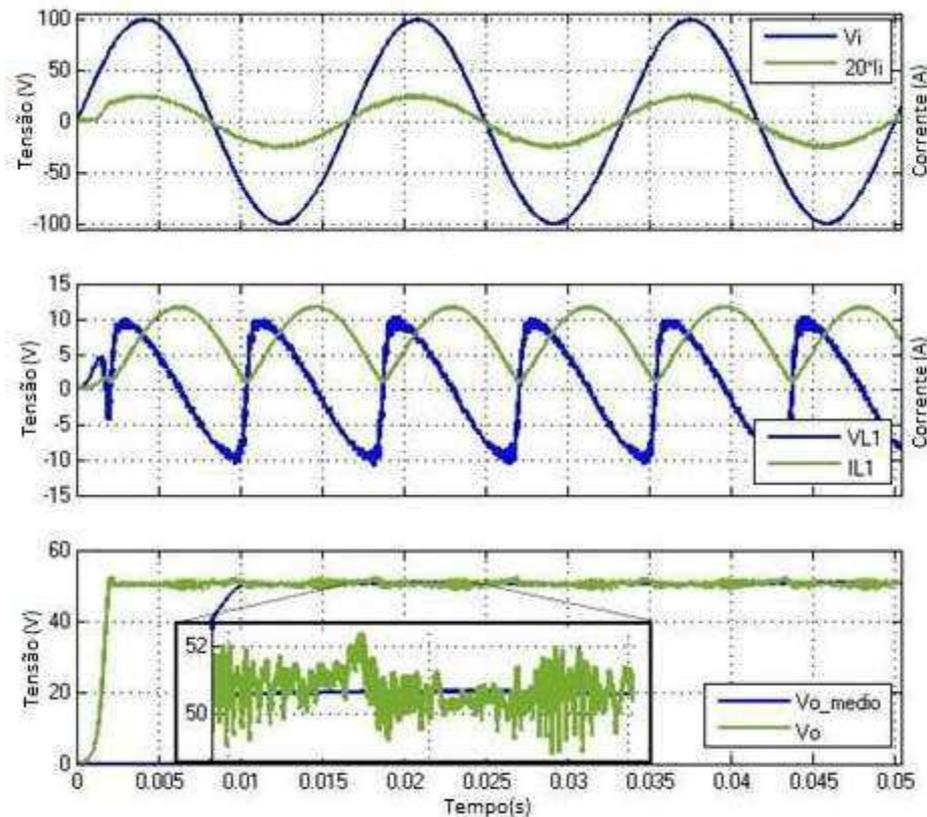


Fonte: Própria do autor.

Com os sinais de comando sendo gerados na forma desejada, passa-se agora à análise do circuito de potência. Os primeiros sinais a serem avaliados são a corrente de entrada, que deve estar aproximadamente em sincronismo com a tensão da fonte de entrada para se obter um

fator de potência próximo do unitário, e a tensão de saída, que deve ter valor médio igual a de projeto e ondulação menor que a máxima definida. A Figura 6.6 apresenta esses sinais, que são os principais para definir se o retificador realizou a tarefa para a qual foi projetado.

Figura 6.6 – Sinais de tensão e corrente na fonte de entrada e no indutor L1, e tensão de saída obtidos na simulação em MA.



Fonte: Própria do autor.

O fator de potência alcançado nesta simulação foi exatamente igual ao projetado ($\cos(\varphi) = 1$); já a tensão de saída teve uma pequena discrepância em relação aos 50 V definidos inicialmente. A Tabela 6.1 reúne os principais resultados da simulação.

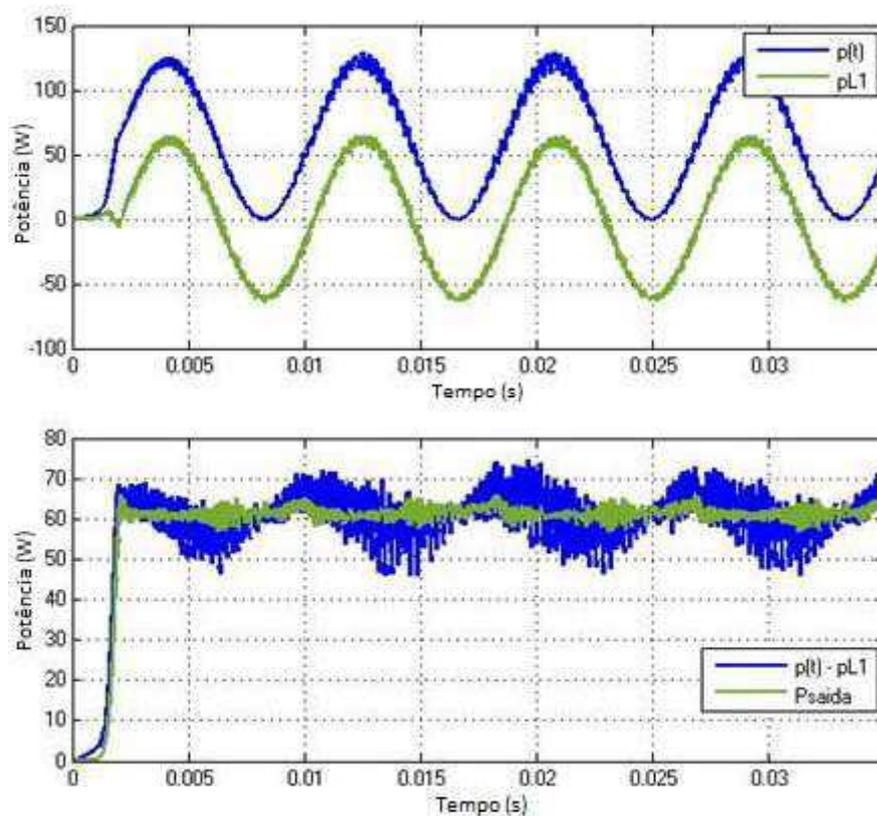
Para verificar o desacoplamento de potência, traçou-se as curvas apresentadas na Figura 6.7. As curvas superiores representam a potência de entrada ($p(t)$) e a potência no indutor L1 (p_{L1}), enquanto que as inferiores são a diferença entre as duas primeiras ($p(t) - p_{L1}$) e potência de saída ($P_{saída}$). Portanto, como definido na Equação (4.40), se a potência no indutor L1 for igual a parcela oscilante da potência de entrada, aparecerá na saída apenas a parcela constante.

Tabela 6.1 – Principais resultados da simulação em MA do retificador *Zeta*.

	Símbolo	Valor
Valor de pico da corrente de entrada	$I_{i_{max}}$	1,28 A
Fator de Potência	$\cos(\varphi)$	1,0
Tensão média de saída	V_o	50,6 V
Ondulação na tensão de saída	$\Delta V_o\%$	7,6 %
Distorção Harmônica Total	THD	4,85 %

Fonte: Própria do autor.

Figura 6.7 – Potências de entrada e saída obtidas na simulação em MA.



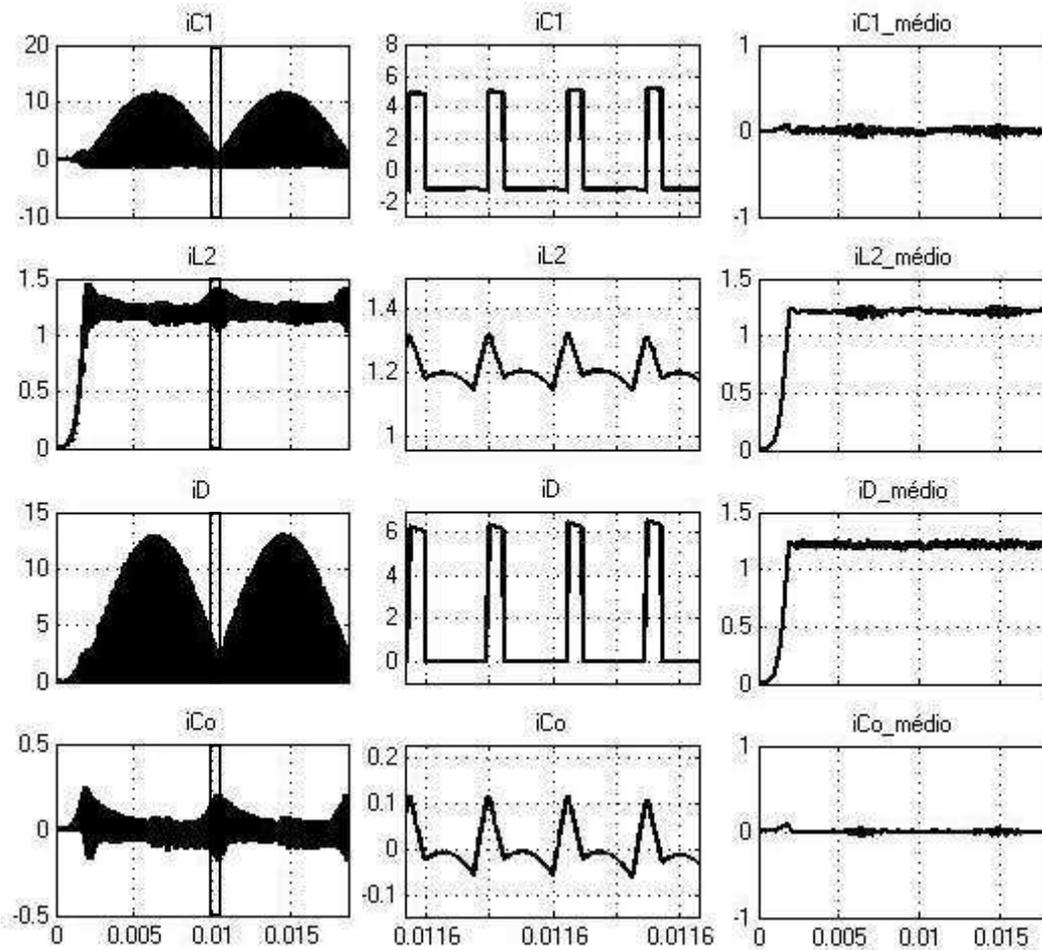
Fonte: Própria do autor.

Como pode ser observado, apesar de haver uma variação razoável em $(p(t) - pL1)$, ela ocorre com uma frequência elevada, ou seja, essas variações ocorrem devido ao chaveamento,

que é facilmente filtrado pelo filtro capacitivo da saída. Dessa forma, a potência que é repassada para a carga é pouco variante como mostra a curva verde inferior - $P_{saída}$.

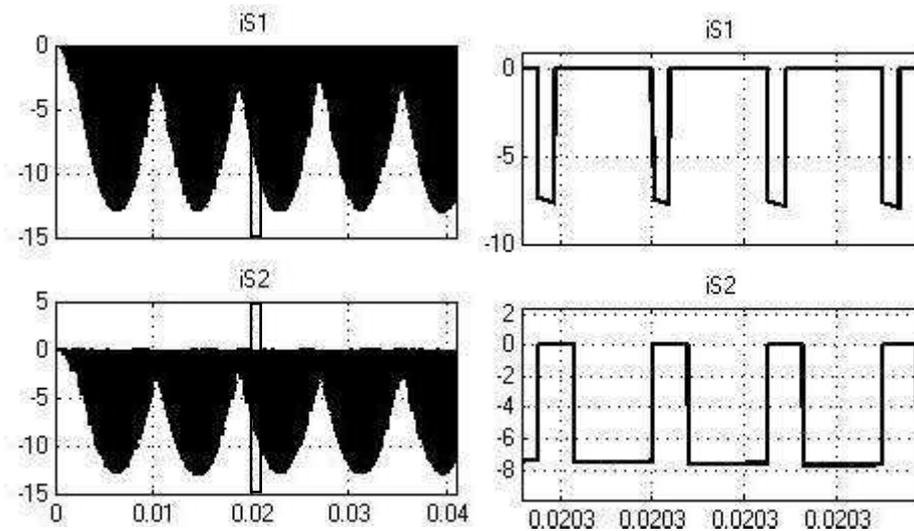
Na Figura 6.8 são apresentadas as formas de onda da corrente dos demais componentes do circuito, exceto das chaves S1 e S2 que são apresentadas na Figura 6.9. Nota-se que a corrente média em um período de chaveamento nos capacitores é aproximadamente nula, o que garante estabilidade em regime permanente.

Figura 6.8 – Formas de onda de corrente obtidas da simulação em MA.



Fonte: Própria do autor.

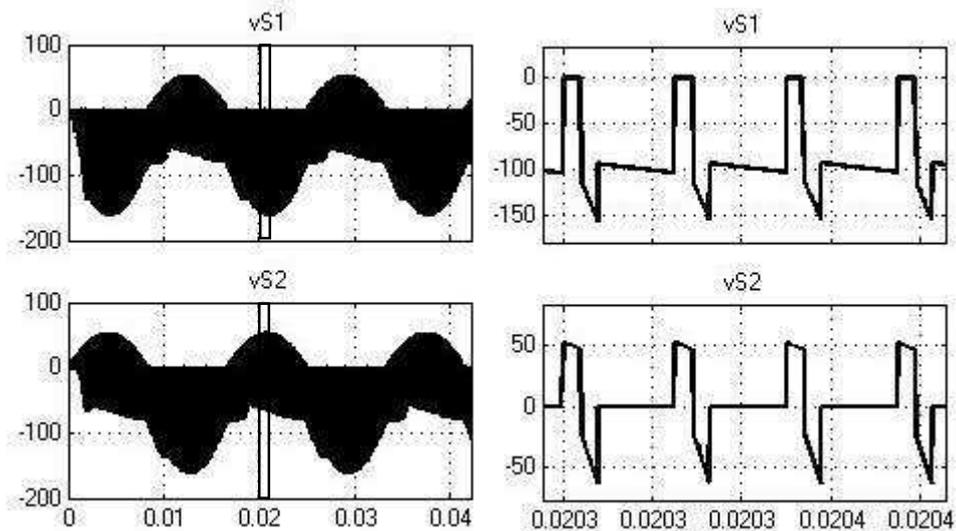
Figura 6.9 – Formas de onda da corrente nas chaves S1 e S2 obtidas na simulação em MA.



Fonte: Própria do autor.

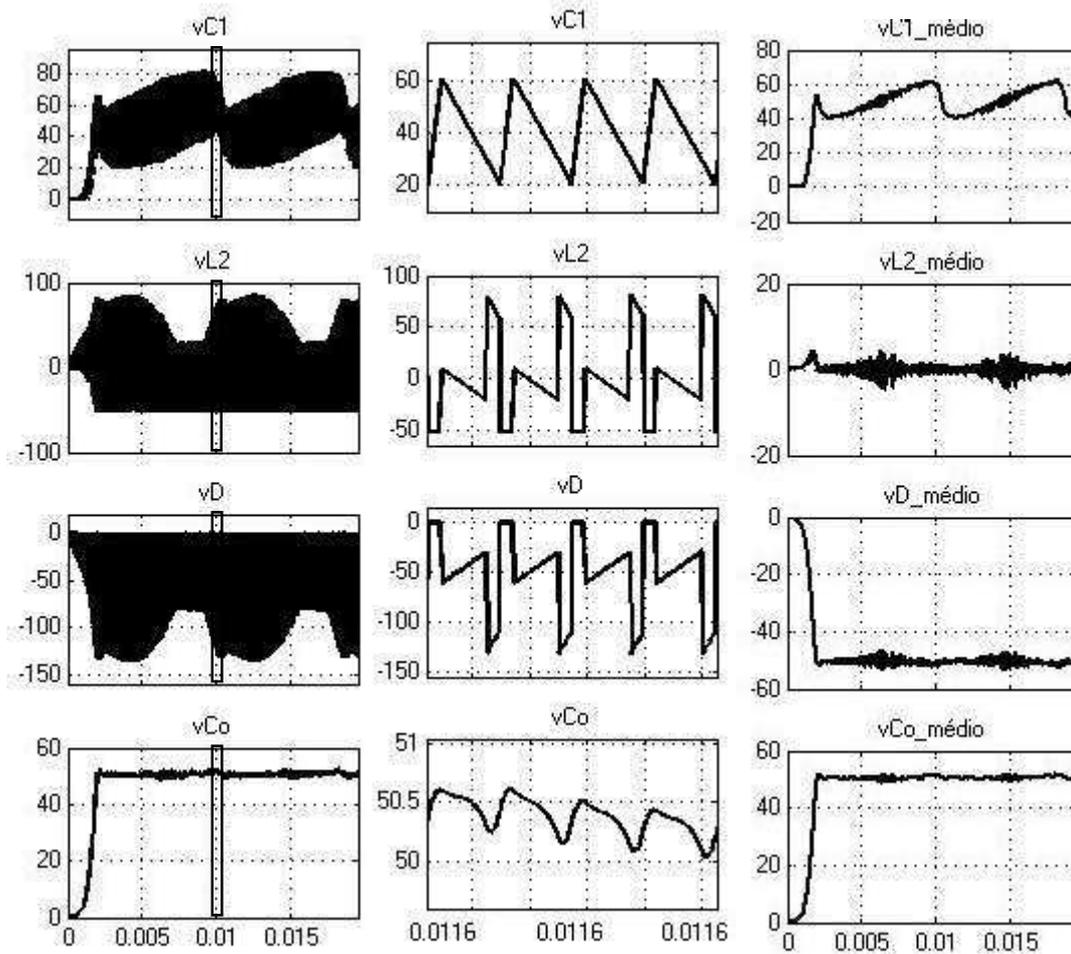
Na Figura 6.10 são mostradas formas de onda das tensões nas chaves S1 e S2, enquanto que na Figura 6.11 são apresentadas as dos demais componentes. Neste ponto, é interessante avaliar que a tensão média no indutor L2 é aproximadamente nula, de forma que o retificador opere com estabilidade em regime permanente.

Figura 6.10 - Formas de onda da tensão nas chaves S1 e S2 obtidas na simulação em MA.



Fonte: Própria do autor.

Figura 6.11 - Formas de onda de tensão obtidas da simulação em MA.



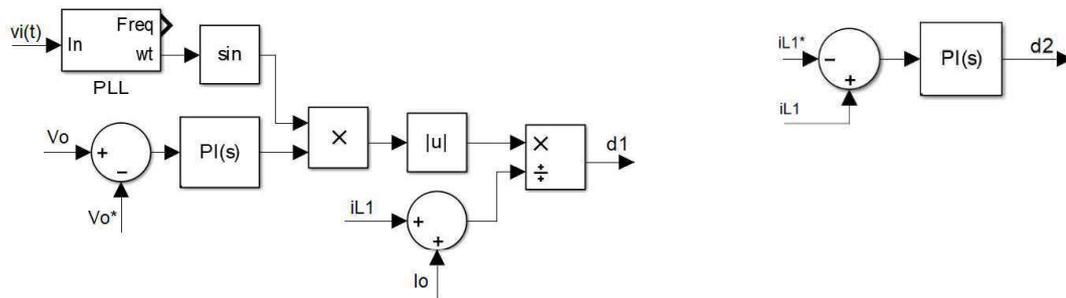
Fonte: Própria do autor.

6.2 SIMULAÇÃO COM CONTROLE EM MALHA FECHADA

Para o controle em Malha Fechada (MF), a geração dos sinais de acionamento das chaves é realizada da forma apresentada na Figura 6.12. Como na simulação anterior, os sinais “d1” e “d2” são comparados com a portadora dente de serra para a geração dos sinais PWM.

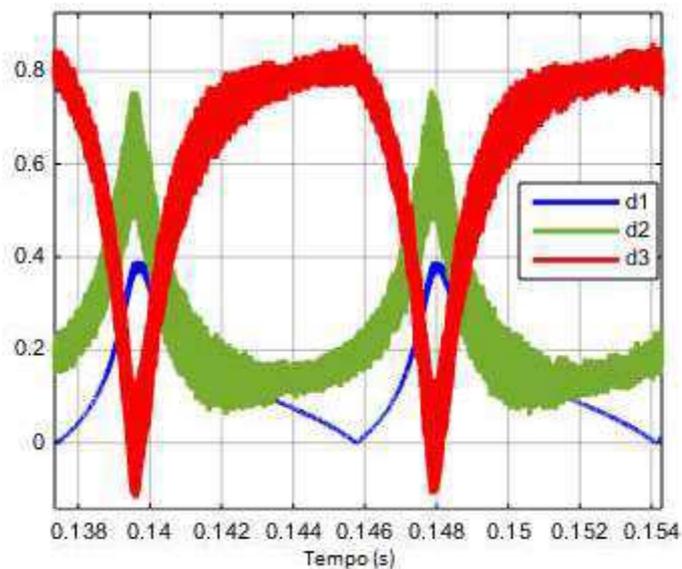
Executada a simulação, extraiu-se as formas de onda dos ciclos de trabalho, geradas pelas malhas de controle com realimentação. Nota-se na Figura 6.13 que as formas de onda muito se assemelham com as da Figura 6.5, exceto pelas variações de alta frequência devidas a atuação rápida do controlador, que faz a compensação integral para um sinal variante, ou seja o erro nunca é nulo porque a referência varia, dessa forma, o controlador está sempre atuando afim de compensar o erro diferente de zero.

Figura 6.12 – Geração dos sinais de acionamento das chaves para a simulação em MF.



Fonte: Própria do autor.

Figura 6.13 - Forma de onda dos sinais d1, d2 e d3 obtidos na simulação em MF.

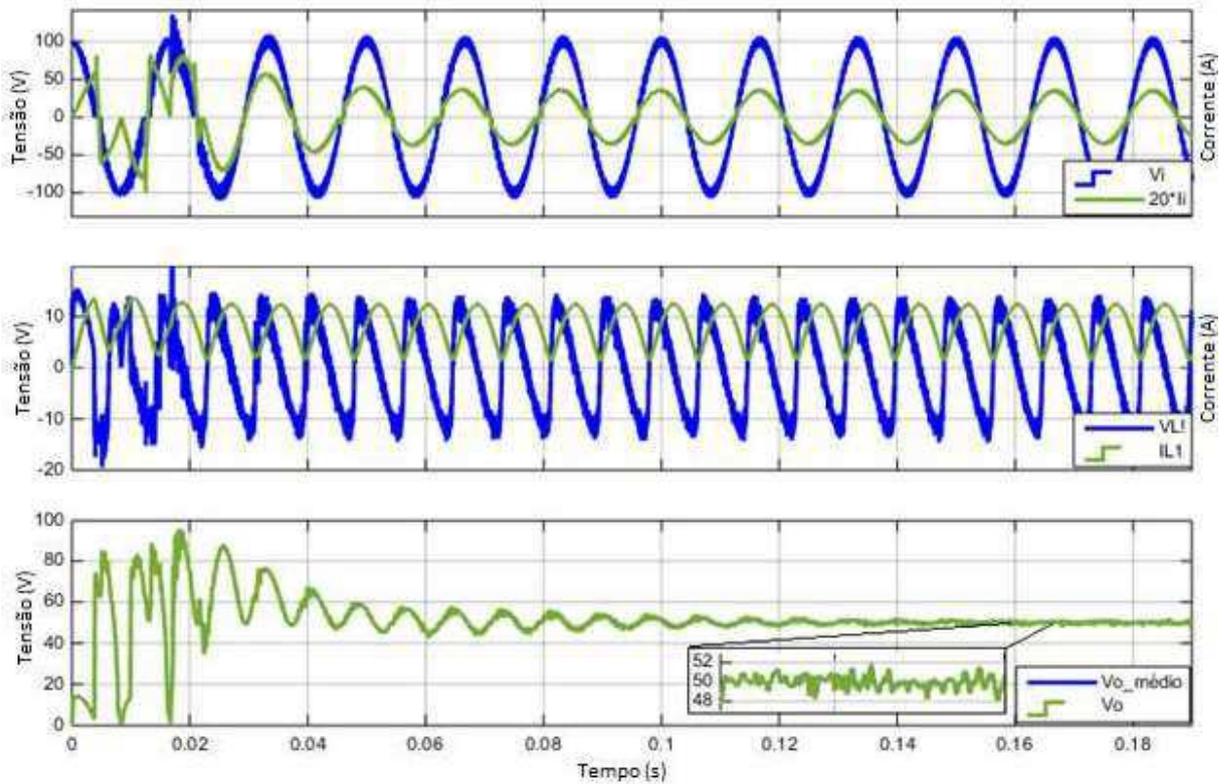


Fonte: Própria do autor.

A análise do circuito de potência mostra que o sistema de controle é efetivo, pois, como destacado na Figura 6.14, após um período de transitórios, a tensão de saída média é exatamente aquela definida nos parâmetros iniciais do projeto, e a ondulação de tensão não ultrapassa os 8% (4 V), sendo que o limite planejado era de 10%. Na mesma figura é possível ver que a corrente de entrada está perfeitamente sincronizada com a tensão de entrada, refletindo em um fator de potência unitário e baixa DHT, cerca de 5,57%.

A Tabela 6.2 reúne os principais resultados da simulação com controle em MF, da qual pode-se observar que todos os requisitos de projeto foram atendidos.

Figura 6.14 - Sinais de tensão e corrente na fonte de entrada e no indutor L1, e tensão de saída obtidos na simulação em MF.



Fonte: Própria do autor.

Tabela 6.2 - Principais resultados da simulação em MF do retificador *Zeta*.

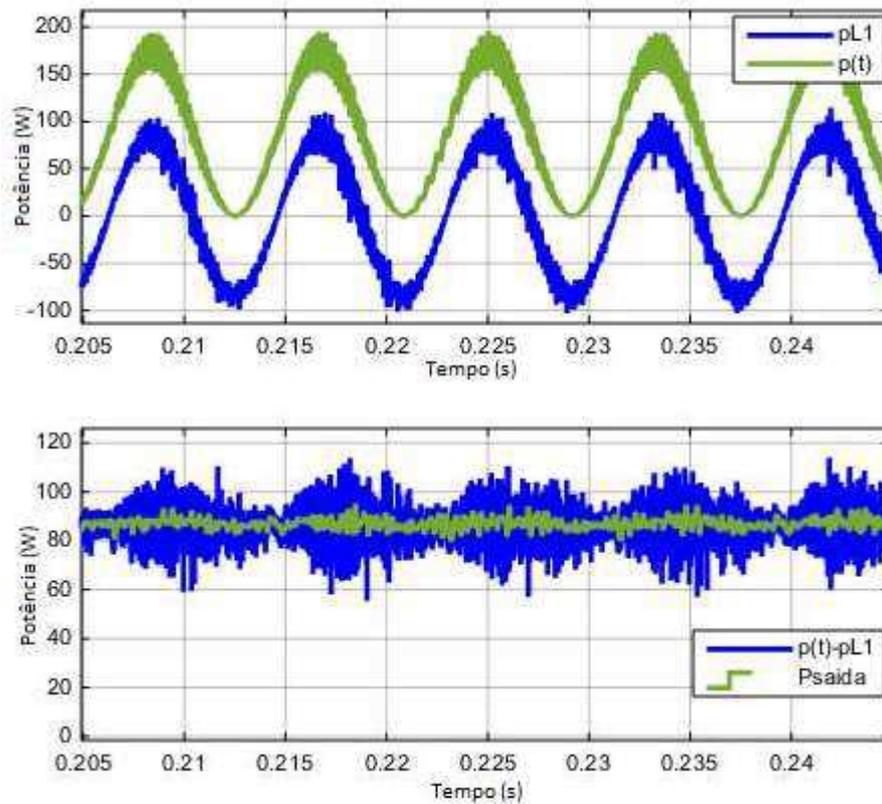
	Símbolo	Valor
Valor de pico da corrente de entrada	$I_{i_{max}}$	1,75 A
Fator de Potência	$\cos(\varphi)$	1,0
Tensão média de saída	V_o	50,0 V
Ondulação na tensão de saída	$\Delta V_{o\%}$	8,0 %
Distorção Harmônica Total	THD	5,57 %

Fonte: Própria do autor.

Como na simulação em MA, traçou-se as curvas da potência de entrada, de saída e do indutor L1 para a simulação em MF, como visto na Figura 6.15. As curvas superiores

representam a potência de entrada ($p(t)$) e a potência no indutor L1 ($pL1$), enquanto que as inferiores são a potência de saída ($P_{saída}$) e a diferença entre $p(t)$ e $pL1$. Essas duas últimas curvas se diferenciam por conta da atuação do capacitor de saída C_o , que realiza a filtragem de boa parte do conteúdo de alta frequência, amortizando as ondulações na tensão de saída.

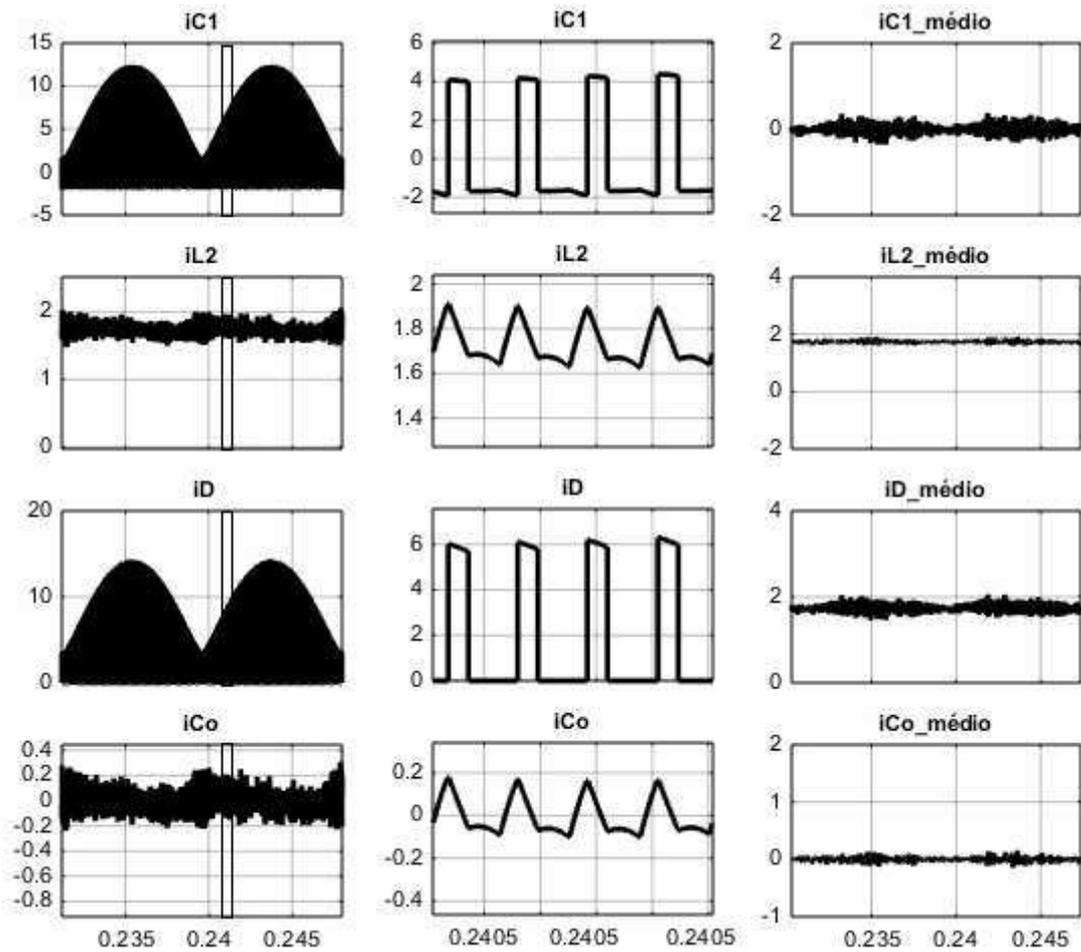
Figura 6.15 - Potências de entrada e saída obtidas na simulação em MF.



Fonte: Própria do autor.

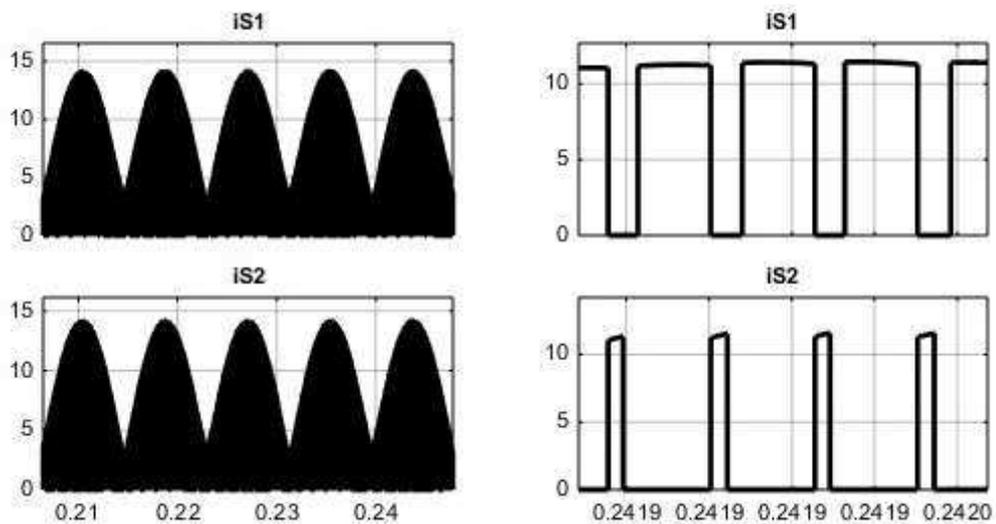
Nas Figura 6.16 a Figura 6.19 são apresentadas as formas de onda de tensão e corrente dos demais componentes do circuito. Com a tensão média no indutor L2 e a corrente média no capacitor C1 e C_o sendo aproximadamente nulas, o circuito tende à estabilidade em regime permanente.

Figura 6.16 - Formas de onda de corrente obtidas da simulação em MF.



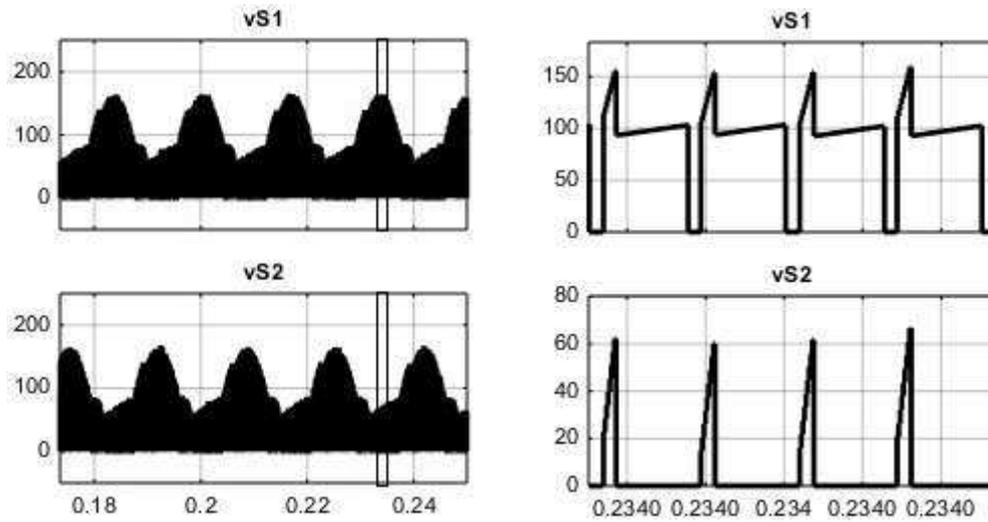
Fonte: Própria do autor.

Figura 6.17 - Formas de onda da corrente nas chaves S1 e S2 obtidas na simulação em MF.



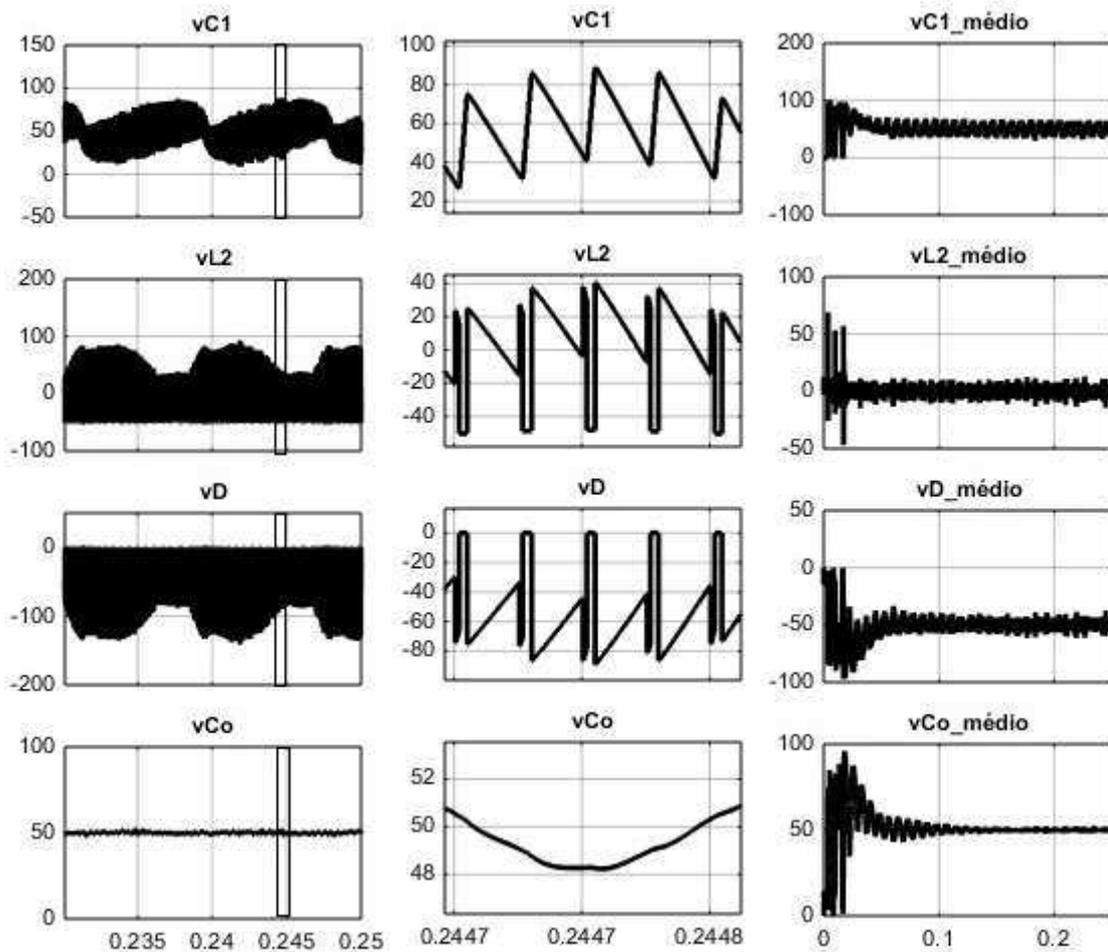
Fonte: Própria do autor.

Figura 6.18 - Formas de onda da tensão nas chaves S1 e S2 obtidas na simulação em MF.



Fonte: Própria do autor.

Figura 6.19 - Formas de onda de tensão obtidas da simulação em MF.



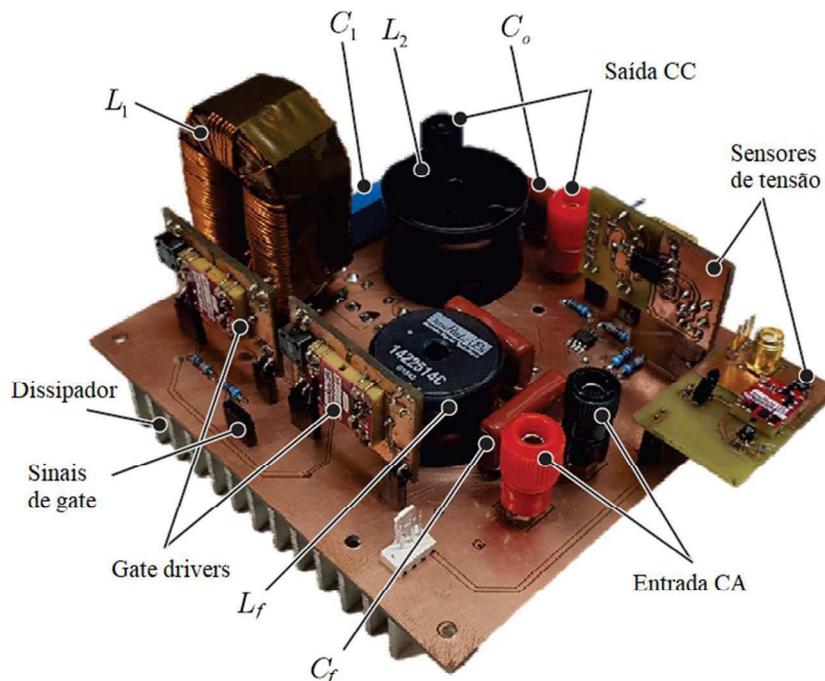
Fonte: Própria do autor.

7 RESULTADOS EXPERIMENTAIS

Para validar o modelo teórico desenvolvido e comparar com os dados obtidos na simulação, foi construído um protótipo de parâmetros semelhantes aos utilizados na simulação. O protótipo foi testado inicialmente com entrada de tensão constante, bem como os sinais de acionamento da chave tiveram o ciclo de trabalho constante, de modo a analisar a etapa de roda livre, a qual permite o desacoplamento do estágio de entrada e do estágio de saída. Posteriormente, o retificador foi experimentado com entrada em corrente alternada, porém em duas etapas: a primeira com controle em malha aberta, e a segunda com controle em malha fechada, assim como foi feito no capítulo 6 que tratou das simulações.

A Figura 7.1 apresenta uma imagem do protótipo, o qual foi testado em uma bancada composta por uma fonte de tensão ajustável de saída CA e CC, uma fonte de tensão ajustável de saída CC para alimentar os circuitos auxiliares, dois osciloscópios, uma carga variável, e um Processador Digital de Sinais TMS320F28335, que ficou conectado a um notebook para registrar sua programação quando necessário, além dos cabos elétricos de conexão da carga e da fonte ao protótipo.

Figura 7.1 – Bancada de testes do protótipo.



Fonte: Própria do autor.

Os componentes utilizados para a montagem do protótipo (circuito de potência) estão listados na Tabela 7.1, os quais foram escolhidos em consonância com os parâmetros utilizados no exemplo de projeto discriminado no capítulo 5.

Tabela 7.1 – Componentes do circuito de potência do protótipo.

Quantidade	Componente	Referência/Valor	Função
2	Transistor MOSFET	IRFP240	Chaves de potência (S_1 e S_2)
5	Diodo	12TQ200	Ponte retificadora e diodo de transferência (D_1, D_2, D_3, D_4 e D)
1	Indutor	3,9 mH	Filtro de saída (L_2)
1	Indutor	2,2 mH	Filtro de entrada (L_f)
1	Indutor	3 mH	Indutor de desacoplamento (L_1)
2	Capacitor de filme	2,2 μ F	Filtros de entrada (C_f) e saída (C_o)
1	Capacitor de filme	1,72 μ F	Capacitor de transferência (C_1)

Fonte: Própria do autor.

7.1 EXPERIMENTOS COM ENTRADA CC

Para verificar se o protótipo era capaz de funcionar nas três etapas de operação descritas no capítulo 4, foram realizados testes com tensão de entrada CC constante e valores variados para os ciclos de trabalho das chaves. Deste modo, é possível analisar a forma de onda da tensão no indutor com mais precisão, e comprovar o desacoplamento dos estágios de entrada e saída pela utilização da etapa de roda livre.

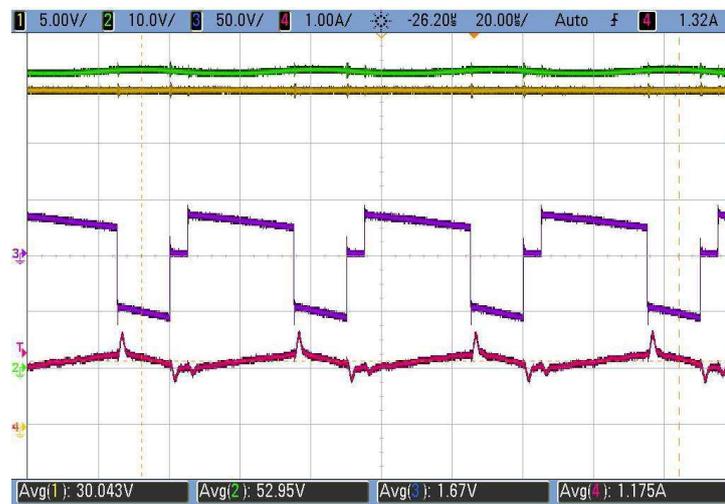
O teste foi realizado com três combinações diferentes dos ciclos de trabalho ($d_1 = 0,6$ e $d_2 = 0,4$; $d_1 = 0,4$ e $d_2 = 0,4$; $d_1 = 0,5$ e $d_2 = 0,3$), e utilizado o mesmo valor de tensão de entrada ($v_i = 30 V$). Assim, utilizando-se da Equação (4.21), e considerando que no teste

com entrada CC a tensão média no indutor L_1 deve ser nula em um período de chaveamento, têm-se os valores dados na Equação (7.1).

$$V_o = \frac{|v_i|d_1}{d_2} = \frac{30 \times d_1}{d_2} = \begin{cases} 60 \text{ V} & \left| \begin{array}{l} d_1 = 0,6 \text{ e } d_2 = 0,3 \\ d_1 = 0,4 \text{ e } d_2 = 0,4 \\ d_1 = 0,5 \text{ e } d_2 = 0,3 \end{array} \right. \\ 30 \text{ V} \\ 50 \text{ V} \end{cases} \quad (7.1)$$

As formas de onda da tensão de entrada v_{in} (verde), tensão de saída V_o (marrom), tensão no indutor v_{L1} (roxo), e corrente no indutor i_{L1} (magenta), para os testes CC são apresentadas nas Figura 7.2, Figura 7.3 e Figura 7.4.

Figura 7.2 – Formas de onda para o teste com ciclos de trabalho $d_1 = 0,6$ e $d_2 = 0,3$.



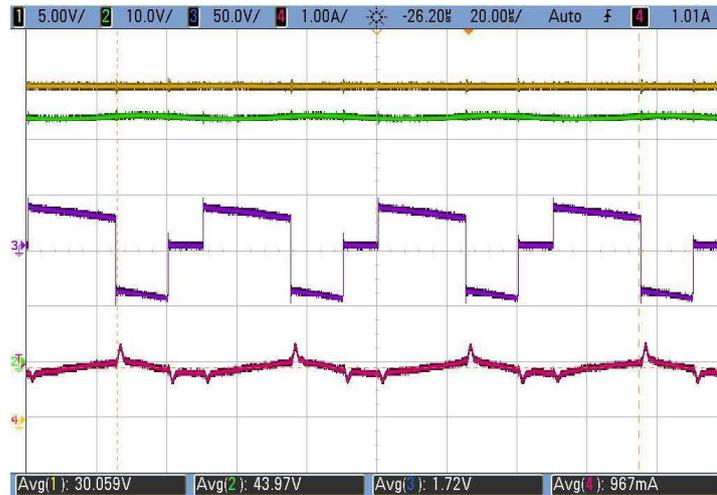
Fonte: Própria do autor.

Figura 7.3 – Formas de onda para o teste com ciclos de trabalho $d_1 = 0,4$ e $d_2 = 0,4$.



Fonte: Própria do autor.

Figura 7.4 – Formas de onda para o teste com ciclos de trabalho $d_1 = 0,5$ e $d_2 = 0,3$.



Fonte: Própria do autor.

Observa-se na Tabela 7.2 que houve uma diferença de até 12% no resultado dos ensaios em comparação ao valor teórico. Após análise do circuito, verificou-se que tais diferenças foram devidas às quedas de tensão nos elementos não ideais (queda de tensão direta nos diodos, resistência em condução dos MOSFET, e as resistências internas dos demais componentes). Portanto, descobriu-se a necessidade de elaborar um modelo mais completo do retificador, de forma a englobar tais efeitos.

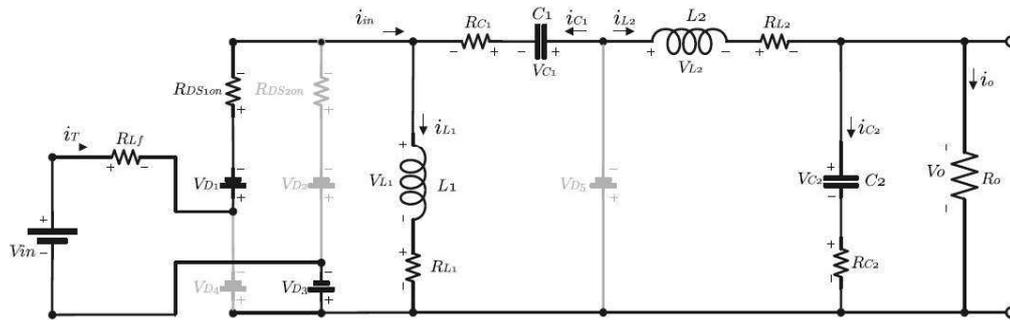
Tabela 7.2 – Comparação dos resultados dos ensaios em malha aberta com o modelo.

Ensaio	V_o (teórico)	V_o (medido)	Diferença (%)
$d_1 = 0,6$ e $d_2 = 0,3$	60 V	52,95 V	11,77%
$d_1 = 0,4$ e $d_2 = 0,4$	30 V	27,28 V	9%
$d_1 = 0,5$ e $d_2 = 0,3$	50 V	43,97 V	12%

Fonte: Própria do autor.

Com base no que foi preconizado anteriormente, elaborou-se um modelo que contasse em suas equações, os parâmetros não ideais mais importantes, de modo a obter resultados mais convergentes àqueles dos ensaios. A Figura 7.5 mostra o novo modelo considerado para a comparação com os testes experimentais.

Figura 7.5 – Modelo do retificador Zeta com não idealidades.



Fonte: Própria do autor.

Deste novo modelo, extraiu-se a Equação (7.2) que define o comportamento da tensão de saída do retificador, com a qual calculou-se os novos valores teóricos para a tensão V_o , como mostrado na Tabela 7.3. Desta vez, pode-se notar que os valores são bem próximos, o que viabiliza o modelo.

$$V_o = R_o \frac{\frac{|v_i|d_1}{1-d_2} - 2V_D - V_{D5} \frac{1}{1-d_2} - V_{L1}}{R_{Son} \frac{1}{d_2} + R_{Lf} \frac{d_1}{d_2(1-d_2)} + R_{L1} \frac{(1-d_2)}{d_2} + R_{L2} \frac{d_2}{(1-d_2)} + R_{C1} + R_o \frac{d_2}{(1-d_2)}} \quad (7.2)$$

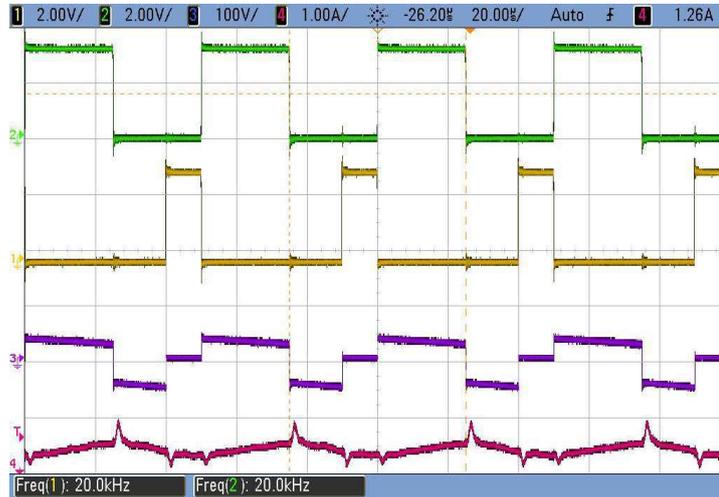
Tabela 7.3 – Comparação dos ensaios em malha aberta com o modelo com não idealidades.

Ensaio		V_o (teórico)	V_o (medido)	Dif. (%)
$d_1 = 0,6$	$R_{Son} = 0,18$	$V_D = 0,694$	52,94 V	0,002%
$d_2 = 0,3$	$R_{Lf} = 0,25$			
$d_1 = 0,4$	$R_{L1} = 0,25$	$V_D = 0,623$	26,70 V	2,2%
$d_2 = 0,4$	$R_{L2} = 0,55$			
$d_1 = 0,5$	$R_{C1} = 0,40$	$V_D = 0,683$	43,67 V	0,6%
$d_2 = 0,3$	$R_{C2} = 0,40$			

Fonte: Própria do autor.

Adicionalmente, capturou-se as formas de onda dos sinais PWM que acionam os *gates* dos MOSFET, de modo a representar especificamente as etapas de cada estágio e sua relação com as formas de onda da tensão e corrente do indutor L_1 .

Figura 7.6 – Formas de onda dos sinais PWM no experimento com entrada CC.



Fonte: Própria do autor.

Pelas figuras, é possível ver também que os sinais de tensão nos MOSFET e no indutor L_1 comportam-se como esperado, apesar da presença de alguns *spikes*, que são comuns nas topologias que operam com chaveamento em altas frequências. Deste modo, todas as etapas são realizadas adequadamente, inclusive a de roda livre, que é essencial para o desacoplamento de potência.

7.2 EXPERIMENTOS COM ENTRADA CA

Em continuidade aos experimentos para validar o modelo do retificador *Zeta* com desacoplamento de potência, foram realizados testes com a entrada de tensão em corrente alternada. Nestes experimentos, a malha de controle (aberta ou fechada) define os ciclos de trabalho das chaves, que são variados de acordo com a tensão desejada para o indutor L_1 , e sincronizada com a tensão senoidal de entrada.

7.2.1 Controle em Malha Aberta

A Figura 7.7 mostra a forma de onda dos ciclos de trabalho para os MOSFET S_1 (roxo) e S_2 (verde) no controle em MA. Nesta, nota-se que as funções de chave principal e chave

auxiliar são permutados a cada semiciclo da tensão de entrada v_{in} (laranja), devendo, então, os sinais serem sincronizados.

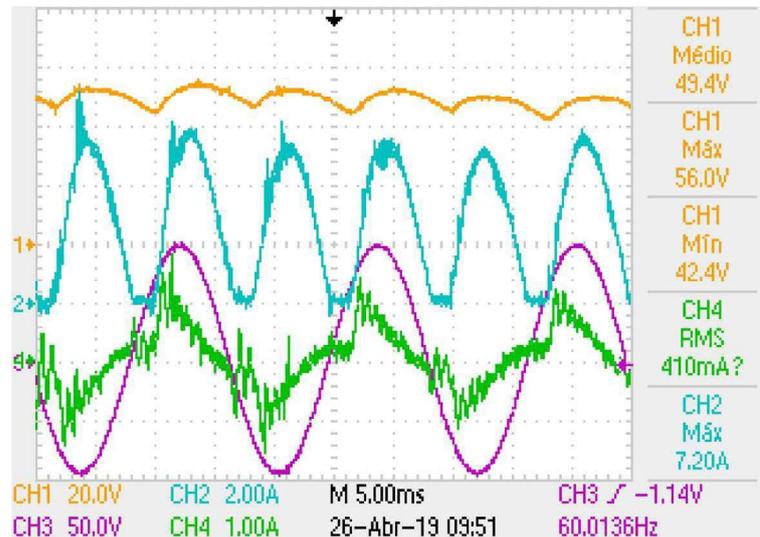
Figura 7.7 – Ciclos de trabalho dos MOSFET S_1 e S_2 .



Fonte: Própria do autor.

O experimento foi realizado com uma tensão de entrada senoidal de 100 V de pico (roxo), como mostra a Figura 7.8, a qual apresenta também as formas de onda da corrente no indutor L_1 (azul), da tensão de saída V_o (laranja) e da corrente de entrada i_{in} (verde).

Figura 7.8 – Formas de onda para o teste com entrada CA.



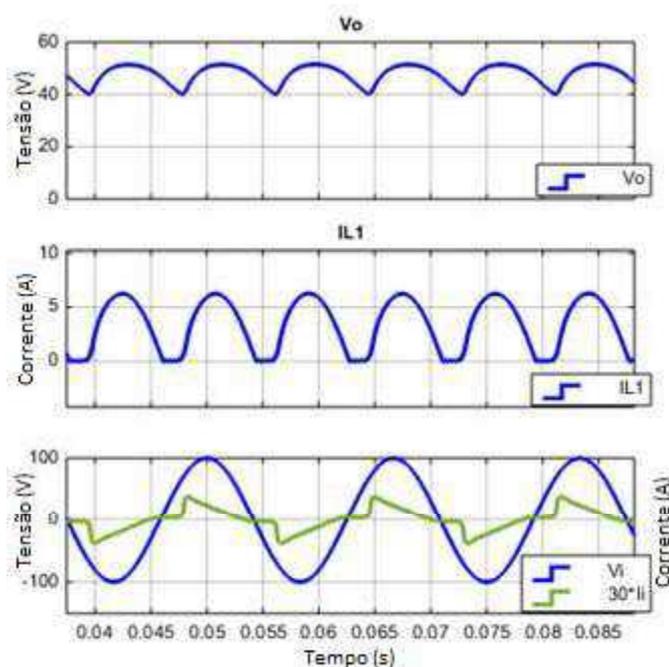
Fonte: Própria do autor.

Nota-se que há uma distorção apreciável na corrente de entrada. Tal efeito foi constatado ser devido aos parâmetros não ideais citados anteriormente. Por este motivo, houve um desbalanceamento na compensação da potência oscilante absorvida da fonte de entrada.

Apesar do problema citado acima, é possível notar que de fato ocorre o desacoplamento de potência, embora não ocorra com a precisão que deveria. Isto é evidenciado pelo fato da tensão de saída apresentar uma variação de 16 V, que, apesar de ser alta em relação ao máximo aceitável projetado, que é de 10%, ou seja, 5 V, ainda é baixa quando levado em conta o valor do capacitor utilizado. Outro fato que corrobora a ocorrência do desacoplamento é que a forma de onda da corrente no indutor L_1 segue o padrão esperado, uma vez que ela tem o dobro da frequência da tensão de entrada e não possui valores negativos.

Para verificar se as distorções vistas na Figura 7.8 são de fato devidas a não inserção dos parâmetros específicos dos diodos, dos MOSFET e demais resistências internas, elaborou-se uma nova simulação, a qual tentou recriar as condições de teste do protótipo, ou seja, foram inseridos os parâmetros da Tabela 7.3, mantendo-se os mesmos sinais de acionamento das chaves outrora calculados para o modelo mais simplificado. O resultado obtido nesta nova simulação é apresentado na Figura 7.9.

Figura 7.9 – Resultados da simulação em MA com a inserção dos parâmetros não ideais.



Fonte: Própria do autor.

Como pode ser notado, os valores e o aspecto das formas de onda na simulação seguem muito aproximadamente os valores obtidos nos testes experimentais, levando à razoável hipótese de que o modelo inicial, acrescido das quedas de tensão nos diodos e a resistência

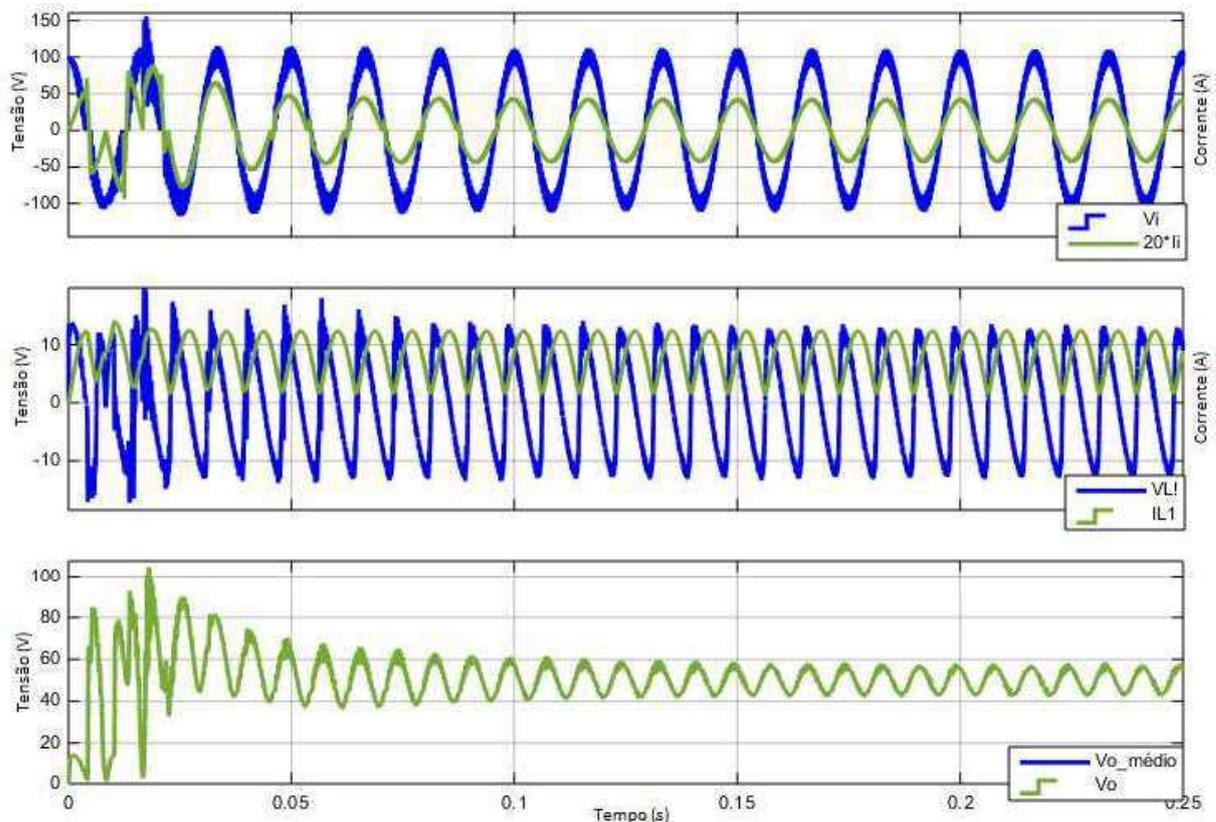
interna dos MOSFET, realmente representa com bom grau de exatidão o comportamento real do retificador em questão.

7.2.2 Controle em Malha Fechada

Os experimentos do protótipo com o controle em malha fechada não puderam ser feitos em tempo hábil para serem inseridos nesta dissertação. Contudo, em trabalhos futuros, estes resultados serão discutidos e comparados com novos experimentos que visam aprimorar a topologia, bem como propor novas linhas de pesquisa, uma vez percebido o potencial inovador da topologia apresentada.

Embora não tenha sido possível apresentar os testes experimentais em CA com malha fechada, elaborou-se a simulação do modelo apresentado em 7.1, que contém as várias não idealidades que afetam o funcionamento do retificador. Assim, utilizando a mesma técnica de controle apresentada em 6.2, foi realizada a simulação do circuito apresentado na Figura 7.5 com entrada CA. A Figura 7.10 mostra as formas de onda resultantes da simulação.

Figura 7.10 - Resultados da simulação em MF com a inserção dos parâmetros não ideais.

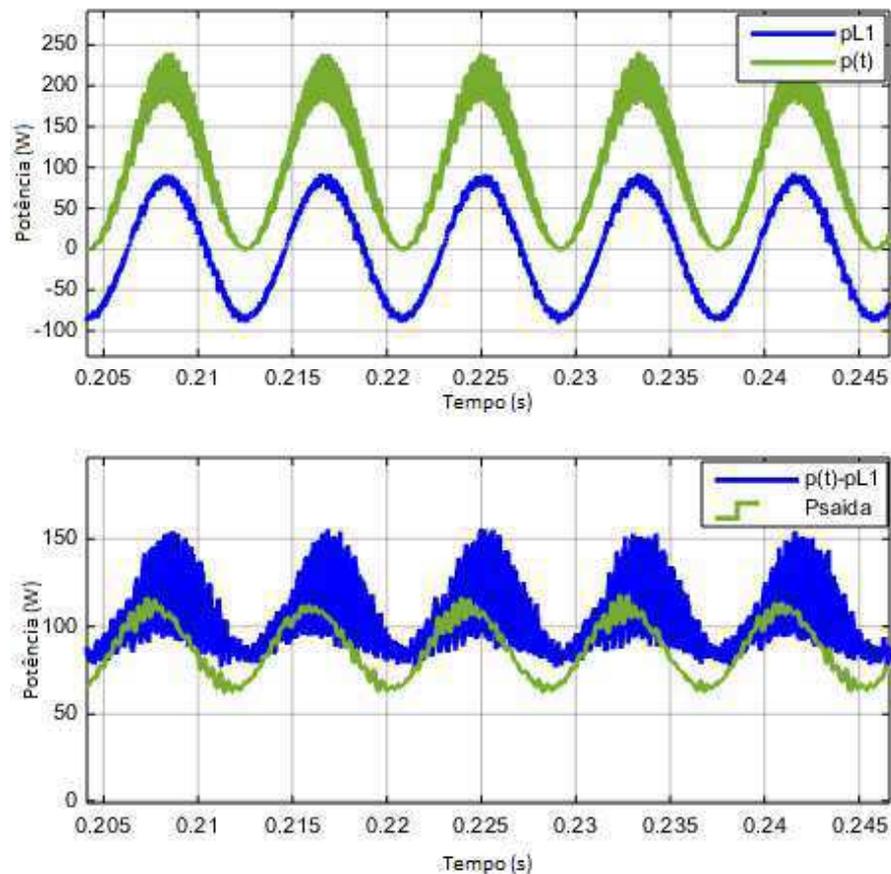


Fonte: Própria do autor.

Como pode ser observado, a malha de controle da corrente no indutor de desacoplamento desempenha com sucesso a sua função, que é seguir a corrente de referência imposta na sua entrada. Porém a malha de controle responsável pela regulação da tensão de saída não conseguiu desempenhar com totalidade a sua função, pois a tensão de saída V_o apresenta oscilações em baixa frequência que o capacitor não consegue filtrar, resultando num *ripple* de cerca de 20%, que é o dobro do projetado, embora tenha sido alcançado o fator de potência unitário e a baixa DHT (4,68%).

Analisando a Figura 7.11, vê-se que não ocorre a perfeita compensação da potência oscilante de entrada. Isso porque o perfil da potência a ser compensada não é mais aquele projetado inicialmente, no qual não eram consideradas as perdas nos elementos não ideais dos componentes. Esse perfil é agora uma forma variável que depende das perdas nos componentes e, conseqüentemente, da corrente que passa no circuito, exigindo, portanto, um controle mais robusto, que seja capaz de se adaptar às variações da potência oscilante a ser compensada.

Figura 7.11 - Potências de entrada e saída obtidas na simulação do modelo não ideal em MF.



Fonte: Própria do autor.

8 CONCLUSÃO

Este trabalho apresentou uma topologia de retificador monofásica inovadora, pois além de ser baseada no retificador *Zeta*, que é uma topologia pouco estudada, executa o desacoplamento de potência, sem com isso sofrer grandes alterações no seu circuito de potência. Isso traz as grandes vantagens dos mais modernos retificadores PWM, mantendo as características especiais do *Zeta* convencional, tais como a capacidade de se auto proteger contra sobrecarga e corrente de curto-circuito.

O método de análise do retificador seguiu os padrões adotados na literatura, e resultou em relações matemáticas que, obtidas pela avaliação das equações diferenciais do circuito, descrevem com precisão o seu funcionamento, o qual foi corroborado pela simulação e experimentos num protótipo para um exemplo de projeto elaborado no capítulo 5.

As primeiras simulações apresentaram resultados em perfeita concordância com o modelo teórico inicial, tanto com o controle em malha aberta quanto em malha fechada, dando base para a montagem de um protótipo. Três características principais das simulações devem ser destacadas: o fator de potência praticamente unitário, de acordo com o parâmetro inicial do projeto; a DHT de apenas 5,57%, o que demonstra o potencial de qualidade de energia deste retificador; a tensão de saída com valor médio igual ao valor pré-estabelecido, e ondulação que não excede 8%, usando um capacitor de filtro de apenas 2,2 μF .

Embora as simulações tenham gerado resultados muito próximos àqueles levantados na análise teórica inicial, os experimentos no protótipo com o controle em MA, os quais tinham os mesmos parâmetros utilizados na simulação, apresentaram discrepâncias em relação aos resultados esperados. Essas discrepâncias levaram a questionar se havia falhas no modelo ou alguma característica relevante que não foi considerada na modelagem do retificador.

Após uma análise minuciosa do retificador e seus componentes, notou-se que alguns parâmetros, antes considerados irrelevantes para a funcionalidade do controle, poderiam ser a causa das desconformidades encontradas nos experimentos, são elas: a queda de tensão direta nos diodos, a resistência em condução dos MOSFET, e as resistências internas dos indutores e capacitores. Esses parâmetros, apesar de terem pequena magnitude em relação às demais

grandezas do circuito, são capazes de gerar um desequilíbrio na compensação da oscilação de potência de 2ª harmônica.

O desequilíbrio ocorre porque não há a perfeita compensação da potência oscilante de entrada, pois o perfil da potência a ser compensada não é mais aquele projetado inicialmente, no qual não eram consideradas as perdas nos elementos não ideais dos componentes. Esse perfil é agora uma forma variável que depende das perdas nos componentes e, conseqüentemente, da corrente que passa no circuito.

Uma forma de compensar essas quedas de tensão não modeladas inicialmente, é implementar um controle em malha fechada para a corrente de referência do indutor L_I , mais robusto, e que seja capaz de se adaptar às variações da potência oscilante a ser compensada, permitindo assim, a correção dos ciclos de trabalho das chaves. Os experimentos em MF serão objeto de estudo em trabalhos seguintes, dado que não foi possível realizá-los em tempo hábil para serem colocados nesta dissertação.

Pela Tabela 8.1, observa-se que o retificador *Zeta* com desacoplamento foi o que mais conseguiu reduzir o valor do elemento principal do filtro de saída, seja ele indutor ou capacitor.

Tabela 8.1 – Comparativo das topologias de retificadores com desacoplamento de potência.

Retificador	Potência	Frequência de Chaveamento	Tensão de Saída	Elemento Desacoplador	Filtro de saída		
					Método Tradicional	Método de Desacoplamento	Redução (%)
Liu et al. (2017)	480 W	20 kHz	120 V	1 Capacitor de 90 μ F	1100 μ F	20 μ F	98,2%
Sheppard-Taylor	500 W	20 kHz	100 V	1 Capacitor de 100 μ F	1600 μ F	20 μ F	98,8%
Tang et al. (2015)	1 kW	19,2 kHz	380 V	2 Capacitores de 90 μ F	940 μ F	45 μ F	95,2%
Ohnuma e Itoh (2014)	750 W	20 kHz	130 V	1 Capacitor de 100 μ F	350 mH	1 mH	99,7%
<i>Zeta</i> com Desacoplamento	87 W	40 kHz	50 V	1 Indutor de 3 mH	923 μ F	2,2 μ F	99,8%

Fonte: Própria do autor.

9 REFERÊNCIAS BIBLIOGRÁFICAS

GARCIA, J. P. M. Projeto integrado de controle e conversores de potência com aplicação a indústria do petróleo. Tese de doutorado. Universidade Federal de Santa Catarina, 2007, Florianópolis.

SINGH, B. A review of single-phase improved power quality ac-dc converters. **IEEE Transactions on Industrial Electronics**, 2003, v. 50, pp. 962-981.

ANDRADE, A. F. A Family of High Power Factor Rectifiers Based on DC-to-DC Current Multilevel Converters. **IEEE Transactions on Industrial Electronics**, 2003, pp. 645-650.

PÉRES, A.; MARTINS, D. C.; BARBI, I. Zeta converter applied in power factor correction. 1994. **IEEE PESC Records**, 1994, pp. 1152-1157

MARTINS, D. C.; CAMPOS, F. S.; BARBI, I. Zeta Converter With High Power Factor Operating in Continuous Conduction Mode. **IEEE APEC Records**, 1996, pp. 107-113.

CALLEGARO, A. D.; MARTINS, D. C.; BARBI, I. Isolated single-phase high power factor rectifier using zeta converter operating in dcm with non-dissipative snubber. **IEEE Transactions on Industry Applications**, pp. 1-6, 2013.

VITORINO, M. A.; ALVES, L. S. F.; WANG, R. Low-frequency power decoupling in single-phase applications: a comprehensive overview. **IEEE Transactions on Power Electronics**, 2017, v. 32, pp. 2892-2912.

YANG, S.; BRYANT, A.; MAWBY, P.; XIANG, D.; LI, R.; TAVNER, P. An industry-based survey of reliability in power electronic converters. **IEEE Transactions on Industry Applications**, vol. 47, pp. 1441-1451, 2011.

OHNUMA, Y.; ITOH, J. A control method for a single-to-three-phase power converter with an active buffer and a charge circuit. In: IEEE ENERGY CONVERSION CONGRESS AND EXPOSITION (ECCE), 2010, Atlanta, pp. 1801-1807.

OHNUMA, Y.; ITOH, J. Comparison of boost chopper and active buffer as single to three phase converter. In: IEEE ENERGY CONVERSION CONGRESS AND EXPOSITION (ECCE), 2011, Phoenix, pp. 515-521.

GORLA, N. B. Y.; ALI, K.; DAS, P.; PANDA, S. K. Analysis of active power decoupling in single-phase rectifier using six-switch topology. In: IEEE 2ND ANNUAL SOUTHERN POWER ELECTRONICS CONFERENCE (SPEC), 2016, Nova Zelândia.

LIU, Y.; SUN, Y.; SU, M.; ZHOU, M.; ZHU, Q.; LI, X. A single-phase pfc rectifier with wide output voltage and low frequency ripple power decoupling. **IEEE Transactions on Power Electronics**, 2018, v. 33, pp. 5076-5086.

LI, H.; ZHANG, K.; ZHAO, H.; FAN, S.; XIONG, J. Active power decoupling for high-power single-phase pwm rectifiers. **IEEE Transactions on Power Electronics**, 2013, v. 28. pp. 1308-1319.

ZHONG, Q. C.; MING, W. L.; CAO, X.; KRSTIC, M. Reduction of dc-bus voltage ripples and capacitors for single-phase pwm-controlled rectifiers. In: 38TH ANNUAL CONFERENCE ON IEEE INDUSTRIAL ELECTRONICS SOCIETY, 2012, Canadá, pp. 708-713.

SU, M.; PAN, P.; LONG, X.; SUN, Y. An active power-decoupling method for single-phase ac-dc converters. **IEEE Transactions on Power Electronics**, 2016, v. 31. pp. 4121-4137.

LIU, Y.; SUN, Y. SU, M.; LIU, F. Control method for the sheppard-taylor pfc rectifier to reduce capacitance requirements. **IEEE Transactions on Power Electronics**, 2018, v. 33. pp. 2714-2722.

HARB, S.; BALOG, R. S. Single-phase pwm rectifier with power decoupling ripple-port for double-line-frequency ripple cancellation. In: 28TH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC), 2013, Califórnia, pp. 1025-1029.

WANG, R.; WANG, F.; LAI, R.; NING, P.; BURGOS, R.; BOROYEVICH, D. Study of energy storage capacitor reduction for single phase pwm rectifier. In: 24TH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC), 2009, Washington, pp. 1177-1183.

WANG, R.; WANG, F.; BOROYEVICH, D.; BURGOS, R.; LAI, R.; NING, P.; RAJASHEKARA, K. A high power density single-phase pwm rectifier with active ripple energy storage. In: 25TH ANNUAL IEEE APPLIED POWER ELECTRONICS CONFERENCE AND EXPOSITION (APEC), 2010, Califórnia, pp. 1378-1383.

ZHAO, H.; LI, H.; MIN, C.; ZHANG, K. A modified single-phase h-bridge pwm rectifier with power decoupling. In: IEEE 5TH INDIA INTERNATIONAL CONFERENCE ON POWER ELECTRONICS (IICPE), 2012, Delhi. pp. 1-6.

TANG, Y.; et al. Decoupling of fluctuating power in single-phase systems through a symmetrical half-bridge circuit. **IEEE Transactions on Power Electronics**, 2015, v. 30, n. 4, pp. 1855-1865.

OHNUMA, Y.; ITOH, J. I. A novel single-phase buck pfc ac–dc converter with power decoupling capability using an active buffer. **IEEE Transactions on Industry Applications**, 2014, v. 50, n. 3, pp. 1905-1914.

ANEXOS

• Rotina para cálculo dos Parâmetros da Simulação

```

// Informações iniciais de projeto
Vi = 100; // Valor de pico da tensão da fonte de entrada
fr = 60; // Frequência da fonte de entrada
fs = 20e3; // Frequência de chaveamento
Vo = 50; // Tensão de saída
delt_Vo = 0.1; // Ondulação máxima da tensão de saída
fp = 1 // Fator de potência
Po = 87; // Potência da carga

// Dados complementares
w = 2*pi*60; // Frequência angular
Ts = 1/fs; // Período de chaveamento
phi = acos(fp) // Ângulo de defasamento entre tensão e corrente
Io = Po/Vo; // Corrente de saída
Ii = 2*Po/Vi; // Valor de pico da corrente da fonte de entrada
Ro = Vo/Io; // Resistência da carga

// Coeficiente marginal de armazenamento de energia
k = 1.02; // Valor a ser utilizado na simulação

// Dimensionamento dos principais componentes para a simulação
// Indutor L1
IL1_max = 12; // máxima corrente em L1 (critério de projeto)
k_max = 1.2; // máximo valor de k (critério de projeto)
L1 = Po*(1+k_max)/(IL1_max^2*w)

t = [0:1e-5:0.1]; // passo de cálculo 1e-5
for n=1:length(t)
    // Tensão da fonte de entrada
    vi(n) = abs(Vi*sin(w*t(n)));
    // Tensão e corrente em L1 para necessárias para que ocorra o desacoplamento
    VL1(n) = -Po*cos(2*w*t(n) - phi)/sqrt((Po/(w*L1))*(k-sin(2*w*t(n) - phi)));
    iL1(n) = sqrt((Po/(w*L1))*(k-sin(2*w*t(n) - phi)));
    // Cálculo dos ciclos de trabalho e de chaves abertas
    d1(n) = abs(Ii*sin(w*t(n)- phi))/(Io+iL1(n));
    d2(n) = (vi(n)*d1(n)-VL1(n))/(Vo-VL1(n));
    // Tensão no capacitor de transferência de energia
    vC1(n) = (Vo-vi(n)*d1(n))/(1-d2(n));
end

// Valores máximo e mínimo de d2
d2_max = max(d2);
d2_min = min(d2);
// Indutor L2
delt_iL2 = 0.3;
L2 = Vo*d2_max*Ts/(delt_iL2*Io)
// Capacitor C1
delt_vC1 = 0.9;
C1 = Io*(1-d2_min)*Ts/(delt_vC1*Vo)
// Capacitor Co
Co = delt_iL2*Ts/(8*delt_Vo*Vo)
// Cálculo do valor mínimo de k

```

```

t = [0:1e-5:0.01]; // passo de cálculo 1e-5
k_aux = 1.02;
k_min = 0;
ok = 0;
a = 0;
n = 0;
while ok == 0
    a = a+1;
    pare = 0;
    while(pare == 0)
        n = n+1;
        vi(n) = abs(Vi*sin(w*t(n)));
        VL1(n) = -Po*cos(2*w*t(n) - phi)/sqrt((Po/(w*L1))*(k_aux - sin(2*w*t(n) - phi)));
        iL1(n) = sqrt((Po/(w*L1))*(k_aux-sin(2*w*t(n) - phi)));
        d1(n) = abs(Ii*sin(w*t(n)- phi))/(Io+iL1(n));
        d2(n) = (vi(n)*d1(n)-VL1(n))/(Vo-VL1(n));
        b = d1(n)+d2(n);
        // O valor mínimo de k ocorre quando d1+d2 é igual a 1
        if(b >= 1)
            pare = 1;
            k_min = k_aux
        end
        if(n == 1000)
            n = 0;
            pare = 1;
        end
    end
end
if pare > 0
    if k_min > 0
        ok = 1;
    else
        k_aux = k_aux-1e-3;
    end
end
if a == 100
    ok = 1;
end
end
end

```