



UNIVERSIDADE FEDERAL DE CAMPINA GRANDE
CENTRO DE ENGENHARIA ELÉTRICA E INFORMÁTICA - CEEI
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

ISAÍAS DE SOUSA BARBOSA JÚNIOR

PROJETO DE UM AMPLIFICADOR DE GANHO
PROGRAMÁVEL PARA *BLUETOOTH* DE BAIXA ENERGIA
EM TECNOLOGIA CMOS DE 0,13 μm

DISSERTAÇÃO DE MESTRADO

Campina Grande
Março de 2020

ISAÍAS DE SOUSA BARBOSA JÚNIOR

PROJETO DE UM AMPLIFICADOR DE GANHO PROGRAMÁVEL
PARA *BLUETOOTH* DE BAIXA ENERGIA EM TECNOLOGIA CMOS
DE 0,13 μm

Dissertação apresentada à Coordenação de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Campina Grande, em cumprimento às exigências para obtenção do grau de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. Raimundo Carlos S. Freire

Orientador: Prof. Dr. João Antonio Martino

Área de Concentração: Processamento da Informação

Campina Grande

Março de 2020

B238p

Barbosa Júnior, Isaiás de Sousa.

Projeto de um amplificador de ganho programável para *Bluetooth* de baixa energia em tecnologia CMOS de 0,13 μm / Isaiás de Sousa Barbosa Júnior. - Campina Grande, 2020.

75 f. : il. color.

Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal de Campina Grande, Centro de Engenharia Elétrica e Informática, 2020.

"Orientação: Prof. Dr. Raimundo Carlos S. Freire, Prof. Dr. João Antonio Martino.

Referências.

1. Amplificador de Ganho Programável. 2. *Bluetooth* de Baixa Energia. 3. Fonte-Comum. 4. Modo Comum de Saída. 5. Receptor. I. Freire, Raimundo Carlos S.. II. Martino, João Antonio. III. Título.

CDU 621.375(043)

**Projeto de um Amplificador de Ganho Programavel para Bluetooth de Baixa Energia em
Tecnologia CMOS de 0.13 μm**

ISAIAS DE SOUSA BARBOSA JUNIOR

DISSERTAÇÃO APROVADA EM 10/03/2020

RAIMUNDO CARLOS S. FREIRE

**RAIMUNDO CARLOS SILVÉRIO FREIRE, Dr., UFCG
Orientador(a)**

**JOÃO ANTONIO MARTINO, Dr., USP
Orientador(a)**

Alexandre Jean René Serres
**ALEXANDRE JEAN RENÉ SERRES, D.Sc., UFCG
Examinador(a)**

Jalberth Fernandes de Araújo
**JALBERTH FERNANDES DE ARAÚJO, D.Sc., UFCG
Examinador(a)**

CAMPINA GRANDE - PB

*À minha mãe,
à minha bisavó
(in memoriam),
à minha tia,
à meu pai,
à Gabriel,
à Yuly,
aos colegas
de profissão e
aos sonhadores.*

Agradecimentos

Primeiramente, gostaria de agradecer ao professor R.C.S Freire pelo inestimável suporte durante todo este ciclo de preparação, escrita e rigor técnico deste trabalho, além de sua sempre agradável presença e sua disposição em compartilhar suas visões do mundo e da vida, sobretudo, como educador.

À minha mãe, também educadora, por seu suporte incondicional durante toda a minha vida.

À minha bisavó (*in memoriam*) pelo seu colo sempre à minha disposição, sua fé em mim e suas palavras de carinho que sempre me atingiram.

À minha tia madrinha, por sempre ter me impelido para fora da minha zona de conforto e por sempre ter me exigido dedicação, disciplina e foco.

Ao meu pai, pelo ensinamento tácito de que o treino é imprescindível para que se atinja o alto desempenho.

Ao meu irmão, Gabriel, por seu enorme amor e por ter me ensinado a compartilhar.

À minha companheira, Yuly, por toda sua paciência e suporte, seja na minha vida acadêmica, seja na nossa vida de casal.

Aos colegas e amigos do programa CI-Brasil e colegas de profissão, Lucas Almeida, Estevão Magro, Walter Santana, Felipe Sola e Ruy Costa. À Roberto Rangel, Leonardo Leopoldo, Luciana Shiroma e Daniele Santana que, além de compartilharem comigo sua presença afável, amistosa e bem-humorada, ouviram-me e me deram a graça de sua amizade e à Edelson Venuto, que orientou responsável e organizadamente projeto que deu nascimento a este trabalho.

Aos professores João Antonio Martino e Elyson Carvalho pelas inestimáveis contribuições ao meu desenvolvimento profissional e a este trabalho. Também, ao professor Marcos Zurita, por ter sido uma inspiração e uma luz na minha decisão de construir uma carreira na microeletrônica.

Aos meus velhos amigos Caio Cavalcante, Rógeres Filho, Jailson Leite, Donald Wilburn, Marcus Welby, Felipe Lima, Flávio Alves e Natália Rodrigues por todo o companheirismo ao longo desses anos.

Aos amigos Tamires D'Agosta, Sidnei Assis, Liz Alexandrita, Mariana Serafim e Rafael

por todo o seu suporte, bons sentimentos, ensinamentos e por nossas conversas e parceria ao longo desses anos que tenho morado em São Paulo.

Gostaria de agradecer, também, às agências de fomento CAPES e CNPq, ao projeto PRONEX/FAPESQ e ao programa CI-Brasil (CT-SP), iniciativas sem as quais este trabalho não seria possível.

Ao longo dos últimos 5 anos fui afetado por dezenas de pessoas que passaram pela minha vida, pelas que permanecem e a cada uma delas, sou grato.

"O anti-intelectualismo tem sido uma ameaça constante se insinuando na nossa vida política e cultural, alimentado pela falsa noção de que a democracia significa que a minha ignorância é tão boa quanto o seu conhecimento".

Isaac Asimov

RESUMO

O Amplificador de Ganho Programável é um circuito capaz de, convenientemente, ter seu ganho alterado de maneira a atender vários níveis de amplificação. O circuito apresentado neste trabalho foi construído para integrar o receptor de um sistema *Bluetooth* de Baixa Energia, o qual possui aplicações em *Internet* das Coisas, contemplando aplicações na área médica, por exemplo. A topologia proposta neste trabalho é constituída por um primeiro estágio com fonte degenerada, um segundo estágio com uma fonte-comum com carga resistiva e um circuito de interface com transcondutância melhorada para construir o amplificador, o qual possui ultra baixo consumo ($< 104 \mu\text{W}$) e ocupa uma área de $0,004 \text{ mm}^2$. Cada saída diferencial do circuito foi carregada com 2 pF , valor estimado levando-se em consideração o carregamento imposto pelo bloco seguinte em uma arquitetura de receptor, isto é, um conversor analógico-digital. Projetado em tecnologia CMOS de $0,13 \mu\text{m}$ e com tensão de alimentação de 1 V , as simulações da vista extraída do circuito desenvolvido resultaram em consumo máximo de $103,1 \mu\text{W}$, largura de banda mínima de $7,56 \text{ MHz}$, ruído máximo de $32,14 \text{ nV}/\sqrt{\text{Hz}}$ e uma faixa de ganho de $2,56 - 19,69 \text{ dB}$, apresentando melhor desempenho quanto às características de ruído, faixa de ganho por estágio e área quando comparado à trabalhos recentes. A margem de fase do circuito foi de até $104,8^\circ$, tendo sido não inferior a 49° .

Palavras-chave: Amplificador de Ganho Programável; *Bluetooth* de Baixa Energia; Fonte-comum; Modo Comum de Saída; Receptor.

ABSTRACT

The Programmable Gain Amplifier is a circuit capable of conveniently changing its gain to address various levels of amplification. The circuit which design is described in this work is intended to be within the receiver sub-domain of a Bluetooth Low-Energy system, which finds applications on the Internet of Things industry, finding application on the healthcare field, for instance. The topology proposed in this work is built by combining a source degenerated first stage, a common-source with resistive load second stage, and a transconductance boosting circuit interface to realize an amplifier that has ultra low power consumption ($< 104 \mu\text{W}$) and occupies an area of $0,004 \text{ mm}^2$. Each differential output of the circuit is loaded with 2 pF , value that is the estimated load taking into consideration the loading imposed for the following block of a receiver architecture, i.e. the Analog-to-Digital Converter. Designed in a CMOS $0,13 \mu\text{m}$ technology and with a supply voltage of 1 V , the simulations on the extracted view of the developed circuit have resulted in maximum power dissipation of $103.1 \mu\text{W}$, minimum bandwidth of 7.56 MHz , noise of $32.14 \text{ nV}/\sqrt{\text{Hz}}$, and gain range of $2.56 - 19.69 \text{ dB}$, portraying a better performance respective to noise, gain range per stage and area when compared to recent works. The phase margin of the core circuit is no greater than 104.8° and no less than 49° .

Keywords: Programmable Gain Amplifier; Bluetooth Low Energy; Common-source; Output Common-Mode; Receiver.

Lista de Figuras

Figura 1.1	Vista de Topo da Arquitetura <i>Bluetooth</i> de Baixa Energia.	17
Figura 3.1	Arquitetura Detalhada do Bluetooth.	21
Figura 3.2	Arquitetura <i>Low-IF</i> Típica.	23
Figura 3.3	Amplificador Diferencial Típico.	24
Figura 3.4	Amplificador Operacional de Transcondutância - Problemas de Polarização.	26
Figura 3.5	Amplificador Pseudo-diferencial <i>vs.</i> Amplificador <i>Fully-differential</i>	28
Figura 3.6	Posicionamento em Volta de um Ponto Central Comum.	32
Figura 3.7	Técnica de Centróide Comum Aplicada a um Par Diferencial.	32
Figura 5.1	Topologia do AGP.	37
Figura 5.2	Topologia do CMFB.	37
Figura 5.3	Topologia do Circuito que Fixa V_{ref}	39
Figura 5.4	Arquitetura de Receptor <i>Low-IF</i> para BLE.	40
Figura 7.1	Análise CA - Esquemático.	52
Figura 7.2	Leiaute do CMFB.	55
Figura 7.3	Leiaute do Núcleo do AGP.	55
Figura 7.4	Leiaute da Matriz de Resistores.	56
Figura 7.5	Leiaute do Circuito de Referência de Tensão.	56
Figura 7.6	Leiaute do AGP.	58
Figura 7.7	Análise Transiente da Vista Extraída do AGP - Ganho Variável.	59
Figura 7.8	Análise CA - Vista Extraída.	61
Figura A.1	Diagrama do Fluxo Comportamental do AGP.	73
Figura B.1	Diagrama do Fluxo de Projeto de CI Analógico.	74

Lista de Tabelas

Tabela 4.1	Comparação dos Resultados Obtidos em Diferentes Topologias de AGP	35
Tabela 5.1	Especificações para o projeto do AGP	42
Tabela 7.1	Resultados Atingidos - CMFB (Esquemático).	48
Tabela 7.2	Razões de Aspecto dos Transistores do CMFB.	49
Tabela 7.3	Razões de Aspecto do Circuito de Tensão de Referência	50
Tabela 7.4	Razões de Aspecto do AGP	50
Tabela 7.5	Ganhos associados com cada palavra digital - Esquemático.	51
Tabela 7.6	Resultados obtidos para o AGP (Esquemático).	52
Tabela 7.7	Configuração de <i>Corners</i>	53
Tabela 7.8	Resultados dos <i>Corners</i> para 2,5 dB de Ganho.	53
Tabela 7.9	Resultados dos <i>Corners</i> para 20 dB de Ganho.	54
Tabela 7.10	Ganhos Associados com suas Respektivas Palavras Digitais.	57
Tabela 7.11	Sumário dos Resultados da Vista Extraída do Leiaute do AGP.	60

Lista de Abreviações e Siglas

μ	Mobilidade dos elétrons/lacunas
ω_{IF}	Frequência intermediária
ω_{LO}	Frequência do oscilador local
ω_{RF}	Frequência central de radiofrequência
$\overline{V_{n,in}}$	Ruído referido à entrada
$\overline{V_{n,out}^2}$	Densidade espectral de potência (ruído)
A_{cm}	Ganho de modo comum
A_d	Ganho diferencial
AGP	Amplificador de Ganho Programável
AmpOp	Amplificador Operacional
AP	Amplificador de Potência
BER	Taxa de Erro em Bits
BIAS	Polarização
BLE	<i>Bluetooth</i> de Baixa Energia
C_L	Capacitância de carga
C_{OX}	Capacitância por unidade de área
CAD	Conversor Analógico-Digital
CDA	Conversor Digital-Analógico
CMFB	Circuito de Realimentação de Modo Comum
CMOS	<i>Complementary metal oxide semiconductor</i>

CMRR	Razão de Rejeição de Modo Comum
DBB	Modem Digital de Banda Base
DRC	<i>Design Rule Checking</i>
ff	rápido-rápido
fs	rápido-lento
g_{meff}	Transcondutância efetiva
GBW	Produto Ganho-Banda
GFSK	<i>Gaussian Frequency Shift Keying</i>
I_D	Corrente de dreno
I_{SS}	Corrente de cauda
IF	Frequência Intermediária
IoT	Internet das Coisas
IRN	Ruído referido à entrada
ISM	<i>Industrial Scientific Medical</i>
k	Constante de Boltzmann
K_n	Parâmetro de transcondutância do processo
LL	Camada de Ligação de Dados
LNA	Amplificador de Baixo Ruído
LO	Oscilador Local
Low-IF	<i>Low-Intermediate Frequency</i>
LVS	Leiaute <i>versus</i> Esquemático
MCU	Microcontrolador
MPW	<i>Multi-Project Wafer</i>

$N_{s dBm}$	Ruído na Banda de Operação
NF	Figura de Ruído
nMOS	<i>n-channel metal oxide semiconductor</i>
OTA	Amplificador Operacional de Transcondutância
PDS	Processador Digital de Sinal
PM	Margem de Fase
pMOS	<i>p-channel metal oxide semiconductor</i>
PVT	Processo, Tensão de alimentação e Temperatura
R_L	Resistência de carga
R_S	Resistência de degeneração
R_o	Impedância de saída
R_{SM}	Impedância de entrada
RX	Receptor
S_{in}	Sensibilidade de entrada
SAW	<i>Surface Acoustic Wave</i>
sf	lento-rápido
SNR	Relação Sinal-Ruído
SR	Velocidade de varredura
ss	lento-lento
SX	Sintetizador
T	Temperatura ambiente (300 K)
tt	típico
TX	Transmissor

ULP	Ultra Baixo Consumo
ULV	Ultra Baixa Tensão
V_{DSAT}	Tensão de saturação
V_{in}	Sinal de entrada
V_{out}	Sinal de saída
V_{OV}	Tensão de <i>overdrive</i>
V_{peak}	Tensão de pico
V_{TH}	Tensão de limiar
VLSI	<i>Very Large Scale Integration</i>

Sumário

1	INTRODUÇÃO	16
2	OBJETIVOS	19
3	FUNDAMENTAÇÃO TEÓRICA	20
3.1	BLUETOOTH DE BAIXA ENERGIA (BLE)	20
3.1.1	Receptor (RX)	22
3.2	AMPLIFICADOR DIFERENCIAL	24
3.2.1	Realimentação de Modo Comum (CMFB)	26
3.2.2	Amplificador Pseudo-diferencial	27
3.2.3	Amplificador de Ganho Programável (AGP)	28
3.3	<i>CORNERS</i>	29
3.4	LEIAUTE	30
3.4.1	Técnicas de Leiaute	30
4	REVISÃO BIBLIOGRÁFICA	34
5	TOPOLOGIAS ESCOLHIDAS	36
5.1	ESPECIFICAÇÃO	40
5.2	PROJETO	42
6	MATERIAL E MÉTODOS	45
6.1	MATERIAL	45
6.2	MÉTODOS	46
7	RESULTADOS	48
7.1	PROJETO	48
7.2	ESQUEMÁTICO	51
7.3	<i>CORNERS</i>	53

7.4 LEIAUTE	54
8 CONCLUSÕES E TRABALHOS FUTUROS	63
REFERÊNCIAS	65
A Modelo Funcional do AGP - Verilog-A	71
B Fluxo de Projeto de Circuitos Integrados Analógicos	74

1 INTRODUÇÃO

A tecnologia *Bluetooth* vem sendo utilizada há pelo menos duas décadas na comunicação sem fio de curta distância entre dispositivos [1]. Ela difere do padrão IEEE 802.11 (Wi-Fi), sobretudo, por suas características de alcance e energia consumida: enquanto a primeira tem alcance de até uma centena de metros de distância e consome até 100 mW (classe 1), o último pode alcançar também 100 m, em ambientes abertos, e consumir uma potência de até 1000 mW ¹ [2, 3].

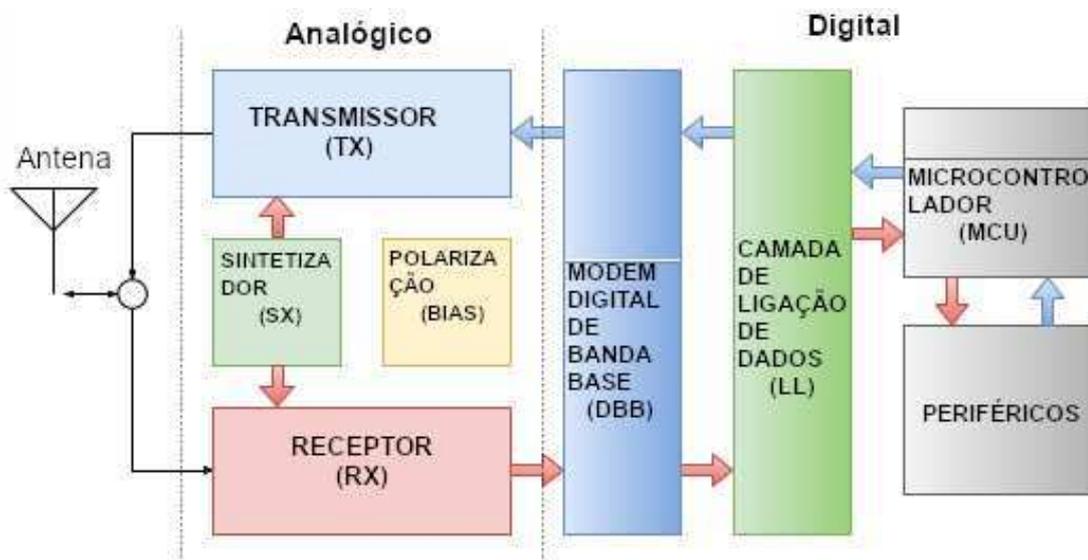
A partir do padrão *Bluetooth*, houve a necessidade de criar-se um novo padrão que fosse capaz de enviar rapidamente pequenos pacotes de dados com latência diminuta e, ao mesmo tempo, com vários nós operando. Tal padrão é conhecido como *Bluetooth de Baixa Energia* (do inglês *Bluetooth Low Energy*, BLE), o qual foi especificado na versão 4.0 do padrão IEEE 802.15.1 [4]. Em virtude de tais características, o BLE constitui-se em um conveniente padrão a ser utilizado em uma das áreas mais promissoras dos próximos anos: a *Internet* das Coisas (do inglês *Internet of Things*, IoT). O IoT habilita a *internet* à conexão de vários dispositivos e objetos que podem ser controlados remotamente, estimando-se que durante 2020 31 bilhões de dispositivos serão instalados e que até 2025 este número chegará a 41,6 bilhões [5, 6]. Desta maneira, este campo em ascensão encontra aplicações nas áreas de saúde, casas inteligentes e outras. Uma vez que a natureza do BLE é paralela às possibilidades da IoT, faz sentido que ele possa ser utilizado como uma das plataformas de comunicação para "empoderar" os dispositivos conectáveis por intermédio da *internet* das coisas.

De maneira mais específica, a arquitetura de um sistema BLE compreende: transmissor (TX), sintetizador (SX), receptor (RX), circuito de polarização (BIAS), *modem* digital de banda base (DBB), camada de ligação de dados (LL), microcontrolador (MCU) e periféricos, conforme representado na Figura 1.1. O receptor do sistema tem a função de receber o sinal, amplificá-lo, filtrá-lo e convertê-lo para o domínio digital. O *modem* de banda base deste tipo de arquitetura tem a função de filtrar, modular e ajustar o sinal, atuando juntamente com o microcontrolador para que o sinal seja entregue de volta ao domínio analógico, mais especificamente para o transmissor, o qual desempenhará o papel de conversão para sinal analógico, filtragem, modulação e amplificação, transmitindo

¹Regulamentação dos EUA. Outros países tem diferentes regulamentações.

o sinal para o ambiente através de uma antena.

Figura 1.1: Vista de Topo da Arquitetura *Bluetooth* de Baixa Energia.



Fonte: Adaptado de [7].

A camada de ligação é responsável pela criação, modificação e liberação das ligações lógicas e comunicação do dispositivo que a compreende com dispositivos *bluetooth* remotos, enquanto que o MCU gerencia a comunicação entre o DBB e a LL. Por fim, os circuitos de referência são constituídos pelo BIAS e SX, em que o primeiro é responsável pela derivação de todas as tensões de alimentação que serão utilizadas pelo sistema e o último tem a função de realizar a derivação das frequências [7].

Como o sinal recebido por um dispositivo *bluetooth* compatível com o padrão de baixa energia é variável, é fundamental que no receptor de tal sistema haja um circuito capaz de adequar o sinal recebido à níveis de tensão ou corrente que possam ser lidos pelo conversor analógico-digital (do inglês *Analog-to-Digital Converter*, ADC), também compreendido pelo RX. Portanto, neste trabalho foi proposto o projeto de um amplificador de ganho programável (AGP) para integrar o receptor (RX) de um sistema BLE.

O amplificador proposto tem entrada diferencial, exigência da arquitetura de receptor na qual está inserido (do inglês *low-intermediate frequency, low-IF*) e deve ter a capacidade de ter seu ganho selecionado digitalmente por intermédio do controle de um Processador Digital de Sinal (PDS), que pertence ao domínio digital da arquitetura proposta. Esta necessidade de ter ganho selecionável advém do fato de que o sistema recebe níveis de sinal variados, pressupondo níveis de amplificação distintos, de modo

que o conversor analógico-digital (CAD) , que sucede o AGP, seja capaz de detectar e classificar (relação nível de tensão com bit 0 ou 1) a informação a ser convertida. Por essa razão, a topologia de amplificador escolhida deve apresentar um ganho que varie de acordo com uma função linear. No entanto, à necessidade de ganho selecionável deste tipo de amplificador é atingida ao custo de redução de largura de banda à medida que o ganho é aumentado. Para atenuar esta tendência, uma topologia de primeiro estágio amplificador com fonte degenerada foi selecionada.

O projeto foi desenvolvido em tecnologia CMOS de $0,13 \mu\text{m}$ pelo fato de ser uma tecnologia consolidada, com tensão de alimentação compatível com baixo consumo (1 V) e por permitir a construção de circuitos com baixa área ($\approx 0,004 \text{ mm}^2$).

A organização deste trabalho divide-se em objetivos, detalhados no capítulo 2, fundamentação teórica, descrita no capítulo 3, revisão bibliográfica, exposta no capítulo 4, topologias escolhidas, detalhadas no capítulo 5, material e métodos, listados no capítulo 6, resultados, apresentados no capítulo 7 e conclusões e trabalhos futuros, capítulo 8.

2 OBJETIVOS

O objetivo geral deste trabalho foi projetar um AGP em tecnologia CMOS de $0,13 \mu\text{m}$, apto a integrar o sistema de um receptor que, por sua vez, pertença a um sistema BLE. As especificações definidas para o tipo de aplicação proposta, as quais são detalhadas na Seção 5.1, devem ser respeitadas pelo amplificador projetado.

Especificamente, são objetivos deste trabalho:

- Simular o amplificador projetado, de acordo com o fluxo de projeto analógico;
- Realizar a implementação física do AGP (leiaute);
- Comparar os resultados obtidos com os esperados, tal como com as especificações;
- Comparar os resultados da simulação do esquemático e os obtidos na simulação da vista extraída da implementação física;
- Comparar os principais resultados da simulação da vista extraída da implementação física com os resultados apresentados em trabalhos recentes.

3 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo são abordados aspectos essenciais do amplificador proposto, como sua topologia foi escolhida, características gerais da tecnologia *bluetooth* de baixa energia e a arquitetura de receptor utilizada.

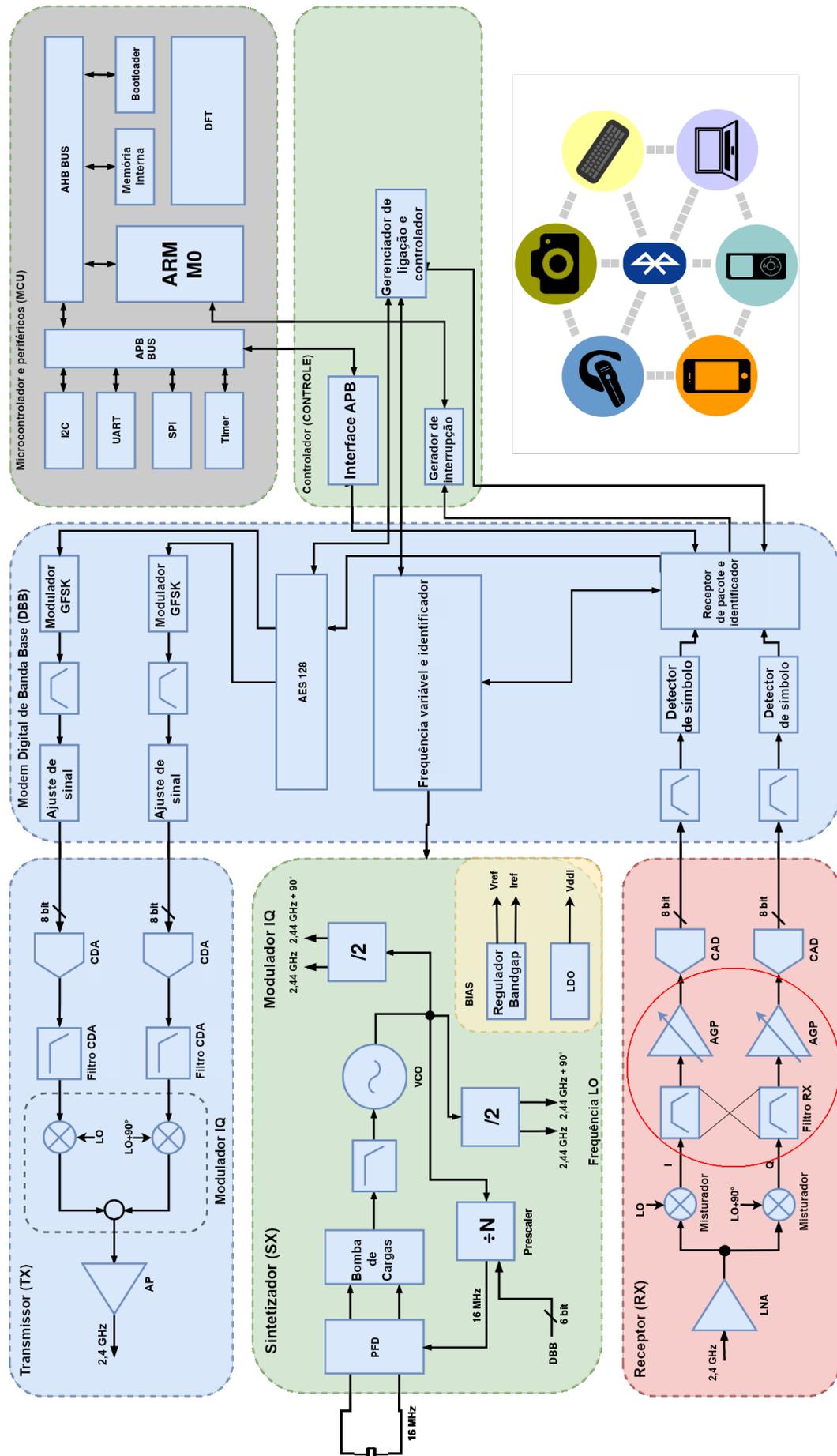
3.1 BLUETOOTH DE BAIXA ENERGIA (BLE)

O padrão *Bluetooth* distingue-se do padrão Wi-Fi por suas características de consumo, alcance, velocidade e quantidade de dados. De acordo com o seu melhoramento e mudanças ao longo dos anos, a técnica BLE surgiu em 2010 na versão 4.0 do protocolo *Bluetooth*. Com esta técnica, é possível reduzir em até 90% o consumo de energia do dispositivo em uso, se comparado ao gasto energético do *bluetooth* convencional. Este tipo de sistema é conveniente para aplicações nas quais é possível diminuir consideravelmente o volume de dados transmitidos. Ademais, o BLE passa maior parte do tempo em modo de espera (*sleep*), ajudando na redução do consumo de energia [8].

O BLE enquadra-se na largura de banda *Industrial Scientific Medical* (ISM) e que deve estar contida na faixa de 2400 - 2483,5 MHz. Neste padrão é especificado que a camada física deve conter 40 canais, os quais devem ser espaçados por 2 MHz entre si. De acordo com as especificações do padrão, a modulação a ser utilizada deve ser do tipo *Gaussian Frequency Shift Keying* (GFSK), devendo o dispositivo habilitado ter um alcance de até 10 m. As principais aplicações do BLE são para *Internet* das Coisas (do inglês *Internet of Things*, IoT), medicina, dispositivos móveis e *chipsets* [9].

A visão de topo do sistema completo do BLE é representada na Figura 1.1, no Capítulo 1. O RX do dispositivo é responsável por receber o sinal que vem do ambiente, captado por meio de uma antena, amplificá-lo, amplificador de baixo ruído (do inglês *Low Noise Amplifier*, LNA), modulá-lo (realizado pelo misturador e conduzindo-o, assim, para a frequência intermediária de 2 MHz), filtrá-lo (filtro RX), amplificá-lo novamente (AGP) e convertê-lo para digital (CAD), conforme demonstrado na Figura 3.1.

Figura 3.1: Arquitetura Detalhada do Bluetooth.



Fonte: [7].

Por sua vez, o sinal convertido é entregue ao *modem* digital de banda base em que, com o auxílio do MCU, é processado digitalmente e devolvido para o domínio analógico no sistema de TX, o qual, por meio do conversor digital-analógico (CDA), converte o sinal de volta para analógico, filtra (filtro CDA), demodula (modulador IQ), amplifica novamente (amplificador de potência, AP) e o transmite para o ambiente, fechando o ciclo de comunicação. Os circuitos de polarização (*BIAS*) são responsáveis por gerar as tensões e correntes de referência, que alimentarão os demais circuitos, enquanto que o SX é responsável pela geração e derivação das frequências de relógio do sistema e das frequências que auxiliam a modulação e demodulação do sinal recebido e transmitido.

3.1.1 Receptor (RX)

Com o advento do padrão BLE, novas arquiteturas de transceptores surgiram, de maneira a possibilitar e tornar prático o condicionamento de sinais no domínio analógico do *front-end* de radiofrequência e sistemas de banda base. Uma vez que o BLE trata-se de uma aplicação de ultra baixo consumo (do inglês *Ultra-Low Power*, ULP), sugere-se o uso de alguma arquitetura referenciada a frequência intermediária (do inglês *Intermediate Frequency*, IF), tal como zero-IF ou *low-IF*, para o receptor. Por outro lado, existem transmissores feitos de maneira completamente digital, conseguindo, assim, operar em aplicações de ultra baixa tensão (do inglês *Ultra-Low Voltage*, ULV) [10].

Especificamente, o tipo de modulação exigida para o padrão BLE é do tipo GFSK, a qual tem energia considerável no seu espectro para receptores zero-IF. Neste caso, a influência da tensão de desvio e do ruído *flicker* seria considerável, tornando-se mais apropriado utilizar uma arquitetura *low-IF*. Outra opção seria utilizar um receptor superheteródino, o que sugeriria um posicionamento de IF entre 50 e 200 MHz. Contudo, o uso de tal arquitetura tornaria inviável a construção do circuito de maneira completamente integrada devido à sua faixa de frequência, necessitando de componentes fora do *chip*. Portanto, a arquitetura de RX escolhida é a *low-IF*, para a qual seleciona-se a frequência de 2 MHz como frequência intermediária por posicionar o sinal a uma margem segura do extremo do ruído *flicker*, além de tornar mais fácil a eliminação da componente CC. Uma frequência intermediária superior à escolhida consumiria mais energia [11].

Quanto à justificativa de se utilizar um sub-sistema sintonizado em uma frequência intermediária, pode-se resumir a importância deste recurso em duas vantagens:

- Utilizando IF, grande parte do sistema pode ser projetado para uma largura de

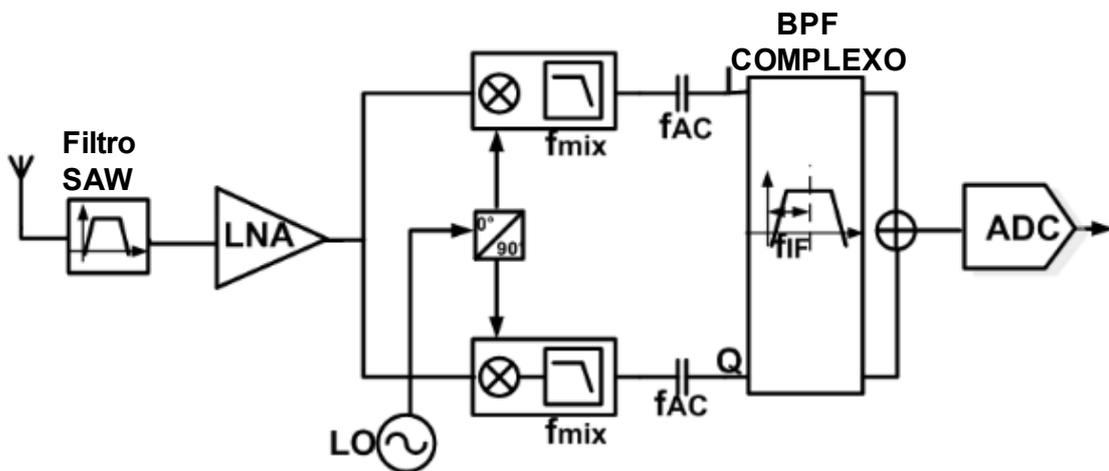
banda que não é alterada, dispensando a necessidade de várias sintonizações;

- Arquiteturas baseadas em IF empregam menor complexidade de circuitos, uma vez que, caso boa parte dos circuitos fosse realizada na faixa dos GHz, modelos mais complexos, comportamentos não ideais e transistores com menores ganhos seriam mais proeminentes no projeto e construção do dispositivo.

Finalmente, destaca-se que a IF é assim chamada por ser uma frequência que se situa entre o valor de radiofrequência (transmissão e recepção na ponta) e de banda base do sistema [12].

O diagrama de uma arquitetura *low*-IF tradicional é representado na Figura 3.2.

Figura 3.2: Arquitetura *Low*-IF Típica.



Fonte: [13].

Uma vez que o sinal com faixa de frequência entre 2400 MHz e 2483,5 MHz (BLE), em um de seus canais, tenha sido recebido pela antena, tal sinal é refinado por um filtro passa-faixa do tipo SAW (do inglês *Surface Acoustic Wave*) e, consecutivamente, tem seu nível aumentado por um amplificador de baixo ruído. Em seguida, a modulação do sinal se faz necessária, alterando a frequência do sinal de radiofrequência para frequência intermediária. Tal transformação ocorre utilizando-se um misturador de frequências (do inglês *Mixer*), o qual necessita do auxílio de um oscilador local (do inglês *Local Oscillator*, LO) para que a modulação ocorra, como mostrado na Equação 3.1 [14, 15].

$$\omega_{IF} = |\omega_{LO} - \omega_{RF}|, \quad (3.1)$$

correspondem ao par diferencial de entrada, os resistores R_D constituem a carga que limita corrente e ajuda a definir a excursão do sinal e o transistor M3 corresponde à uma fonte de corrente de polarização do circuito, conhecida como corrente de cauda. Em uma condição de perfeita simetria, o ponto **P** opera como um terra virtual e cada um dos ramos pode ser analisado de maneira isolada, apresentando respostas iguais em módulo. A saída diferencial do circuito (V_{out}), a entrada diferencial de sinal (V_{in}) e a relação entre entrada e saída (ganho do amplificador) podem ser averiguadas na Equação (3.2). A tensão $V_{in,CM}$ é uma tensão CC conhecida como tensão de modo comum. O modo comum é importante para o circuito porque atua na polarização dos transistores na região de saturação e deve ser o mesmo para as duas entradas, enquanto que os sinais V_{in1} e V_{in2} são geralmente iguais em módulo, porém com polaridade invertida entre si [18].

$$\begin{aligned} V_{in} &= V_{in1} - V_{in2}, \\ V_{out} &= V_{out1} - V_{out2}, \\ V_{out} &= A_d \cdot (V_{in1} - V_{in2}) + A_{cm} \cdot \frac{(V_{in1} + V_{in2})}{2}, \end{aligned} \quad (3.2)$$

em que A_d é o ganho diferencial e A_{cm} é o ganho de modo comum.

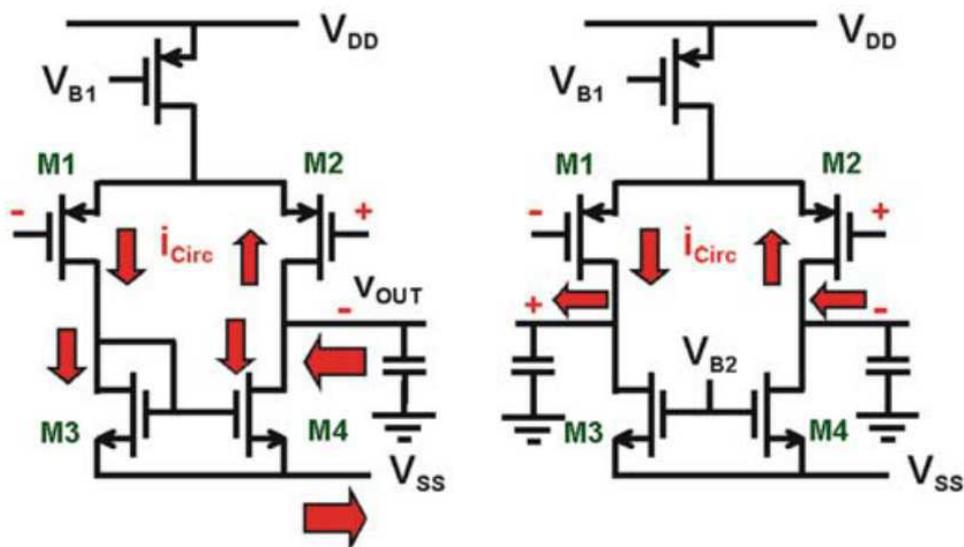
Apesar das vantagens oferecidas pelo amplificador diferencial comparativamente ao amplificador *single-ended*, uma particularidade do primeiro diz respeito ao modo comum da saída. Desejando-se aumentar o ganho do circuito diferencial amplificador, substituem-se os resistores R_D por transistores pMOS, que operam como cargas ativas na região de saturação. Sabe-se que as correntes nos ramos do circuito diferencial são, idealmente, iguais, devendo ser equivalentes à metade da corrente de polarização ou corrente de cauda (I_{SS}). No entanto, descasamentos entre os espelhos de corrente, que definem I_{SS} e as correntes de ramo, e os outros transistores do circuito podem acarretar uma tendência de correntes de ramo maiores que $I_{SS}/2$. Fisicamente, as leis de Kirchoff indicam que isto não pode ocorrer, pois a conservação de cargas precisa ser mantida. Portanto, o que de fato ocorre é a transição de um dos transistores de carga da região de saturação para região de triodo. De maneira análoga, se as correntes de ramo são menores que $I_{SS}/2$, V_X e V_Y terão queda, de modo que a corrente de cauda imposta por M3 seja equivalente ao somatório das correntes de ramo e respeite as leis de Kirchoff. Assim, M3 será polarizada em triodo e I_{SS} será equivalente ao dobro de cada corrente de ramo. Portanto, a tensão CC de saída do amplificador é instável, isto é, seu modo comum de saída é instável. Para dirimir este problema, um circuito conhecido

como circuito de realimentação de modo comum (do inglês *Common-Mode Feedback*, CMFB) se faz necessário [17].

3.2.1 Realimentação de Modo Comum (CMFB)

Como explicitado na Seção 3.2, existe um conflito de polarização em um circuito amplificador diferencial. Observando a Figura 3.4, um amplificador operacional de transcondutância (do inglês *Operational Transconductance Amplifier*, OTA) de único estágio é representado. Este tipo de amplificador é o mais simples dentre os amplificadores operacionais. As setas em vermelho representam a corrente gerada pelo sinal diferencial de entrada. No entanto, as tensões CC V_{B1} e V_{B2} são designadas a determinar correntes CC nos ramos do circuito, o que gera um conflito nesta situação. Ainda, para que as tensões de saída tenham valor próximo da metade da tensão de alimentação, de tal maneira que todos os transistores sejam mantidos em saturação, V_{B1} e V_{B2} precisam ser casadas. Ocorre que em situações reais, um casamento tão estrito é impraticável. Portanto, a solução encontrada para este problema é a adição de um amplificador extra, tal que V_{B2} seja estabelecida de maneira a permitir que o modo comum de saída (tensão CC de saída) tenha valor próximo à metade do valor da tensão de alimentação.

Figura 3.4: Amplificador Operacional de Transcondutância - Problemas de Polarização.



Fonte: [19].

Tal amplificador extra funciona somente nos sinais de modo comum, portanto é conhecido como amplificador de realimentação de modo comum (CMFB). Este dispositivo

pode ser conectado em qualquer um dos pontos de polarização do amplificador diferencial e deve cumprir três principais tarefas:

- Medir as tensões de saída;
- Anular os sinais diferenciais;
- Integrar o circuito de realimentação para o amplificador diferencial [19].

Uma medida importante do circuito composto pelo CMFB, AGP e circuito de referência de tensão (Seção 3.2.3) é a razão de rejeição de modo comum (do inglês *Common-Mode Rejection Ratio*, CMRR) definida como a rejeição de sinais de modo comum, se comparada aos sinais diferenciais do AGP. A tensão de modo comum de um circuito pode ser alterada por ruído e descasamentos, degradando a excursão de saída do sinal. Assim, quanto maior a CMRR, menor será a influência de desvios de modo comum no circuito. A CMRR é expressado por [17] (Equação 3.3).

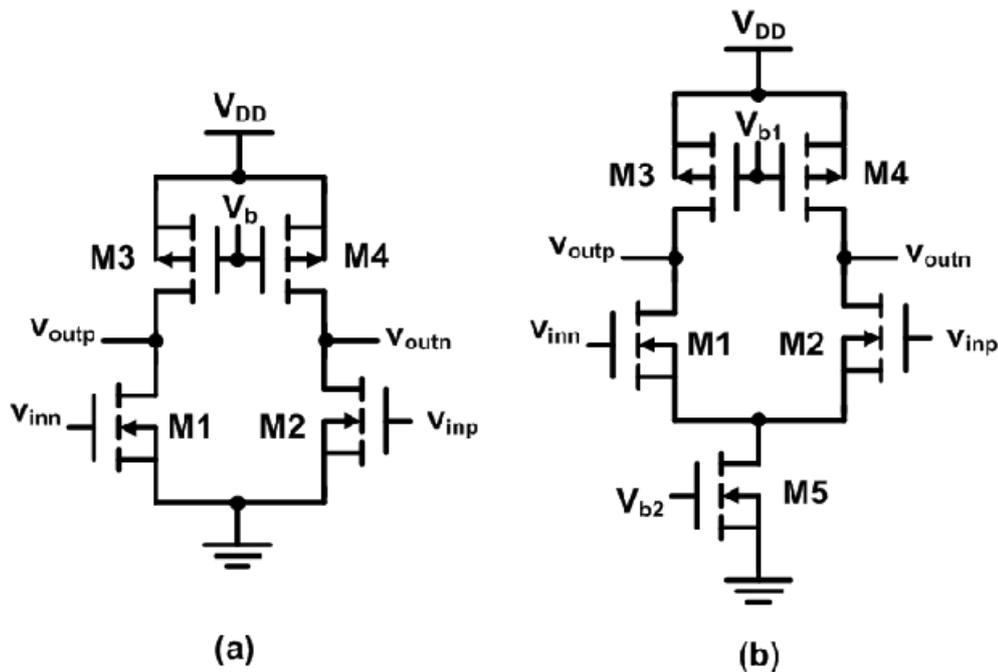
$$CMRR = \left| \frac{A_d}{A_{cm}} \right|. \quad (3.3)$$

Existem várias topologias de CMFB disponíveis, no entanto, para o amplificador diferencial proposto neste trabalho, utiliza-se um CMFB do tipo OTA para realimentá-lo e estabilizar seu modo comum de saída.

3.2.2 Amplificador Pseudo-diferencial

Com a crescente demanda por tensões de alimentação cada vez menores, devido à diminuição dos nós tecnológicos da tecnologia CMOS para as dimensões de ultra-profundo-sub *micron*, topologias como o OTA tornam-se, crescentemente, mais importantes. De maneira a atenuar o problema imposto por tensões de alimentação ultra baixas, a técnica que permite a transformação de um circuito *fully-differential* em pseudo-diferencial é aplicada a um OTA, por exemplo, tipo de circuito que geralmente compõe o primeiro estágio de um amplificador, seja ele *single-ended* ou diferencial [20].

Para que um amplificador pseudo-diferencial seja realizado, é necessário que a fonte de corrente de cauda, presente nos amplificadores *fully-differential*, seja retirada, acarretando na diminuição da tensão mínima para alimentar o circuito, melhora na faixa de modo-comum de entrada e na excursão de saída [20]. Um amplificador pseudo-diferencial e um amplificador *fully-differential* são representados na Figura 3.5.

Figura 3.5: Amplificador Pseudo-diferencial *vs.* Amplificador *Fully-differential*.

Fonte: [21]

Observa-se que a "pilha" de transistores (comumente referida como *stack*) do amplificador pseudo-diferencial (Figura 3.5a) é menor que aquela apresentada pelo amplificador *fully-differential* (Figura 3.5b). Decorre deste fato que a tensão de porta dos transistores M1 e M2 do primeiro podem ser ajustadas em uma faixa maior que a do último sem comprometer a polarização dos transistores M3 e M4, ou seja, possui maior faixa de modo-comum de entrada. Além disso, a excursão de saída também é beneficiada pela retirada do transistor fonte da corrente de cauda, aumentando o seu valor em $V_{GS} - V_{TH}$.

3.2.3 Amplificador de Ganho Programável (AGP)

O amplificador de ganho programável é um amplificador diferencial que tem a capacidade de ter seu ganho alterado por intermédio de uma palavra digital, enviada pelo PDS do domínio digital de um determinado sistema, conforme a sua conveniência [22]. Esse dispositivo é necessário porque os sinais entregues ao conversor A/D precisam ser detectáveis, isto é, estes sinais precisam ser condizentes com os níveis de tensão correspondentes a 0 ou 1 operados pelo CAD. O AGP é largamente utilizado em receptores como parte do sub-sistema de frequência intermediária que cumpre a função de condicionamento de sinais, estando inserido em um sistema analógico ou de sinais mistos

(analógico e digital) do receptor.

3.3 CORNERS

Os circuitos integrados estão sujeitos à variações de seus parâmetros de acordo com condições nos extremos dos valores nominais. Além disso, outra variável que interfere nos parâmetros dos circuitos projetados é o processo de fabricação ao qual é submetido. Portanto, as fontes de variação dos circuitos CMOS VLSI (do inglês *Very Large Scale Integration*) são: variação de processo; temperatura de operação; e tensão de alimentação [23]. Assim, é necessário que os parâmetros de determinado sistema tenham seus valores conformados pelas especificações designadas para cada projeto, mesmo que em condições de processo, temperatura e tensão de alimentação (do inglês *Process, Voltage, and Temperature*, PVT) não ideais, situação para a qual diz-se que o sistema é robusto.

Para analisar a robustez de um determinado circuito, é fundamental que o circuitos envolvidos em tal sistema sejam testados para condições não ideais/extremas. Isto significa que os transistores, resistores e capacitores envolvidos no projeto devem ser testados em condições não nominais relacionadas à tensão de alimentação, temperatura e variações de processo, esta última representada pela velocidade dos transistores (mobilidade dos elétrons e lacunas). Ademais, porções de circuitos analógicos que são modelados e construídos de maneira simétrica, tais como pares diferenciais, fontes de corrente, cargas MOS, etc, são críticas quanto à variabilidade do processo de fabricação, resultando em descasamento, isto é, em um desvio de simetria.

Quanto aos parâmetros elétricos dos circuitos integrados, quando necessita-se medir a corrente de polarização ou qualquer outro ponto de operação/polarização de determinado circuito, um ponto de operação determinístico é averiguado. No entanto, quando medem-se dispositivos reais, um desvio relevante do ponto de operação (nominal) ocorre. Portanto, de maneira a estimar tal desvio, o conceito de modelos "rápidos" e "lentos", adjetivos referentes à corrente de saturação dos transistores MOS, é considerado. Estes desvios ocorrem em um intervalo contínuo de valores possíveis, produzindo uma distribuição *Gaussiana* [24].

3.4 LEIAUTE

Também conhecida como definição física ou projeto físico, a etapa de leiaute é definida como o processo de criar uma representação física correspondente a um desenho de esquemático (*netlist*), respeitando as limitações impostas pelo processo de fabricação, pelo fluxo de projeto e pelo desempenho esperado para determinado circuito, definido por simulações, segundo suas especificações [25].

As limitações impostas pelo processo de fabricação são representadas pelo *Design Rule Checking* (DRC), na qual valores predefinidos pela *foundry* (fábrica de circuitos integrados) devem ser seguidos. Dentre as checagens que devem ser realizadas pelo DRC, pode-se destacar: largura, espaçamento e inclinação do metal [26]. Tais regras são aplicadas ao roteamento, dispositivos e vias. Por sua vez, as limitações impostas pelo fluxo de projeto estão relacionadas à etapa de Leiaute *vs.* Esquemático (do inglês *Layout versus Schematic*, LVS) que é o processo pelo qual uma *netlist*, ou esquemático, é gerada a partir do leiaute do circuito e comparada ao esquemático realizado na etapa de projeto [27]. A diferença deste novo esquemático para o envolvido no passo de implementação da topologia escolhida (Apêndice B) é que são levados em consideração os dispositivos parasitas (capacitâncias e resistências) resultantes da maneira como a implementação física foi realizada. A *netlist* gerada do leiaute é denominada vista extraída.

Finalmente, o desempenho da vista extraída é avaliado submetendo-a às mesmas simulações que foram realizadas para o esquemático da etapa de projeto, comparando os resultados com as especificações definidas para o circuito.

3.4.1 Técnicas de Leiaute

Quando se realiza o leiaute de um circuito integrado analógico, o comprimento do metal que está sendo roteado, assim como sua eventual sobreposição com outros níveis de metal (fornecidos pela *foundry*) ou com o substrato, criam dispositivos indesejados que irão alterar o comportamento do circuito. Enquanto que o comprimento do metal que está sendo roteado está diretamente ligado à resistências parasitas, a sobreposição entre níveis diferentes de metal e substrato está relacionada à capacitâncias parasitas. Embora não seja possível eliminar os parasitas completamente, algumas técnicas de leiaute devem ser aplicadas para que os valores dos parasitas sejam diminuídos e, assim, permitam a construção de um sistema que atenda às especificações delimitadas [28].

Sabendo que a resistência dos dispositivos e metais de um circuito integrado é denotada pela Equação 3.4, fica evidente que existem duas formas de diminuir as resistências parasitas presentes na vista extraída do projeto: reduzir o comprimento do polígono de metal que define uma rota e reduzir sua largura.

$$R = \rho \times \frac{L}{W}, \quad (3.4)$$

em que R é a resistência (Ω), ρ é a resistividade por quadrado (Ω/\square), L é o comprimento (m) e W é a largura do polígono (m). Nem sempre é possível reduzir a largura da rota, sob pena de danificá-la, dependendo da corrente que flui, assim como nem sempre é possível reduzir o comprimento da rota. As boas práticas de leiaute envolvem um compromisso entre a redução destes dois parâmetros (L e W) e a integridade da rota [25].

Quanto às capacitâncias parasitas, estas afetam características do circuito tais como: atraso de sinal, consumo de energia e efeitos de acoplamento para estruturas vizinhas. Como mostrado na Equação 3.5, que define as capacitâncias presentes em circuitos integrados, a redução dos valores das capacitâncias parasitas está relacionada à redução da área do capacitor, ou seja, a redução de regiões poligonais que se sobrepõem, o que é feito através do cruzamento ortogonal entre rotas, ao invés de cruzamento paralelo, e ao aumento da distância entre os polígonos, isto é, evitando a sobreposição entre níveis de metais vizinhos.

$$C = \epsilon \times \frac{A}{d}, \quad (3.5)$$

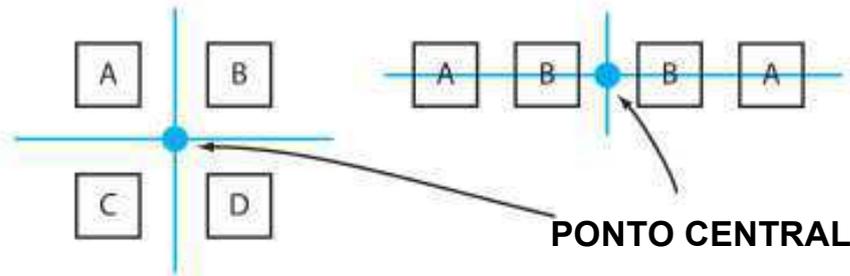
em que ϵ é a permissividade do dielétrico (C/V.m), A é a área superficial do condutor (m^2) e d é distância entre condutores (m) [25].

Os circuitos integrados, sobretudo os analógicos, estão sujeitos à variações em seus parâmetros devido à variações de tensão de alimentação, temperatura e processo. As variações de processo são de particular interesse porque, durante o processo de fabricação, dispositivos como resistores, capacitores e transistores integrados estão relacionados a erros randômicos ligados à corrosão dos materiais quando da manufatura do chip. Por esta razão, é importante que estruturas como pares diferenciais, cargas pMOS/nMOS, espelhos de corrente, matrizes de resistores, etc, sejam simétricas, de tal maneira que alterações inerentes a um dado processo de fabricação atinjam igualmente os dispositivos envolvidos. Para construir circuitos simétricos e para proteger os circuitos de corrosão excessiva que eventualmente possa ocorrer, introduz-se os conceitos de posicionamento

em centróide comum e inserção de *dummies* [28].

A técnica de centróide comum consiste em posicionar dispositivos em volta de um ponto central comum, conforme demonstrado na Figura 3.6.

Figura 3.6: Posicionamento em Volta de um Ponto Central Comum.

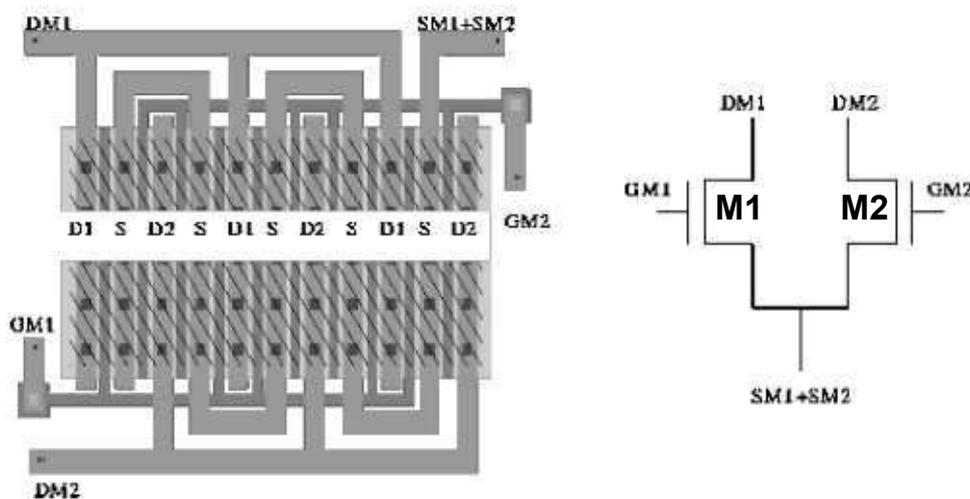


Fonte: Adaptado de [28].

Esta técnica é muito conveniente quando se deseja diminuir o efeito térmico ou de processo que podem estar presentes em um circuito integrado [28].

Para tornar pares diferenciais, espelhos de corrente, cargas pMOS ou nMOS, matrizes de resistores ou de capacitores, em porções de leiaute simétricos, divide-se estes dispositivos em *fingers* ou *multipliers* e seleciona-se uma estrutura de centróide comum para "casar" estes dispositivos, tornando-os simétricos. Por sua vez, *fingers* e *multipliers* correspondem à dispositivos que foram divididos em porções menores, mas iguais entre si para cada dispositivo, como demonstrado no exemplo da Figura 3.7.

Figura 3.7: Técnica de Centróide Comum Aplicada a um Par Diferencial.



Fonte: Adaptado de [29].

Observa-se que os transistores M1 e M2 foram divididos em dez dispositivos,

cada (*fingers*) e dispostos em um estrutura centróide comum de duas linhas.

Por fim, de maneira a tornar as bordas de determinado circuito protegidas de corrosão extra, inserem-se dispositivos *dummies*. Tais dispositivos não devem influenciar eletricamente o circuito. Sua função é puramente de proteção física do dispositivo e auxílio na simetria.

4 REVISÃO BIBLIOGRÁFICA

Para projetar um AGP que atenda às especificações listadas na Secção 5.1 e à aplicação voltada para o padrão BLE, seis topologias foram analisadas, de maneira a fornecer um guia para o projeto proposto.

Em [30] é apresentada uma topologia de AGP de três estágios, dentre os quais o estágio de *buffer* é inserido no projeto para promover um acoplamento CA, de maneira a evitar a amplificação da tensão de desvio (uma das principais não idealidades de AmpOps). A topologia do primeiro estágio é um amplificador diferencial com fonte degenerada e carga resistiva, o segundo estágio (*buffer*) é um amplificador *Miller single-ended* com resistor de anulação e o último estágio é um amplificador diferencial *Miller* com resistor de anulação, realimentado por um CMFB, este último sendo um OTA. A aplicação para a qual este AGP foi projetado é a ZigBee, a qual opera na faixa frequência de 2,4 GHz (2400 a 2483,5 MHz), tal como o BLE, e utiliza uma arquitetura *low-IF* no receptor.

Em [31] é apresentada uma topologia provida de um circuito de cancelamento de tensão de desvio aliada a uma compensação *Miller* melhorada. O projeto em frequência intermediária faz parte de um sistema de transceptor para o padrão IEEE 802.11 b/g, que também contempla a faixa de frequência de 2,4 GHz no *front-end* de radiofrequência. A arquitetura do receptor é do tipo zero-IF (ou conversão direta).

Em seguida, em [32] é apresentada uma topologia de AGP modular, na qual cada módulo corresponde a um OTA com duas particularidades: dois pares de cargas pMOS, sendo um deles polarizado em V_{DD} , e o outro controlado por meio de polarização de substrato. O significado de AGP modular está relacionado à possibilidade de conectar os módulos OTA em cascata para aumentar o ganho do circuito, variando-o através de chaves analógicas que selecionam a quantidade de amplificadores que são conectados em cascata.

Em [33], os autores propõem uma topologia de três estágios: o primeiro é um amplificador diferencial com fonte degenerada, o terceiro é um amplificador fonte comum com carga resistiva e o estágio intermediário funciona como uma interface que realimenta o circuito, a fim de aumentar a transcondutância e, por consequência, o ganho do circuito. Além do mais, esta topologia utiliza dois pares de transistores pMOS como carga: o primeiro par opera como fonte de corrente constante e o segundo como fonte de corrente

variável, sendo que o seu sinal de controle (polarização) é o próprio sinal realimentado do CMFB, que por sua vez é um OTA.

Em [34], é apresentada uma topologia de ultra baixa tensão e ultra baixo consumo, que utiliza-se de um OTA simples e um transcondutor negativo para implementar o AGP, direcionado a receptores de radiofrequência.

Finalmente, em [35] um receptor de uma nova classe de receptores discretos, arquitetura conhecida como superheteródina de tempo discreto, é apresentado e investigado com vistas à diminuição da tensão de alimentação dos circuitos, a qual é proporcional ao nó tecnológico do processo de fabricação CMOS (0,25 μm , 0,18 μm , 0,13 μm , etc). Tal arquitetura é implementada usando transcondutores baseados em inversores e capacitores chaveados. Este trabalho debruça-se em aplicações voltadas para IoT.

Na Tabela 4.1, as especificações das topologias estudadas são apresentadas de maneira comparativa.

Tabela 4.1: Comparação dos Resultados Obtidos em Diferentes Topologias de AGP .

Parâmetro	[30]	[31]	[32]	[33]	[34]	[35]
Tecnologia (nm)	180	130	180	180	180	28
Ganho (dB)	0 - 70	0 - 56	3,6 - 59,6	-15 - 60	0,20 - 18,40	34 ²
Largura de Banda (MHz)	15	57	63,5	140 - 270	0,98	4 ³
IRN ($\text{nV}/\sqrt{\text{Hz}}$)	29 dB ¹	19,3 dB @ 24 dB ¹	10,6	2,5 @ 14 dB	269 @ 12,8 dB	-
Tensão de Alimentação (V)	1,8	1,2	1,8	1,8	0,36	0,55
Potência (μW)	3000	9700	1120	3930	15.4	2380 ⁴
Área (mm^2)	1,2	0,17	0,07	0,06	0,0243	0,62 ⁴

¹ Figura de Ruído (NF).

² OTA + filtro

³ Frequência central (f_c).

⁴ Receptor (RX)

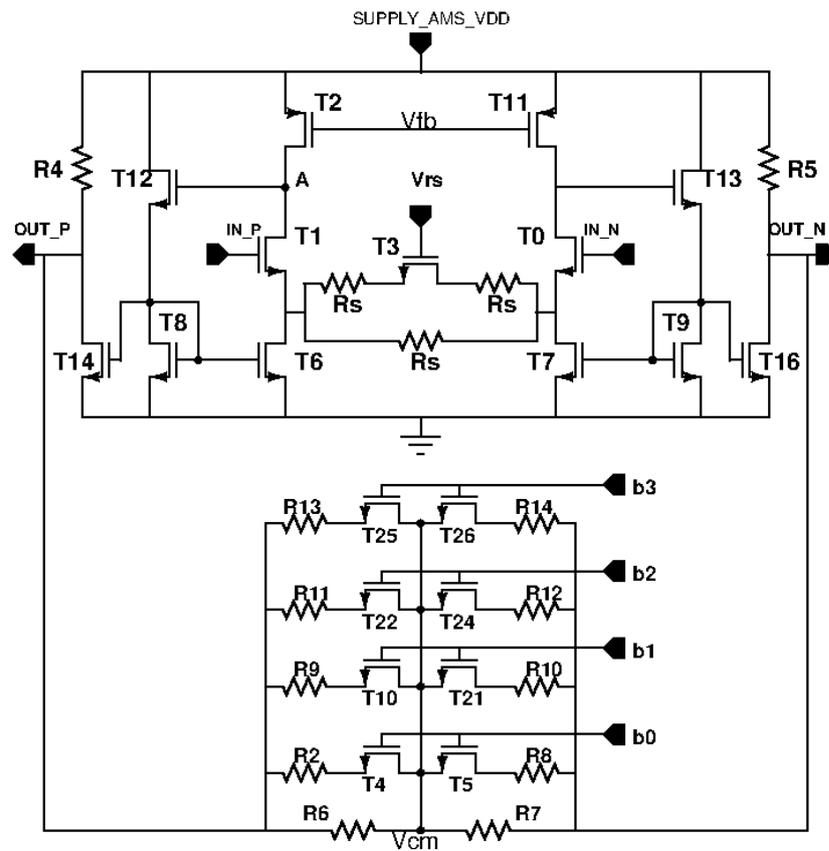
Fonte: Elaborada pelo autor.

5 TOPOLOGIAS ESCOLHIDAS

Analisando as topologias estudadas e apresentadas no Capítulo 4 e as especificações delimitadas na Seção 5.1, optou-se por utilizar para o AGP a topologia de amplificador diferencial demonstrada em [33] devido ao fato de apresentar a melhor faixa de ganho, menor IRN e segunda menor área ocupada dentre as topologias apresentadas na Tabela 4.1. Além disso, a largura de banda da topologia escolhida contempla a frequência intermediária especificada para a arquitetura de receptor *low-IF* (detalhada na Seção 3.1.1) e a sua dissipação de potência tende a ser diminuída com a diminuição do nó tecnológico. Destaca-se que a topologia utilizada em [33] é uma composição das topologias de amplificador apresentadas em [36] e [37], pois a primeira apresenta uma variação de largura de banda linear, de acordo com a seleção de ganhos, e a última possui uma faixa de ganho, também, linear.

Conforme descrito, a topologia adotada para projetar o AGP proposto envolve três estágios: um amplificador fonte comum com fonte degenerada, um amplificador fonte comum com carga resistiva e um circuito de melhoramento de transcondutância como interface entre os outros dois estágios. Escolhe-se uma topologia com fonte degenerada para o primeiro estágio do AGP em função de seu comportamento linear para a corrente de dreno, isto é, por sua característica de proporcionalidade em relação à tensão de *overdrive* e sua menor dependência da transcondutância, g_m , embora seu ganho seja menor que o de uma topologia fonte-comum [17, 38]. A seleção do valor da resistência de degeneração é operada pela chave nMOS V_{rs} . De maneira a compensar a perda de ganho, o circuito de melhoramento de transcondutância é introduzido como interface entre os estágios fonte comum de ganho. A propósito, a topologia escolhida é do tipo pseudo diferencial devido ao fato de não possuir corrente de cauda, como representado na Figura 5.1. Assim, as correntes de polarização do primeiro estágio são fornecidas por duas fontes de corrente pMOS (T2,T11), que por sua vez estão conectadas ao par diferencial de entrada (T0,T1).

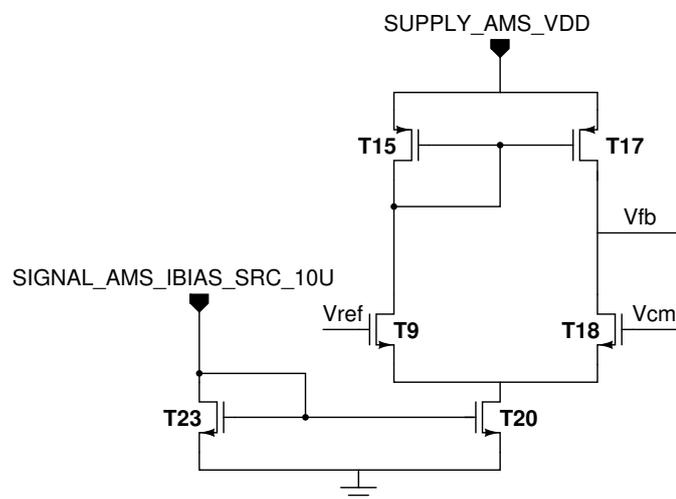
Figura 5.1: Topologia do AGP.



Fonte: Elaborada pelo autor.

Tais fontes de corrente são variáveis e controladas pelo sinal V_{fb} , tensão de retorno do CMFB, este último implementado por um OTA simples e cujo esquemático é representado na Figura 5.2.

Figura 5.2: Topologia do CMFB.



Fonte: Elaborada pelo autor.

Para realizar a seleção de ganho do circuito, a carga resistiva do segundo estágio foi elaborada por meio de uma matriz de resistores que são passíveis de serem associados em paralelo (análise de pequenos sinais), além de dois resistores fixos, isto é, dois resistores que sempre estarão ligados ao circuito (R4 e R5). Deste modo, o ganho dependerá da resistência equivalente atrelada aos resistores que estiverem ligados. A tarefa de ligar ou desligar cada par de resistores é realizada por chaves (T4/T5/T10/T21/T22/T24/T25/T26) comandadas pela palavra digital enviada pelo PDS, não mostrado neste trabalho.

O modo comum de saída do amplificador diferencial é variável devido aos valores intrínsecos do dispositivo e descasamentos randômicos [17]. Assim, um CMFB precisa ser projetado, de maneira a estabilizar o modo comum de saída e, para tanto, um OTA simples com corrente de polarização de $10 \mu\text{A}$ (SIGNAL_AMS_IBIAS_SRC_10U) foi projetado. Esta corrente também é responsável por auxiliar a polarização do circuito de AGP e está relacionada com a frequência de operação do sistema. Foi escolhido um valor de $10 \mu\text{A}$ para permitir que a largura de banda do sistema seja, no mínimo, duas vezes maior que a frequência de operação, ao mesmo tempo que mantém um ultra baixo consumo. O CMFB implementado é provido de duas entradas, V_{cm} e V_{ref} , em que a primeira é um sinal advindo da interface das resistências chaveadas do AGP (R2/R8, R6/R7, R9/R10, R11/R12 e R13/R14), devendo ser estabilizada para o valor de 500 mV (SUPPLY_AMS_VDD/2), de maneira a permitir a excursão máxima do sinal, e a última é o sinal de comparação (*set point*) ao qual V_{cm} deverá ser igualado. O sinal de saída do CMFB é V_{fb} e deve ser realimentado para as tensões de porta das fontes de corrente pMOS (T2/T11).

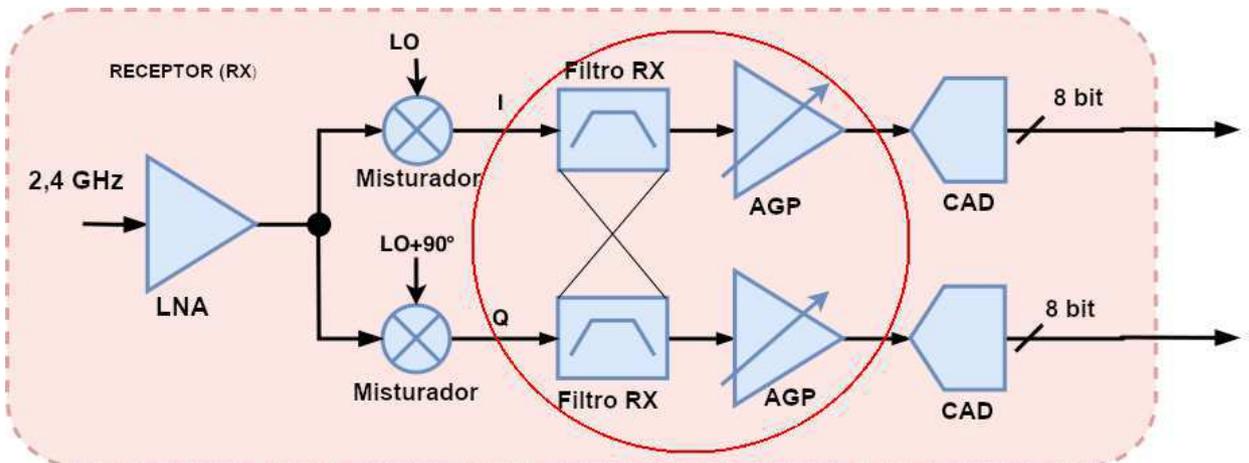
No entanto, para que V_{ref} seja gerada e inserida na entrada não-inversora do OTA, que funciona como CMFB neste projeto, será necessário um circuito para cumprir tal função. Este circuito é representado na Figura 5.3.

É um circuito composto por dois transistores pMOS (T31/T34) operando como carga ativa, um nMOS operando como sorvedouro de corrente (T32) e outro nMOS (T33), cujo V_{DS} fornece a tensão de referência V_{ref} , que deve ser inserida no CMFB.

5.1 ESPECIFICAÇÃO

Para assegurar o correto funcionamento do circuito amplificador apresentado neste trabalho, deve-se primeiro especificar o sub-sistema ao qual o AGP pertence que, neste caso, trata-se do receptor (RX) do sistema apto a trabalhar no padrão *Bluetooth* de Baixa Energia, conforme demonstrado na Figura 5.4. A arquitetura de receptor escolhida é do tipo *low-IF*, a qual necessita de uma frequência intermediária de operação. O uso de um estágio, contido no receptor, de frequência intermediária justifica-se pela facilidade de manipulação dos sinais modulados vindos do misturador (*mixer*) quanto às suas seletividade e ganho [40].

Figura 5.4: Arquitetura de Receptor *Low-IF* para BLE.



Fonte: Adaptado de [7].

De maneira mais específica, o fato de a arquitetura de receptor *low-IF* ter sido escolhida é sugerida pela modulação GFSK definida pelo padrão *Bluetooth*, conforme explicado no Capítulo 3.

Destaca-se que a largura de banda do sinal não é alterada, uma vez que a modulação ocorra. Assim, a largura de banda de cada canal permanece sendo de 1 MHz, em torno da frequência intermediária, com separação entre canais equivalente a 2 MHz [41]. Isto é, uma vez que o sinal seja modulado, o filtro complexo que sucede o misturador deve ser do tipo passa-faixa, centrado na frequência intermediária selecionada (2 MHz) e com largura de banda na faixa de 1,5 - 2,5 MHz. Em seguida, o AGP recebe o sinal filtrado e deve amplificá-lo de acordo com o nível de sinal recebido. Portanto, o amplificador precisa ter a capacidade de ter o seu ganho adequadamente selecionado, com a restrição de seu ganho máximo não poder ser muito alto, ao custo de ter o nível de

sinal saturado na saída, quando de sua entrega para o conversor A/D. Desta maneira, a faixa de ganho que o amplificador diferencial programável deve ser capaz de implementar é escolhida entre 2,5 e 20 dB [42].

Quanto ao ruído, a taxa de erro em bits (do inglês *Bit Error Rate*, BER) deve ser traduzida em especificação de figura de ruído (do inglês *Noise Figure*, NF) . Para o padrão *Bluetooth* 5.0, o BER mínimo é de 10^{-3} , valor que quando convertido para relação sinal-ruído de saída equivale a 12 dB ($SNR_{out,min}$) [43]. A sensibilidade definida pelo documento de especificação do BLE ($S_{in|dBm} = -70$ dBm) também deve compor o cálculo da figura de ruído do receptor do sistema. Adicionando ao valor mínimo da sensibilidade definida para o padrão uma margem de segurança de -10 dBm, $S_{in|dBm} = -80$ dBm. Finalmente, o valor de ruído na banda de operação é dado por $N_{s|dBm} = -114$ dBm. Assim, a figura de ruído pode ser calculada como demonstrado na Equação (5.3) [13].

$$NF = S_{in|dBm} - N_{s|dBm} - SNR_{out,min} \quad (5.3)$$

$$NF = -80 \text{ dBm} - (-114 \text{ dBm}) - 12 \text{ dB} = 22 \text{ dB}.$$

No entanto, desejando-se avaliar o ruído na saída do sistema IF, no formato de densidade de ruído, a conversão de figura de ruído (NF) para densidade de ruído ($\overline{V_{n,out}^2}$) foi realizada utilizando a Equação 5.4 [14].

$$NF = 1 + \frac{\overline{V_{n,out}^2}}{A_O} \frac{1}{4kTR_{SM}}, \quad (5.4)$$

em que A_O corresponde ao ganho global da cascata de circuitos da arquitetura de receptor escolhida, desde o LNA até o AGP (Figura 5.4), k é a constante de Boltzmann ($m^2.kg/s^2.K$), T é a temperatura ambiente (nominal) (em kelvin) e R_{SM} é a resistência de entrada (50Ω).

Trabalhos recentes apontam para LNAs com ganhos de até 15 dB [44–46]. Assim, considerando que o misturador e o filtro passa-faixa do receptor representados na Figura 5.4 têm ganho aproximadamente unitário (0 dB), então $A_{OdB} = 35$ dB. Portanto, sabendo-se que $\overline{V_{n,out}^2}$ é a densidade de ruído na saída do subdomínio de IF do receptor, então o ruído referenciado à entrada (do inglês *Input Referred Noise*, *IRN*) é calculado conforme [17] (Equação 5.5).

$$IRN = \overline{V_{n,in}} = \frac{\overline{V_{n,out}}}{A_V}, \quad (5.5)$$

em que A_V é o ganho do AGP. Deste feito, $\overline{V_{n,in}} = 196,4 \text{ nV}/\sqrt{\text{Hz}}$, isto é, o IRN máximo na entrada do AGP não deve exceder este valor.

Segundo trabalhos recentes, a carga na saída do AGP é estimada entre 700 fF e 2 pF, referente à capacitância de entrada do CAD, circuito imediatamente posterior ao amplificador no sentido antena - CAD (Figura 5.4) [47–49]. Quanto ao consumo, trabalhos recentes mostram que a potência dissipada do receptor apto para BLE não deve ser maior que 1 mW [51]. Um resumo das especificações do AGP encontram-se na Tabela 5.1.

Tabela 5.1: Especificações para o projeto do AGP .

Especificação	Definição	Valor esperado
IRN	Ruído Referenciado à Entrada	$\leq 196,4 \text{ nV}/\sqrt{\text{Hz}}$
$A_v@f_c$	Ganho em tensão na freq. central	2,5 - 20 dB
C_L	Capacitância de carga	2 pF
I_{bias}	Corrente de polarização	10 μA
V_{DD}	Alimentação	1V
Potência	Consumo do receptor	$\leq 1 \text{ mW}$

Fonte: Elaborada pelo autor.

Assume-se que a saída diferencial do filtro complexo e a entrada diferencial do AGP estão casadas do ponto de vista das impedâncias, refletindo o mínimo de sinal possível. Também, assume-se que o carregamento imposto pelo bloco subsequente ao amplificador é equivalente a 2 pF, valor utilizado para testar a resposta do circuito respectivo a largura de banda e margem de fase.

5.2 PROJETO

Os projetos para o CMFB, circuito de referência de tensão e o AGP foram realizados considerando que todos os transistores operam na região de saturação. Em seguida, as tendências das razões de aspecto são estimadas utilizando-se a Equação 5.6, além de expressões derivadas e auxiliares, as quais fornecem o comportamento da corrente quando o transistor está em saturação (I_D) [17].

$$I_D = \frac{1}{2} \mu C_{OX} \frac{W}{L} (V_{GS} - V_{th})^2, \quad (5.6)$$

em que μ é a mobilidade dos elétrons/lacunas, C_{OX} é a capacitância por unidade de área (F/m^2), V_{GS} é a tensão entre porta e fonte do transistor (V) e V_{th} é a tensão de limiar (mV).

Mais especificamente, para os transistores T0/T1 foi utilizada a Equação 5.7, em que GBW_{DM} foi inicialmente especificado para ser igual a 200 MHz ($GBW = A_{VdB} \times BW = 20 \text{ dB} \times 10 \text{ MHz}$) e a carga deve valer 2 pF.

$$\begin{aligned} gm_{01} &= 2\pi \times GBW_{DM} \times C_L, \\ (W/L)_{01} &= \frac{gm_{01}^2}{2 \times K_n \times I_D}, \end{aligned} \quad (5.7)$$

em que $K_n = \mu_n C_{OX}$ (parâmetro de transcondutância do processo) e $I_D = SR \times C_L$. Por sua vez, SR é o *slew-rate* (V/ μ s) [16, 52].

O *slew-rate* é calculado utilizando-se a Equação 5.8. Sabendo-se que a frequência intermediária da arquitetura de receptor utilizado (*low-IF*) é, conforme anteriormente especificado, equivalente a 2 MHz e que V_{peak} é calculada utilizando-se as Equações 5.9 e 5.10, resultando no valor de 918,8 mV, então SR é igual a 11,5 V/ μ s.

$$SR = 2\pi \times f \times V_{peak}, \quad (5.8)$$

em que f é a maior frequência do sinal de entrada (2 MHz) e V_{peak} é o valor máximo de tensão do sinal (V) [53].

A tensão V_{peak} é limitada e equivalente à tensão de saturação, V_{DSAT} , do primeiro estágio.

$$\begin{aligned} V_{DSAT} &= SUPPLY_AMS_VDD - V_{fb}, \\ -|V_{THp}| &= \frac{V_{diff}}{2} - V_{THn}, \end{aligned} \quad (5.9)$$

$$\begin{aligned} V_{diff} &= 2 \times (SUPPLY_AMS_VDD - V_{fb}, \\ &\quad -|V_{THp}| + V_{THn}), \end{aligned} \quad (5.10)$$

em que $V_{diff} = V_{peak}$ e igual a 918,8 mV.

Transistores T6/T7 são projetados segundo à Equação 5.7, com a diferença de que gm_{67} é obtido a partir da Equação 5.11.

$$g_{m67} = \frac{2 \times I_D}{V_{OV}}, \quad (5.11)$$

em que V_{OV} é a tensão de *overdrive* ($V_{OV} = V_{GS} - V_{THn}$) dos transistores T6 e T7 (V).

Por sua vez, os transistores T2 e T11 são projetados a partir de sua tensão de saturação, conforme denotado na Equação 5.12.

$$V_{DSAT211} = SUPPLY_AMS_VDD - V_{fb} - |V_{THp}|. \quad (5.12)$$

A partir do resultado calculado de $V_{DSAT211}$, utilizou-se a Equação 5.13 para encontrar as razões de aspecto de T2/T11.

$$(W/L)_{211} = \frac{2 \times I_D}{K_p \times V_{DSAT211}^2}. \quad (5.13)$$

Para o projeto de T8 e T9, considera-se que o espelho de corrente composto pelos transistores T6, T7, T8 e T9 deve fazer cópias da corrente do primeiro estágio, com multiplicador igual a 1. Portanto, $(W/L)_{67} = (W/L)_{89}$.

Os transistores T12 e T13 são projetados considerando-se que $V_{DSAT1213} = SUPPLY_AMS_VDD/2$. As razões de aspecto destes transistores são calculadas de acordo com a Equação 5.14.

$$(W/L)_{1213} = \frac{2 \times I_D}{K_n \times V_{DSAT1213}^2}. \quad (5.14)$$

Finalmente, para o projeto dos transistores T14 e T16, foi assumido que $g_{m14} = 10 \times g_{m01}$ e utilizou-se à Equação 5.7 para obter as razões de aspecto destes transistores [16].

É importante ressaltar que, para tecnologias *sub-micron* ($< 1 \mu\text{m}$), os efeitos de segunda ordem precisam ser contabilizados na modelagem do circuito. Nenhum efeito de segunda ordem é considerado na Equação 5.6, portanto as razões de aspecto calculadas a partir desta equação (e suas derivadas) são tendências de dimensões. Desta maneira, para obter as razões de aspecto descritas na Seção 7.1, aliam-se às equações apresentadas a uma série de simulações paramétricas.

6 MATERIAL E MÉTODOS

Nesta seção detalham-se os procedimentos e materiais utilizados para o desenvolvimento do amplificador de ganho programável. Destaca-se que tal amplificador é desenvolvido através da combinação de transistores MOS e resistores, onde os últimos auxiliam na seleção de ganho e definição do modo comum das saídas. A topologia de AGP proposta foi desenvolvida na tecnologia CMOS de $0,13\ \mu\text{m}$, com alimentação de 1 V e inserido em uma arquitetura *low-IF* (frequência intermediária) de um receptor de um sistema voltado para Bluetooth de Baixa Energia (BLE), apresentado na Figura 5.4.

O receptor representado na Figura 5.4 é uma versão mais específica da representação de RX *low-IF* apresentado na Figura 3.2. A representação da Figura 5.4 compreende um circuito de AGP conectado ao filtro passa-faixa complexo e ao conversor A/D. Isto ocorre porque existe a alternativa de implementar a função de amplificação diretamente no filtro complexo ou representar o conjunto filtro complexo e amplificador como um bloco só. Neste caso o AGP é representado separadamente por sua capacidade de seleção de ganho.

6.1 MATERIAL

Uma vez definida a metodologia utilizada para desenvolver este trabalho, faz-se necessário definir quais ferramentas e materiais serão utilizados. Majoritariamente, para projeto e simulação, os materiais necessários são as licenças atreladas ao software *Cadence Virtuoso*:

- *Schematic Editor L*;
- ADE XL;
- *Layout L*;
- Assura.

6.2 MÉTODOS

A metodologia empregada neste trabalho envolve: definição das especificações do receptor e do AGP, escolha da topologia de amplificador a ser utilizada, implementação da topologia escolhida e conformação da topologia selecionada com as especificações definidas para o projeto.

Em seguida, deve-se selecionar a topologia de AGP a ser utilizada. Como trata-se de um amplificador programável que será controlado por palavras digitais coordenadas pelo PDS, torna-se imperativo que tal dispositivo apresente boa linearidade, isto é, a corrente de dreno e tensão de *overdrive* devem estar relacionadas de maneira mais proporcional e menos quadrática. Esta característica é implementada utilizando-se a técnica de fonte degenerada em um amplificador fonte comum, no primeiro estágio do AGP. Para a definição da topologia a ser utilizada, uma pesquisa bibliográfica do estado da arte deste tipo de amplificador precisa ser realizada. Tal fase do projeto foi melhor descrita na Seção 3.2.3.

Uma vez escolhida a topologia do amplificador, sua implementação é realizada observando-se uma série de passos, descritos a seguir:

- Definição funcional do circuito, validando-o através da modelagem de um circuito ideal em Verilog-A, isto é, sua descrição comportamental e sua posterior simulação;
- Desenho de esquemático com os componentes fornecidos pela tecnologia (CMOS 0,13 μm), sua posterior simulação e verificar se os resultados atendem às especificações;
- Realização de análise para robustez, por intermédio de simulações do circuito previamente projetado para condições extremas de temperatura e tensão, tal como estimação do *yield* do circuito através de simulação Montecarlo, tanto para processo como para descasamentos de componentes;
- Realizar o leiaute do circuito;
- Realizar a extração de parasitas do leiaute;
- Simular a vista extraída e verificar se os resultados continuam atendendo às especificações.

O fluxo de projeto de circuitos integrados analógicos é representado em maneira de diagrama e comentado no Apêndice B.

As análises realizadas para obter os resultados apresentados nas seções 7.2 e 7.4 foram:

- **Análise CC** - realizada para extração de parâmetros dos dispositivos eletrônicos, tais como: tensão de porta, transcondutância, corrente de dreno, tensão de alimentação, tensão de limiar, corrente de polarização, etc;
- **Análise CA** - realizada para a obtenção das curvas de ganho e fase, esta última não reproduzida neste trabalho, em função da frequência;
- **Análise Transiente** - realizada para visualização do sinal amplificado pelo AGP;
- **Análise de Estabilidade** - realizada para obtenção das curvas de ganho, fase, margem de fase, margem de ganho e, por consequência, determinação da estabilidade do circuito.

7 RESULTADOS

O circuito proposto constitui-se de um AGP para frequência intermediária (arquitetura RX *low-IF*), que deve integrar um sistema *bluetooth* de baixa energia. O projeto do amplificador diferencial, tal como o de seus circuitos auxiliares (CMFB e circuito gerador de tensão de referência), foi realizado por intermédio do uso da metodologia da corrente quadrática e simulações paramétricas. Mesmo antes de desenvolver o esquemático do projeto, um modelo comportamental, escrito em Verilog-A, foi desenvolvido para validação do projeto. Tal modelo está representado no Apêndice A.

7.1 PROJETO

Após validação do modelo funcional, os esquemáticos dos circuitos foram montados, o projeto realizado e as simulações, definidas na Seção 6.1, realizadas. Devido à sua importância para o correto funcionamento do AGP, o CMFB foi o primeiro circuito a ser projetado e testado. Os resultados foram obtidos, feitas as simulações de esquemático (ADE-L), são enumerados na Tabela 7.1.

Tabela 7.1: Resultados Atingidos - CMFB (Esquemático).

Especificação	Definição	Valor
A_{VCL}	Ganho em malha fechada	24,76 dB
A_{VOL}	Ganho CC	25,43 dB
PM_{OL}	Margem de Fase (Malha aberta)	74,84°
PM_{CL}	Margem de Fase (Malha fechada)	17,85°
BW	Largura de Banda	13,75 MHz
GBW_{OL}	Produto Ganho-Largura de Banda (Malha aberta)	209,73 MHz
GBW_{CL}	Produto Ganho-Largura de Banda (Malha fechada)	32,09 MHz
P_{av}	Consumo	18,4 μ W

Fonte: Elaborada pelo autor.

Destaca-se que o carregamento imposto pelo caminho de realimentação do

circuito é contabilizado nos valores de margem de fase, largura de banda e ganho para malha fechada e apresentados na Tabela 7.1. Quanto à carga na saída do amplificador, o valor que provê a melhor resposta de margem de fase é a de 2 pF, segundo a faixa de carregamento considerada na seção 5.1 e representada na Tabela 5.1.

Para que o modo comum de saída do amplificador diferencial seja corretamente estabilizado pelo CMFB, na eventualidade de qualquer surto de nível CC de modo comum, seu produto ganho-largura de banda (do inglês *Gain-Bandwidth Product*, GBW) deve ser maior que o GBW do modo diferencial do amplificador, isto é, $GBW_{CM} > GBW_{DM}$. Esta conclusão é intuitiva, uma vez que passado o tempo de assentamento da tensão de polarização, V_{fb} , para que os dispositivos do circuito não saiam de saturação, o CMFB precisa ser mais rápido que o amplificador diferencial [19]. Para os circuitos projetados, $GBW_{CM} = 209,73$ MHz e o maior GBW para o núcleo do AGP é equivalente a $GBW_{DM} = 67,78$ MHz. De maneira a obter os resultados previamente mencionados, as razões de aspecto dos transistores do CMFB foram dimensionadas de acordo com o exposto na Tabela 7.2.

Tabela 7.2: Razões de Aspecto dos Transistores do CMFB.

Dispositivos	Definição	Razão de Aspecto (W/L) μm
(W/L) _{20,23}	Corrente de cauda, polarização	1,3/0,19
(W/L) _{18,19}	Par diferencial de entrada	2/0,4
(W/L) _{15,17}	Carga ativa pMOS	9/0,4

Fonte: Elaborada pelo autor.

Reitera-se que a margem de fase e largura de banda do OTA em questão já são extraídas levando-se em consideração o carregamento devido à sua conexão com o AGP.

Como explicado na Seção 3.2.3, o CMFB precisa do circuito de tensão de referência, o qual é responsável por fornecer um V_{ref} de 500 mV para uma das entradas do CMFB. A topologia para o circuito de tensão de referência é mostrada na Figura 5.3 e as razões de aspecto que posicionam V_{DS} de T33 na tensão de referência necessária são apresentadas na Tabela 7.3.

Tabela 7.3: Razões de Aspecto do Circuito de Tensão de Referência .

Dispositivos	Definição	Razão de Aspecto (W/L) μm
$(W/L)_{34}$	Fonte de corrente pMOS	9/2
$(W/L)_{31}$	Carga diodo pMOS	4,5/2
$(W/L)_{32}$	Sorvedouro nMOS	1,2/0.4
$(W/L)_{33}$	nMOS da tensão de referência	1,9/2

Fonte: Elaborada pelo autor.

Finalmente, projeta-se o núcleo do AGP, nome dado ao circuito que implementa a seleção de ganhos e o amplificador pseudodiferencial. Como previamente destacado neste documento, o núcleo do AGP é constituído por um amplificador fonte comum com fonte degenerada no primeiro estágio, um circuito de melhoramento de g_m e um amplificador fonte comum com carga resistiva no estágio de saída, tal como mostrado na Figura 5.1. Para que o amplificador pseudodiferencial seja programável, uma matriz de resistores é simetricamente posicionada e conectada às chaves nMOS, de maneira que componentes da matriz possam ser associados em paralelo (análise de pequenos sinais) com as cargas resistivas fixas do estágio de saída do amplificador fonte comum. Para que sejam atingidas as especificações definidas no Capítulo 6, as razões de aspecto foram dimensionadas como mostrado na Tabela 7.4.

Tabela 7.4: Razões de Aspecto do AGP .

Dispositivos	Definição	(W/L) μm
$(W/L)_{0,1}$	Par diferencial de entrada	2,72/0,4
$(W/L)_{2,11}$	Espelho de corrente pMOS	3/0,4
$(W/L)_{6,7}$	Sorvedouros nMOS	2/0,4
$(W/L)_{8,9}$	Melhoramento de g_m - nMOS	2/0,4
$(W/L)_{12,13}$	-	4/0,9
$(W/L)_{14,16}$	Amplificador fonte comum - Estágio de Saída (nMOS)	2/0,4
$(W/L)_{3,4,5,10,21,22,24,25,26}$	Chaves nMOS	0,68/0,4
R_5	Resistores de degeneração	0,74/3,29 = 6,56 k Ω
$R_{4,5}$	Cargas resistivas do amplificador fonte comum - Estágio de saída	0,74/18,78 = 45,92 k Ω
$R_{6,7}$	Resistores da matriz de associação em paralelo	0,74/54,92 = 137,76 k Ω
$R_{2,8}$	Resistores da matriz de associação em paralelo	0,74/23,94 = 59,04 k Ω
$R_{9,10}$	Resistores da matriz de associação em paralelo	0,74/11,03 = 26,24 k Ω
$R_{11,12}$	Resistores da matriz de associação em paralelo	0,74/8,45 = 19,68 k Ω
$R_{13,14}$	Resistores da matriz de associação em paralelo	0,74/2 = 3,28 k Ω

Fonte: Elaborada pelo autor.

7.2 ESQUEMÁTICO

Uma vez que os circuitos foram dimensionados e seus esquemáticos montados, procede-se para a etapa de simulações. A princípio, deseja-se definir as palavras digitais que serão utilizadas para sintonizar o ganho do AGP de acordo com a conveniência do conversor A/D, decisão que fica a cargo do PDS. Uma vez que tem-se 4 pares de chaves nMOS (T4/T5, T10/T21, T22/T24 e T25/T26) atreladas à matriz de resistores do circuito, isto significa que tem-se palavras digitais de 4 bits. No entanto, existe ainda a chave nMOS responsável por mudar a resistência de degeneração (T3, controlada por V_{rs}), perfazendo, assim, palavras digitais de 5 bits. Esta configuração possibilita 32 alternativas de ganho para o AGP. Entretanto, somente 8 valores de ganho foram escolhidos, utilizando como guia a variação linear entre palavras digitais, selecionando-se um passo de ganho de 2,5 dB. Os ganhos para cada palavra digital estão representados na Tabela 7.5. Observa-se que o formato das palavras digitais é $'b[3:0] - V_{rs}'$.

Tabela 7.5: Ganhos associados com cada palavra digital - Esquemático.

Palavra digital	Ganho	Largura de banda
0000-1	19,69 dB	7,56 MHz
0000-0	17,41 dB	7,56 MHz
0100-1	14,52 dB	13,71 MHz
0100-0	12,24 dB	13,73 MHz
1010-0	9,73 dB	18,36 MHz
1110-0	7,21 dB	24,48 MHz
0011-0	4,77 dB	31,91 MHz
1111-0	2,56 dB	40,96 MHz

Fonte: Elaborada pelo autor.

A maior margem de fase (do inglês *Phase Margin*, PM) do AGP (@ 19,69 dB) é equivalente a $104,8^\circ$ e a menor (@ 2,56 dB) é equivalente a $50,88^\circ$, respeitando o critério de estabilidade ($PM < 180^\circ$) mesmo para a maior margem de fase. Os principais resultados obtidos das simulações realizadas no esquemático do AGP são mostrados na Tabela 7.6.

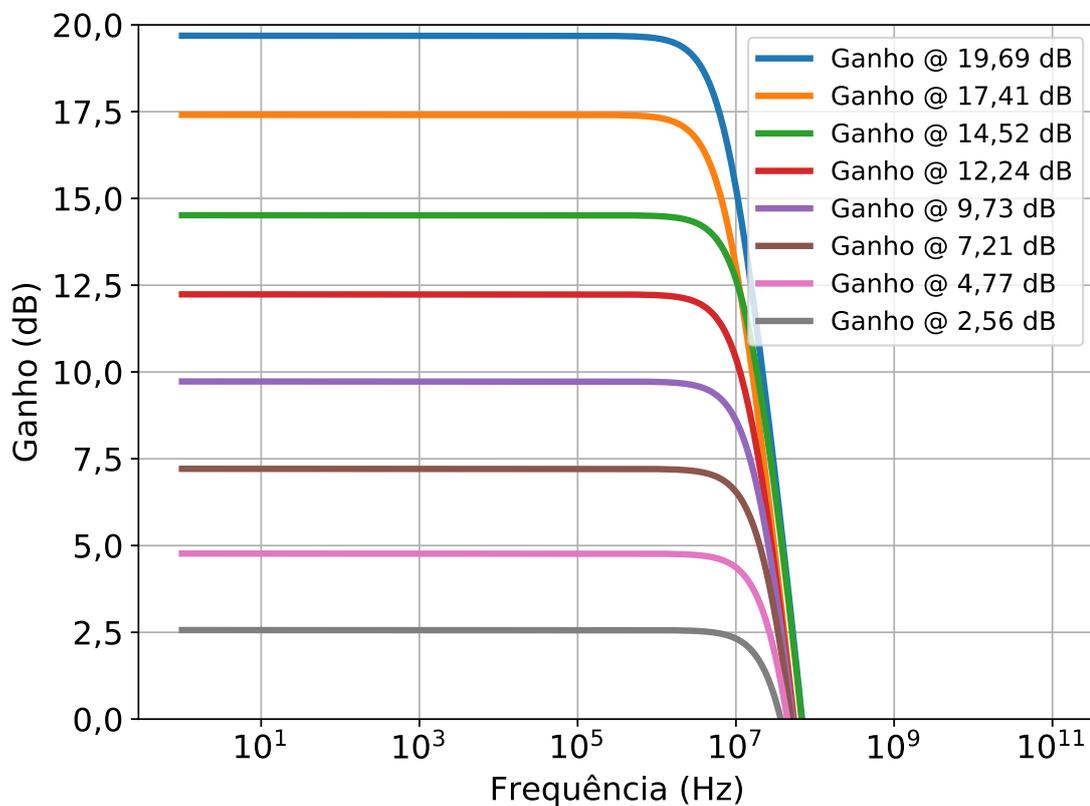
Tabela 7.6: Resultados obtidos para o AGP (Esquemático).

Especificação	Definição	Valor obtido
IRN @ 2,5 dB	Ruído referenciado à entrada @ 2,5 dB	32,14 nV/ \sqrt{Hz}
IRN @ 20 dB	Ruído referenciado à entrada @ 20 dB	27,12 nV/ \sqrt{Hz}
$A_v@f_c$	Ganho em tensão na frequência central	2,56 - 19,69 dB
C_L	Capacitância de carga	2 pF
P_{av} @ 2,5 dB	Potência média @ 2,5 dB	101,9 μ W
P_{av} @ 20 dB	Potência média @ 20 dB	103,1 μ W
BW @ 2,5 dB	Largura de banda @ 2,5 dB	40,96 MHz
BW @ 20 dB	Largura de banda @ 20 dB	7,56 MHz

Fonte: Elaborada pelo autor.

Além disso, com o passo de ganho de 2,5 dB, o erro de ganho máximo encontrado nesta implementação foi de 0,5 dB, isto é o máximo desvio do valor de passo especificado de ganho. O gráfico da família de ganhos do AGP é mostrado na Figura 7.1.

Figura 7.1: Análise CA - Esquemático.



Fonte: Elaborada pelo autor.

7.3 CORNERS

O desempenho do AGP apresentado neste trabalho para a análise de *corners*, isto é, para condições severas é analisado de acordo com os limites fixados na Tabela 7.7. Destaca-se que o limite superior de temperatura enquadra-se no padrão de testes para aplicações militares, enquanto que o limite inferior deste mesmo parâmetro recai sobre o padrão de testes para aplicações industriais [23].

Tabela 7.7: Configuração de *Corners*.

Parâmetro	Mínimo	Nominal	Máximo
Temperatura (°C)	-40	27	125
Velocidade dos Transistores	ss	tt	ff
Tensão de Alimentação (V)	0,9	1	1,1

Fonte: Elaborada pelo autor.

Especificamente para as variações de processo, os modelos "rápido", "lento" e nominal são representados como: nominal (tt, do inglês *typical*), lento-lento (ss, do inglês *slow-slow*), lento-rápido (sf, do inglês *slow-fast*), rápido-lento (fs, do inglês *fast-slow*), rápido-rápido (ff, do inglês *fast-fast*). Estes modelos são mapeados para a tecnologia CMOS na ordem nMOS-pMOS. Na Tabela 7.8 são apresentados os resultados dos *corners* para o ganho de 2,56 dB do amplificador, enquanto que os resultados para o ganho de 20 dB são apresentados na Tabela 7.9.

Tabela 7.8: Resultados dos *Corners* para 2,5 dB de Ganho.

Especificação	Mínimo	Nominal	Máximo
Ganho (dB)	-710,90 m (ff, 125 °C, 0,9 V)	2,56	7,96 (ss, -40 °C, 1,1 V)
Largura de Banda (MHz)	26,14 (ss, -40 °C, 1,1 V)	40,96	55,13 (ff, -40 °C, 0,9 V)
IRN (nV/ \sqrt{Hz})	26,96 (ss, -40 °C, 1,1 V)	32,14	40,82 (ff, 125 °C, 0,9 V)
Consumo (μW)	76,22 (ss, -40 °C, 0,9 V)	101,90	137,5 (ff, 125 °C, 1,1 V)

Elaborada pelo autor.

Interpretando os resultados expostos na Tabelas 7.8 e 7.9, é notável que a especificação mais sujeita à falha é o ganho. O pior caso ocorre para o valor mínimo especificado de ganho do AGP (2,56 dB), apresentando grande variação (> 210 %) para os

casos destacados em negrito na Tabela 7.8. Para o ganho nominal de 20 dB, a variabilidade para condições extremas é aceitável para o limite máximo (21.54 dB, < 10%) e marginal para o limite mínimo (16.72 dB, = 15%), este último sublinhado em negrito na Tabela 7.9.

Tabela 7.9: Resultados dos *Corners* para 20 dB de Ganho.

Especificação	Mínimo	Nominal	Máximo
Ganho (dB)	<u>16,72 (ss, -40 °C, 0,9 V)</u>	19,69	21,54 (ss, -40 °C, 1,1 V)
Largura de Banda (MHz)	6,89 (ss, -40 °C, 0,9 V)	7,56	8,30 (ff, 125 °C, 1,1 V)
IRN ($\text{nV}/\sqrt{\text{Hz}}$)	22,64 (ss, -40 °C, 1,1 V)	27,12	35,32 (ss, 125 °C, 0,9 V)
Consumo (μW)	76,68 (ss, -40 °C, 0,9 V)	103,10	138,30 (ff, 125 °C, 1,1 V)

Elaborada pelo autor.

Ao contrário dos desvios consideráveis, relativos ao ganho, destacados na Tabela 7.8, os demais parâmetros analisados não excedem o delimitado pelos valores especificados da Tabela 5.1, Seção 6.2.

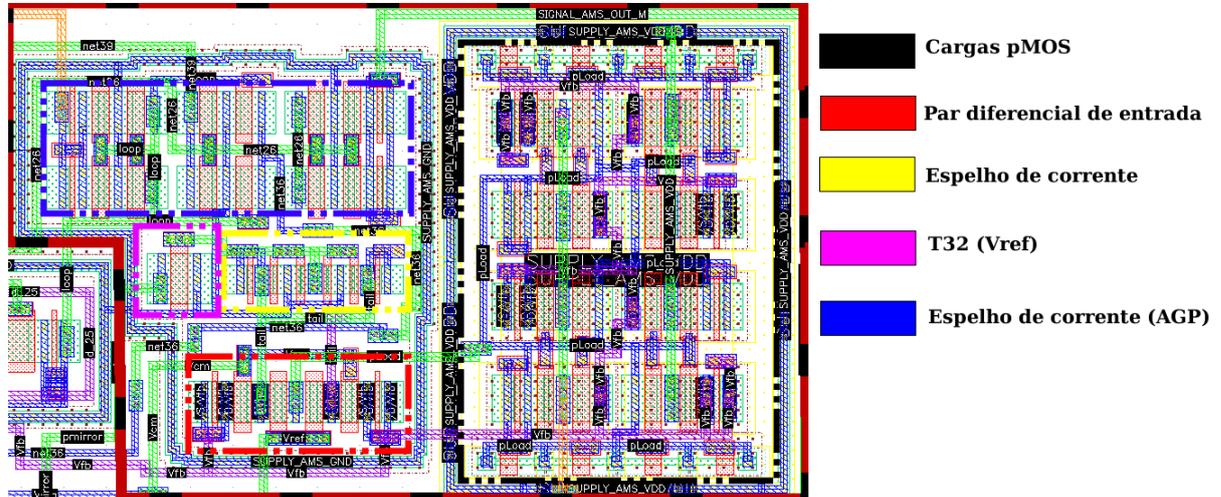
7.4 LEIAUTE

Uma vez que o projeto do circuito e as simulações de esquemático tenham sido concluídas, os passos seguintes no fluxo de projeto de um circuito analógico estão relacionados à implementação física (leiaute) do circuito, sendo eles: *floorplan*, leiaute, DRC, Leiaute *versus* Esquemático e extração de parasitas. Os leiautes dos três circuitos que compõem o AGP proposto foram realizados levando em consideração a divisão dos transistores em *fingers* e *multipliers*, técnicas de centróide comum, inserção de *dummies* e técnicas de diminuição de capacitâncias e resistências parasitas, conforme detalhado na Seção 3.4.1.

Inicialmente, é demonstrado na Figura 7.2 o leiaute do CMFB implementado (região tracejada). Como este circuito é constituído de um espelho de corrente, um par diferencial e um par de cargas pMOS, todos os transistores necessitaram ser casados. Para realizar o casamento, todos os transistores foram divididos em números pares de *multipliers*. Os transistores envolvidos pelo *guard-ring* direito são os transistores das cargas pMOS. Já os transistores da base do *guard-ring* esquerdo são correspondentes ao

par diferencial de entrada, enquanto que os transistores localizados na metade da altura do *guard-ring* esquerdo referem-se ao espelho de corrente.

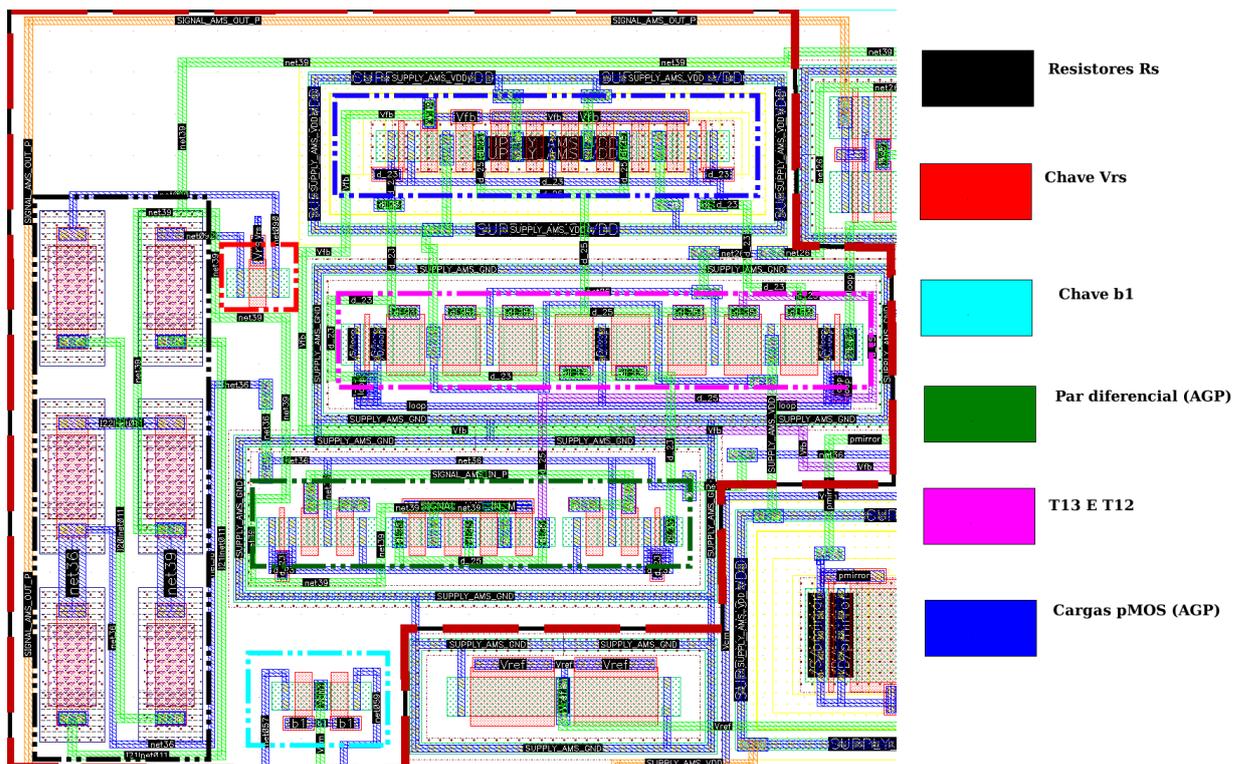
Figura 7.2: Leiaute do CMFB.



Fonte: Elaborada pelo autor.

Juntamente com os transistores da Figura 7.3 e a matriz de resistores da Figura 7.4, os transistores do topo do *guard-ring* esquerdo da Figura 7.2 correspondem ao núcleo do AGP.

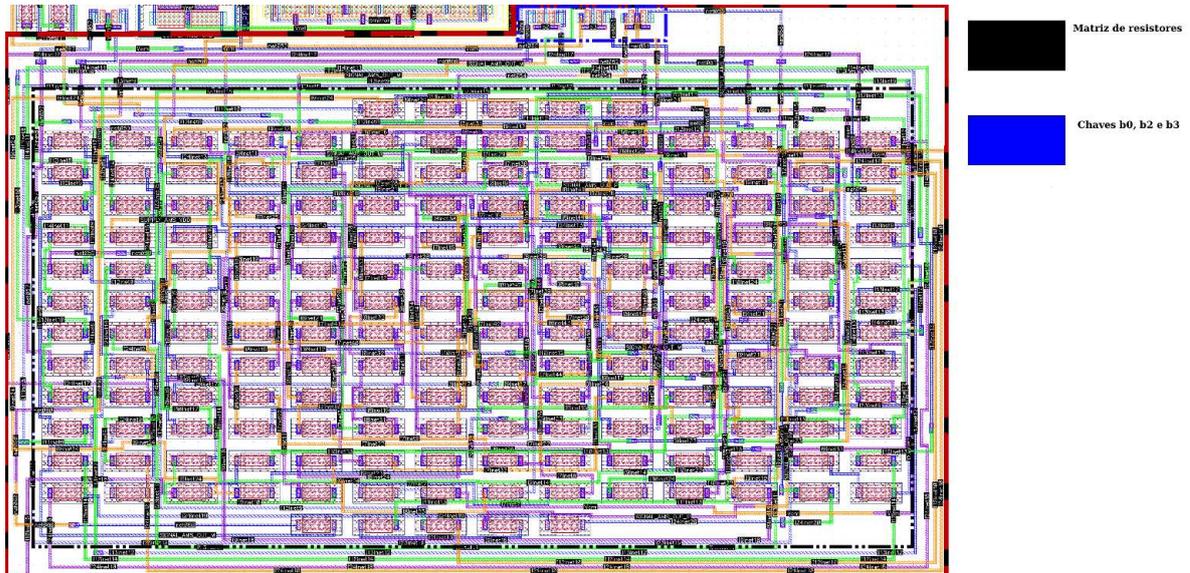
Figura 7.3: Leiaute do Núcleo do AGP.



Fonte: Elaborada pelo autor.

Observa-se que a chave V_{RS} (nMOS) está posicionada ao lado dos seis resistores (não envolvidos por *guard-ring*) mostrados na Figura 7.3, no topo, enquanto que a chave b1 está posicionada na parte inferior, ao lado também dos resistores de degeneração da fonte (R_S).

Figura 7.4: Leiaute da Matriz de Resistores.

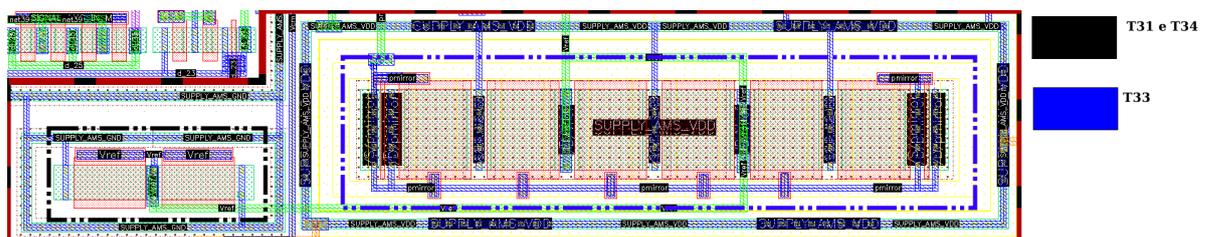


Fonte: Elaborada pelo autor.

Na Figura 7.4 é representada o padrão de casamento dos resistores R2/R8, R6/R7, R9/R10, R11/R12 e R13/R14, responsáveis pela seleção de ganho de acordo com a combinação ligado/desligado (corte/saturação) das chaves nMOS b3, b2, b1, b0 e V_{RS} , em que b3, b2 e b0 são representadas no topo direito da Figura 7.4. Todos os transistores e resistores dos sub-circuitos de AGP central, CMFB e matriz de resistores foram casados por meio de técnicas de centróide comum.

Na Figura 7.5 é representado o leiaute do circuito de referência de tensão. Este circuito é responsável por fornecer a tensão de comparação para que o CMFB possa estabilizar o modo comum de saída em 500 mV.

Figura 7.5: Leiaute do Circuito de Referência de Tensão.



Fonte: Elaborada pelo autor.

No *guard ring* da direita são representados os transistores T34 e T31, enquanto que no *guard ring* da esquerda é representado T33. O transistor T32 é representado do lado esquerdo, na metade da altura do *guard ring* da Figura 7.2.

Um rascunho do *floorplan* do leiaute do circuito foi desenhado e, após algumas iterações e melhorias, a versão final do *floorplan* foi atingida, a qual é representada juntamente com o leiaute do AGP, CMFB, referência de tensão e matriz de resistores na Figura 7.6.

Em seguida, realiza-se a extração de parasitas e, então, as mesmas simulações que foram realizadas para obter os resultados detalhados na Seção 7.2 são realizadas para a vista extraída do leiaute. Os resultados das simulações realizadas neste estágio devem ser mais próximos daqueles obtidos com o chip fabricado do que os resultados baseados no esquemático. Os códigos digitais para seleção de ganhos são mostrados na Tabela 7.10.

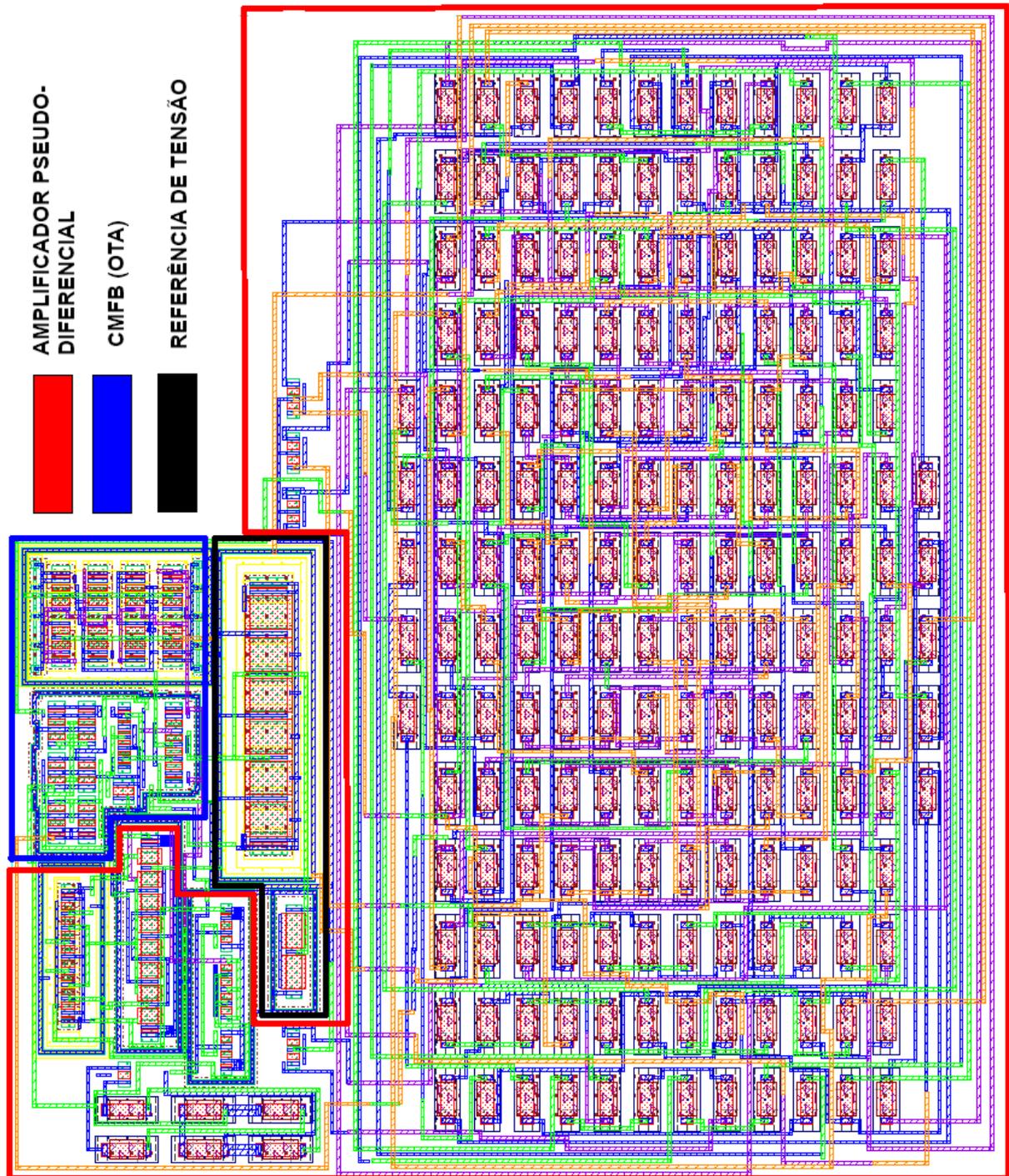
Tabela 7.10: Ganhos Associados com suas Respektivas Palavras Digitais.

Palavra Digital	Ganho	Largura de Banda
0000-1	19,84 dB	5,59 MHz
0000-0	17,55 dB	5,59 MHz
0100-1	14,57 dB	10,48 MHz
0100-0	12,29 dB	10,50 MHz
1010-0	9,75 dB	14,97 MHz
1110-0	7,22 dB	20,66 MHz
0011-0	4,42 dB	25,28 MHz
1111-0	2,31 dB	35,61 MHz

Elaborada pelo autor.

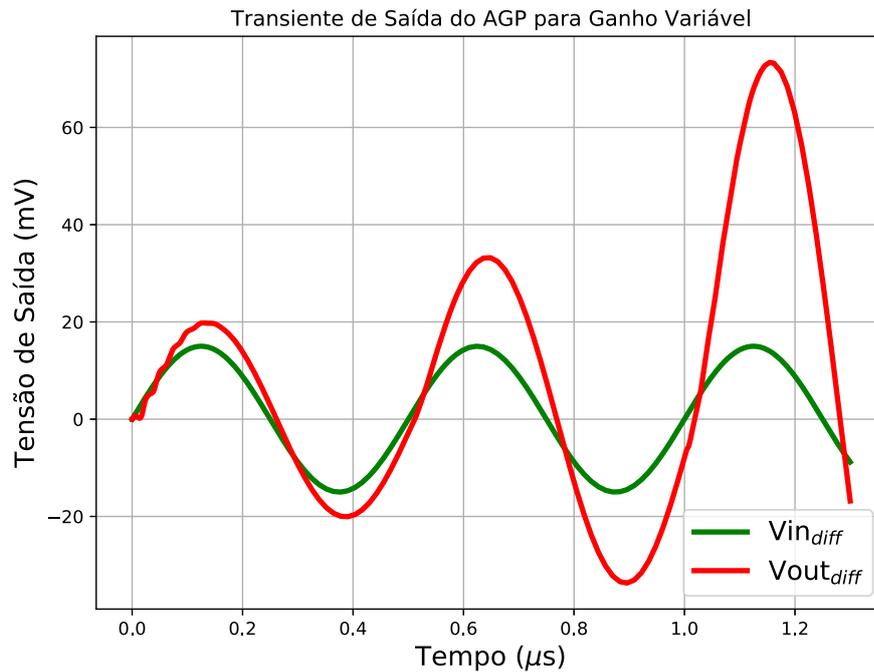
A seleção de ganhos do AGP pode ser demonstrada pelo exposto na Figura 7.7, na qual uma simulação transiente da vista extraída do circuito projetado é representada.

Figura 7.6: Leiaute do AGP.



Fonte: Elaborada pelo autor.

Figura 7.7: Análise Transiente da Vista Extraída do AGP - Ganho Variável.



Fonte: Elaborada pelo autor.

Para realizar a análise exposta na Figura 7.7, foram escolhidos os ganhos de 2,31 dB (1111-0), 7,22 dB (1110-0) e 14,57 dB (0100-1). Com o intuito de comparação com o sinal de saída diferencial do circuito, o sinal de entrada diferencial é também demonstrado na Figura 7.7.

Observa-se que, em resposta ao sinal diferencial de entrada do circuito, o sinal de saída apresentou variação não linear até um quarto do ciclo do sinal de entrada, evidenciando o tempo de estabilização do circuito. Tal característica traduz-se em um *slew-rate* de $0,913 \text{ V}/\mu\text{s}$ para o ganho de 14,57 dB e SR de $0,667 \text{ V}/\mu\text{s}$ para o ganho de 2,31 dB

Os resultados das simulações da vista extraída do AGP, referentes à análise CA e CC do circuito, são representados na Tabela 7.11 e são comparados aos resultados medidos (pós-fabricação) de dois projetos de AGP recentes.

Tabela 7.11: Sumário dos Resultados da Vista Extraída do Leiaute do AGP.

Parâmetro	Este Trabalho	[34] ⁴	[35] ⁴
Tecnologia (nm)	130	180	28
Ganho (dB)	2,31 - 19,84	0,20 - 18,40	34 ¹
Largura de Banda (MHz)	5,59	0,98	4 ²
IRN (nV/ \sqrt{Hz})	32,01 @ 2,31	269 @ 12,8 dB	-
	dB		
Tensão de Alimentação (V)	1	0,36	0,55
Consumo (μ W)	103,1	15,4	0,4 ³
Área (mm ²)	0,004	0,0243	0,62 ³

¹ OTA + filtro.

² Frequência central (f_c).

³ Receptor (RX).

⁴ Fabricado.

Elaborada pelo autor.

Os resultados apresentados na Tabela 7.11 indicam que a pior largura de banda do amplificador projetado ocorre para o ganho de 19,84 dB (BW = 5,59 MHz), que por sua vez é menor que a largura de banda para o caso análogo nas simulações de esquemático, isto é, para o ganho de 19,69 dB (BW = 7,56 MHz). Isto acontece porque quando a vista extraída é analisada, ou o circuito fabricado é medido, as capacitâncias e resistências parasitas introduzidas pelo roteamento (leiaute), contatos e acoplamento de sinal são consideradas, alterando os valores de ganho e largura de banda, com destaque para o último, pois a localização de pólos e zeros do circuito é, também, alterada. Estas alterações também podem ser intuídas avaliando qualitativamente a Equação 5.7. A transcondutância g_m e a resistência de saída do circuito contribuem para o aumento ou diminuição do ganho, enquanto que a capacitância e, novamente, a resistência de saída estão relacionadas à constante de tempo, que por sua vez está relacionada à frequência.

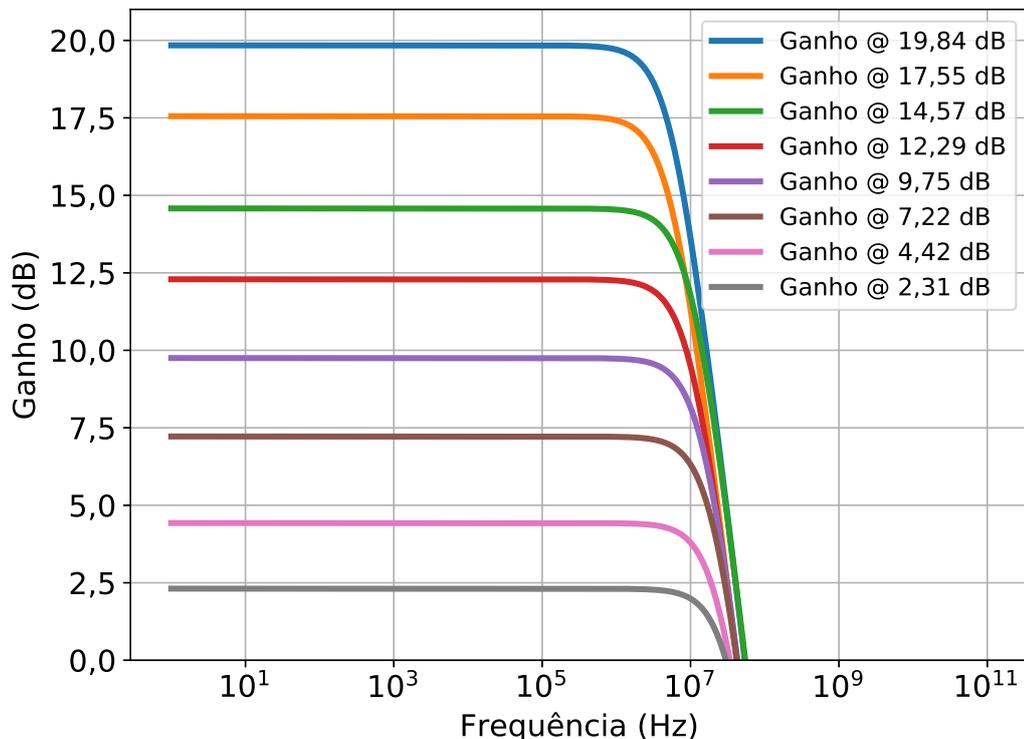
Observa-se que, comparado a [34] e [35], o AGP apresentado neste trabalho sobressai-se no máximo ganho possível por estágio (19,81 dB) e, também, apresenta menor IRN (32,01 nV/ \sqrt{Hz}) que os dois trabalhos contra os quais é comparado. Ademais, a área ocupada pelo circuito (0,004 mm²) é consideravelmente menor que as áreas de [34] e [35].

Destaca-se que para o amplificador projetado, os valores obtidos para as especificações de ganho, largura de banda e área apresentam melhor desempenho que os

resultados obtidos em [34] e [35]. Embora o ganho apresentado por [35] seja equivalente a 34 dB, este valor tem contribuições de ganho de quatro estágios de transcondutância e de três filtros passa-banda, o que significa que, individualmente, tais estágios de amplificação possuem ganho menor que 34 dB. Por outro lado, o circuito amplificador cujo projeto é detalhado neste trabalho, possui ganho máximo de 20 dB por estágio, constituindo-se de um circuito modular e com a capacidade de ser cascateado em estágios do mesmo tipo, apresentando ganho máximo superior à 40 dB nesta hipótese. Quanto ao ruído referenciado na entrada, o valor de IRN mostrado na Tabela 7.11 é menor que o apresentado em [34], isto é, o primeiro é menos ruidoso se comparado ao último. No entanto, embora o AGP projetado consuma menos que o apresentado em [35], consome mais que o apresentado em [34]. Este pior desempenho em consumo de energia deve-se, majoritariamente, à tensão de alimentação menor (0,36 V) em [34]. Finalmente, a área ocupada pelo circuito desenvolvido é, respectivamente, 83,54% e 99,35% menor que as áreas ocupadas averiguadas em [34] e [35].

O erro de ganho máximo para a vista extraída é de 0,6 dB e a família de curvas de ganho é representada na Figura 7.8.

Figura 7.8: Análise CA - Vista Extraída.



Fonte: Elaborada pelo autor.

Além disso, destaca-se que a maior margem de fase do AGP (@ 19,84 dB) é

equivalente a $100,3^\circ$ e a menor (@ $2,31$ dB) é equivalente a $49,0^\circ$. É importante ressaltar que todo o projeto foi desenvolvido utilizando como base o *Design Kit* da Global Foundries para a tecnologia de $0,13 \mu\text{m}$ e que a área ocupada por uma célula do AGP é igual a $0,004 \text{ mm}^2$ ($68,61 \mu\text{m} \times 57,53 \mu\text{m}$). Finalmente, destaca-se que o consumo total do AGP é equivalente a somente $10,31 \%$ ($103.1 \mu\text{W}$) do total especificado para consumo do receptor.

Por fim, para o AGP, $A_{cm} = -47,03$ dB quando $A_{dm} = 20$ dB e $A_{dm} = 2,5$ dB, na frequência de operação (2 MHz). Deste modo, $\text{CMRR}_{20\text{dB}} = 2246,5$ e $\text{CMRR}_{2,5\text{dB}} = 299,5$ em 2 MHz, conforme a Equação 3.3. Isto permite concluir que, mesmo no pior caso ($2,5$ dB), este circuito possui um CMRR adequado para o projeto.

8 CONCLUSÕES E TRABALHOS FUTUROS

Como parte do circuito de condicionamento de sinal de um receptor do tipo *low-IF* e objetivando uma aplicação para a banda ISM (2,4 GHz), mais especificamente para um *Bluetooth* de Baixa Energia, um Amplificador de Ganho Programável (AGP) foi projetado. Foi escolhida uma topologia diferencial em que o primeiro estágio consiste de um amplificador com fonte degenerada e sem corrente de cauda, portanto pseudo diferencial, o estágio de saída é um amplificador fonte comum com carga resistiva e o circuito de interface entre estes dois estágios consiste de um estágio de melhoramento de transcondutância. O modo comum de saída deve ser estabilizado em 500 mV, papel realizado por um circuito conhecido como CMFB e que foi implementado utilizando a topologia de amplificador operacional de transcondutância (OTA). Um circuito de referência, necessário para fornecimento de tensão de comparação para o CMFB, também foi projetado, fornecendo uma tensão de referência (V_{ref}) de 500 mV.

O AGP é um circuito provido de seleção de ganho por meio de palavras digitais. O circuito projetado e apresentado apresenta ultra baixo consumo ($< 104 \mu\text{W}$), ocupando pouca área ($0,004 \text{ mm}^2$), se comparado com projetos do mesmo tipo de circuito para nós tecnológicos próximos. Ademais, a largura de banda mínima atingida para o circuito foi de 5,59 MHz, um ruído máximo de $32,14 \text{ nV}/\sqrt{\text{Hz}}$ e uma faixa de ganho de 2,31 - 19,84 dB. O projeto é baseado na tecnologia CMOS $0,13 \mu\text{m}$. A margem de fase do circuito é de até $104,8^\circ$, sendo não inferior a 49° .

Destaca-se que, conforme especificado, a frequência de operação do AGP projetado é de 2 MHz e que o mesmo apresenta características de ganho e IRN superiores àqueles verificados em trabalhos recentes sobre este tipo de circuito. Também, os valores obtidos para o AGP projetado para as especificações de ganho, largura de banda e área apresentam melhor desempenho que os resultados obtidos em [34] e [35].

Como trabalhos futuros, sugere-se a realização das simulações de *corners* e de Monte Carlo para a vista extraída do circuito, de tal maneira à verificar o comportamento do circuito quando submetido à diferentes condições de temperatura, tensão e descasamento, a integração com os outros blocos de um receptor *low-IF* dedicado à faixa de frequências do BLE e posterior fabricação. Também, de modo a dirimir os desvios de ganho mínimo (2.5 dB) do amplificador, transistores de calibração devem

ser adicionados, tornando o sistema mais robusto. Ademais, sugere-se o projeto de um circuito de referência de tensão de comparação menos sensível à variações PVT, tal como a topologia de circuito de referência apresentado em [54]. Esta sugestão de melhoria leva em consideração que o circuito demonstrado na Figura 5.3 é uma fonte provável de variação considerável de seus parâmetros devido à temperatura, comprometendo o desempenho do circuito amplificador principal e do CMFB. Por fim, sugere-se o envio do projeto para rodada de fabricação por meio do *Multi-Project Wafer* (MPW), com conseguinte realização dos testes de bancada.

REFERÊNCIAS

- [1] R. Triggs. "A quick history of Bluetooth." [online] Android Authority. Disponível em: <https://www.androidauthority.com/history-bluetooth-explained-846345/> [Acessado em: 9 de Out. 2019].
- [2] A. Peshin. "What Is The Range of Bluetooth And How Can It Be Extended?." [online] Science ABC. Disponível em: <https://www.scienceabc.com/innovation/what-is-the-range-of-bluetooth-and-how-can-it-be-extended.html> [Acessado em: 9 de Out. 2019].
- [3] Afar.net. (s.d.). "FCC Rules for Unlicensed Wireless Equipment operating in the ISM bands." [online] Disponível em: <http://afar.net/tutorials/fcc-rules/> [Acessado em: 8 de Out. 2019].
- [4] F. S. de Sousa, C. E. Capovilla e I. R. S. Casella, "Análise de Redes Bluetooth Low Energy em Ambiente Indoor Considerando o efeito de Shadowing", em 8º Simpósio de Instrumentação e Imagens Médicas (SIIM), Santo André, SP, 2019.
- [5] G. D. Maayan. "The IoT Rundown For 2020: Stats, Risks, and Solutions." [online] Security Today. Disponível em: <https://securitytoday.com/Articles/2020/01/13/The-IoT-Rundown-for-2020.aspx?Page=2> [Acessado em: 13 de Março 2020]
- [6] L. Horwitz. "Top IoT Trends to Watch in 2020." [online] IoT World Today. Disponível em: <https://www.iotworldtoday.com/2020/01/26/top-iot-trends-to-watch-in-2020-2/> [Acessado em: 13 de Março 2020]
- [7] R. R. da Silva, E. S. P. Venuto, D. S. dos Santos, F. Sola e W. Aranda, "Statement of Work - Bluetooth Low Energy - CI-Brasil", Out. 2018.
- [8] "BLE | Bluetooth Low Energy", Gta.ufrj.br, 2019. [Online]. Disponível em: https://www.gta.ufrj.br/ensino/eel879/trabalhos_vf_2012_2/bluetooth/ble.htm. [Acessado em: 20 de Out 2019].

- [9] R. Heydon, "Bluetooth Low Energy: The Developer's Handbook," Prentice Hall, 2012.
- [10] L. Compassi Severo, "ULV and ULP active-RC filters combining single-stage OTA and negative input transconductance for low energy RF receivers", PhD., USP, 2019.
- [11] H. Darabi et al., "A 2.4-GHz CMOS transceiver for Bluetooth," IEEE J. Solid-State Circuits, vol. 36, no. 12, pp. 2016-2024, Dez. 2001.
- [12] "The Benefits of an Intermediate Frequency in RF Systems | Selected Topics | Electronics Textbook", Allaboutcircuits.com. [Online]. Disponível em: <https://www.allaboutcircuits.com/textbook/radio-frequency-analysis-design/selected-topics/the-benefits-of-an-intermediate-frequency-in-rf-systems/>. [Acessado em: 16 de Out. 2019].
- [13] A. Pipino, A. Liscidini, K. Wan, A. Baschiroto, "Bluetooth low energy receiver system design," em proceeding IEEE International Symposium on Circuits and Systems (ISCAS), 2015.
- [14] Behzad Razavi, "RF microelectronics," Vol. 2, New Jersey: Prentice Hall, 1998.
- [15] Hsu, Jui-Lin, Chao-Ching Hung, Tzu-Chin Lin, Wei-Hsiu Hsu, Yu-Li Hsueh, Jing-Hong Conan Zhan, and Chih-Ming Hung, "Wireless system having local oscillator signal derived from reference clock output of active oscillator that has no electromechanical resonator," U.S. Patent Application 16/152,391, filed July 4, 2019.
- [16] Allen, P.E., Phillip E. "CMOS analog circuit design", Oxford University Press, New York, USA, 2011.
- [17] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, Inc., New York, NY, 2016.
- [18] E. Chagas Ferreira, "Aula 18", Demic.fee.unicamp.br, 2012. [Online]. Disponível em: <http://www.demic.fee.unicamp.br/~elnatan/ee640/18a%20Aula.pdf>. [Acessado em: 16 de Ago. 2019].
- [19] Willy M. C. Sansen. 2006. "Analog Design Essentials (The International Series in Engineering and Computer Science)". Springer-Verlag, Berlin, Heidelberg.

- [20] Tahseen, Shainda J., and Sandeep Singh. "INTERNATIONAL JOURNAL OF ENGINEERING SCIENCES & RESEARCH TECHNOLOGY REVIEW PAPER ON PSEUDO-DIFFERENTIAL AND BULK-DRIVEN MOS TRANSISTOR TECHNIQUE FOR OTA."
- [21] Shahroury, Fadi R., and Ishraq Riad. "The Design and Optimization of Low-Voltage Pseudo Differential Pair Operational Transconductance Amplifier in 130 nm CMOS Technology." In 2016 UKSim-AMSS 18th International Conference on Computer Modelling and Simulation (UKSim), pp. 361-365. IEEE, 2016.
- [22] "Basic Modeling Formats,"2019. [Online]. Disponível em: <https://m.eet.com/media/1170732/ms-part2.pdf>. [Acessado em: 04 de Abr. 2019].
- [23] Weste, Neil HE, and David Harris, "CMOS VLSI design: a circuits and systems perspective,"Pearson Education India, 2015.
- [24] Marshall, Andrew. "Mismatch and noise in modern IC processes."Synthesis Lectures on Digital Circuits and Systems 4, no. 1 (2009): 1-140.
- [25] Clein, Dan. CMOS IC layout: concepts, methodologies, and tools. Elsevier, 1999.
- [26] Vipul Patel. "Design Rule Checks (DRC) - A Practical View for 28nm Technology."Design And Reuse. Disponível em: <https://www.design-reuse.com/articles/41504/design-rule-checks-drc-a-practical-view-for-28nm-technology.html>. [Acessado em: 29 de Fev. 2020]
- [27] R. M. C. Roberts and C. J. Fourie, "Layout-to-schematic as a step towards layout-versus-schematic verification of SFQ integrated circuit layouts,"2013 Africon, Pointe-Aux-Piments, 2013, pp. 1-5.
- [28] Saint, Christopher, and Judy Saint. 2002. "IC mask design: essential layout techniques."New York: McGraw-Hill.
- [29] BMC - "Boston Muon Consortium,"1996. Disponível em: <http://bmc.bu.edu/bmc/asd/an111/node13.html>. [Acessado em: 14 de Março de 2020].

- [30] B. Zhang, Z. Li, "A Low Power Programmable Gain Amplifier with 70-dB Control Range in CMOS Technology". Em: Proceedings of 2011 IEEE 13th International Conference on Communication Technology, pp. 1074-1077, Jinan, China, 2011.
- [31] X. Chu, M. Lin, Z. Gong, Y. Shi, e F. F. Dai, "A CMOS programmable gain amplifier with a novel DC-offset cancellation technique,"em Proc. CICC, 2010, no. 1, pp. 1-4.
- [32] H. Liu, X. Zhu, C. C. Boon e X. He, "Cell-based variable-gain amplifiers with accurate dB-linear characteristic in 0.18 μm CMOS technology,"IEEE J. Solid-State Circuits, vol. 50, no. 2, pp. 586-596, Feb. 2015.
- [33] B. Rahmatian e S. Mirabbasi, "A low-power 75 dB digitally programmable variable-gain amplifier in 0.18 μm CMOS,"in Canadian Journal of Electrical and Computer Engineering, vol. 32, no. 4, pp. 181- 186, Fall 2007.
- [34] L. Compassi Severo, W. Van Noije: "0.36 V PGA combining single-stage OTA and input negative transconductor for low energy RF receivers", Electron. Lett., 2018, 54, (5), pp. 319-320.
- [35] Kuo, Feng-Wei, Sandro Binsfeld Ferreira, Ron Chen, Lan-Chou Cho, Chewn-Pu Jou, Mark Chen, Masoud Babaie, and Robert Bogdan Staszewski. "Towards Ultra-Low-Voltage and Ultra-Low-Power Discrete-Time Receivers for Internet-of-Things."In 2018 IEEE/MTT-S International Microwave Symposium-IMS, pp. 1211-1214. IEEE, 2018.
- [36] J.J.F. Rijns, "CMOS low-distortion high-frequency variable-gain amplifier,"IEEE J. Solid-State Circuits, vol. 31, no. 7, July 1996, pp. 1029- 1034.
- [37] M.A.I. Mostafa, S.H.K. Embadi, and M.A.I. Elmala, "A 60 dB, 246 MHz CMOS variable gain amplifier for subsampling GSM receivers,"em Proc. Int. Symp. Low Power Electronics and Design, Aug. 2001, pp. 117-122.
- [38] E. Sánchez-Sinencio e J. Silva-Martinez, "CMOS transconductance amplifiers, architectures and active filters: A tutorial,"IEE Proc.-Circuits Devices Syst., vol. 147, no. 1, pp. 3-12, Fev. 2000.
- [39] B. Rahmatian, "A 75-dB digitally programmable CMOS variable gain amplifier,"T, University of British Columbia, 2007, pp. 25-26.

- [40] "Tabela de Bobinas de FI - IF - Frequência Intermediária", Nova Eletrônica. [Online]. Disponível em: <http://blog.novaeletronica.com.br/tabela-de-bobinas-de-fi-frequencia-intermediaria/>. [Acessado em: 10 de Out. de 2019].
- [41] Bluetooth Specification, Version 5.0, vol.6 (Low Energy Controller), Part A, Bluetooth SIG. Dez. 2016
- [42] Liang, Zhen, Bin Li, Mo Huang, Yanqi Zheng, Hui Ye, Ken Xu, and Fangming Deng. "A Low Cost BLE Transceiver with RX Matching Network Reusing PA Load Inductor for WSNs Applications." *Sensors* 17, no. 4 (2017): 895.
- [43] Y. Zhang, A. Atac, L. Liao e S. Heinen, "A Low-Power High- Efficiency Demodulator in Bluetooth Low Energy Receiver", PRIME 2012 8th Conference on, pp.1-4, 2012
- [44] Hsiao, Chin-To. "Design of a 2.4 GHz CMOS LNA for Bluetooth low energy application using 45 nm technology." (2017).
- [45] Yu, Wei-Han, Haidong Yi, Pui-In Mak, Jun Yin, and Rui P. Martins. "24.4 A 0.18 V 382 μ W bluetooth low-energy (BLE) receiver with 1.33 nW sleep power for energy-harvesting applications in 28nm CMOS." In 2017 IEEE International Solid-State Circuits Conference (ISSCC), pp. 414-415. IEEE, 2017.
- [46] Qadir, Muhammad Waqas, Muhammad Hunain Memon, Adeel Feroz Mirza, Syed Wajahat Ali, and Fujiang Lin. "Multigain cascode technique for low power BLE ISM band 2.4 GHz differential inductive source degeneration based LNA." In 2018 IEEE MTT-S International Wireless Symposium (IWS), pp. 1-4. IEEE, 2018.
- [47] Hernandez, Hugo, Lucas Severo, and Wilhelmus Van Noije. "0.5 V 10MS/S 9-Bits Asynchronous SAR ADC for BLE Receivers in L80NM CMOS Technology." In 2018 31st IEEE International System-on-Chip Conference (SOCC), pp. 1-4. IEEE, 2018.
- [48] Seo, Min-Jae, Yi-Ju Roh, Dong-Jin Chang, Wan Kim, Ye-Dam Kim, and Seung-Tak Ryu. "A reusable code-based SAR ADC design with CDAC compiler and synthesizable analog building blocks." *IEEE Transactions on Circuits and Systems II: Express Briefs* 65, no. 12 (2018): 1904-1908.

- [49] Kim, Min-Kyu, Seong-Kwan Hong, and Oh-Kyong Kwon. "An area-efficient and low-power 12-b SAR/single-slope ADC without calibration method for CMOS image sensors." *IEEE Transactions on Electron Devices* 63, no. 9 (2016): 3599-3604.
- [50] Severo, Lucas Compassi. "Uma ferramenta para o dimensionamento automático de circuitos integrados analógicos considerando análise de produtividade." (2012).
- [51] F. Kuo et al., "Towards Ultra-Low-Voltage and Ultra-Low-Power Discrete-Time Receivers for Internet-of-Things," 2018 IEEE/MTT-S International Microwave Symposium - IMS, Philadelphia, PA, 2018, pp. 1211-1214.
- [52] Sedra, Adel S., and Kenneth Carless Smith. *Microeletrônica*. Pearson Prentice Hall, 2007.
- [53] N. A. "Op Amp Slew Rate: details; formula; calculator." [online] Electronics Notes. Disponível em: https://www.electronics-notes.com/articles/analogue_circuits/operational-amplifier-op-amp/slew-rate.php [Acessado em: 03 de Fev. 2020].
- [54] Olivera, Fabián, and Antonio Petraglia. "Adjustable Output CMOS Voltage Reference Design." *IEEE Transactions on Circuits and Systems II: Express Briefs* (2019).
- [55] Coram, Geoffrey J. "How to (and how not to) write a compact model in Verilog-A." In *Proceedings of the 2004 IEEE International Behavioral Modeling and Simulation Conference, 2004. BMAS 2004.*, pp. 97-106. IEEE, 2004.
- [56] Trihy, Richard. "Analog extensions to verilog." In *Analog and Mixed-Signal Hardware Description Language*, pp. 43-56. Springer, Boston, MA, 1997.
- [57] L. Compassi Severo, "Uma Ferramenta para o Dimensionamento Automático de Circuitos Integrados Analógicos Considerando Análise de Produtividade", Ms., UNIPAMPA, 2012.
- [58] E. Fabris, "Concepção de Circuitos Integrados Analógicos", Porto Alegre, RS, 2010.

A Modelo Funcional do AGP - Verilog-A

A sintaxe e a semântica da linguagem Verilog HDL foram complementadas, criando a linguagem Verilog-A, que por sua vez é o subdomínio puramente analógico da linguagem Verilog-AMS, a fim de descrever e simular circuitos analógicos e de sinais mistos de maneira comportamental [55].

Abaixo é mostrado o modelo funcional do circuito desenvolvido neste trabalho, escrito em Verilog-A.

```

// VerilogA for PGA block
'include "constants.vams"
3 'include "disciplines.vams"
module rx_pga_verilog_symbol(SIGNAL_AMS_IBIAS_SRC_10U, SUPPLY_AMS_VDD,
    SUPPLY_AMS_GND,
    SIGNAL_AMS_IN_M, SIGNAL_AMS_IN_P, SIGNAL_AMS_OUT_M, SIGNAL_AMS_OUT_P,
    SIGNAL_DIG_CRTL_IN);
6 output SIGNAL_AMS_OUT_P, SIGNAL_AMS_OUT_M;
input SIGNAL_AMS_IN_P, SIGNAL_AMS_IN_M;
input SIGNAL_DIG_CRTL_IN;
9 input SIGNAL_AMS_IBIAS_SRC_10U, SUPPLY_AMS_VDD, SUPPLY_AMS_GND;
electrical SIGNAL_AMS_OUT_P, SIGNAL_AMS_OUT_M, SIGNAL_AMS_IN_P,
    SIGNAL_AMS_IN_M, SIGNAL_AMS_IBIAS_SRC_10U, SUPPLY_AMS_VDD, SUPPLY_AMS_GND;
12 electrical SIGNAL_DIG_CRTL_IN;
parameter real dbmin = -1, dbmax = 20 ;
parameter real Rout = 100;
15 parameter real Tr = 10n;
real DBinc, Adb, Av;
real Voctr, Vomax, Vodif;
18 integer Gint;
real Gout;
integer Active;
21 analog begin
    Active = V(SUPPLY_AMS_VDD, SUPPLY_AMS_GND) >= 1 &&
        abs(V(SIGNAL_AMS_IBIAS_SRC_10U, SUPPLY_AMS_GND) - 0.7) <= 0.5;

```

```

24 @(initial_step) DBinc = (dbmax-dbmin)/7;
    Gint = 7 ;//'L(GAIN);
    Adb = dbmin + DBinc*Gint;
27 Av = transition(Active? pow(10,Adb/20):1u, 0, Tr);
    Voctr = transition(Active, 0, Tr)*V(SUPPLY_AMS_VDD, SUPPLY_AMS_GND)/2;
    Vomax = max(V(SUPPLY_AMS_VDD, SUPPLY_AMS_GND), 0.1);
30 Vodif = Vomax*tanh(Av*V(SIGNAL_AMS_IN_P, SIGNAL_AMS_IN_M)/Vomax);

    Gout = 50M;
33 I(SIGNAL_AMS_OUT_P, SUPPLY_AMS_GND) <+
    (V(SIGNAL_AMS_OUT_P, SUPPLY_AMS_GND) - (Voctr + Vodif/2))*Gout;
    I(SIGNAL_AMS_OUT_M, SUPPLY_AMS_GND) <+
36 (V(SIGNAL_AMS_OUT_M, SUPPLY_AMS_GND) - (Voctr - Vodif/2))*Gout;
    end
endmodule

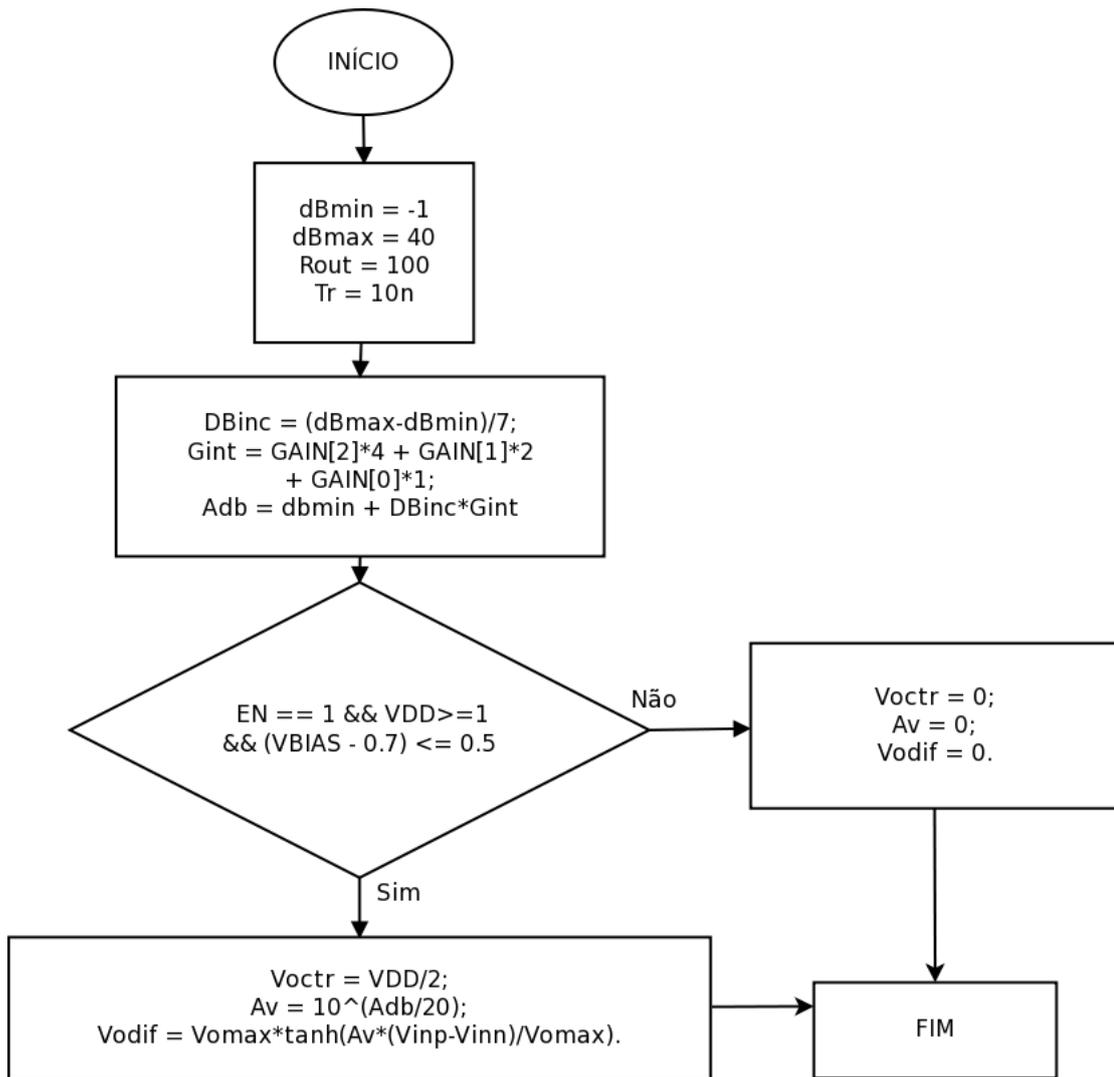
```

Uma vez que é necessário manipular diferentes tipos de medidas no domínio analógico, a estrutura conhecida como "disciplina" (do inglês *discipline*) é definida. Uma "disciplina" é um conjunto de quantidades físicas básicas, que, por sua vez, possuem três atributos: unidade, nome de acesso e tolerância. Especificamente, uma disciplina é composta por duas dessas quantidades físicas: potencial e fluxo, isto é, tensão e corrente elétrica [56]. Assim, o primeiro passo da modelagem comportamental em Verilog-A é a referência às constantes e disciplinas que serão utilizadas no modelo (linhas 2 e 3).

Em seguida, deve-se definir os sinais, tensão de alimentação, corrente e polarização do circuito, o que ocorre na diretiva *module*, isto é, a vista de topo do modelo comportamental (linha 5). O próximo passo consiste em declarar as saídas (linha 6) e entradas (linhas 7-9) do circuito. É possível em Verilog-A definir parâmetros com valores reais, os quais serão editáveis, caso se deseje fazer alterações em valores como os de ganho, resistência de saída e tempo de subida (linhas 13-15). O valor *real* (linhas 16, 17 e 19) tem a mesma natureza dos parâmetros reais, no entanto não é editável por meio da interface de usuário do *software* utilizado para realizar o projeto do circuito.

Finalmente, modela-se o comportamento do circuito AGP iniciando-se o processo *analog*, o qual descreve um comportamento de tempo contínuo. A descrição do comportamento do circuito projetado é representada no diagrama de fluxo da Figura A.1.

Figura A.1: Diagrama do Fluxo Comportamental do AGP.



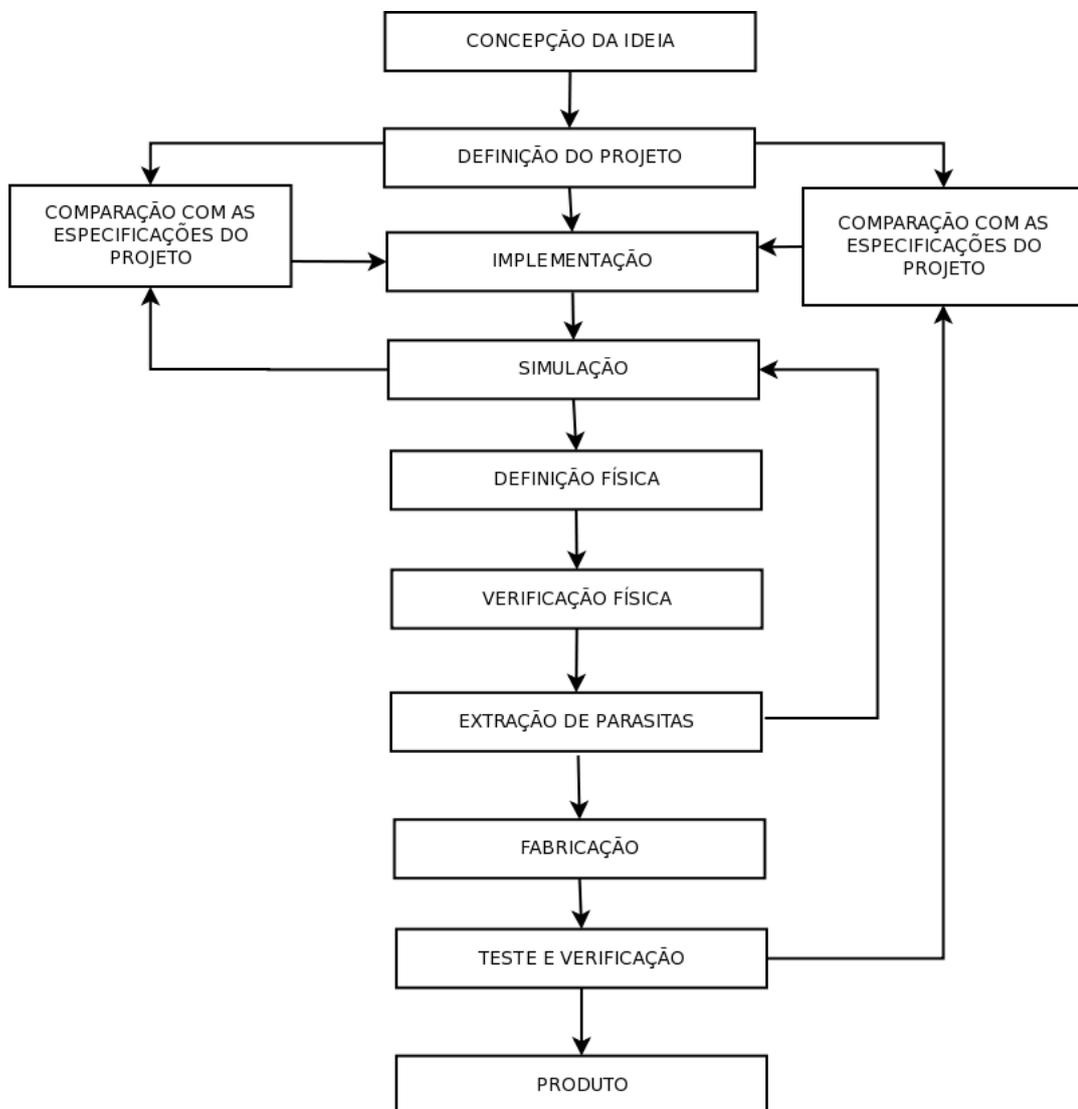
Fonte: Elaborada pelo autor.

A partir dos valores iniciais para ganho (dBmin e dBmax), resistência de saída (Rout) e tempo de subida (Tr), os valores de ganho incremental (DBinc), ganho por palavra digital (Gint) e ganho total (Adb) são definidas. Em seguida, avalia-se se o circuito está habilitado (EN), se sua tensão de alimentação (VDD) está sendo provida e se os transistores estão conduzindo em saturação, isto é, se sua tensão de *overdrive* é inferior a um valor pré-determinado de tensão dreno-fonte ($VBIAS - 0.7 \leq 0.5$). Caso estas três condições sejam satisfeitas, o será produzido ganho pelo circuito, conforme mostrado na Figura A.1. Caso contrário, o circuito estará desligado.

B Fluxo de Projeto de Circuitos Integrados Analógicos

O fluxo de projeto de circuitos integrados analógicos é representado na Figura B.1 e pode suas etapas serem agrupadas em três subníveis: nível de sistema, nível de circuito e nível de leiaute [57].

Figura B.1: Diagrama do Fluxo de Projeto de CI Analógico.



Fonte: Adaptado de [58].

O nível de sistema compreende as etapas de concepção da ideia e definição do projeto. Nestas duas primeiras etapas estão envolvidos os passos de especificações do

projeto e seleção de topologia. Em seguida, o nível de circuito compreende as etapas de implementação (dimensionamento), simulação (esquemático) e comparação com as especificações do projeto (esquemático). O nível de leiaute compreende a definição física (leiaute), verificação física (DRC e LVS), extração de parasitas, simulação (leiaute) e comparação com as especificações do projeto (leiaute), fechando o ciclo de projeto [57]. Por fim, o ciclo de fabricação compreende a própria fabricação do dispositivo pela *foundry*, teste e verificação e produto. A etapa de teste e verificação envolve a confecção de uma placa de circuito impresso que deve receber o *chip*, a fim de medir seus parâmetros em laboratório, comparando os valores obtidos com a simulação da vista extraída e com as especificações.